به نام خدا



گزارشکار دستورکار شماره 6 ارائه دهندگان: زهره ابوعلی شمشیری امین حیت سازان

نام استاد: مهندس سید مجتبی موسوی

خرداد 1402

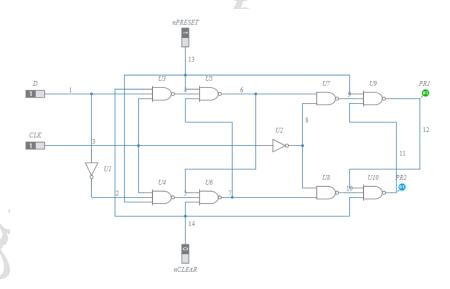
آزمایش اول : طراحی شمارنده دودویی 4 بیتی با استفاده از دی فلاپ فلاپ

این شمارنده از 0000 تا 1111 می شمارد و پس از رسیدن به 1111 مجددا از 0000 شروع می کند. در طراحی فلاپ فلاپ دی از ست و ریست استفاده می کنیم.

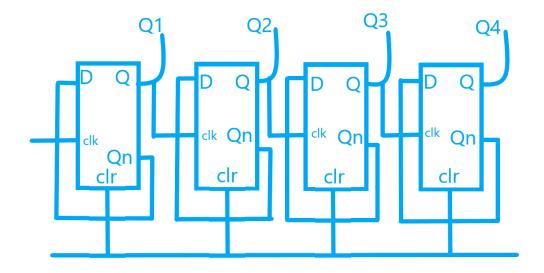
clk D Set Reset Q Qb	
----------------------	--

0	0	0	0	X	X
1(low to high)	1	1	1	1	0
1	X	1	0	1	0
1	X	0	1	0	1

جدول 1 - جدول درستی دی فلاپ فلاپ با ست و ریست



تصویر 1 - شماتیک دی فلاپ فلاپ با ست و ریست



تصویر 2 - شماتیک شمارنده 4 بیتی با پورت clear

کد VHDL شمارنده دودویی 4 بیتی:

این ماژول از 4 ماژول دی فلاپ فلاپ که کلاک دی فلاپ فلاپ های دوم و سوم و چهارم،خروجی Q ماژول قبلیشان است و تمامی این ماژول ها به یک پورت Clr متصل هستند که با یک شدن مقدار آن، شمارنده ما صفر می شود.(تصویر D)

```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
    Hierarchy

Hierarchy

Strong Strong 144

Strong Strong 144

Strong Strong 144

Strong Strong Strong 144

Strong St
                                                                                                                                                                                                                                                                                       entity SRflipflop is
                                                                                                                                                                                                                                                                                                                      Ty skilpilop is

Port (cik: in STD_LOGIC;

S: in STD_LOGIC;

R: in STD_LOGIC;

set: in std_logic;

reset: in std_logic;

ol: out STD_LOGIC;

Q2: out STD_LOGIC);
11
12
13
14
15
                                                                                                                                                                                                                                                                                    end SRflipflop;
                                                                                                                                                                                                                (
                                                                                                                                                                                                                                                                                       architecture Behavioral of SRflipflop is
No Processes Running
                                                                                                                                                                                                                                                                                    signal s1 :std_logic;
signal s2:std_logic;
signal s3:std_logic;
signal s4:std_logic;
Processes: u0 - SRflipflop - Behavioral
                     Design Utilities
Create Schematic Sy...
View HDL Instantiatio...
Check Syntax
                                                                                                                                                                                                                                                                                signal sh.eu______
begin
sl<=S nand clk;
s2<=R nand clk;
s4<=not(s2 and s3 and reset);
s3<=not(s1 and s4 and set);
Q1<=s3;
Q2<=s4;</pre>
                                                                                                                                                                                                                                                       20
                                                                                                                                                                                                                                                    22
23
24
                                                                                                                                                                                                                                                                                  end Behavioral;
```

تصویر 3 - کد VHDL فلیپ فلاپ sr

```
| Source Libraries | Source Libr
```

تصویر 4 - کد VHDL دی فلاپ فلاپ (Master)



تصویر 5 - کد VHDL شمارنده دودویی 4 بیتی

تست بنچ شمارنده 4 بیتی:

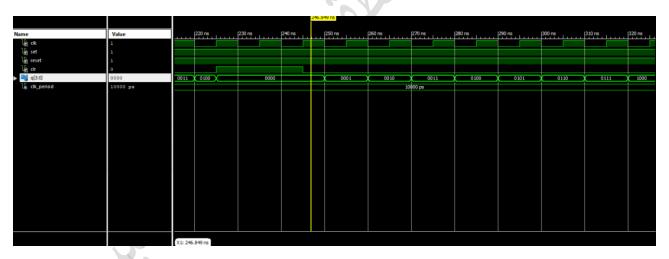
مدار با یک شدن set و reset فعال می شود و با یک شدن کلیر شمارنده صفر می شود.

```
Herarchy

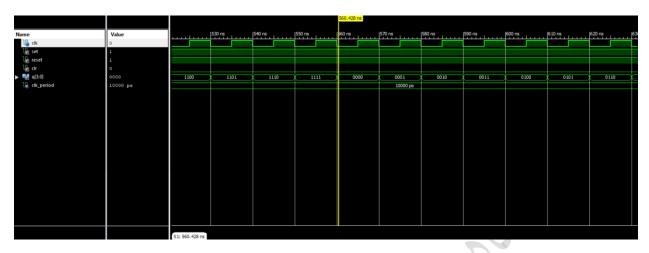
Herarchy

| Counter | Coun
```

تصویر 6 - کد تست بنج شمارنده دودویی 4 بیتی



تصویر 7 - شبیه سازی شمارنده دودویی 4 بیتی (یک شدن بیت clr)



تصویر 8 - شبیه سازی شمارنده دودویی 4 بیتی(بخش دوم)

آزمایش دوم؛ طراحی شمارنده دودویی 32 بیتی با استفاده از دی فلاپ فلاپ

این شمارنده از 8 ماژول شمارنده دودویی 4 بیتی(که این ماژول هم از 4 فلیپ فلاپ دی استفاده می کندتصاویر Q ماژول شمارنده است که کلاک ماژول دوم به بعد،برابر مقدار با ارزش ترین بیت خروجی Q ماژول قبلی است.

این ماژول یک خروجی 32 بیتی دارد. که بیت اول تا چهارم آن توسط ماژول اول مقدار می گیرد بیت پنجم تا هشتم ماژول دوم و ...

کد VHDL شمارنده دودویی 32 بیتی:

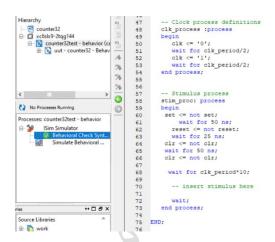
در این ماژول از شمارنده 4 بیتی استفاده میکنیم. کد شمارنده 4 بیتی و دی فلاپ فلاپ آن در آزمایش قبل موجود است.

```
| Source | Simplement | Simple
```

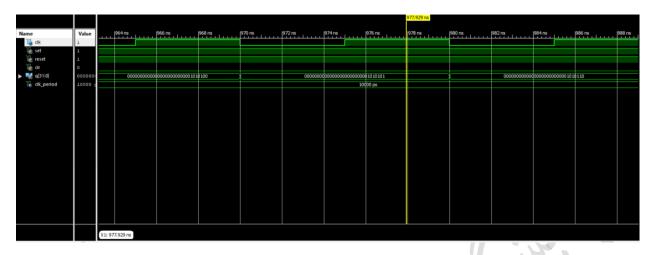
تصویر 9 - کد VHDL شمارنده دودویی 32 بیتی

تست بنچ شمارنده دودویی 32 بیتی:

مدار با مقدار ست برابر یک و ریست یک فعال می شود



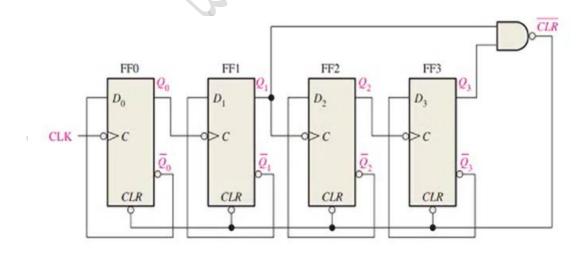
تصویر 10 - کد تست بنج شمارنده دودویی 32 بیتی



تصویر 11 - شبیه سازی شمارنده دودویی 32 بیتی

آزمایش سوم : طراحی شمارنده BCD

این شمارنده از 0000(0 دهدهی) تا 1001(9 دهدهی) میشمارد و هر وقت که به 1001 رسید،مجددا از 0000 شروع می کند. این شمارنده به مانند شمارنده دودویی 4 بیت عمل می کند با این تفاوت که پورت clear آن حاصل 0000 خروجی 0000 دی فلاپ فلاپ آخر است زیرا عدد 0000 می باشد.



تصویر 12 - شماتیک شمارنده BCD

کد VHDL شمارنده BCD:

در این ماژول از ماژول های شمارنده 32 بیتی و 4 بیتی استفاده می کنیم.(تصویر 13) ماژول های شمارنده 4 بیتی و 32 بیت به همراه دی فلاپ فلاپ ها در آزمایش های قبل موجود است.

```
| Vern | Stripmentate | Stripmentate
```

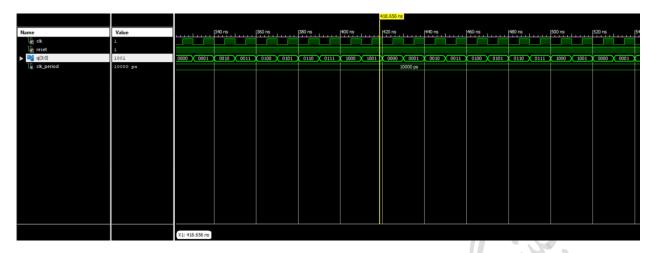
تصویر 13 - کد VHDL شمارنده

تست بنج شمارنده BCD:

مدار با ریست برابر یک فعال می شود.

```
| Vem | Simplementance | Simulate | Seminate | Simplementance | Simulate | Seminate | Simulate | S
```

تصویر 14 - تست بنچ شمارنده



تصویر 15 - شبیه سازی شمارنده

ياسخ به سوالات.

1) BCD **چھار رقمی**

در طراحی این مدار از شمارنده BCD آزمایش قبل استفاده می کنیم. ماژول های BCD و شمارنده 4 بیتی و 32 بیتی و فلیپ فلاپ ها در آزمایش های قبل موجود است.

```
View: 

Implementatic

Simulatic
                                                 library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
  Hierarchy

→ ® BCD 9-tgg144

⊕ № BCD 99-Behavioral

⊕ № 0-BCD 2-Behavioral

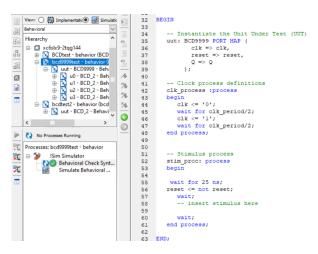
⊕ № 0-Counter

⊕ № 0-Counter
                                                 entity BCD9999 is
                                                                                                                                   یک یورت کلاک و ریست و
                                                 Port (
                                                      clk: in std_logic;
reset: in std_logic;
0: out std_logic_vector(15 downto 0));
a
                                     A
                                                                                                                                    یک خروجی 16 بیتی
2
V
                                                end BCD9999;
                                     %
                                            11
                                                architecture Behavioral of BCD9999 is component BCD_2 is
                                     <u>G</u>
                                            13
                                                 Port (
                                                      clk: in std_logic;
No Processes Running
                                                      reset:in std_logic;
Q: out std_logic_vector(3 downto 0));
Processes: BCD9999 - Behavioral
            Design Summary/Reports
Design Utilities
User Constraints
                                                 end component;
90
                                            18
                                                                                                                                تعریف سیگنال s 16 بیتی برای نگهداری خروجی های
                                                 signal s: std_logic_vector(15 downto 0);
9#
                                                                                                                               هر ماژول BCD (هر ماژول 4 BCD بیت خروجی می
                                            21 Q<=s;
             Implement Design
                                                 u0:BCD_2 port map(clk,reset,s(3 downto 0));
            Generate Programming File
Configure Target Device
                                                                                                                                دهد)سپس با ارزش ترین بیت را به عنوان کلاک ماژول
                                           23 ul:BCD_2 port map(s(3),reset,s(1 downto 4));
24 u2:BCD_2 port map(s(7),reset,s(11 downto 8));
25 u3:BCD_2 port map(s(11),reset,s(15 downto 12));
            Analyze Design Using Chi..
                                                end Behavioral;
```

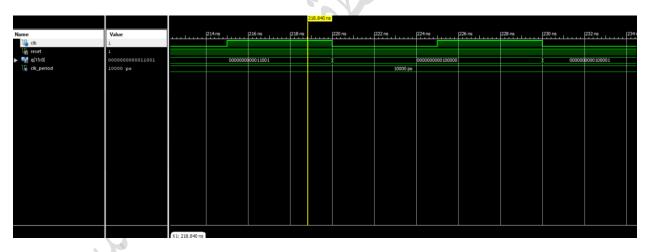
تصویر 16 - کد VHDL شمارنده BCD از 0 تا 9999

تست بنچ شمارنده BCD چهار رقمی:

مدار با ریست یک فعال می شود.



تصویر 17 - کد تست بنج شمارنده BCD چهار رقمی



تصویر 18 - شبیه سازی شمارنده BCD چهار رقمی