

به نام خدا



دانشگاه شهید چمران اهواز

**گزارش کار دستور کار شماره 6**

**ارائه دهندگان:**

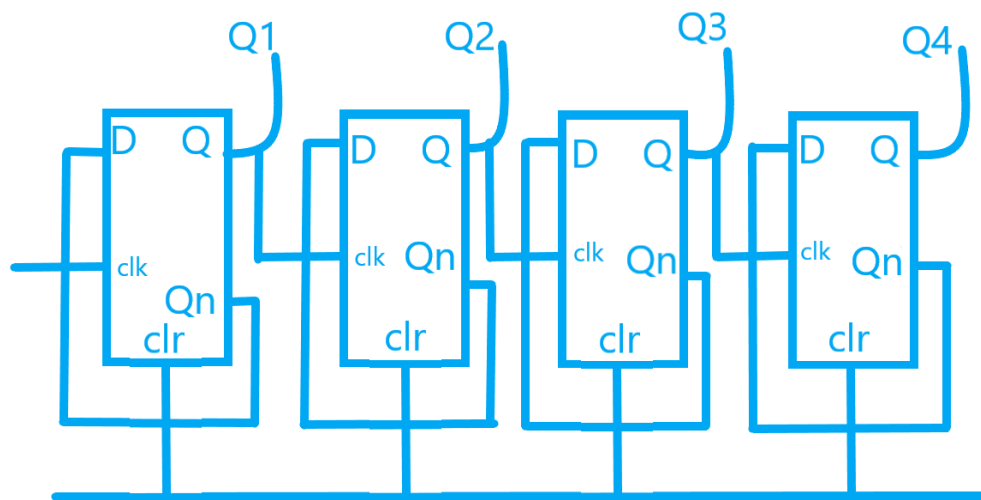
**زهره ابوعلی شمشیری**

**امین چیت سازان**

**نام استاد: مهندس سید مجتبی موسوی**

**خرداد 1402**





تصویر 2 - شماتیک شمارنده 4 بیتی با پورت clear

### کد VHDL شمارنده دودویی 4 بیتی:

این ماژول از 4 ماژول دی فلاپ فلاپ که کلاک دی فلاپ فلاپ های دوم و سوم و چهارم، خروجی Q ماژول قبلیشان است و تمامی این ماژول ها به یک پورت clr متصل هستند که با یک شدن مقدار آن، شمارنده ما صفر می شود. (تصویر 5)

```

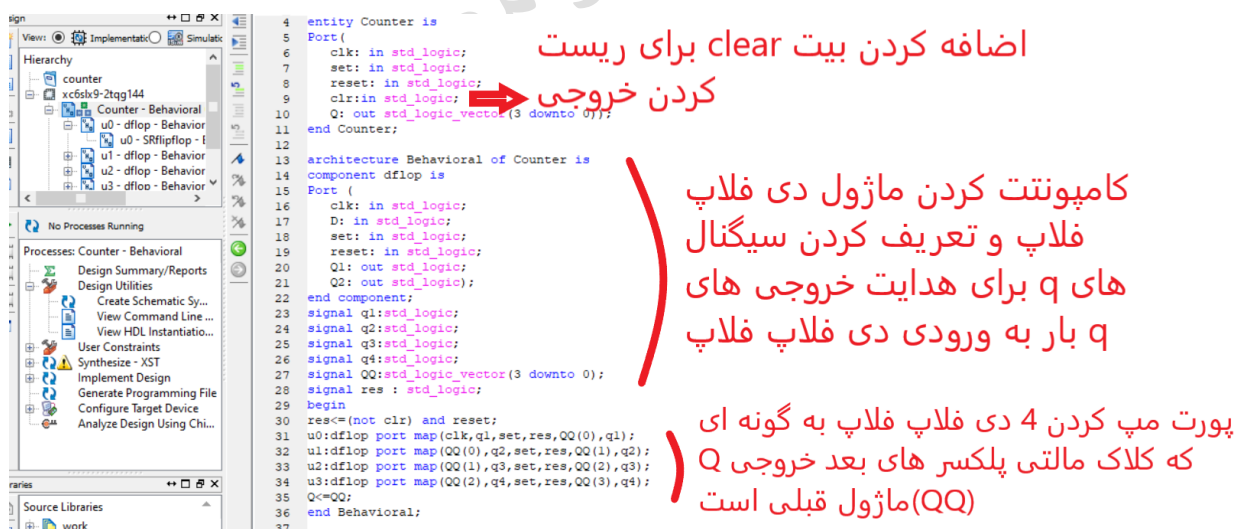
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3
4 entity SRflipflop is
5     Port ( clk : in  STD_LOGIC;
6           S : in  STD_LOGIC;
7           R : in  STD_LOGIC;
8           set: in  std_logic;
9           reset: in  std_logic;
10          Q1 : out  STD_LOGIC;
11          Q2 : out  STD_LOGIC);
12 end SRflipflop;
13
14 architecture Behavioral of SRflipflop is
15     signal s1 :std_logic;
16     signal s2:std_logic;
17     signal s3:std_logic;
18     signal s4:std_logic;
19 begin
20     s1<=S nand clk;
21     s2<=R nand clk;
22     s4<=not(s2 and s3 and reset);
23     s3<=not (s1 and s4 and set);
24     Q1<=s3;
25     Q2<=s4;
26
27 end Behavioral;
28

```

تصویر 3 - کد VHDL فلیپ فلاپ sr (slave)



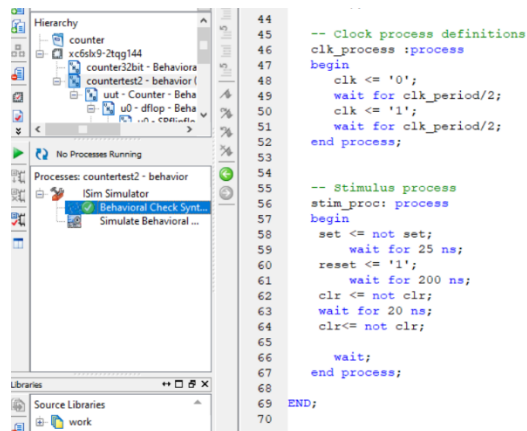
#### تصویر 4 - کد VHDL دی فلیپ فلاپ (Master)



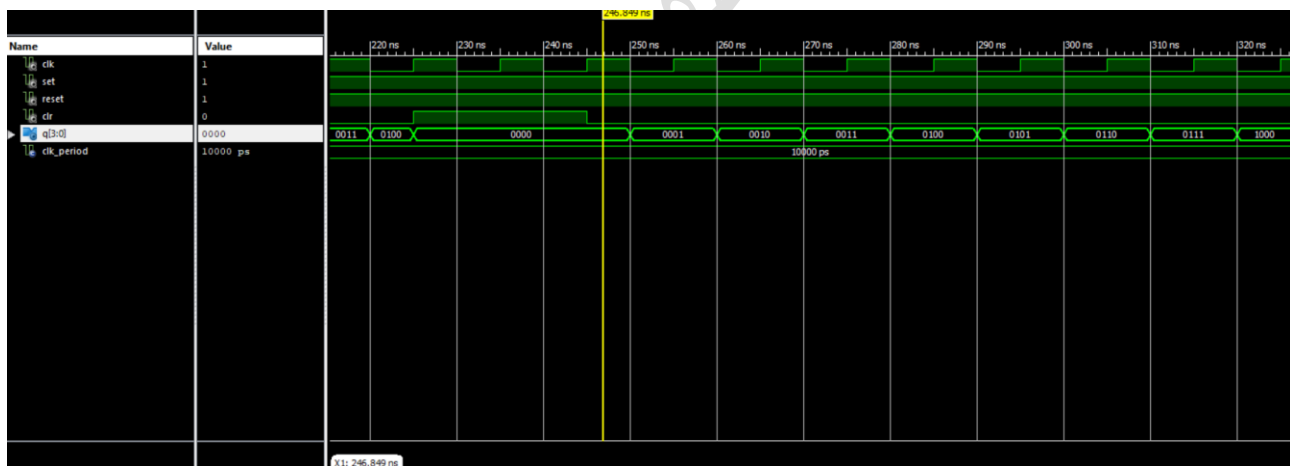
#### تصویر 5 - کد VHDL شمارنده دودویی 4 بیتی

## تست پنج شمارنده 4 بیتی:

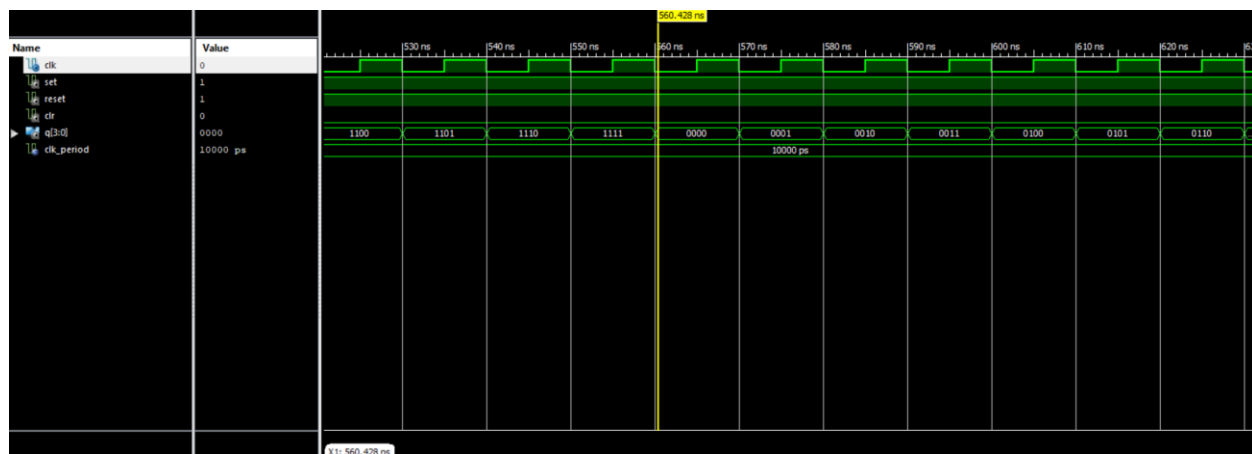
مدار با یک شدن set و reset فعال می شود و با یک شدن کلیر شمارنده صفر می شود.



تصویر 6 - کد تست پنج شمارنده دودویی 4 بیتی



تصویر 7 - شبیه سازی شمارنده دودویی 4 بیتی (یک شدن بیت clr)



تصویر 8 - شبیه سازی شمارنده دودویی 4 بیتی (بخش دوم)

## آزمایش دوم: طراحی شمارنده دودویی 32 بیتی با استفاده از دی فلاپ فلاپ

این شمارنده از 8 ماژول شمارنده دودویی 4 بیتی (که این ماژول هم از 4 فلیپ فلاپ دی استفاده می کند تصاویر 3 و 4 و 5) تشکیل شده است که کلاک ماژول دوم به بعد، برابر مقدار با ارزش ترین بیت خروجی Q ماژول قبلی است.

این ماژول یک خروجی 32 بیتی دارد. که بیت اول تا چهارم آن توسط ماژول اول مقدار می گیرد بیت پنجم تا هشتم ماژول دوم و ...

## کد VHDL شمارنده دودویی 32 بیتی:

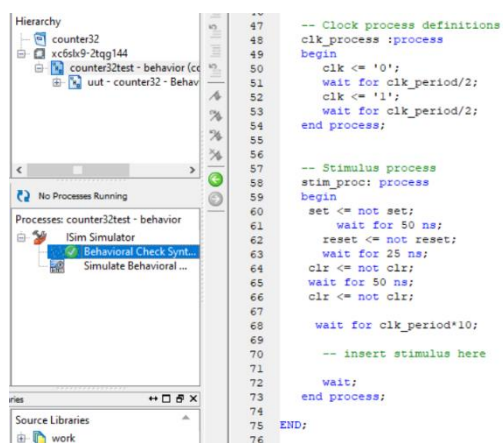
در این ماژول از شمارنده 4 بیتی استفاده میکنیم. کد شمارنده 4 بیتی و دی فلاپ فلاپ آن در آزمایش قبل موجود است.



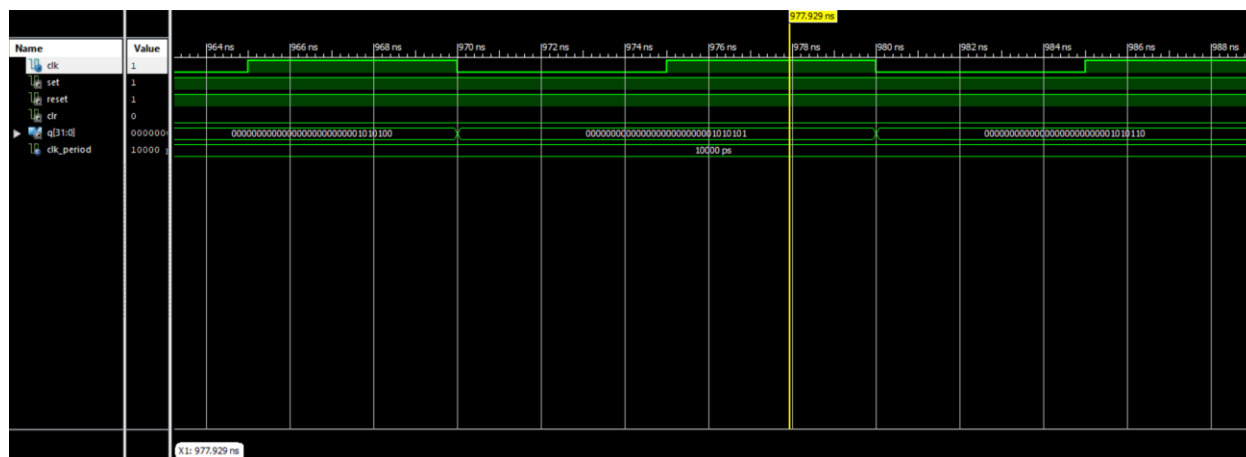
### تصویر 9 - کد VHDL شمارنده دودویی 32 بیتی

### تست پنج شمارنده دودویی 32 بیتی:

مدار با مقدار ست برابر یک و ریست یک فعال می شود



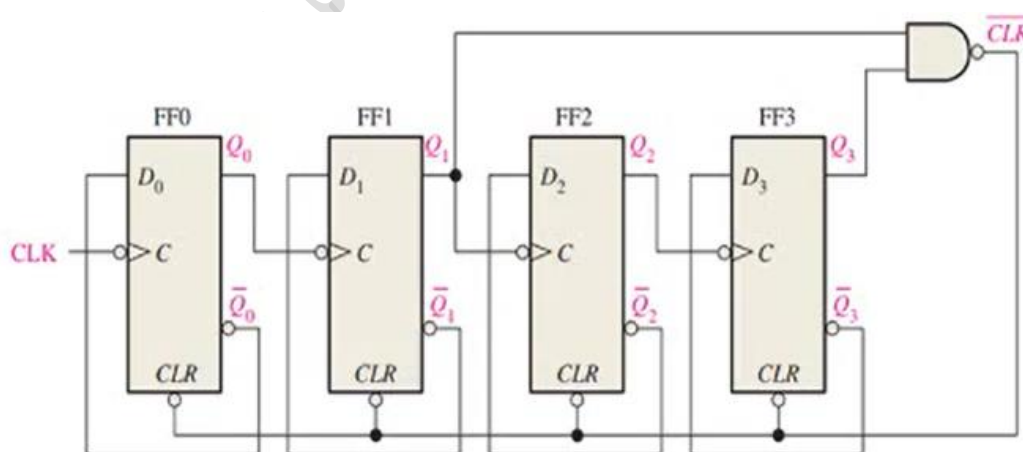
### تصویر 10 - کد تست پنج شمارنده دودویی 32 بیتی



تصویر 11 - شبیه سازی شمارنده دودویی 32 بیتی

### آزمایش سوم : طراحی شمارنده BCD

این شمارنده از 0000 (دهی 0) تا 1001 (دهی 9) می‌شمارد و هر وقت که به 1001 رسید، مجدداً از 0000 شروع می‌کند. این شمارنده به مانند شمارنده دودویی 4 بیت عمل می‌کند با این تفاوت که پورت clear آن حاصل nand خروجی Q دی فلپ دوم با خروجی Q دی فلپ آخر است زیرا عدد 10 به صورت 1010 می‌باشد.



تصویر 12 - شماتیک شمارنده BCD



## کد VHDL شمارنده BCD:

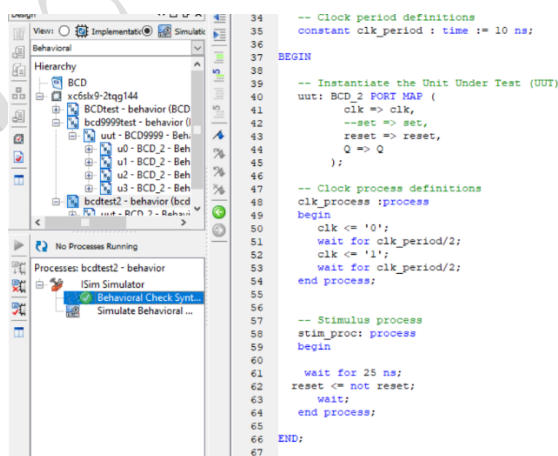
در این ماژول از ماژول های شمارنده 32 بیتی و 4 بیتی استفاده می کنیم. (تصویر 13) ماژول های شمارنده 4 بیتی و 32 بیت به همراه دی فلاپ ها در آزمایش های قبل موجود است.



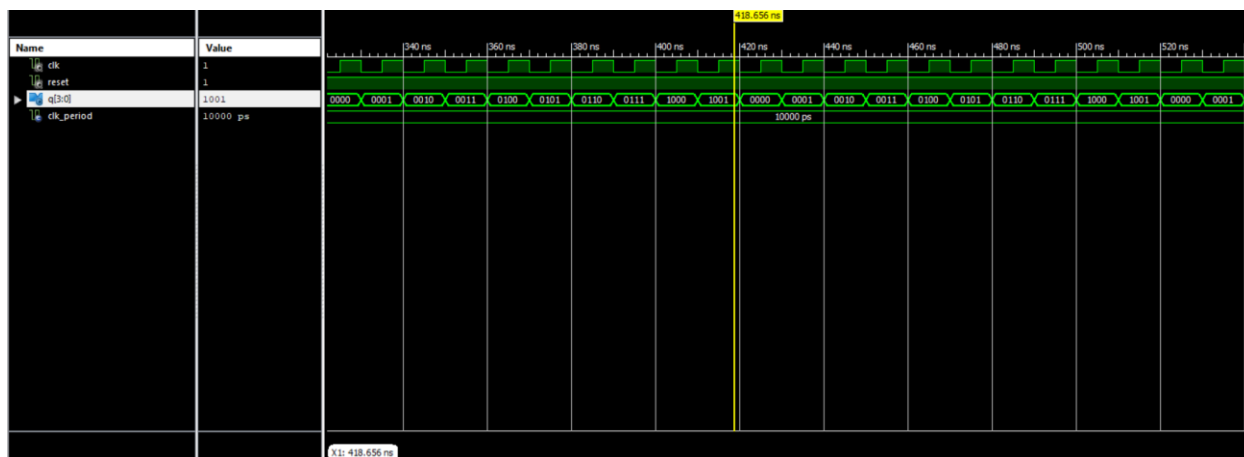
تصویر 13 - کد VHDL شمارنده BCD

## تست پنج شمارنده BCD:

مدار با ریست برابر یک فعال می شود.



تصویر 14 - تست پنج شمارنده BCD

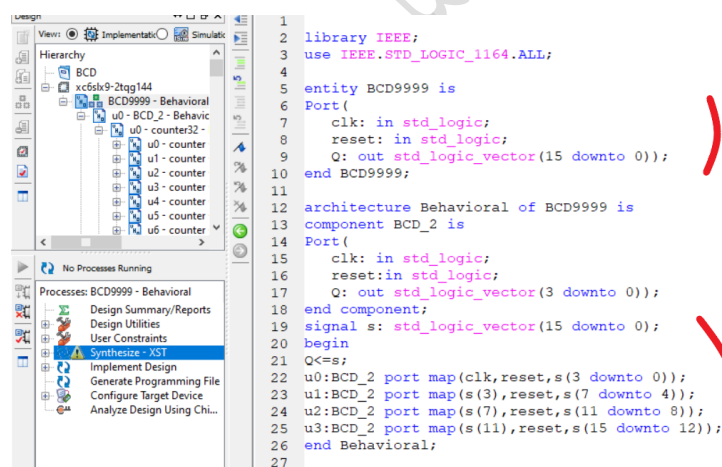


تصویر 15 - شبیه سازی شمارنده BCD

پاسخ به سوالات:

1) BCD چهار رقمی

در طراحی این مدار از شمارنده BCD آزمایش قبل استفاده می کنیم. ماژول های BCD و شمارنده 4 بیتی و 32 بیتی و فلیپ فلاپ ها در آزمایش های قبل موجود است.



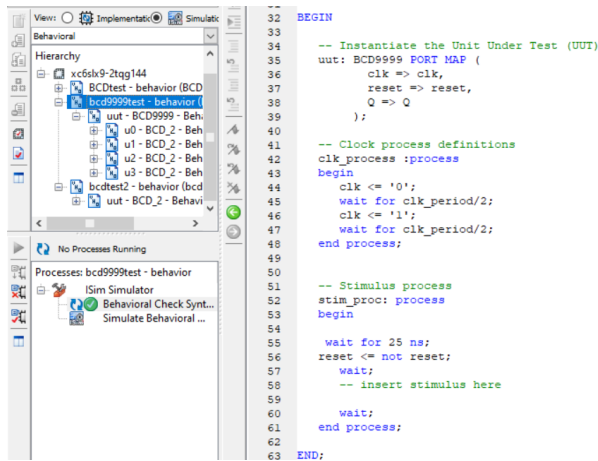
یک پورت کلاک و ریست و  
یک خروجی 16 بیتی

تعریف سیگنال s 16 بیتی برای نگهداری خروجی های  
هر ماژول BCD (هر ماژول BCD 4 بیت خروجی می  
دهد) سپس با ارزش ترین بیت را به عنوان کلاک ماژول  
های بعدی BCD نیز انتخاب می کنیم

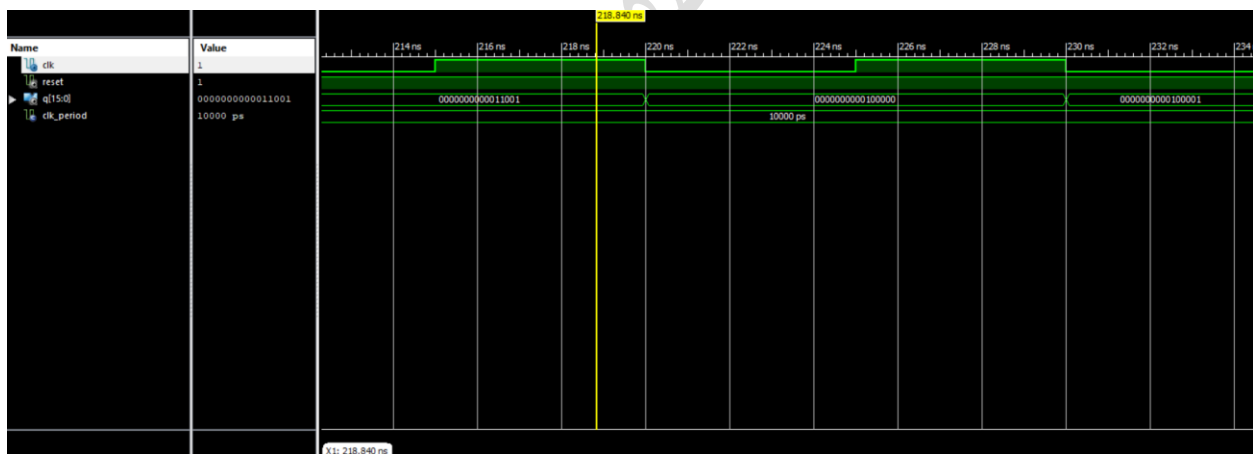
تصویر 16 - کد VHDL شمارنده BCD از 0 تا 9999

## تست پنج شمارنده BCD چهار رقمی :

مدار با ریست یک فعال می شود.



تصویر 17 - کد تست پنج شمارنده BCD چهار رقمی



تصویر 18 - شبیه سازی شمارنده BCD چهار رقمی