به نام خدا



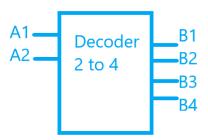
گزارشکار دستورکار شماره 7 ارائه دهندگان: زهره ابوعلی شمشیری امین چیت سازان

نام استاد: مهندس سید مجتبی موسوی

خرداد 1402

آزمایش اول : طراحی دیکودر با ساختار with select

A1	A2	B1	B2	В3	В4				
0	0	1	0	0	0				
0	1	0	1	0	0				
1	0	0	0	1	0				
1	1	0	0	0	1)				
جدول 1 – جدول درستی دیکودر									



کد VHDL دیکودر:

در این ماژول از ساختار with select استفاده می کنیم و خروجی را به ازای حالت های مختلف را تعیین می کنیم.

```
5 entity decoder is
7 port (
8 A: in std_logic_vector(1 downto 0);
9 B: out std_logic_vector (3 downto 0));
                                                                                                                                                                          یک پورت ورودی 2 بیتی و یک پورت 4
                                                          B: out std logic_vector (3 downto 0)

nend decoder;

architecture Behavioral of decoder is

segin

begin

twith A select B <=

16 "1000" when "00",

17 "0100" when "10",

18 "0010" when "11",

19 "0001" when "11",

20 "0000" when others;

21

22 end Behavioral;

23

24
                                                                                                                                                                            بیتی خروجی
                                                  <u>G</u>
  <
No Processes Running
    Design Summary/Reports
Design Utilities
User Constraints
User Constraints
User Constraints
User Constraints
User Constraints
Configure Target Device
Analyze Design Using Chi...
```

تصویر 2 - کد VHDL دیکودر

```
| September | Sep
                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            --Outputs
signal B: std_logic_vector(3 downto 0);
-- No clocks detected in port list. Replace <clock> below with
-- appropriate port name
                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                -- Instantiate the Unit Under Test (UUT) uut: decoder PORT MAP (  A \implies A, \\ B \implies B  );
                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                -- Stimulus process
stim proc: process
begin
-- hold reset state for 100 ns.
for i ni downto 0 loop
A(0)<ment A(0);
for j ni downto 0 loop
A(1)<ment A(1);
wat for 100 ns;
end loop;
end loop;
-- insert stimulus here
                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            wait;
end process;
```

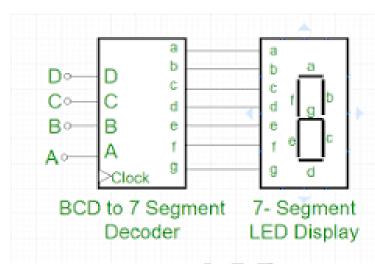
تصویر 3 - کد تست بنچ دیکودر



تصویر 4 - شبیه سازی دیکودر

آزمایش دوم: مدار مبدل BCD به سون سگمنت

سون سگمنت شامل هفت سگمنت است که بسته به مقدار ورودی به آن،led هر سگمنت های مرتبط به آن روشن می شود. به عنوان مثال مطابق تصویر 5 و 6 برای عدد 8،تمامی سگمنت ها باید روشن شوند(عدد یک به معنای لامپ روشن است)



تصویر 5 - شماتیک مبدل BCD به سون سگمنت

Α	В	С	D	а	b	С	d	е	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1

تصویر 6 - جدول درستی مبدل BCD به سون سگمنت

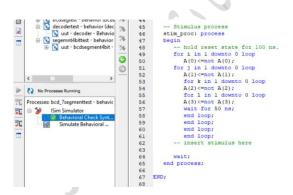
کد VHDL مبدل BCD به سون سگمنت:

همانند آزمایش قبل از ساختار with select استفاده می کنیم.به ازای هر عدد، لامپ مخصوص به سگمنت روشن می شود (عدد 1 به معنای لامپ روشن است).

```
| West | Standard | St
```

تصویر 7 - کد VHDL مبدل BCD به سون سگمنت

تست بنچ مبدل BCD به سون سگمنت:



تصویر 8 - کد تست بنج مبدل BCD به سون سگمنت



تصویر 9 - شبیه سازی مبدل BCD به سون سگمنت

آزهایش سوم: نمایش خروجی شمارنده 4BCD رقمی بر روی سون سگمنت ها

این ماژول از مبدل BCDبه سون سگمنت و شمارنده BCD 0 تا 9999 ساخته می شود.که این ماژول ها در آزمایش و گزارشکار دستورکار 6 موجود می باشد.

کد VHDL ماژول شمارنده 4BCD رقمی بر روی سون سگمنت ها:

با استفاده از ماژول BCD9999 شمارش را انجام می دهیم سپس با استفاده از 4 مبدل BCD به سون سگمنت، خروجی ماژول BCD9999 را به صورت 4 بیت 4 بیت به مبدل ارسال می کنیم.



تصویر 10 - کد VHDL ماژول نمایش خروجی شمارنده 4 BCD وقمی بر روی سون سگمنت ها

تست بنج ماژول شمارنده 4BCD رقمی بر روی سون سگمنت ها:

تصویر 11 - تست بنج ماژول شمارنده 4BCD رقمی بر روی سون سگمنت ها



تصویر 12 - شبیه سازی ماژول شمارنده 4BCD رقمی بر روی سون سگمنت ها