



دانشگاه صنعتی شریف
دانشکده مهندسی برق
درس ساختار کامپیوتر و ریزپردازنده و آزمایشگاه
(۷۵۴-۲۵)

آزمایش شماره ۵

پیاده‌سازی چند سیکل پردازنده‌ی MIPS

نیمسال دوم ۹۴-۹۳

تهیه کنندگان:

مهندس سید محمد احسان منصوری طهرانی

دکتر محمدرضا موحدین

به نام خدا

پیاده سازی و شبیه سازی پردازنده MIPS به شکل چندسیکلی

هدف از انجام این آزمایش آشنایی با مسیر داده و کنترلر در پردازنده MIPS و پیاده سازی توصیفی آن به صورت multi-cycle در زبان توصیف سخت افزار Verilog و تست آن توسط یک برنامه ی ساده با زبان اسمبلی MIPS است.

پیش از آزمایش:

۱- برای انجام آزمایش لازم است مطالب گفته شده در کلاس در مورد مسیر داده و کنترلر برای ساختار multi-cycle به دقت مطالعه شوند.

۲- برای پیاده سازی، باید دستورات به صورت مناسب تقسیم بندی شوند و عملیاتی که در هر پالس ساعت باید انجام شود، مشخص گردند.

دستوراتی که باید پیاده سازی شوند به شرح زیر شامل دوبرخش اند: اول دستورات ساده تری که در درس به آن ها پرداخته شده است و دوم دستورات تکمیلی که لازم است در این آزمایش به دسته اول اضافه شوند و در زیر با فونت **پررنگ** مشخص شده اند:

R format: add, sub, addu, subu, and, or, xor, nor, slt, sltu, **jr**, **jalr**, **multu**, **mfhi**, **mflo**

I format: beq, bne, lw, sw, addi, addiu, slti, sltiu, andi, ori, xori, **lui**

J format: **j**, **jal**

تذکر ۱: از تولید exception در عملیات جمع و تفریق اعداد علامتدار صرف نظر کنید.

تذکر ۲: دستورات بایستی در کمترین تعداد پالس ساعت ممکن اجرا شوند.

تذکر ۳: مشخصات زمانی عناصر مورد استفاده به شرح زیر است:

Memory:

Address to Read-Data propagation delay: 7 ns

Write to Read/Write access time: 2 ns

Write-Data setup time: 0.1 ns

Write is controlled by positive edge of clock

Register File:

Read-Register to Read-Data propagation delay: 2 ns

Write-Register & Write-Data setup time: 0.1 ns

Registers:

Clock to Q delay: 0.1 ns

Input setup time: 0.1 ns

ALU: Inputs to Outputs propagation delay: 2 ns

Multiplexers: Inputs to Output propagation delay: 0.1 ns

Clock Period: 2.5 ns

در آزمایشگاه:

۱- تکمیل کنترلر برای اجرای دستورات دسته اول

در آزمایشگاه کد وریلاگی در اختیار شما قرار داده شده است که ساختار مسیر داده جهت اجرای دستورات دسته اول در آن پیاده سازی شده است ولی کنترلر آن برای این منظور کامل نیست. تتمه بخش‌های مورد نیاز کنترلر جهت اجرای دستورات دسته اول را در این کد تکمیل کنید. طرح شما در این مقطع با دستورات ساده و اولیه قابل شبیه‌سازی است.

۲- ارتقاء مسیر داده و کنترلر جهت اجرای دستورات تکمیلی (دسته دوم)

اکنون مسیر داده و سپس کنترلر آن را جهت اجرای دستورات دسته دوم تکمیل کنید.

تذکر مهم: فایل‌های وریلاگ که در اختیار شما قرار گرفته است ممکن است دارای خطا (bug) باشد. لذا با دقت از آنها استفاده نموده و در صورت مشاهده خطا به دستیاران آزمایشگاه اطلاع دهید.

۳- شبیه‌سازی

در این قسمت چندین برنامه به زبان اسمبلی MIPS که به صورت HEX file در آمده‌اند در اختیار گروه‌ها قرار می‌گیرد و باید با نوشتن test bench مناسب این فایل را در حافظه بارگذاری کرده و شبیه‌سازی نمایید و صحت طراحی انجام شده را تأیید کنید.

تذکر: نوشتن کد اسمبلی و HEX علاوه بر کد آماده شده، نمره‌ی اضافی خواهد داشت.

موفق باشید