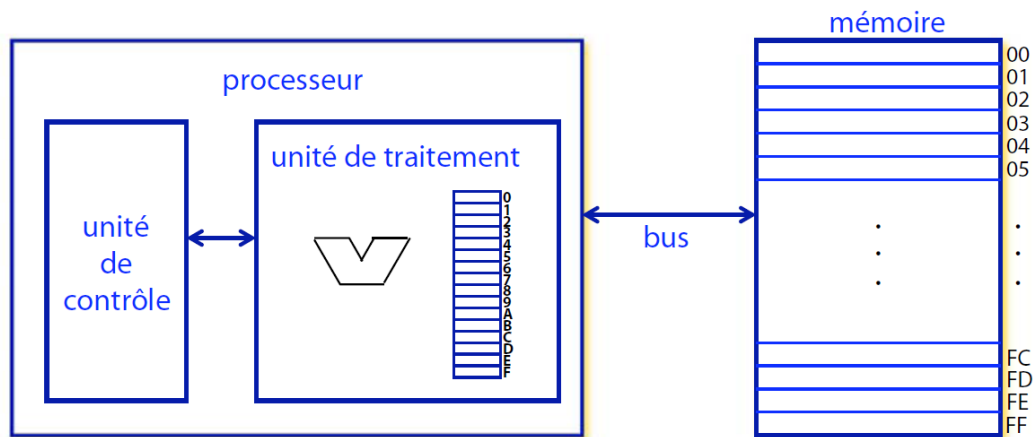


Architecture informatique

Soit le processeur suivant :



Caractéristiques :

16 registres (8 bits)

256 mémoires externes (8 bits)

Les instructions sont toutes codées sur 16 bits selon les schémas suivants :

| Opcode (4 bits) | Registre (4 bits) | Mémoire (8 bits) | | | | | | | |
|-----------------|-------------------|------------------|--|--|--|--|--|--|--|
| | | | | | | | | | |

ou

| Opcode (4 bits) | Registre (4 bits) | Registre (4 bits) | Registre (4 bits) |
|-----------------|-------------------|-------------------|-------------------|
| | | | |

Les instructions suivantes sont à disposition :

| Action | Mnémonique | Opcode (4 bits) | Registre (4 bits) | Mémoire (8 bits) | |
|-------------------------------|------------------------|-----------------|-------------------|------------------|---|
| $R[x] \leftarrow M[y]$ | Load $R[x], M[y]$ | 0 | x | y | |
| $M[y] \leftarrow R[x]$ | Store $R[x], M[y]$ | 1 | x | y | |
| Si 0 sauter à l'adresse a | Jump zéro, m | 2 | 0 | a | |
| $R[x] \leftarrow R[y] + R[z]$ | Add $R[x], R[y], R[z]$ | 3 | x | y | z |
| $R[x] \leftarrow R[y] - R[z]$ | Sub $R[x], R[y], R[z]$ | 4 | x | y | z |
| $R[x] \leftarrow R[x] - 1$ | Dec $R[x]$ | 5 | x | 0 | |
| $R[x] \leftarrow R[x] + 1$ | Inc $R[x]$ | 6 | x | 0 | |
| $R[x] \leftarrow v$ | Load $R[x], \#v$ | 7 | x | v | |
| Arrêt | Stop | f | 0 | 0 | |

Remarque : x, y et z doivent toujours être différents dans les opérations Add et Sub.
(Exemple : Add $R[x], R[x], R[z]$ interdit)