به نام خدا

درس آزمایشگاه طراحی سیستم های دیجیتال (DSD Lab)

پیش گزارش آزمایش 2 – طراحی شمارنده با محدودیت و قابلیت های مختلف

امیرمحمد شربتی (402106112) – پوریا رحمانی (402111418)

1404/8/19 – هفته دوم

ما یک «سیستم کنترل ورود خودکار به اتاق» با حداکثر ظرفیت ۱۵ نفر داریم.

برای پیاده سازی این کارکرد، دو مدار (بلوک، ماژول) ساخته شد. یکی یک شمارنده و دیگری مدار اصلی که به کمک همین counter پیاده سازی شد. یکی از قابلیت های خوب کوارتوس همین است که میتوان از بلوک یک مدار در مداری دیگر به راحتی استفاده کرد.

شمارنده مربوط به این سوال یک شمارنده با سه قابلیت است. شمارنده ای که به بالا بشمارد، به پایین بشمارد و همچنین در صورت لزوم عدد قبلی را نگه داشته و تغییری در عدد ایجاد نکند. این قابلیت آخر به کمک یک سیگنال Enable پیاده سازی شده است:

مدار شمارنده (up_down_4bit_counter):

این مدار مطابق جدولی که در توصیف این آزمایش موجود است، دارای 4 ورودی است. یک کلاک و یک clear که به راحتی به D-FF های موجود در مدار متصل میشوند. اما دو ورودی دیگر را باید در جدول درستی و بدست آوردن فرمول مقدار در t+1 لحاظ کرد.

برای ساخت شمارنده که یک مدار ترتیبی است، از فلیپ فلاپ استفاده میکنیم. در اینجا از D-FF استفاده شد. ورودی D-FF مقدار خروجی در زمان بعدی است، مثلا مقدار بعدی 8 وقتی میخواهیم به بالا بشماریم، 9 است و این 9 ورودی D-FF است که از خروجی قبلی آن و U و Enable تشکیل شده است. در واقع باید منطق و فرمول Di ها را بر اساس Qi ها و Enable و U بدست آورد.

- اگر En = 0، در این صورت مقدار قبلی Qi به Di وارد میشود.
- آگر En = 1، دو حالت داریم:
  - اگر U = 1، زمانی Di تغییر میکند که تمام بیت های قبلی 1 باشند.
  - اگر U = 0، زمانی Di تغییر میکند که تمام بیت های قبلی 0 باشند.

یعنی toggle_i زمانی داریم که بیت های قبلی 1 (در حالت U = 1) یا صفر باشند (U = 0)

پس چنین فرمول های داریم:

if En = 0

hold

$D_i = \overline{En}\, Q_i$ or $En(\ \ )$

else

if U = 1

up_count

$D_1 = \overline{Q_1}$

$D_2 = (UQ_1 + \overline{U}\,\overline{Q_1}) \oplus Q_2$

else

down count

$D_3 = (UQ_1Q_2 + \overline{U}\,\overline{Q_1}\,\overline{Q_2}) \oplus Q_3$

$D_4 = (UQ_1Q_2Q_3 + \overline{U}\,\overline{Q_1}\,\overline{Q_2}\,\overline{Q_3}) \oplus Q_4$

در واقع وقتی En = 0 یعنی کاری نکن و D_i ها را تغییر نده. اگر En = 1 باشد، toggle کن یعنی:

U = 1 : بیتی قبلی ها 1 باشند.

(برای D_1 هم همواره toggle داریم)

U = 0 : قبلی ها صفر باشند.

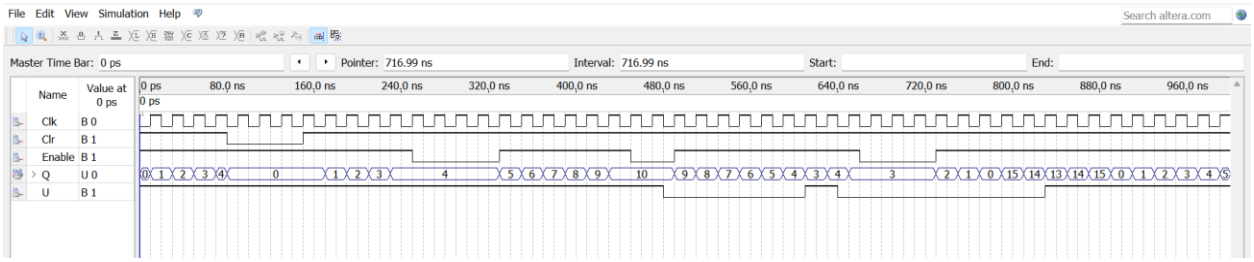
تلاش شد این فرمول ها با گیت های پایه (and , or , not , nor) پیاده سازی شوند. مثلا میشد در بعضی موارد از MUX استفاده شود ولی خب سعی شد تا مدار با گیت های پایه پیاده سازی شود. طبیعتا در کنار این گیت های پایه، از D-FF هم استفاده شد.

مداری که پیاده سازی شد، به پیوست ارسال شد. صرفا همین فرمول ها با گیت های پایه پیاده سازی شدند.

قابلیت جالبی که کوارتوس دارد، این است که میتوان بدون سیم کشی، با نام گذاری، سیم ها را به هم وصل کرد.

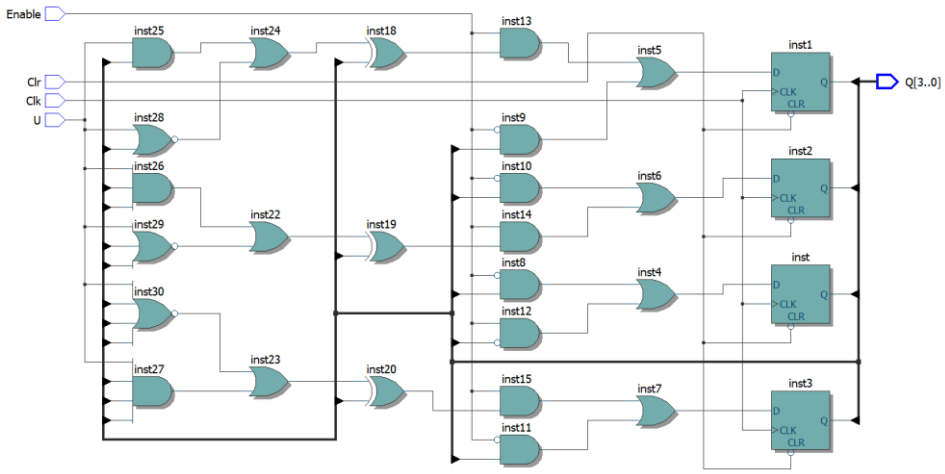
سایر نتایج مربوط به این مدار که باید آماده میشد هم به پیوست ارسال شد. این هم عکس های مربوط به نتایج:

1. Waveform



در ابتدا clear = 0 شد تا این سیگنال تست شود، ولی بعدش clear = 1 شد و با تغییر Enable و U شمارش به بالا یا پایین یا عدم شمارش تست شد. مدار طوری طراح شد که بعد از 15 مجدد به صفر میرود (وقتی میخواهیم به بالا بشماریم)

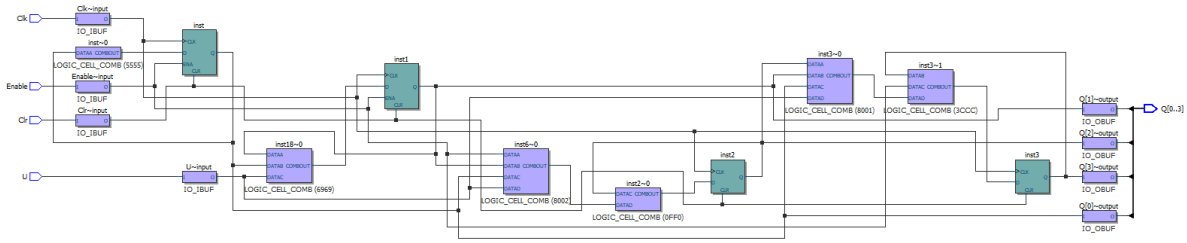
RTL .2



Flow Summary .3

Flow Summary	
Flow Status	Successful - Sun Nov 09 15:22:14 2025
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Web Edition
Revision Name	entry_room_control_system
Top-level Entity Name	up_down_4bit_counter
Family	Cyclone IV GX
Total logic elements	6 / 14,400 (< 1 %)
Total combinational functions	6 / 14,400 (< 1 %)
Dedicated logic registers	4 / 14,400 (< 1 %)
Total registers	4
Total pins	8 / 81 (10 %)
Total virtual pins	0
Total memory bits	0 / 552,960 (0 %)
Embedded Multiplier 9-bit elements	0
Total GXB Receiver Channel PCS	0 / 2 (0 %)
Total GXB Receiver Channel PMA	0 / 2 (0 %)
Total GXB Transmitter Channel PCS	0 / 2 (0 %)
Total GXB Transmitter Channel PMA	0 / 2 (0 %)
Total PLLs	0 / 3 (0 %)
Device	EP4CGX15BF14C6
Timing Models	Final

Technology mapping viewer .4



مدار اصلی کنترل کننده ظرفیت اتاق (entry_room_control_system_main_circuit):

حالا برای پیاده سازی خواسته سوال از مدار شمارنده ای که طراحی کردیم استفاده می‌کنیم. مدار دومی که طراحی شد، منطق چندان پیچیده ای ندارد، صرفا کافی ست سیگنال هایی که در سوال ذکر شده را به شیوه درستی مدل سازی کنیم. برخی از این ها ورودی و بخشی خروجی هستند.

در سمت راست پایین مدار دو مورد محاسبه شده‌اند: پر بودن و خالی بودن اتاق. چون وقتی اتاق خالی یا پر است، در بسته بودن در های ورودی و خروجی تاثیر میگذارند.

5 سیگنال ورودی و 5 خروجی داریم:

- سیگنال های ورودی: کلاک و clear از جمله سیگنال های ورودی این مدار هستند. همانطور که در سوال ذکر شده است یک T داریم که بیانگر زمان مجاز ورود به اتاق است. (مثلا زمان پذیرش توسط دکتر) سیگنال های دیگر ورودی Ent و Exit هستند. برای اینکه کسی وارد اتاق شود باید دکمه Ent را فشار دهد (این در توصیف آزمایش ذکر شده است) . برای اینکه خروج افراد از اتاق را هم بررسی و تست کنیم، باید سیگنال دیگری هم قرار دهیم تا کاهش تعداد افراد اتاق (خروج افراد) را اعمال کنیم. بنابراین از ورودی Exit استفاده شد.
- سیگنال های خروجی: in و out سیگنال هایی هستند که در صورت سوال ذکر شده. وقتی فردی از در ها وارد یا خارج می‌شود، این سیگنال ها از طریق سنسورهای درها، ورود و خروج فرد را اطلاع میدهند. دو سیگنال دیگر open و close هستند. اگر در ورودی باز باشد، سیگنال open یک میشود و اگر در خروجی بسته باشد، سیگنال close یک میشود. خروجی پنجم هم تعداد اعضای اتاق است. (در صورت سوال ذکر نشده ولی برای دیباگ و داشتن اطلاعات اتاق، داشتن count به عنوان خروجی، مفید است.)

حال به بررسی منطق نسبتا ساده این مدار میرسیم:

برای ورود و خروج، برای هر یک سه سیگنال داریم: Ent/Exit – in/out – open/close

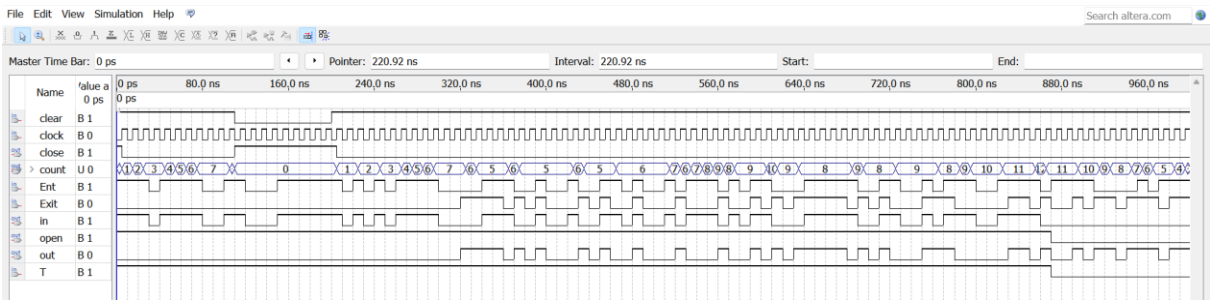
- ✓ open و close مربوط به باز و بسته بودن در هستند. زمانی در ورود باز است که (open = 1) زمان مجاز سپری نشده باشد (T=1) و تعداد افراد داخل اتاق 15 نباشد. یعنی open = T and not(complete_room). زمانی در خروج بسته است (close = 1) که تعداد افراد داخل صفر باشد close = empty room
- ✓ زمانی فردی وارد میشود و in = 1 که در باز باشد و کسی Ent را بزند (in = Ent and open) و زمانی کسی خارج میشود که در بسته نباشد. در توصیف آزمایش توضیح داده نشده است که چطور خروج اشخاص را مدل کنم. به همین خاطر ما از Exit استفاده کردیم. وقتی کسی بخواهد خارج شود این سیگنال فعال میشود. پس این منطق هم چنین میشود: out = Exit and not(close)

- ✓ حال به کمک سیگنال های in , out باید شمارنده را مدیریت کنیم. اگر هیچ کس وارد یا خارج نشود (هر دو صفر) یا دو نفر همزمان وارد و خارج شوند (هر دو یک) در این صورت نباید عدد شمارنده را تغییر داد: Enable=0. پس Enable = in xor out. یعنی وقتی شمارنده تغییر میکند که یا کسی وارد یا کسی خارج شود.
- ✓ حال اگر Enable = 0 ورودی U اهمیتی ندارد (همان don't care) اگر Enable = 1 باشد، اگر in = 1 باشد، باید یکی به شمارنده اضافه کرد (U = 1) و اگر in = 0 باشد، یعنی out = 1 شده (چون Enable = 1)، پس باید یکی از شمارنده کم کرد (U = 0). پس به راحتی و به کمک don't careها می‌توان گفت U = in .

بدین ترتیب منطق این کنترل کننده ظرفیت اتاق و نیز سیگنال های ذکر شده در سوال پیاده سازی شدند.

نتایج مربوط به تست و سایر موارد هم به پیوست ارسال شدند. در اینجا هم عکس آنها قرار داده شده است:

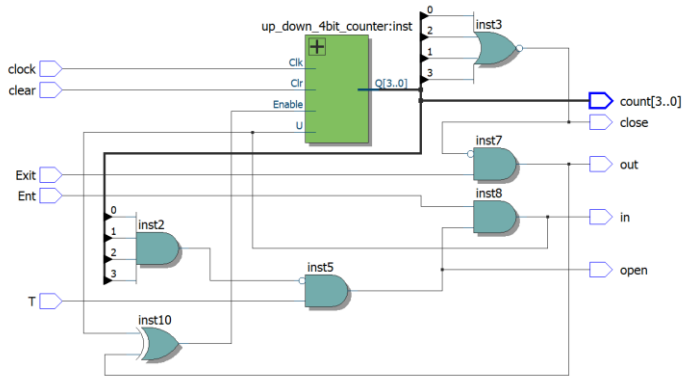
1) Waveform



در این waveform سعی شد تا طول بازه زمانی Ent ها و Exit ها برابر با طول کلاک باشد. در این صورت مثلا وقتی در یک بازه 30ns ای وقتی Ent = 1 یعنی سه نفر درخواست ورود داده اند (به فرض اینکه دوره تناوب کلاک 10ns باشند). در نتیجه این کار مطابق خواسته سوال، in , out هم سیگنال هایی به مدت یک کلاک تولید می‌کنند.

همچنین توجه شود سایر خواسته های سوال (وقتی اتاق پر یا خالی) باشد هم تست شد. (ولی در این waveform نیست)

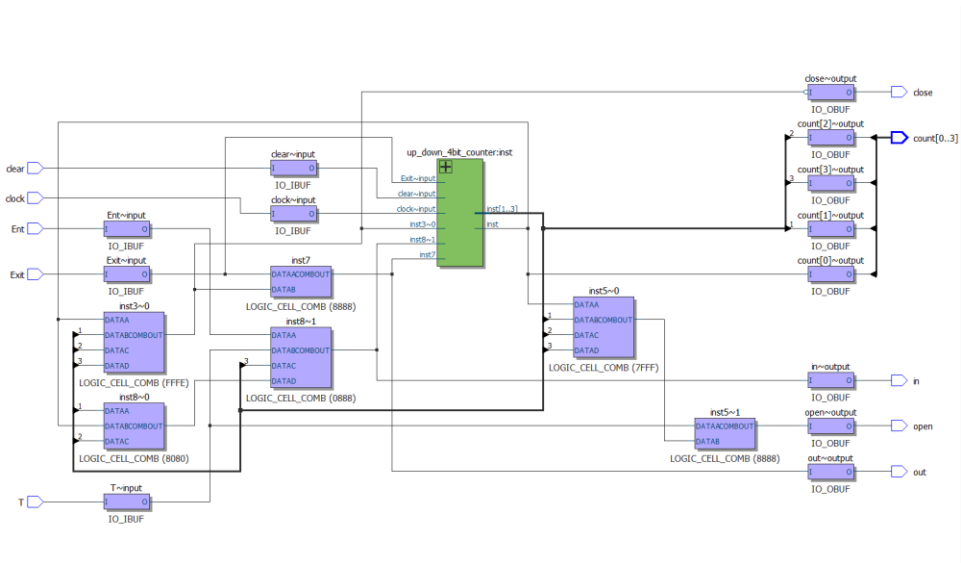
2) RTL



3) Flow Summary

Flow Summary	
Flow Status	Successful - Sun Nov 09 14:00:39 2025
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Web Edition
Revision Name	entry_room_control_system
Top-level Entity Name	entry_room_control_system_main_circuit
Family	Cyclone IV GX
Total logic elements	12 / 14,400 (< 1 %)
Total combinational functions	12 / 14,400 (< 1 %)
Dedicated logic registers	4 / 14,400 (< 1 %)
Total registers	4
Total pins	13 / 81 (16 %)
Total virtual pins	0
Total memory bits	0 / 552,960 (0 %)
Embedded Multiplier 9-bit elements	0
Total GXB Receiver Channel PCS	0 / 2 (0 %)
Total GXB Receiver Channel PMA	0 / 2 (0 %)
Total GXB Transmitter Channel PCS	0 / 2 (0 %)
Total GXB Transmitter Channel PMA	0 / 2 (0 %)
Total PLLs	0 / 3 (0 %)
Device	EP4CGX15BF14C6
Timing Models	Final

4) Technology mapping viewer



در نهایت از ما خواسته شده فرکانس کاری مدار حساب شود. چیزی که فعلا صرفا در شبیه سازی با کوارتوس ما تست کردیم، دوره تناوب 10ns برای کلاک است. که این برابر با فرکانس کاری 100MHz می‌شود. احتمالا ممکن است برای انجام عملی آزمایش این فرکانس را کمی کمتر کرد. (انشاءالله فردا به صورت عملی این مورد هم تست میشود:))