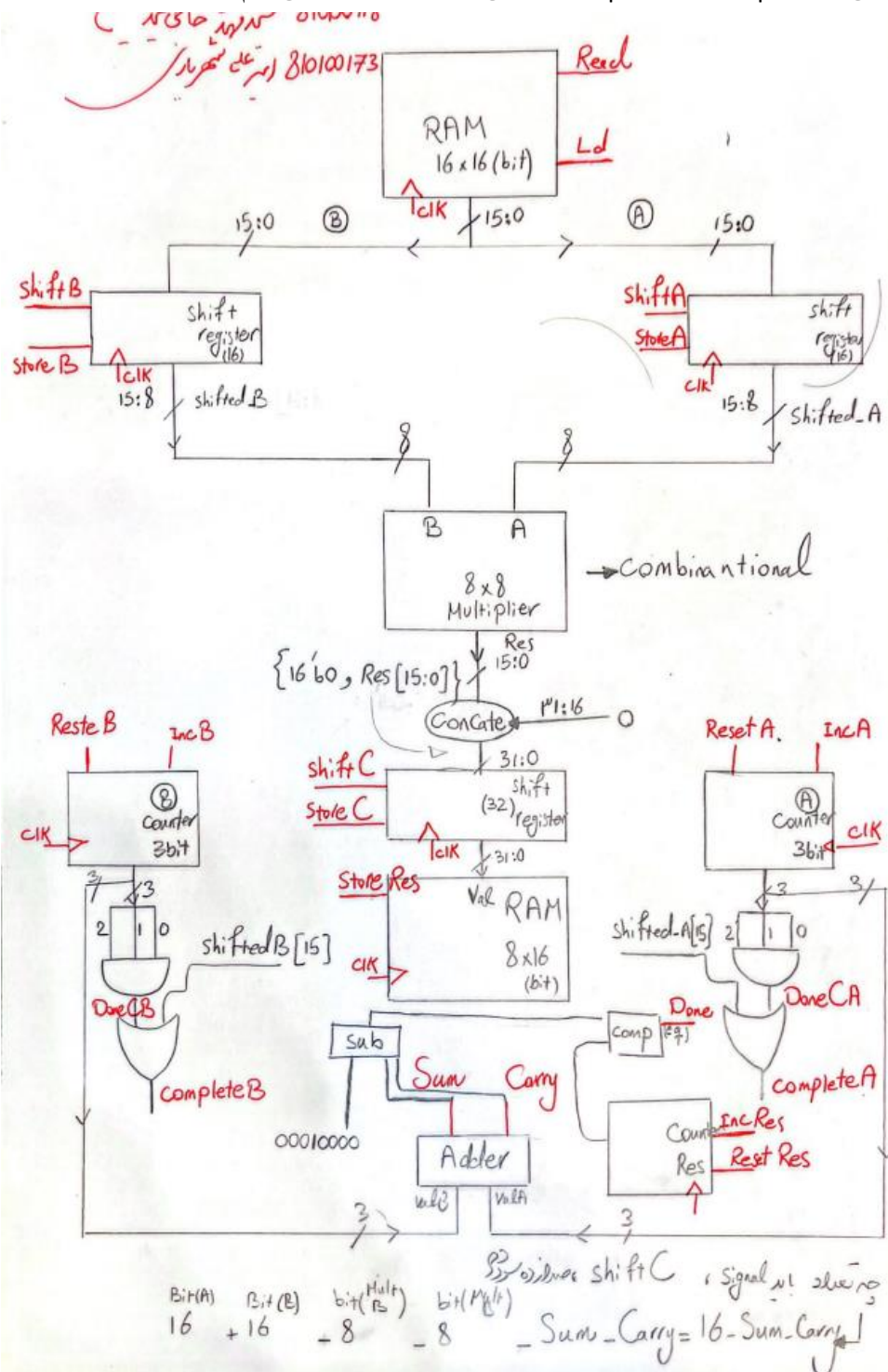


## گزارش پروژه اول CAD

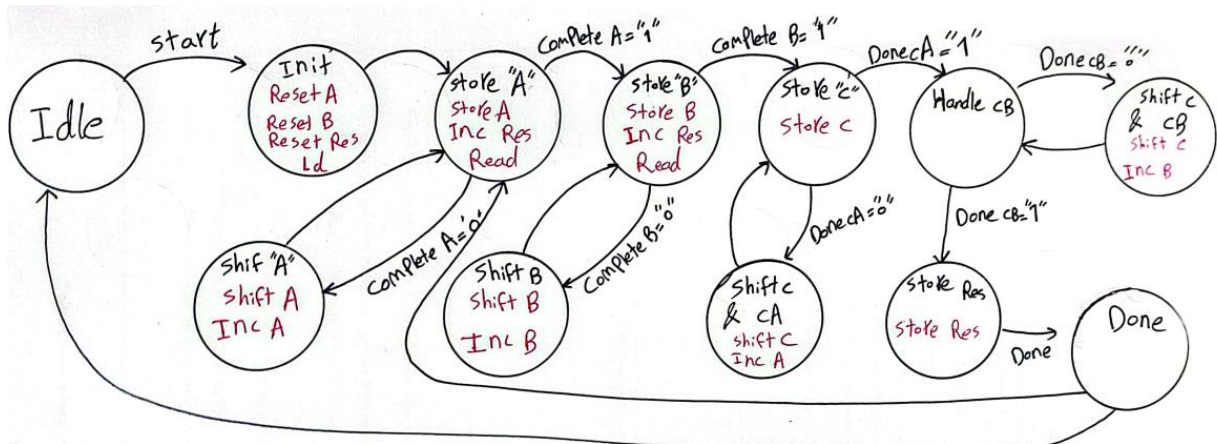
سید مهدی حاجی سید حسین - ۸۱۰۱۰۰۱۱۸

امیر علی شهریار - ۸۱۰۱۰۰۱۷۳

نخست برای طراحی component ها و datapath شکل فوق را لحاظ می کنیم:

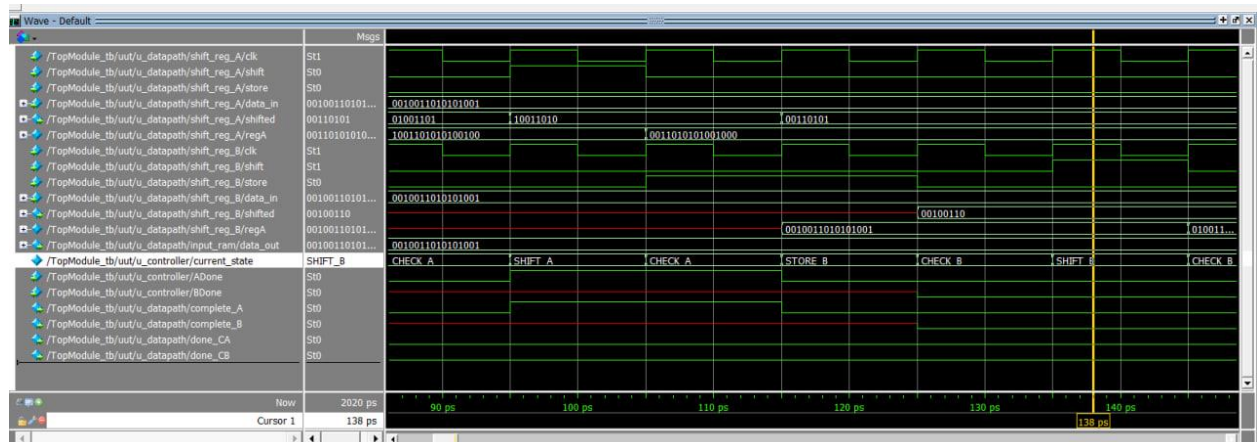


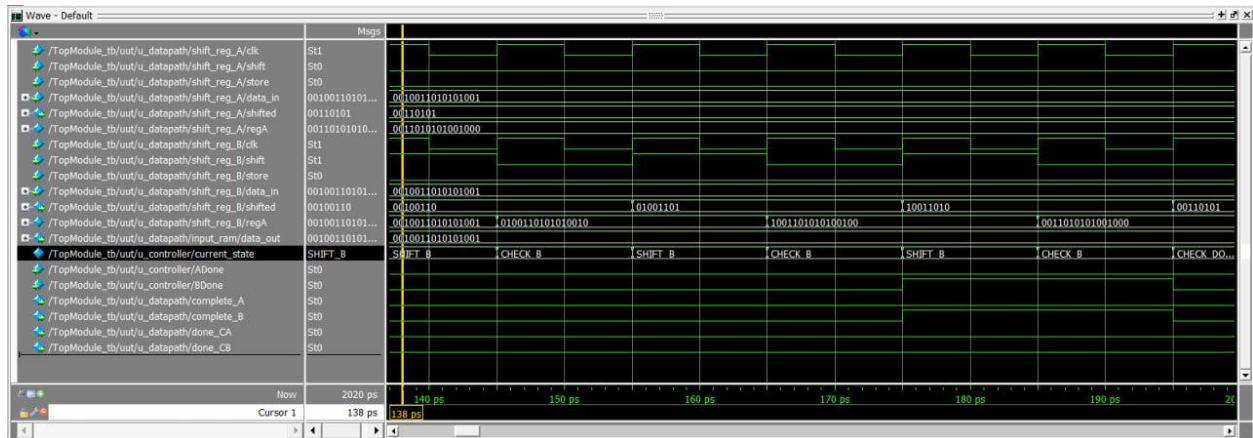
سپس در خصوص طراحی controller استیت ماشین زیر را دنبال می کنیم :



سید مهدی حاجی سید حسین - ۸۱۰۱۰۰۱۱۸  
امیرعلی شهبازی - ۸۱۰۱۰۰۱۷۳

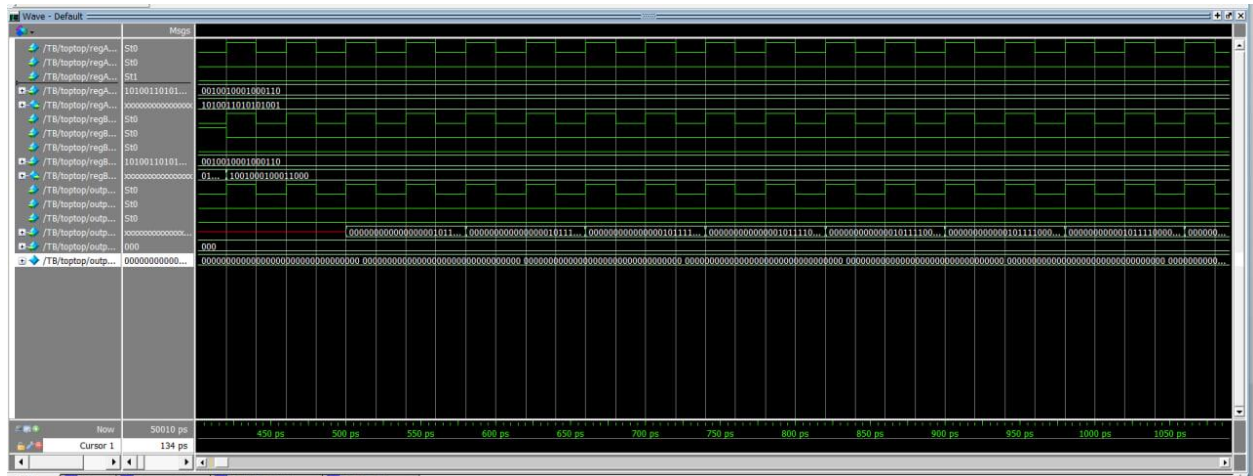
اکنون با توجه به پیاده سازی و توصیف سخت افزاری Verilog از روی شکل wave آنها محاسبات را رویت می کنیم:

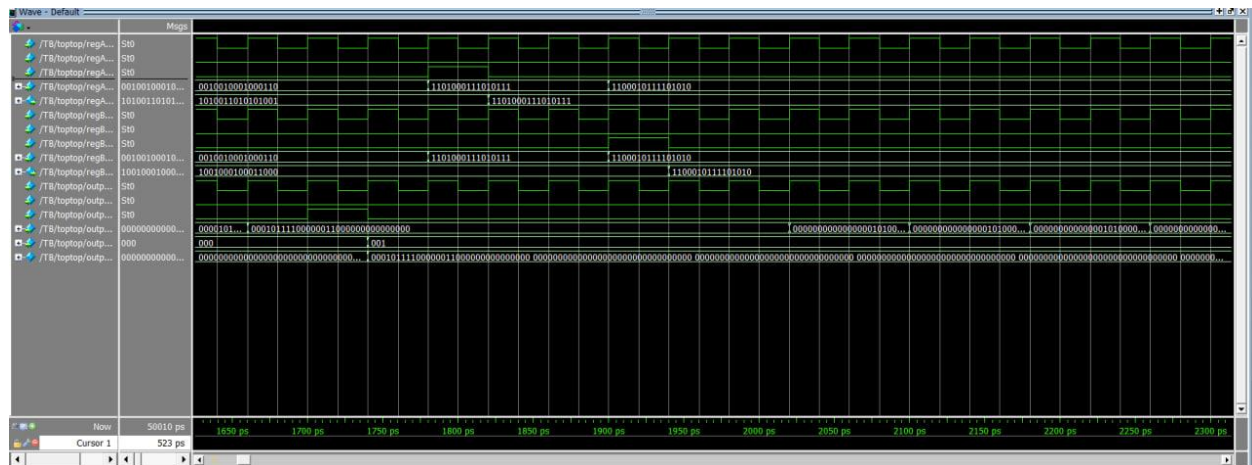




همانگونه که مشهود است دو ورودی A و B را شیفِت داده و همانگونه که در شکل مشخص است خروجی شیفِت داده شده حاصل می گردد.

نتیجه اولین ضرب با توجه به شکل wave زیر مشهود است:





همچنین در تصویر زیر می توان نتیجه همه ضرب ها در مموری خروجی را مشاهده کرد :

Objects			
Name	Value		
clk	St1	Net	In
save	St0	Net	In
store	St0	Net	In
val	10111110011011100000000000000000	Net	In
addr	000	Net	In
mem	00010111100000011000000000000000 101000001101...	Fixe...	Internal
[0]	00010111100000011000000000000000	Pack...	Internal
[1]	10100000110101010000000000000000	Pack...	Internal
[2]	01100011100100000000000000000000	Pack...	Internal
[3]	00001010111100010100000000000000	Pack...	Internal
[4]	00010101001000110100000000000000	Pack...	Internal
[5]	10001111011100000000000000000000	Pack...	Internal
[6]	01001110100011110000000000000000	Pack...	Internal
[7]	10111110011011100000000000000000	Pack...	Internal