

دانشگاه صنعتی شریف

واحد محاسبه با امكان انتخاب ثبات مبداء و مقصد

درس

آزمایشگاه معماری کامپیوتر

نويسنده

امیرحسین براتی (99101308) کیان بهادری (99105312)

> دانشگاه صنعتی شریف پاییز 1401

هدف آزمایش

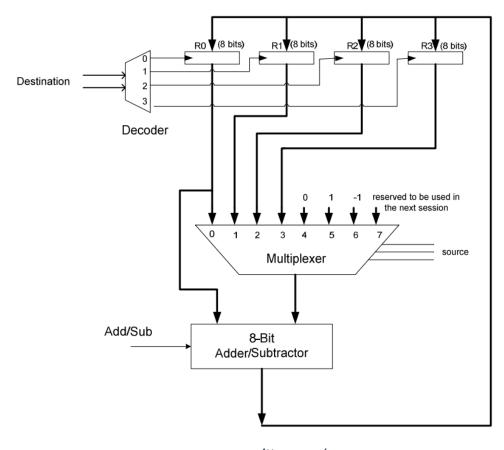
در این آزمایش، سعی داریم یک واحد محاسبات و ثباتهای مربوط به آن را مطابق با شکل 6 در دستور کار آزمایشگاه پیادهسازی کنیم.

شرح آزمایش

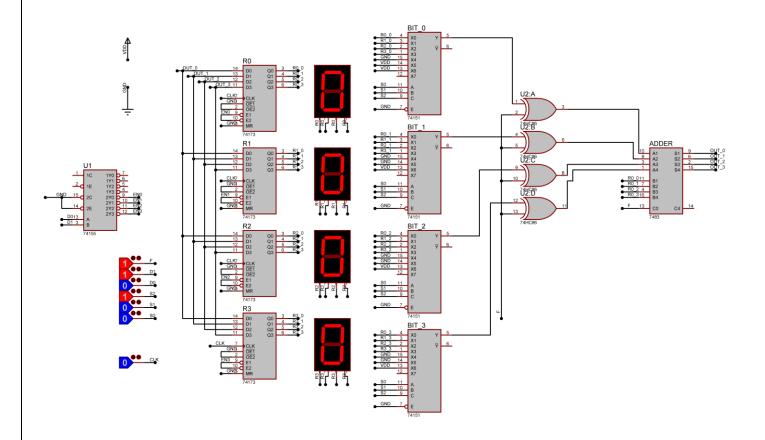
پیش از هر چیز باید ثباتهای عمومی ماشین را مشخص کنیم. طبق معماری داده شده چهار ثبات با شمارههای 0 تا 3 داریم. برای سادگی پیادهسازی، این ثباتها را چهار بیتی در نظر می گیریم. از چهار 74173 استفاده می کنیم.

علاوه بر این، به یک Multiplexer با ابعاد 4X8X1 نیاز داریم، که میتوانیم از چهار 74151 استفاده کنیم. (هر ثبات 8X1 متناظر با یک بیت از چهار 7483 با برای جمع/تفریق کننده از یک 7486 با برای گیت XOR و یک 7483 به عنوان full adder استفاده می کنیم (و برای تفریق ورودی را با 1 به گیت XOR داده و رقم نقلی FA را نیز 1 قرار می دهیم.)

حال کافیست یک Decoder را به مدار اضافه کنیم که از 74155 ic را استفاده می کنیم. شکل مدار نهایی در زیر آورده شدهاست. برای سادگی خواندن مقدار ذخیره شده در هر ثبات را با یک r segment نمایش می دهیم.



معماري مورد نظر



مدار نهایی در Proteus

نتایج مورد انتظار

انتظار داریم مدار مورد نظر به درستی جمع و تفریق را انجام دهد. مجموعه دستورات زیر را به ترتیب در مدار اجرا می کنیم.

R0 <- R0 + 1

R0 <- R0 + 1

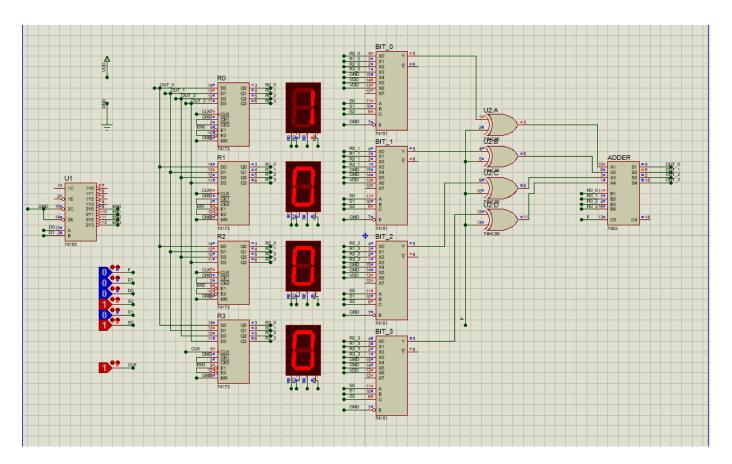
R1 < -R0 + 1

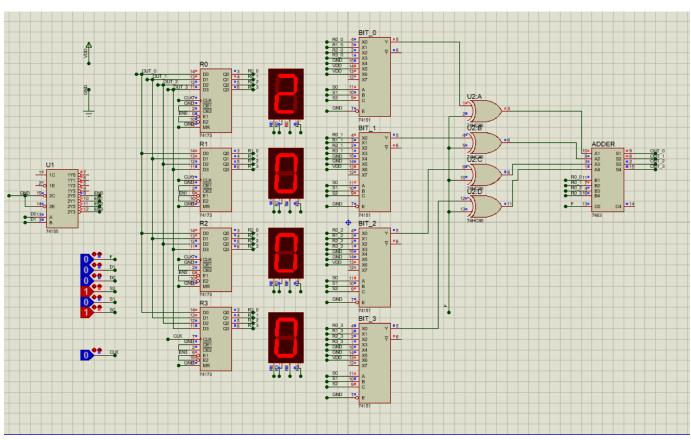
R2 <- R1 + R0

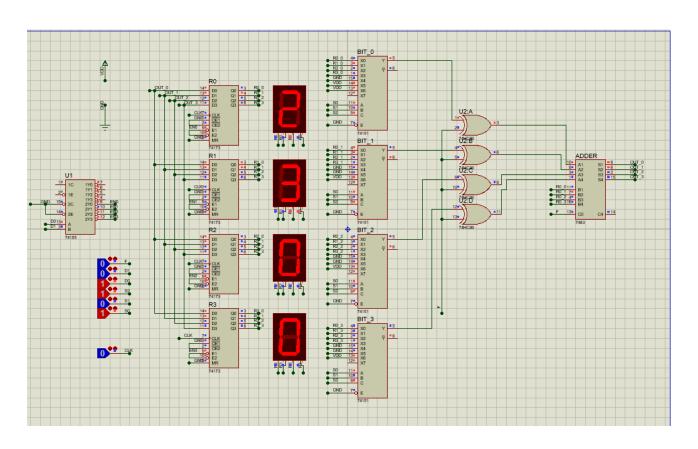
R3 <- R0

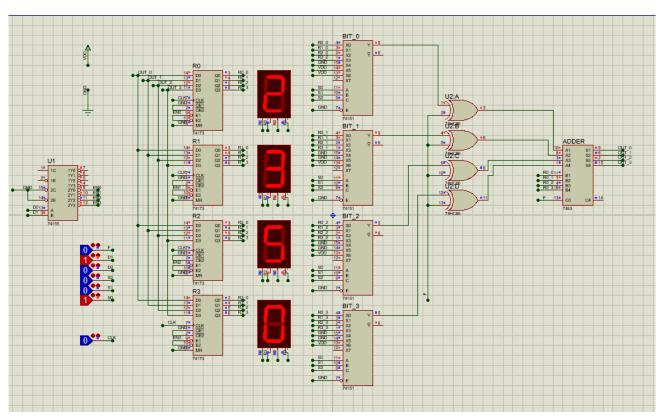
R0 <- R0 + R2

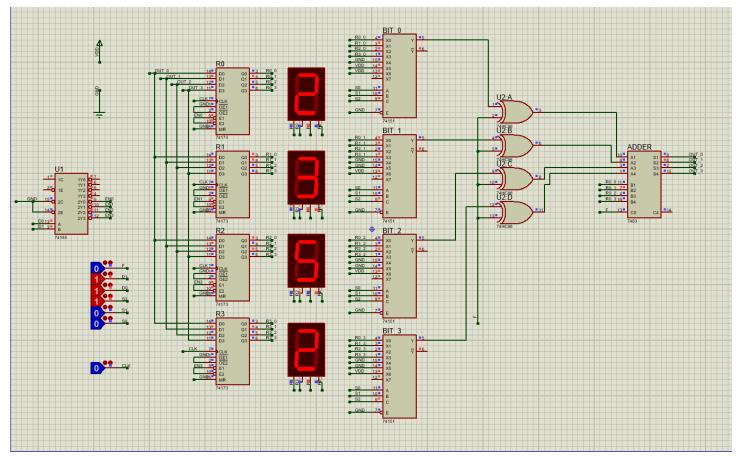
R2 <- R0 - R3

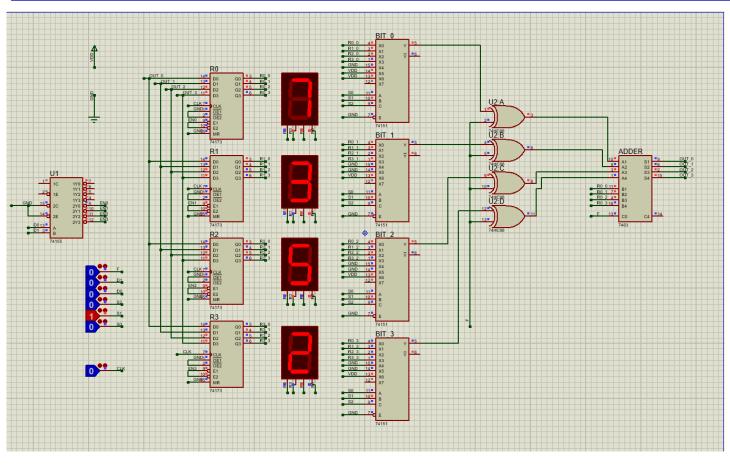


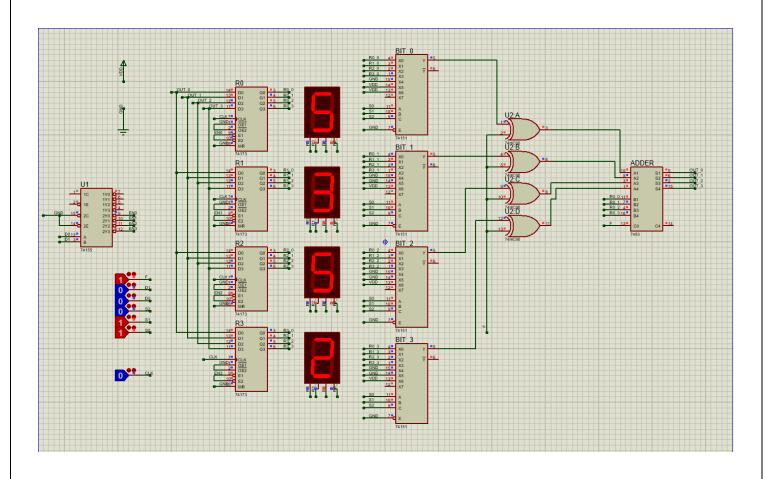












تصاویر مدار نهایی:

