

پروژه درس آزمدار منطقی

مهندسی کامپیوuter، دانشکده فنی، دانشگاه گیلان

استاد: مهسا غلامی

میخواهیم با استفاده از VHDL، یک سیستم نوبت دهی خودکار را به صورت زیر پیاده کنیم:

۱. ورودی ها شامل سه ورودی درخواست، `clk,rst` و `req1,req2,req3` است و خروجی ها هم شامل `ticket num`، شماره نوبت اختصاص داده شده که به شکل `std_logic_vector` ۴ بیتی `new_ticket` باشد. و همچنین `current_section` که نشان دهنده بخش اختصاص داده شده و نشان دهنده صدور نوبت جدید است.

وقتی کسی دکمه بخش خاص را **یک** قرار دهد، سیستم یک نوبت صادر می کند و هر بار شماره نوبت (counter) اضافه شود.

خروجی شماره و بخش نوبت را نشان دهد.

اگر ریست **یک** شود، شماره صفر شود.

پیاده سازی کد با استفاده از FSM می تواند باشد.

برای کد تست بنج بنویسید و فایل کد و اسکرین شات شکل موج را بفرستید.

نمره کل پروژه: ۱/۵ نمره

موفق باشید.