

## پروژه درس آزمون مدار منطقی

مهندسی کامپیوتر، دانشکده فنی، دانشگاه گیلان

استاد: مهسا غلامی

---

میخواهیم با استفاده از VHDL، یک سیستم نوبت دهی خودکار را به صورت زیر پیاده کنیم:

۱. ورودی ها شامل سه ورودی درخواست، req1, req2, req3 و clk, rst است و خروجی ها هم شامل ticket num، شماره نوبت اختصاص داده شده که به شکل std\_logic\_vector ۴ بیتی باشد. و همچنین current\_section که نشان دهنده بخش اختصاص داده شده و new\_ticket نشان دهنده صدور نوبت جدید است.

وقتی کسی دکمه بخش خاص را **یک** قرار دهد، سیستم یک نوبت صادر می کند و هر بار شماره نوبت (counter) اضافه شود.

خروجی شماره و بخش نوبت را نشان دهد.

اگر ریست **یک** شود، شماره صفر شود.

پیاده سازی کد با استفاده از FSM می تواند باشد.

برای کد تست بنچ بنویسید و فایل کد و اسکرین شات شکل موج را بفرستید.

نمره کل پروژه: ۱/۵ نمره

موفق باشید.