

گزارش آزمایش ۳ از معماری کامپیوتر

گروه ۲

امیرحسین علمدار - محمدپیام تائبی - ماهان بیهقی

نام آزمایش

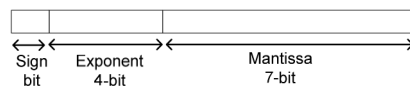
جمع کننده / تفریق کننده ممیز شناور

اهداف آزمایش

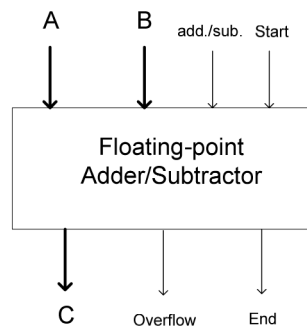
طراحی مدار جمع کننده و تفریق کننده برای اعداد ممیز شناور ۱۲ بیتی

شرح آزمایش

مدار جمع کننده طراحی شده ورودی های ممیز شناور A و B و سیگنال های کنترلی ADD/SUB و START دارد. با فعال شدن سیگنال START محاسبه آغاز میشود و پس از محاسبه حاصل جمع یا تفریق دو عدد A و B بسته به سیگنال کنترلی عملیات، حاصل عملیات را روی خروجی قرار داده و سیگنال کنترلی END هم یک میشود. در صورت وقوع اورفلو در فرایند جمع نیز سیگنال خروجی OVERFLOW یک میشود. مجدد با غیرفعال شدن سیگنال START مدار آماده دریافت مقادیر جدید میشود. همچنین ورودی ADD برای تعیین نوع عملیات مورد استفاده قرار میگیرد. در صورت ۱ بودن این سیگنال حاصل $A+B$ محاسبه میشود و در غیر این صورت مقدار $A-B$ محاسبه میشود. در این آزمایش از اعداد ۱۲ بیتی ممیز شناور که به فرمت زیر میباشند استفاده خواهیم کرد:



شکل ۱: فرمت ۱۲ بیتی ورودی های و خروجی ها



شکل ۲: طرح بلک باکس مدار

مراحل آزمایش و مدارات

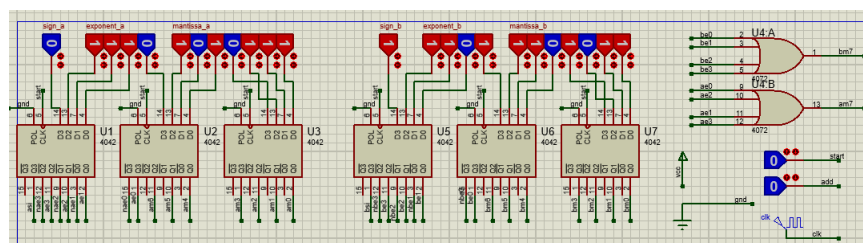
الگوریتم جمع و تفریق

برای جمع و تفریق دو عدد ممیز شناور الگوریتم زیر را پیاده سازی میکنیم:

- ورودی که نمای کوچکتری دارد را انقدر به راست شیفت میدهیم تا نمای هر دو عدد برابر شود.
- مقادیر عددی ورودی ها را با هم جمع میکنیم. در صورتی که هرکدام از اعداد منفی باشند، از مکمل دوی آن ها استفاده میکنیم. همچنین اگر عملیات خواسته شده تفریق باشد، ورودی دوم را مکمل ۲ میکنیم.
- وقوع اورفلو در جمع را بررسی میکنیم و نما را در صورت نیاز یک واحد افزایش میدهیم.
- مقدار حاصل از جمع را نرمالایز میکنیم به گونه ای که در صورت امکان، بیت پرارزش خروجی ۱ باشد. در این صورت مقدار نما را به اندازه ای کاهش میدهیم که تغییری در مقدار نهایی ایجاد نشود. اگر عدد دینرمالایز یا ۰ باشد، نمای خروجی ۰ خواهد بود.

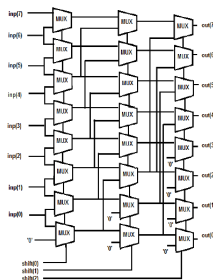
طراحی شماتیک مدار

- ورودی های مدار در هنگام محاسبه نباید تاثیری در محاسبه داشته باشند. برای پیاده سازی این ویژگی از قرار دادن لچ-D بر سر راه ورودی ها استفاده کرده ایم. با ۱ شدن سیگنال START ورودی ها وارد مدار میشوند و محاسبه آغاز میشود.

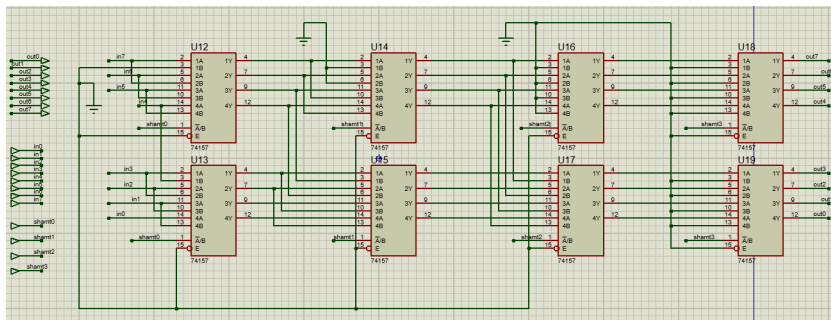


شکل ۳: ورودی های مدار

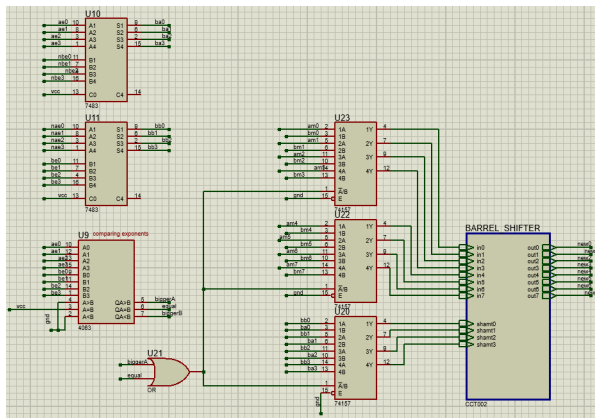
- طبق الگوریتمی که در بالا معرفی شد به شیفتهای ۸ بیتی با چهار ورودی SHAMT نیاز خواهیم داشت که مقدار شیفت را مشخص کند. برای طراحی این شیفتهای از ساختار مدار ترکیبی شیفت دهنده بشکه ای استفاده میکنیم. البته شیفتهر مورد نیاز در این سوال چهار ورودی کنترل کننده مقدار شیفت خواهد داشت تا جمع اعداد نرمالایز و دینرمالایز را هم پیاده سازی کند. مدار طراحی شده برای این شیفتهر به صورت زیر است:
- حال که شیفتهر را طراحی کرده ایم با مقایسه نماهای دو عدد، عدد کوچکتر را به اندازه اختلاف نماها به سمت راست شیفت میدهیم. مدار زیر این عملیات را نشان میدهد:



شکل ۴: شیفتر بشکه ای

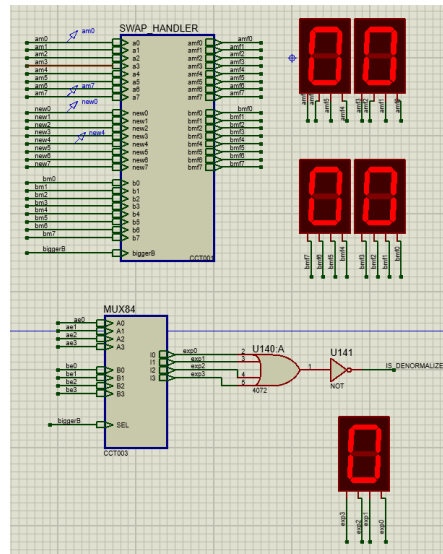


شکل ۵: شیفتر بشکه ای طراحی شده

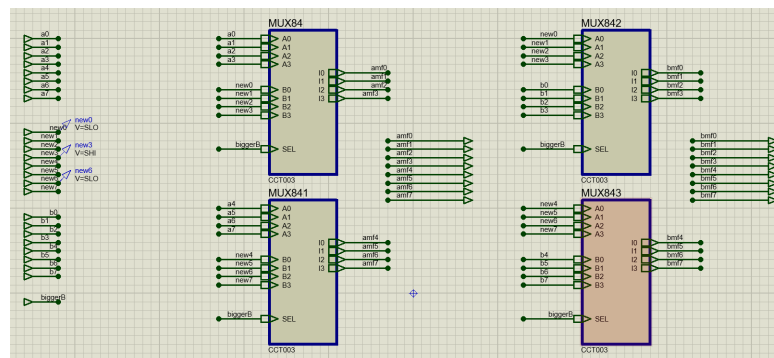


شکل ۶: ابتدا با یک مقایسه کننده دو نما مقایسه میشوند. سپس اختلاف نما ها محاسبه میشود و عدد کوچکتر به اندازه اختلاف نما شیفت داده میشود.

- مدار جابه جا کننده زیر ورودی کوچک تر که شیفت داده شده است را در گاه صحیح ورودی لازم قرار میدهد. همچنین دو سون سگمنت قرار گرفته در این بخش به کاربر نشان میدهند دو ورودی A و B چه مقدار عددی دارند. هم چنین مقدار نمای هردو عدد پس از align شدن در سون سگمنت دیگری به کاربر نشان داده میشود:



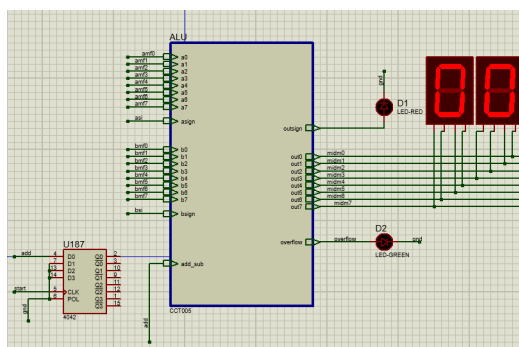
شکل ۷: جابه جایی ورودی ها و مشخص کردن نما و مقادیر عددی ورودی ها



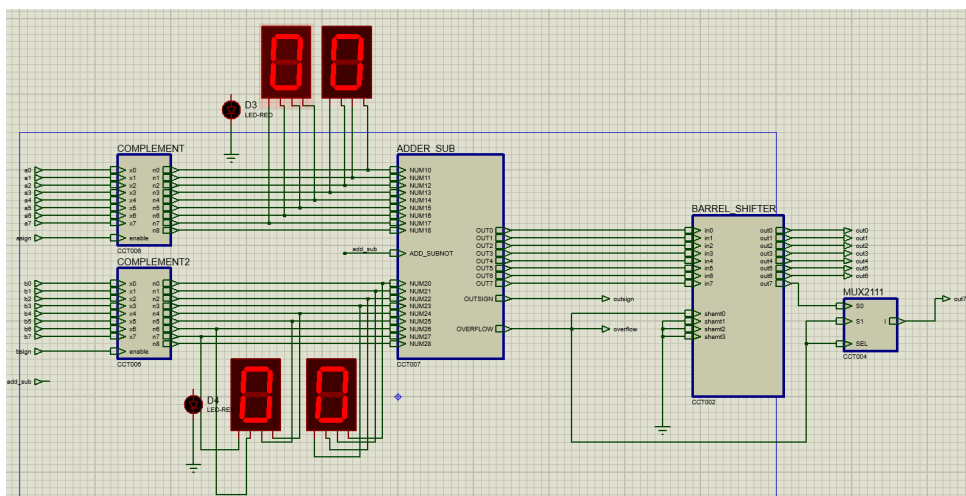
شکل ۸: ساختار مدار جا به جا کننده

- مقادیر align شده وارد alu میشوند تا بسته به سیگنال کنترلی add/sub محاسبه انجام شود. خروجی های alu مقدار عددی حاصل از مقایسه و علامت آن است. در صورت رخ دادن اورفلو در فرایند جمع یا تفریق نیز سیگنال overflow فعال میشود. البته این سیگنال ارتباطی به سیگنال

اورفلویی که خروجی مدار است ندارد و برای افزایش نما به کار میرود. در مدار alu طراحی شده ابتدا در صورت منفی بودن علامت هر کدام از ورودی ها مکمل دوی آن ها محاسبه میشود و سپس وارد یک ادر ۹ بیتی میشوند. در صورت رخ دادن اورفلو در جمع، سیگنال اورفلوی alu فعال میشود. خروجی ۸ بیتی جمع کننده در صورتی که در جمع اورفلو رخ داده باشد، به اندازه ۱ بیت به راست شیفت میخورد.

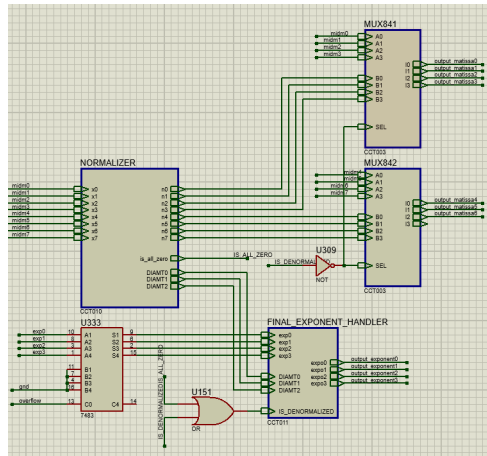


شکل ۹: مدار جمع کننده / تفریق کننده



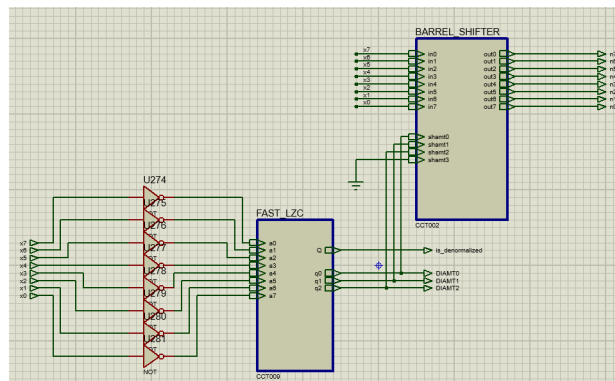
شکل ۱۰: واحد جمع کننده طراحی شده

- خروجی alu وارد مدار نرمالایزر میشود. و پس از نرمالایز شدن، در صورتی که خروجی نهایی نرمالایز باشد، روی خروجی های مدار قرار میگیرد. هم چنین اگر خروجی نهایی دینرمالایز باشد، خروجی نهایی از مدار نرمالایزر تاثیر نمی پذیرد. نمای خروجی در این قسمت تعیین میشود. در صورتی که حاصل جمع اورفلو داشته باشد، نما افزایش میابد. در صورتی که حاصل ۰ باشد یا دینرمالایز باشد، نمای خروجی ازین بخش مدار ۰ میشود.



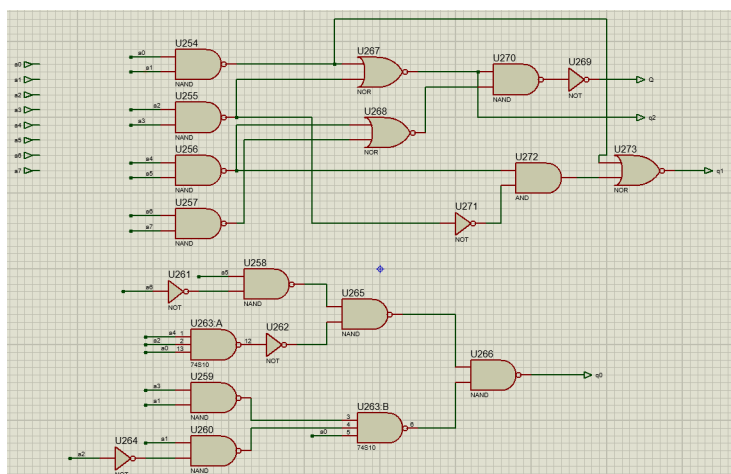
شکل ۱۱: نرمالایز کردن و تعیین مانتیس و نمای خروجی مدار

- مدار نرمالایزر طراحی شده بر پایه شمردن یک ها کار میکند. یک شمارنده LZC سریع طراحی کرده ایم که اندیس نخستین ۰ عدد را خروجی میدهد و با نات کردن ورودی هایش، اندیس نخستین یک موجود در حاصل جمع یا تفریق را میابیم. در نهایت با شیفت دادن به اندازه کافی به سمت چپ، عدد را نرمالایز میکنیم به گونه ای که عدد ۸ بیتی حاصل در جایگاه پرارزش خود بیت ۱ داشته باشد. همچنین اگر مقدار خروجی جمع یا تفریق ۰ باشد، سیگنال مربوط به ۰ بودن همه بیت های مانتیس فعال میشود. این سیگنال و سیگنال تشخیص دینرمالایز همان دو سیگنالی هستند که در بخش قبلی مدار به آن ها نیاز داشتیم.



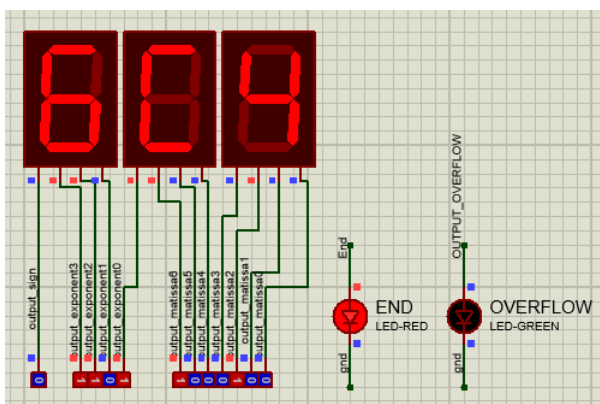
شکل ۱۲: مدار نرمالایزر

- برای ایجاد سیگنال خروجی OVERFLOW کافی است مجاز بودن نما را بررسی کنیم. در صورتی که نمای خروجی نهایی ۱۱۱۱ باشد اورفلو رخ داده است. همچنین برای ایجاد سیگنال خروجی END پس از گذشت دوکلاک از فعال شدن سیگنال ورودی START این سیگنال ۱



شکل ۱۳: مدار شمارشگر صفرهای مقدم

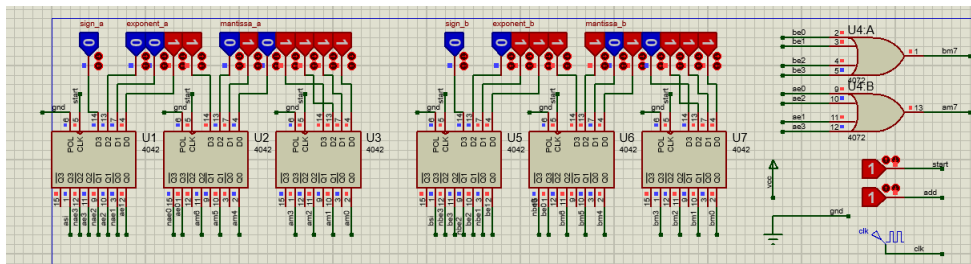
میشود. با صفر شدن مجدد سیگنال START این سیگنال خروجی نیز ۰ میشود.



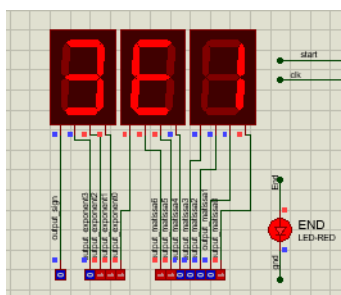
شکل ۱۴: خروجی های مدار

تست و بررسی مدار برای چند ورودی متفاوت

- دو ورودی $1AF = A$ و $3DV = B$ را به مدار میدهیم و سیگنال ADD را فعال میکنیم. انتظار می‌رود عدد کوچکتر که همان A است به اندازه ۴ واحد به راست شیفت بخورد تا مقادیر align شوند. در نهایت حاصل جمع برابر با مقدار عددی E1 و نمای ۷ خواهد شد. نمایش ممیز شناور این عدد به صورت $3E1$ خواهد بود.

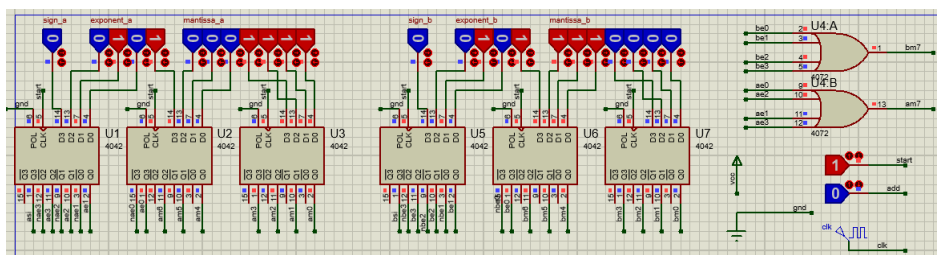


شکل ۱۵: ورودی های تست اول

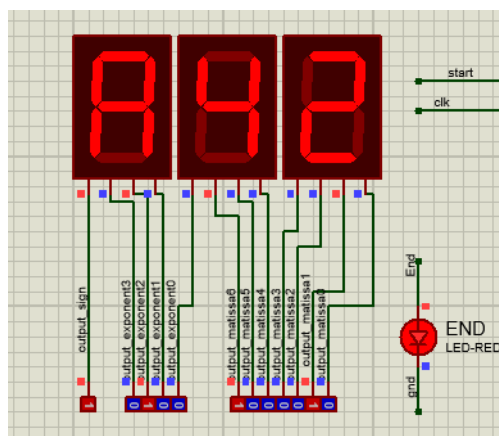


شکل ۱۶: خروجی های تست اول

- دو ورودی $2AF = A$ و $2F0 = B$ را به مدار میدهیم و سیگنال ADD را غیرفعال میکنیم. نمای هر دو عدد برابر است پس align تغییر خاصی در ورودی ها نمیدهد. انتظار می‌رود حاصل تفریق منفی مقدار عددی ۶۱ باشد و خروجی ممیز شناور حاصل $A42$ باشد.



شکل ۱۷: ورودی های تست دوم



شکل ۱۸: خروجی های های تست دوم

لیست قطعات و تراشه های استفاده شده برای طراحی مدار

IC number	Information	IC number	Information
74S10	three 3-input NAND gate	4063	4 bit magnitude comparator
7483	4 bit full adder w/ fast carry	4042	Quadruple D-latch
74157	Quadruple 1-to-2 data selector	4072	Dual four input or gate
74175	Quadruple D-flipflop	7SEG-BCD	BCD seven segment

شکل ۱۹: تراشه های به کار رفته در مدار