

## تمرین ۶

## سوال ۱

Table 7.7 Delay of circuit elements

| Element                | Parameter     | Delay (ps) |
|------------------------|---------------|------------|
| Register clk-to-Q      | $t_{pcq}$     | 40         |
| Register setup         | $t_{setup}$   | 50         |
| Multiplexer            | $t_{mux}$     | 30         |
| AND-OR gate            | $t_{AND-OR}$  | 20         |
| ALU                    | $t_{ALU}$     | 120        |
| Decoder (control unit) | $t_{dec}$     | 25         |
| Extend unit            | $t_{ext}$     | 35         |
| Memory read            | $t_{mem}$     | 200        |
| Register file read     | $t_{RFread}$  | 100        |
| Register file setup    | $t_{RFsetup}$ | 60         |

$$T_{c\_pipelined} = \max \left[ \begin{array}{l} t_{pcq} + t_{mem} + t_{setup} \\ 2(t_{RFread} + t_{setup}) \\ t_{pcq} + 4t_{mux} + t_{ALU} + t_{AND-OR} + t_{setup} \\ t_{pcq} + t_{mem} + t_{setup} \\ 2(t_{pcq} + t_{mux} + t_{RFsetup}) \end{array} \right. \begin{array}{l} \text{Fetch} \\ \text{Decode} \\ \text{Execute} \\ \text{Memory} \\ \text{Writeback} \end{array} \quad (7.5)$$

بر اساس صفحه 454 رفرنس هریس، زمان دوره کلاک بر اساس ماکسیمم میزان پنج استیج ، Decode ، Fetch ، Execute ، Memory ، Writeback است.

حالا برای استیج Execute ، زمان اجرا را محاسبه میکنیم چون تاخیر واحد ALU فقط و فقط در همین استیج

تأثیرگذار است و بقیه تأخیرها را بر اساس مرجع هریس داریم.

میدانیم تأخیر واحد استیج Execute برابر:

$$t_{\text{execute}} = t_{\text{pcq}} + 4t_{\text{mux}} + t_{\text{ALU}} + t_{\text{AND\_OR}} + t_{\text{setup}}$$

است! میدانیم بر اساس جدول 7.7 تأخیر واحد ALU برابر 120ps است و اگر به میزان 20% کاهش بیابد، به مقدار 96ps میرسد.

بنابراین بر این اساس داریم :

$$t_{\text{execute}} = 40 + 4(30) + 96 + 20 + 50 = 326\text{ps}$$

که در مقایسه با واحد های دیگر، باز هم ماکسیمم مقدار است که  $\text{cycle time} = 326\text{ ps}$  میباشد. با روال بالا حالا برای افزایش مقدار تأخیر ALU محاسبات را انجام میدهیم! میدانیم  $120 * 1.2 = 144$  میباشد.

$$t_{\text{execute}} = 40 + 4(30) + 144 + 20 + 50 = 374\text{ps}$$

که باز هم در اینجا با مقایسه با دیگر استیج ها، این مقدار ماکسیمم است، بنابراین  $\text{cycle time} = 374\text{ps}$  خواهد بود.

در نهایت متوجه شدیم که تأخیر ALU در خط لوله بر روی زمان و تأخیر فقط استیج Execute تأثیر میگذارد و با این حال با افزایش و یا کاهش تأخیر این واحد، باز هم این استیج بیشترین زمان را از ما میبرد و باعث بالا رفتن زمان دوره کلاک میشود.

## سوال ۲

هر دستور در حالت عادی ۵ سیکل نیاز دارد تا به صورت کامل انجام شود. پیش بینی اولی ما با توجه به overlap سیکل ها با یکدیگر 12 سیکل می باشد. اما در صورتی که hazard detection فعال و مخاطرات مدیریت شوند نیاز به دو سیکل اضافه دیگر نیز می باشد که مربوط به stall شدن دستورات پنجم (ori) و هفتم (xori) می باشد. پس در نهایت ۱۴ سیکل و CPI برابر با  $1.75 = 14/8$  می باشد.

```
# instruction ends in this cycle
addi s0, zero, 24    # 5
addi s1, zero, 16    # 6
sub t0, s0, s1       # 7
```

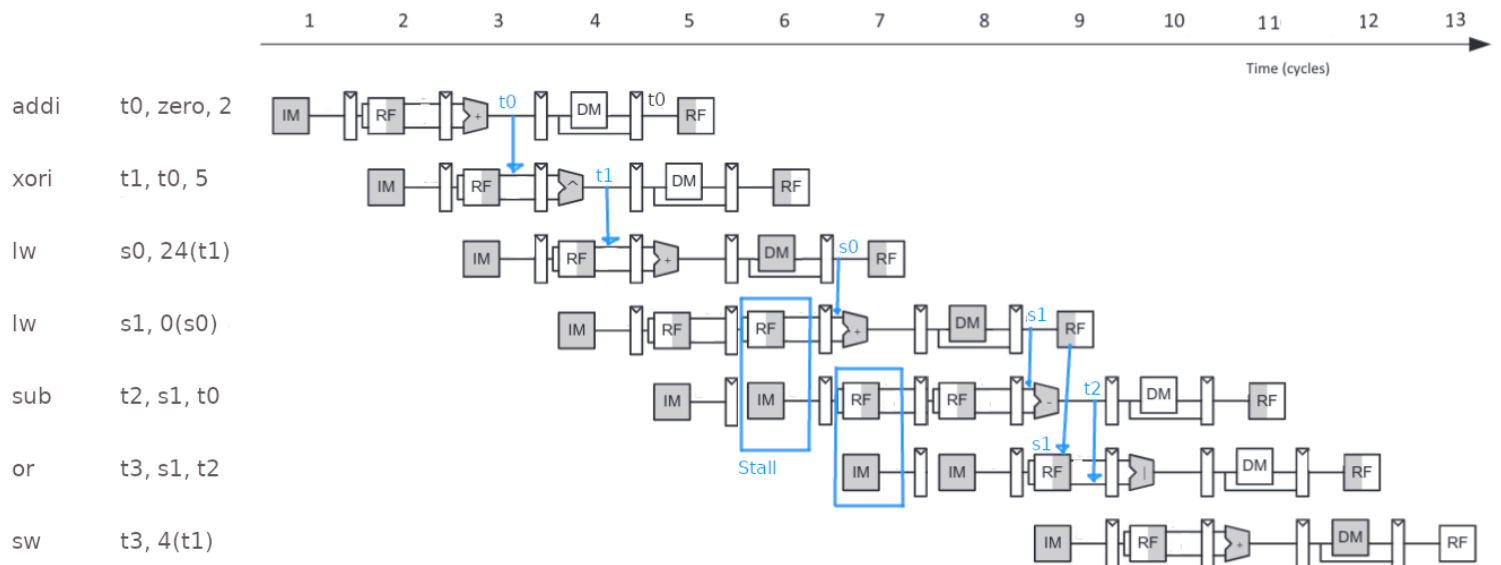
```

lw t1, 2(t0)      # 8
ori t2, t1, 63    # 10
lw s2, 0(t2)      # 11
xori t1, s2, 27   # 13
sw t1, 0(s1)      # 14

```

### سوال ۳

وقفه‌ها و پیش‌ارسالی‌های مورد نیاز:



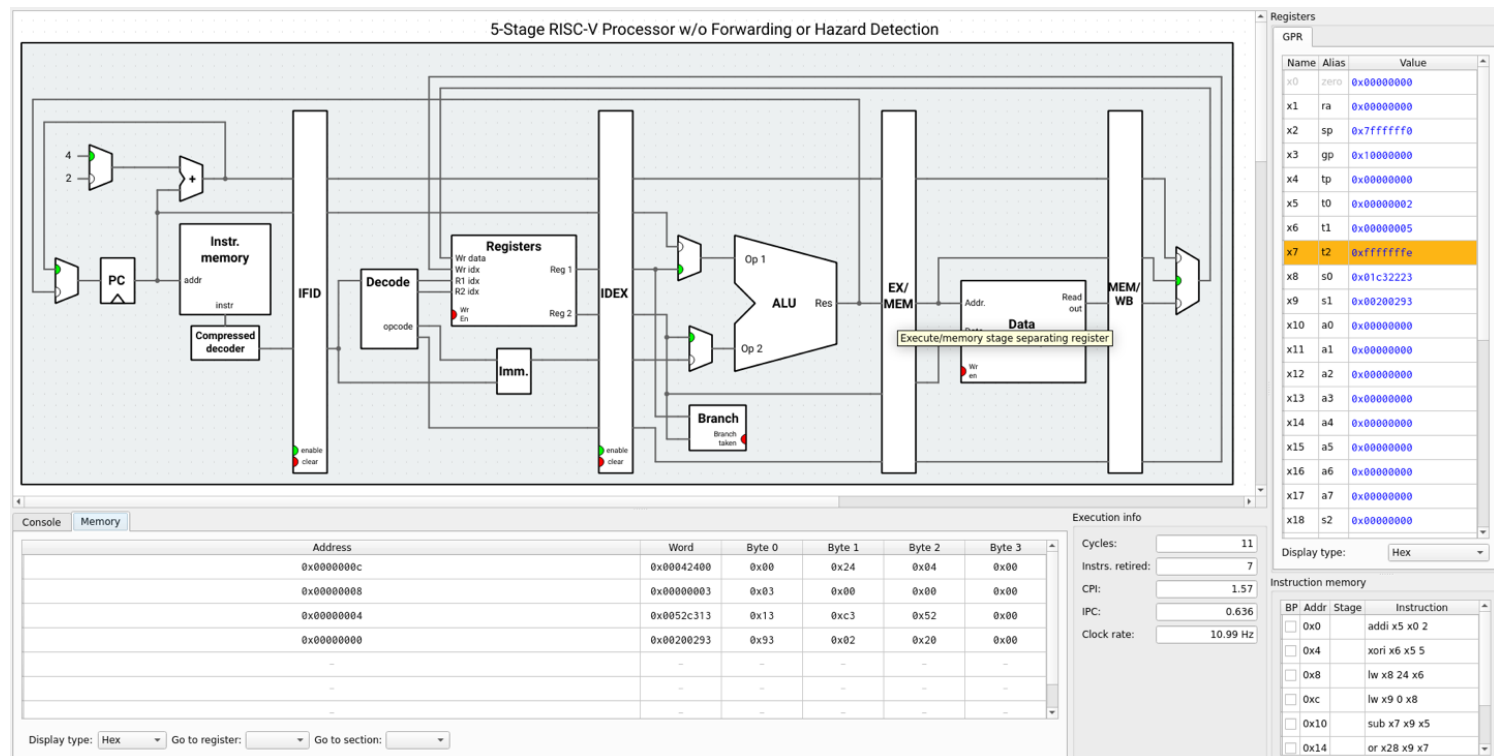
کاری که کد باید انجام دهد:

```

addi t0, zero, 2    # t0=2
xori t1, t0, 5      # t1=7
lw s0, 24(t1)       # s0 <= [31]
lw s1, 0(s0)        # s1 <= [s0]
sub t2, s1, t0       # t2 = s1 - 2
or t3, s1, t2        # t3 = s1 | (s1 - 2)
sw t3, 4(t1)         # [11] <= t3

```

شبیه‌سازی نادرست و بدون رفع مخاطره:



در همان ابتدا به دلیل عدم پیش‌ارسالی رجیستر t1 مقدار ۵ را می‌گیرد که اشتباه است و باقی هم به همین شکل که در نهایت در آدرس ۹ SW انجام میشود به جای آدرس ۱۱ یا 0x0000000B

شبیه‌سازی درست:

