

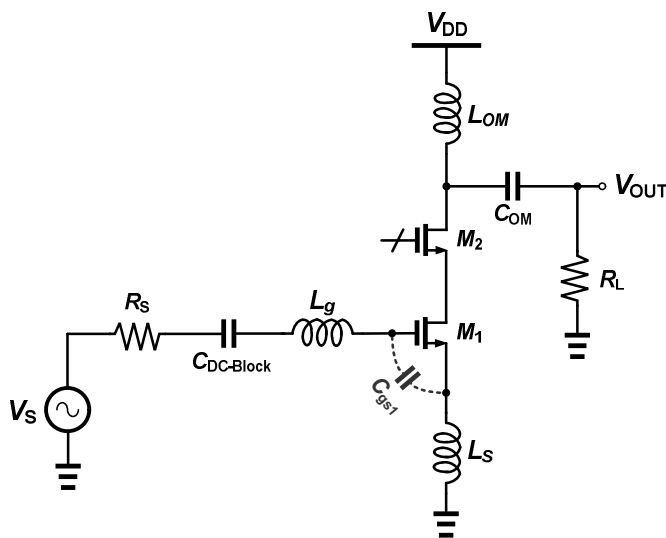
به نام خدا

تکلیف کامپیوتری دوم درس مدارهای مخابراتی

موعد تحویل : پانزدهم خردادماه

هدف این پروژه طراحی LNA با ساختار Source Inductive Degenerated (SID) و مشخصات نشان داده شده در شکل زیر برای استفاده در گیرنده‌ای با فرکانس مرکزی 2.45 GHz می‌باشد. شبیه‌سازی را در تکنولوژی 0.18μm CMOS RF انجام دهید.

توجه: می‌توانید از عناصر غیرفعال (Passive) ایده‌آل در این شبیه‌سازی استفاده نمایید. تمامی مشخصات ذکر شده در شکل زیر باید در هر سه گوشه پروسه/دما ($TT/25^\circ$, $SS/85^\circ$, $FF/0^\circ$) برآورده گردند، بنابراین در طراحی اولیه این موضوع را در نظر بگیرید. دقت کنید که بایاس ترانزیستورها در شکل زیر نشان داده نشده است.



- $f_o = 2.45 \text{ GHz}$
- $V_{DD} = 1.8 \text{ V}$
- $C_{ox} = 6 \text{ fF}/\mu\text{m}^2$
- $\mu_n C_{ox} = 300 \mu\text{A}/\text{V}^2$
- $R_S = R_L = 50 \Omega$
- (Inductor Q): $Q_L = 10$ @ 2.45GHz

Specifications: ($TT/25^\circ$, $SS/85^\circ$, $FF/0^\circ$)

- Gain ($|S_{21}|$) > 14dB
- NF < 2.5dB
- Reverse Isolation ($|S_{12}|$) < -32dB @ 2.45 GHz
- Input Return Loss ($|S_{11}|$) < -15dB @ 2.45 GHz
- Output IP3 > 9 dBm
- Total Power < 17 mW

طراحی می‌تواند طی مراحل زیر صورت پذیرد: (بر اساس اسلایدهای Prof. Michael Perrott دانشگاه MIT)

- ۱- ابتدا بایاس ولتاژ (V_{gs1}) اولیه ترانزیستور M_1 با $(W/L)_1$ دلخواه برابر مقداری معمول انتخاب می‌گردد. بر این اساس مقادیر g_m و C_{gs} محاسبه می‌گردند. بنابراین مقدار تقریبی فرکانس گذر ترانزیستور اصلی (M_1) برابر است با $\omega_t \approx g_m/C_{gs}$. همان طور که در این اسلایدها اثبات گردیده، عدد نویز (NF) برای LNA با ساختار نشان داده شده، برابر است با:

$$Noise\ Factor = F = 1 + \left(\frac{w_0}{w_t} \right) g \left(\frac{g_{d0}}{g_m} \right) \frac{1}{2Q} (1 - 2|c|c_d + (4Q^2 + 1)c_d^2)$$

که ω_0 فرکانس مرکزی، Q ضریب کیفیت شبکه ورودی LNA، $c = -j0.55$ ضریب همبستگی بین نویز جریان درین و جریان گیت، و $\chi_d \approx 0.63(g_m/g_{d0})$ برای تکنولوژی CMOS $0.18\mu m$ می‌باشند. توجه کنید که g_{d0} ترانسانایی ترانزیستور ورودی است، وقتی که ولتاژ درین-سورس آن برابر صفر باشد.

۲- با محاسبه پارامترهای لازم در بایاس فرض شده، نمودار عدد نویز بر حسب ضریب کیفیت (Q) می‌تواند ترسیم گردد. بر اساس مشخصه عدد نویز خواسته شده (با در نظر گرفتن حاشیه لازم برای گوشه‌های پروسه/لما) Q لازم شبکه ورودی انتخاب می‌گردد. امپدانس ورودی LNA (بدون در نظر گرفتن ضریب کیفیت سلف‌ها) با ساختار شکل بالا برابر است با:

$$Z_{in} = \frac{1}{sC_{gs}} + s(L_S + L_g) + \frac{g_m}{C_{gs}} L_S \rightarrow w_0 = \frac{1}{\sqrt{(L_S + L_g)C_{gs}}}$$

بنابراین، برای تطبیق امپدانس ورودی بایستی $(g_m/C_{gs}).L_S = R_S = 50\Omega$ برقرار باشد. پس C_{gs} ترانزیستور ورودی به صورت زیر قابل محاسبه است:

$$Q = \frac{1}{\left(R_S + \frac{g_m}{C_{gs}} L_S \right) w_0 C_{gs}} = \frac{1}{2R_S w_0 C_{gs}} \rightarrow C_{gs} = \frac{1}{2R_S w_0 Q}$$

۳- بنابراین L_S و L_g نیز برابرند با:

$$\frac{g_m}{C_{gs}} L_S = R_S \rightarrow L_S = \frac{R_S C_{gs}}{g_m} = \frac{R_S}{w_t}$$

$$w_0 = \frac{1}{\sqrt{(L_S + L_g)C_{gs}}} \rightarrow L_g = \frac{1}{w_0^2 C_{gs}} - L_S$$

۴- بر اساس ولتاژ بایاس (V_{gs1}) چگالی جریان ترانزیستور ورودی (I_{d1}/W_1) قابل محاسبه است. مقدار $(W/L)_1$ جدید بر اساس نسبت C_{gs} محاسبه شده در قدم ۲ به مقدار اولیه انتخاب شده در قدم ۱ بدست می‌آید. بر این اساس توان مصرفی کل LNA قابل محاسبه است.

۵- اگر توان محاسبه شده بیشتر از مقدار خواسته شده باشد، می‌توان با کاهش چگالی جریان و/یا عرض ترانزیستور ورودی، به قیمت افزایش NF و کاهش IIP3، جریان مصرفی را کم کرد.

خلاصه گزارش باید شامل مطالب زیر باشد:

- تحلیل دستی برای طراحی اولیه LNA
- مقایسه مقادیر عناصر مدار بدست آمده بر اساس تحلیل دستی با مقادیر حاصل از شبیه‌سازی به صورت جدول (در صورت وجود عدم تطابق، دلایل ممکن ذکر گردند).
- ترسیم نتایج شبیه‌سازی، شامل نمودارهای NF، S_{11} ، S_{21} ، S_{12} و S_{22} در گوشه $TT/25^\circ$.
- تمامی مشخصات اندازه‌گیری شده در شبیه‌سازی، شامل NF، S_{11} ، S_{21} ، S_{12} ، IP3 خروجی و توان کل مصرفی، را در تمامی گوشه‌های خواسته شده به صورت جدول لیست نمایید.
- فایل‌های مربوط به شبیه‌سازی (فایل‌های طراحی با پسوند dsn و فایل‌های نمایش با پسوند dds) را علاوه بر خلاصه گزارش در پوشه‌ای با نام خود قرار داده و آن را با فرمت ZIP ارسال نمایید.

توجه:

- ۱- هر دانشجو باید به صورت مستقل کلیه شبیه‌سازی‌ها را انجام داده و گزارش آن را تهیه نماید.
- ۲- مقدار γ (ضریب نویز حرارتی ترانزیستور MOS در ناحیه اشباع) برای تکنولوژی‌های long-channel برابر 2/3 است. اما این مقدار برای ترانزیستورهای short-channel می‌تواند بزرگتر باشد. همان‌طور که در اسلایدهای Prof. Perrott از دانشگاه MIT می‌توانید مشاهده نمایید، برای اینکه عدد نویز مدار حتماً کوچکتر از مقدار تخمینی حاصل از محاسبات دستی باشد، $\gamma = 3$ (برای تکنولوژی 0.18μm CMOS) در نظر گرفته شده است، حال آنکه شاید مقدار آن به هیچ وجه بزرگتر از ۲ نشود! به همین دلیل به دانشجویان توصیه می‌شود، با انجام شبیه‌سازی لازم روی تنها یک ترانزیستور و بدست آوردن نویز آن، با مقایسه با فرمول تئوری مقدار واقعی γ را بدست آورند، تا هر چه بیشتر نتایج شبیه‌سازی به محاسبات دستی نزدیک گردد.