

بسمه تعالی



گزارش کار چهارم آزمایشگاه معماری

مبدل دهنده به دودوئی

استاد:

دکتر حمید سربازی آزاد

نویسندگان:

امیررضا آذری 99101087

غزل طحان 99106374

بزرگمهر ضیا 99100422

دانشگاه صنعتی شریف

تابستان 1402

فهرست مطالب

هدف	3
بخش اول – الگوریتم	3
بخش دوم – طراحی ASM Chart	3
بخش سوم – واحد کنترل و سیگنال‌های کنترلی	5
بخش چهارم – رجیستر	9
بخش پنجم – مدار نهایی و تست آن	11
کار در کلاس:	15
نتیجه‌گیری:	19
منابع و مراجع:	20

هدف

هدف از این آزمایش طراحی مدار یک مبدل ددهی به دودویی است و با ابزار proteus شبیه سازی می نماییم.

بخش اول _ الگوریتم

برای تبدیل یک عدد ددهی r رقمی به معادل دودویی به صورت زیر عمل می کنیم :

1. عدد ددهی ورودی را یک بیت به راست شیفت می دهیم .
 2. اگر با ارزشترین بیت رقم i ام یک باشد از آن رقم 3 واحد کم می کنیم .
 3. مراحل اول و دوم را آنقدر تکرار می کنیم تا تمام ارقام ددهی صفر شوند .
- در پایان بیت هایی که بوسیله شیفت به راست بیرون می آیند، عدد دودویی معادل عدد ددهی ورودی را تشکیل می دهند.

بخش دوم _ طراحی ASM Chart

تئوری آزمایش:

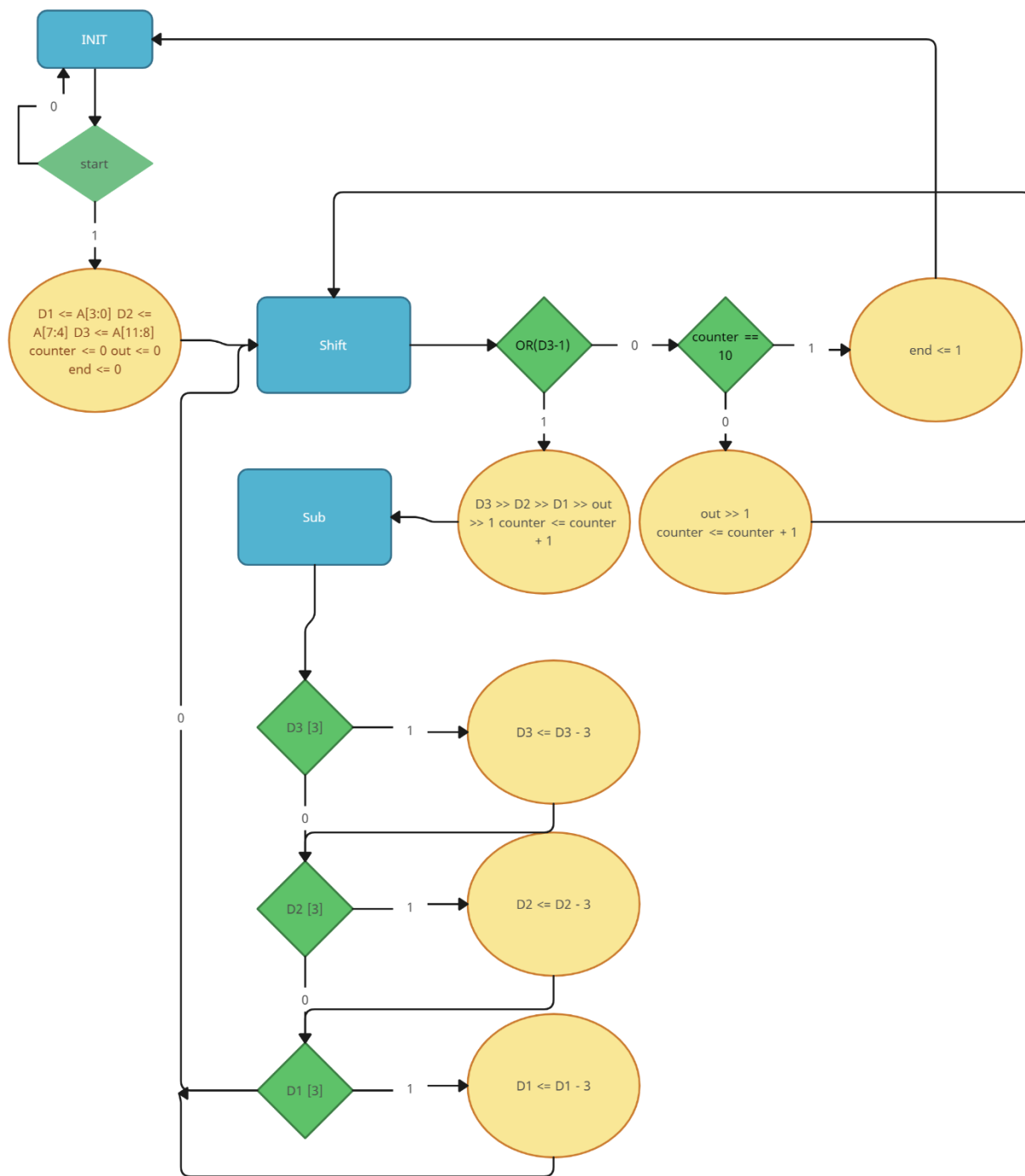
در این بخش ابتدا به طراحی چارت مورد نظر می پردازیم که در ادامه به کمک آن مدار را پیاده سازی نماییم.

گزارش کار بخش دوم :

ASM Chart مربوطه را در شکل 1 مشاهده می نمایید.

مدار دارای 3 استیت اصلی می باشد که:

- Init: در حالت اولیه هستیم و منتظر می مانیم تا start برسد.
- Shift: بعد از استیت ابتدایی، وارد این مرحله می شویم و در این حالت تا زمانی که تمام بیت های ارقام ددهی صفر نشده اند و شمارنده به 10 نرسیده، عدد ددهی ورودی را یک بیت به راست شیفت می دهیم، شمارنده را یکی افزایش داده و به حالت تفریق می رویم. زمانی که تمام بیت های ددهی صفر شدند، خروجی تا زمانی که شمارنده به 10 برسد شیفت می خورد سپس کار به پایان رسیده و سیگنال پایان فعال می شود.
- Sub: در این حالت اگر با ارزش ترین بیت یک رقم یک باشد، 3 واحد از آن عدد کم می کنیم.



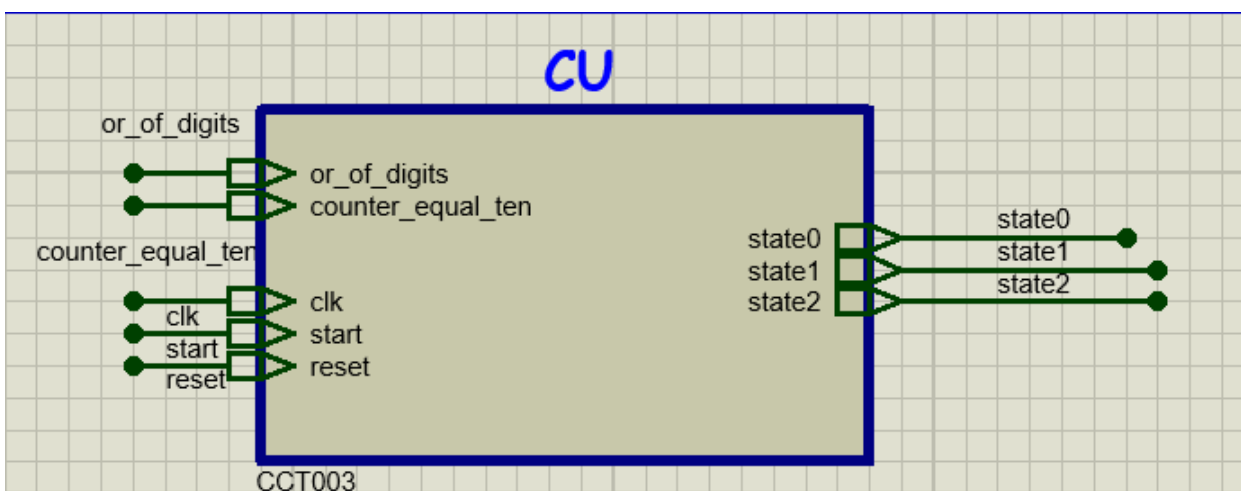
شکل 1. ASM Chart

بخش سوم _ واحد کنترل و سیگنال‌های کنترلی

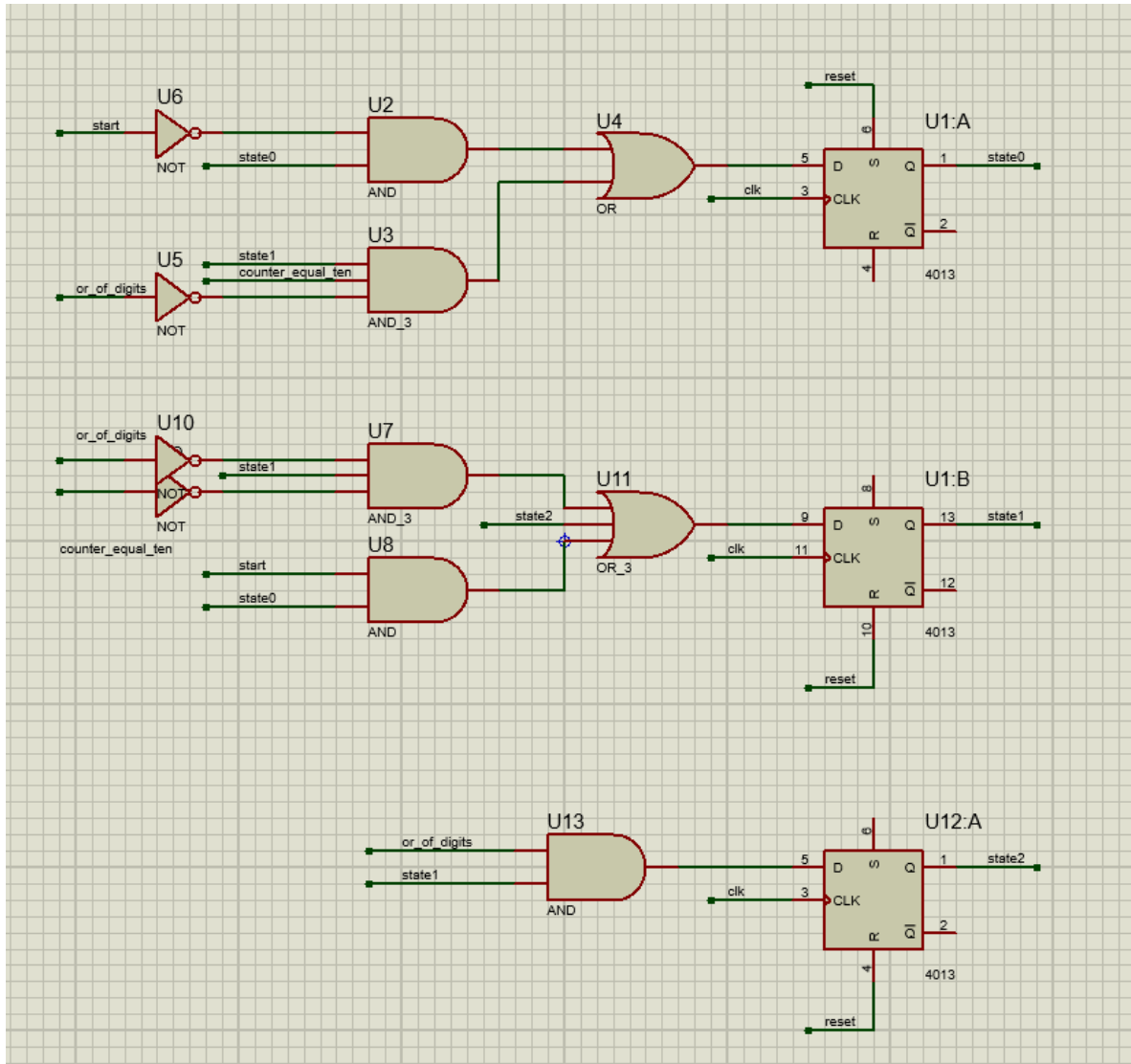
3.1: واحد کنترل

تئوری آزمایش:

با توجه به ASM Chart، حالات مختلف هر استیت را به کمک DFF پیاده سازی می‌کنیم. شکل 2 و 3 واحد کنترل مدار را نشان می‌دهند.



شکل 2. واحد کنترل و ورودی و خروجی‌های آن



شکل 3. واحد کنترل

گزارش کار بخش 3.1:

بخش کنترلی مدار است که جابجایی بین استیت های مختلف را کنترل می کند. سیگنال شروع و ریست، حاصل Or بیت های عدد دهمی ورودی و سیگنال ده بودن شمارنده به همراه کلاک را ورودی می گیرد. در خروجی سه حالت اصلی مدار یعنی استیت های ابتدایی، شیفت و تفریق را نشان می دهد.

$$\text{Init} = \text{Init} \cdot \text{Start} + \text{shift} \cdot \text{DigitsOr}' \cdot \text{CounterIsTen}$$

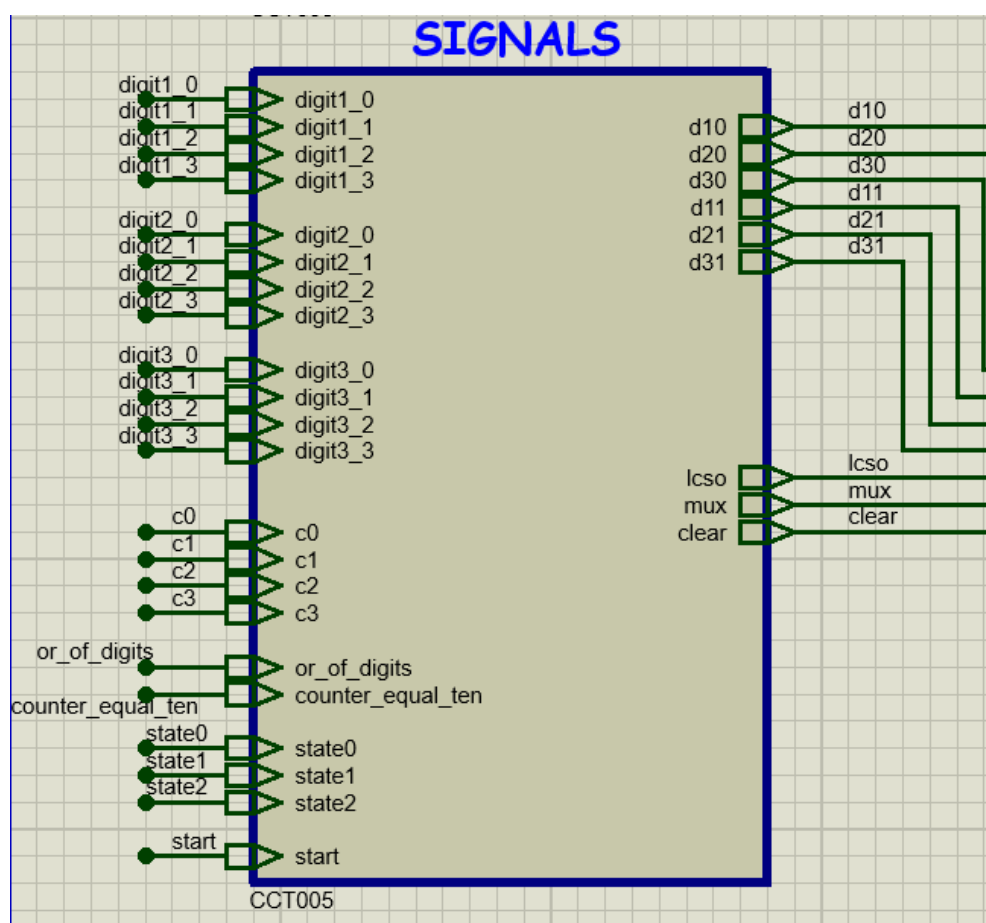
$$\text{shift} = \text{Init} \cdot \text{Start} + \text{shift} \cdot \text{DigitsOr}' \cdot \text{CounterIsTen}' + \text{sub}$$

$$\text{sub} = \text{shift} \cdot \text{DigitsOr}$$

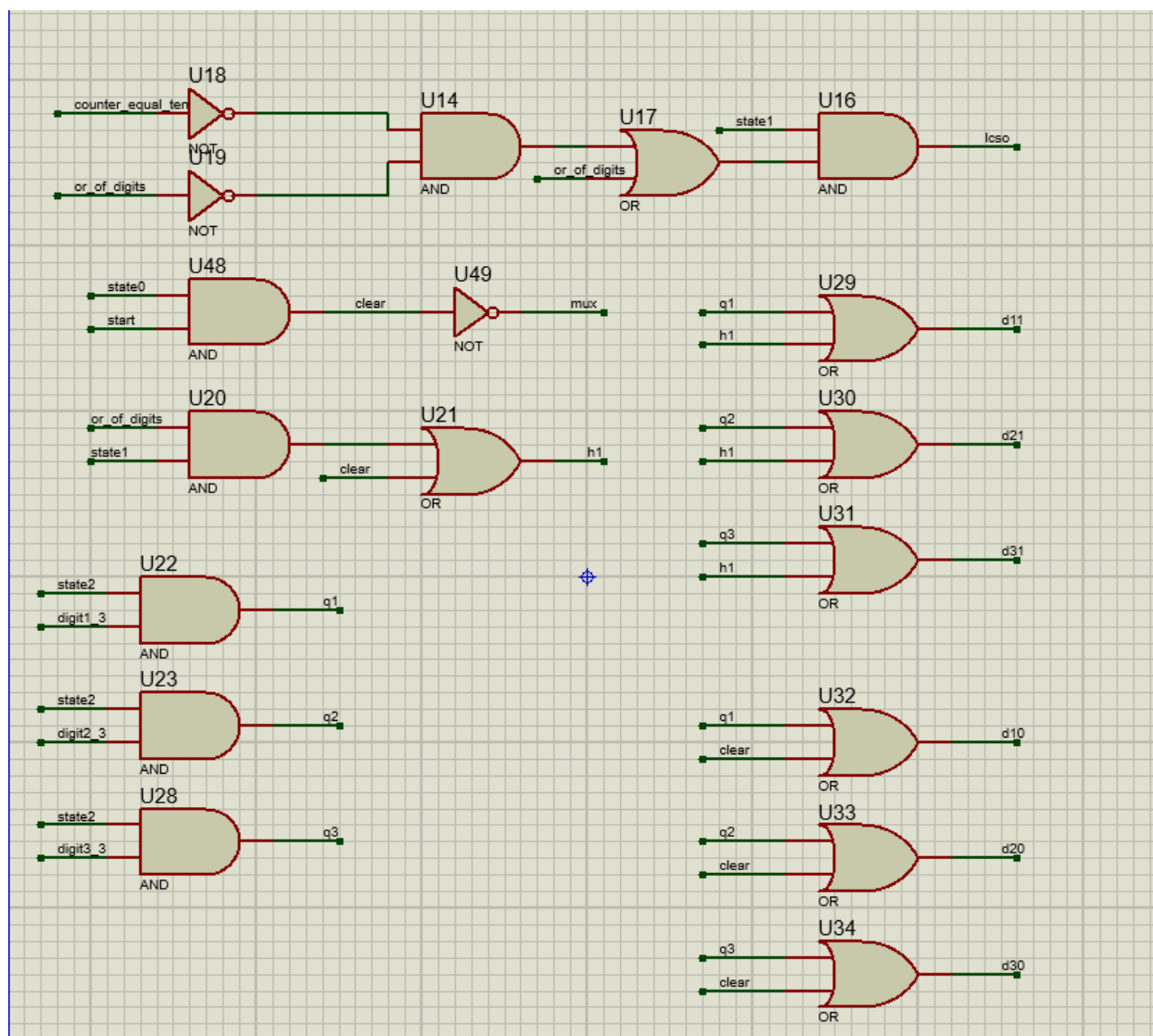
3.2: سیگنال‌های کنترلی

تئوری آزمایش:

در این بخش به تولید مدار های کنترلی می‌پردازیم و از آن‌ها در بخش‌های آتی، کمک خواهیم گرفت. شکل 4 و 5 سیگنال‌های کنترلی مدار را نشان می‌دهند.



شکل 4. سیگنال‌های کنترلی و ورودی و خروجی آن



شکل 5. سیگنال‌های کنترلی و پیاده سازی آن

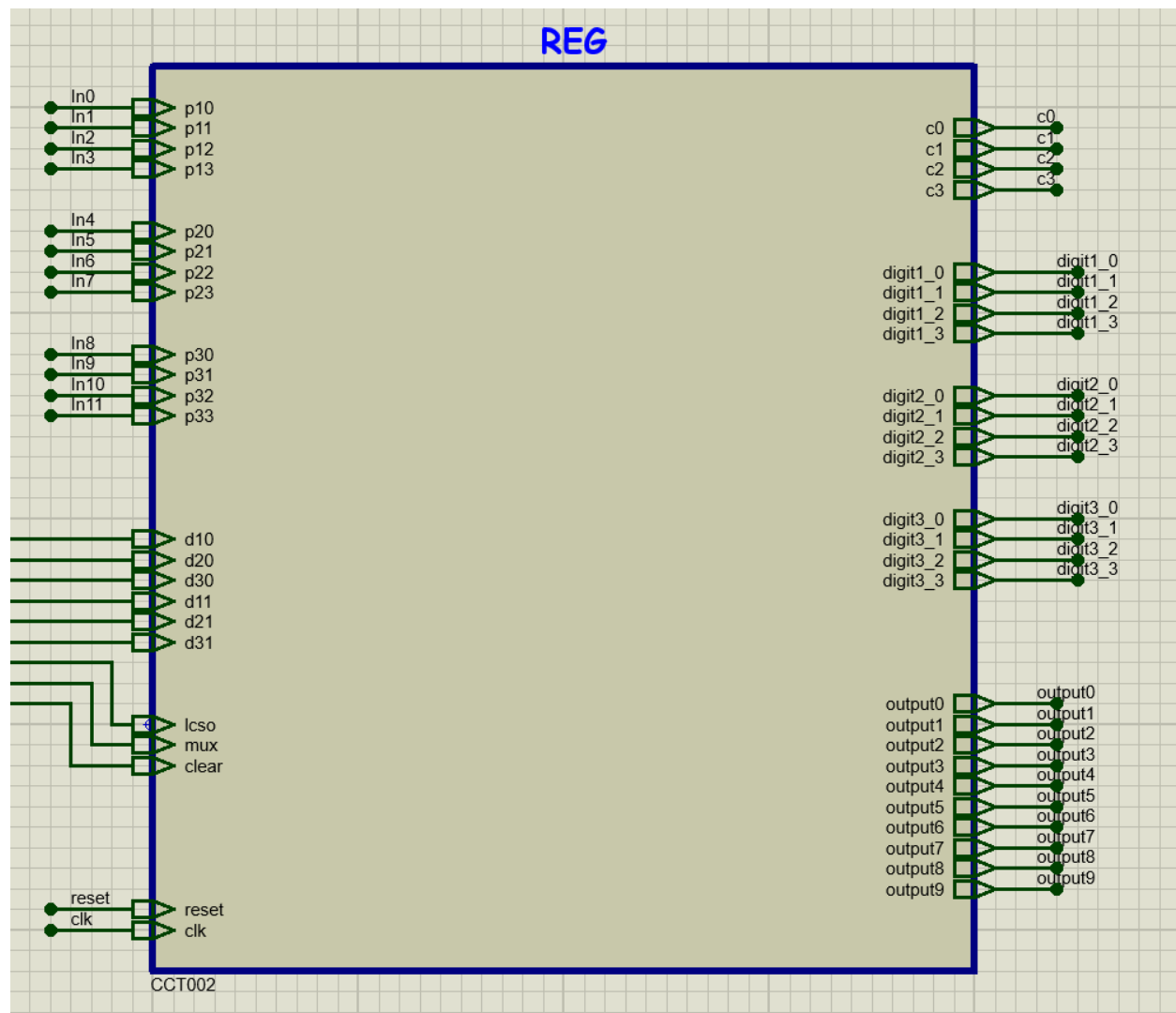
گزارش کار بخش 3.2:

این بخش از مدار وظیفه تولید سیگنال‌های میانی با توجه به استیت فعلی مدار، عدد دهدهی و شمارنده را دارد. خروجی `or_of_digits` درواقع Or بیت‌های عدد دهدهی است که در استیت دوم استفاده می‌شود `Counter_equal_ten`. نشان می‌دهد که شمارنده به 10 رسیده است یا خیر. با توجه به چارت زمانی که هنوز همه بیت‌های عدد دهدهی صفر نشده‌اند یا شمارنده به 10 نرسیده باشد و در استیت شیفتم‌باشیم، `lcs0` فعال است که نشان می‌دهد باید عدد دهدهی را یکی شیفتم‌بدهیم و شمارنده را یک واحد افزایش بدهیم. خروجی `mux` برای زمانی است که در استیت ابتدایی باشیم و سیگنال شروع بیاید (این سیگنال در بخش رجیسترها برای لود کردن ورودی اولیه در صورت صفر بودن و نگه‌داری ورودی قبلی در غیر این صورت است). 6 سیگنال دیگر در بخش آینده و به عنوان ورودی‌های مازول 47194 برای کمک به بارگذاری موازی و یا شیفتم‌به راست استفاده می‌شوند.

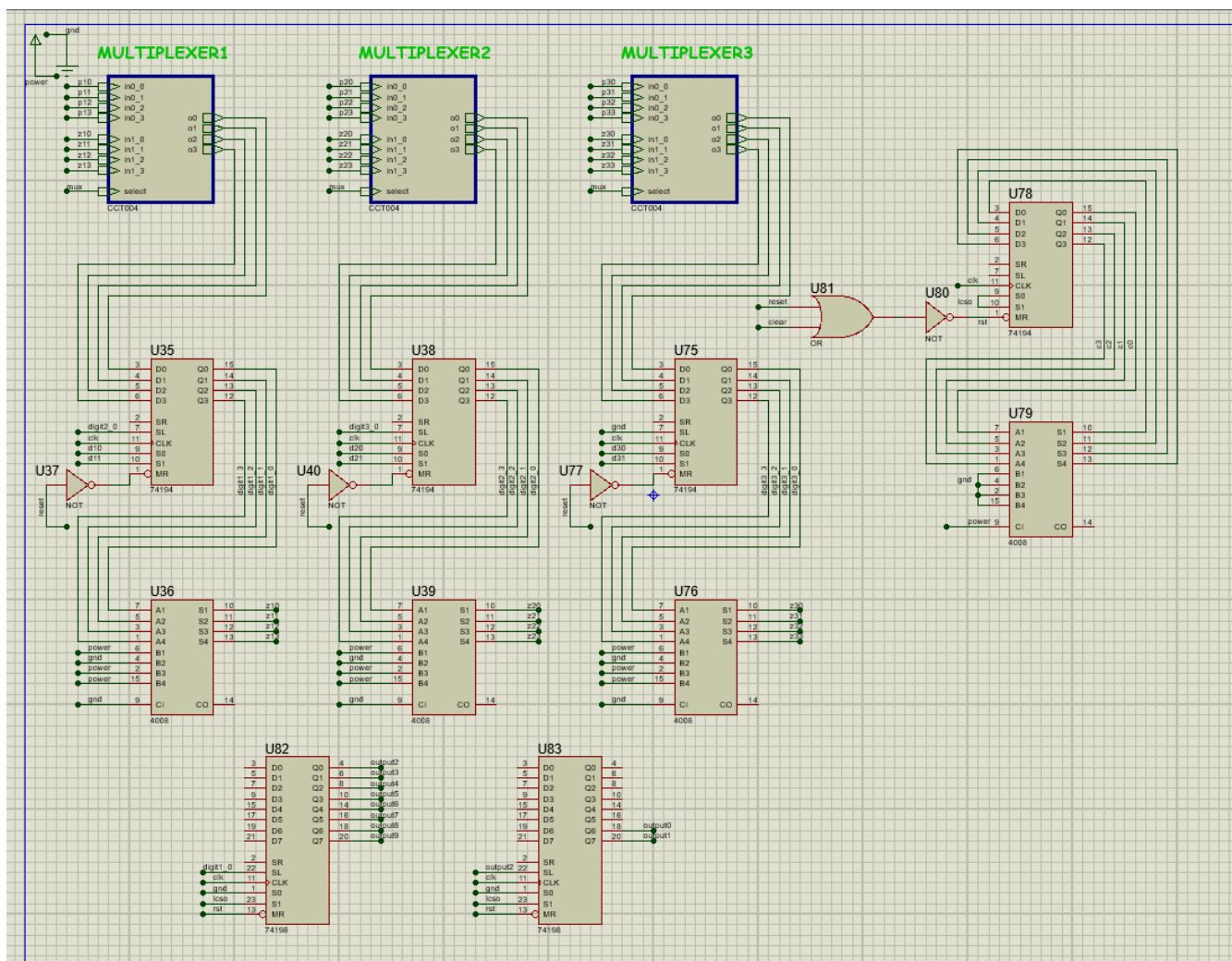
بخش چهارم – رجیستر

تئوری آزمایش:

در این بخش به پیاده‌سازی شیفت به راست و همچنین تفریق می‌پردازیم. از ماژول‌های 74194، 74198 و 4008 استفاده کرده‌ایم. همچنین بخشی نیز برای افزایش شمارشگر در هر کلاک به شرط 1 بودن سیگنال lcs0 نیز داریم. در شکل‌های زیر، بخش رجیستر را مشاهده می‌نمایید.



شکل 6. رجیستر و ورودی و خروجی‌های آن



شکل 7. رجیستر و پیاده‌سازی آن

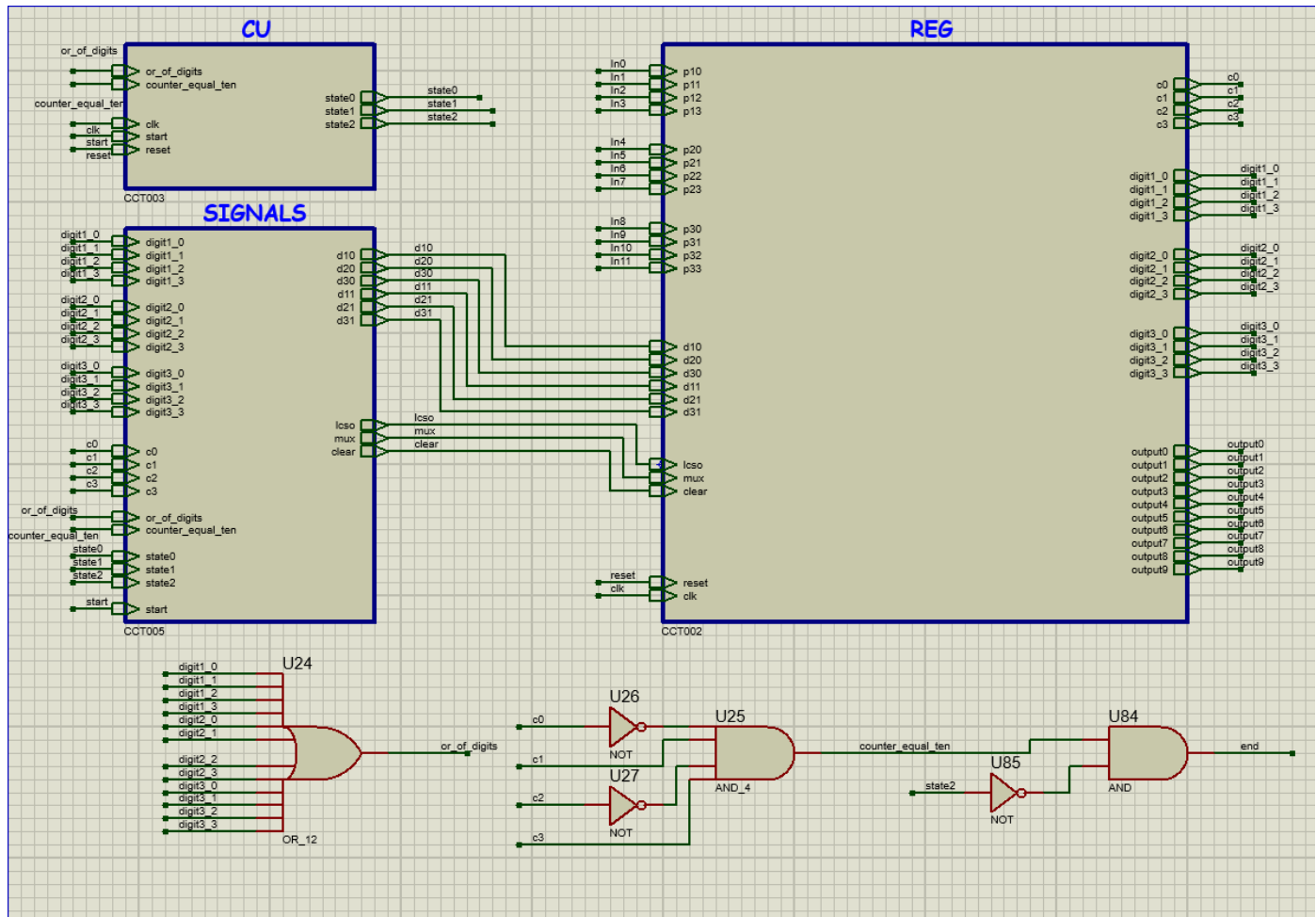
گزارش کار بخش چهارم:

این بخش از مدار با گرفتن ارقام عدد دهدهی ورودی آنها را در رجیستر ذخیره می‌کند. ماکس های دو به یک با توجه به mux ورودی جدید را لود می‌کنند یا از ورودی قبلی استفاده می‌کنند. برای نگهداری ارقام از تراشه شیفت رجیستر 4 بیتی 74194 استفاده شده است. از جمع کننده 4 بیتی 4008 برای کم کردن 3 واحد از رقم در صورت نیاز استفاده شده است (ورودی A آن رقم دلخواه و ورودی B آن مکمل دو عدد 3 یعنی 1101 است). از دو شیفت رجیستر 8 بیتی 74198 برای نگه داری عدد دودویی خروجی استفاده شده است. همچنین برای نگه داری شمارنده از تراشه 74194 استفاده شده که با اتصال به یک جمع کننده می‌تواند یکی یکی افزایش یابد.

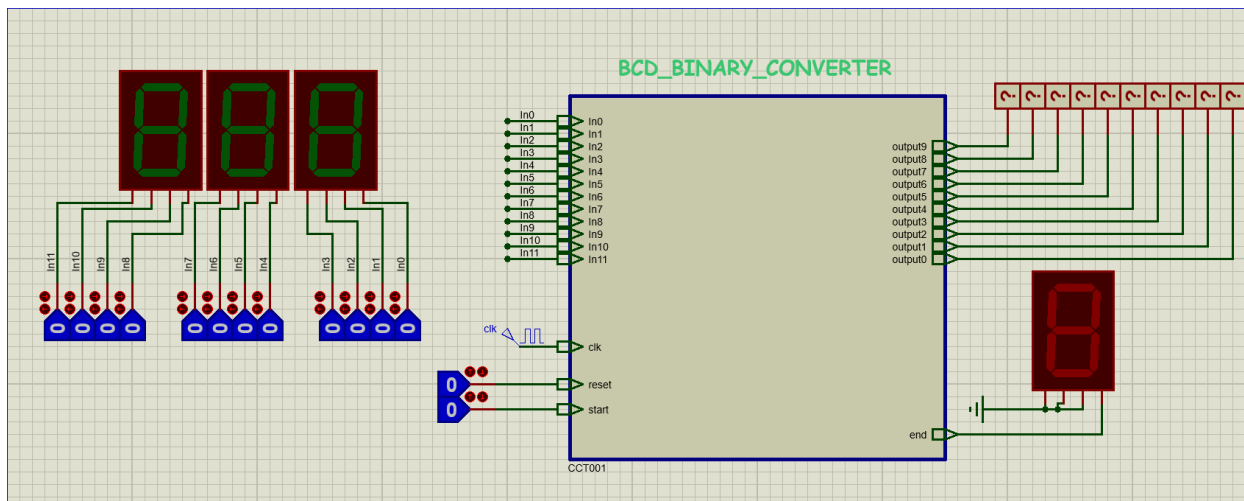
بخش پنجم _ مدار نهایی و تست آن

تئوری آزمایش:

در بخش نهایی این آزمایش، به کمک بلوک های قبلی، به تکمیل طراحی مدار و تست کردن آن می پردازیم. مدار نهایی را در شکل 9 مشاهده می نمایید.



شکل 8. تکمیل مدار



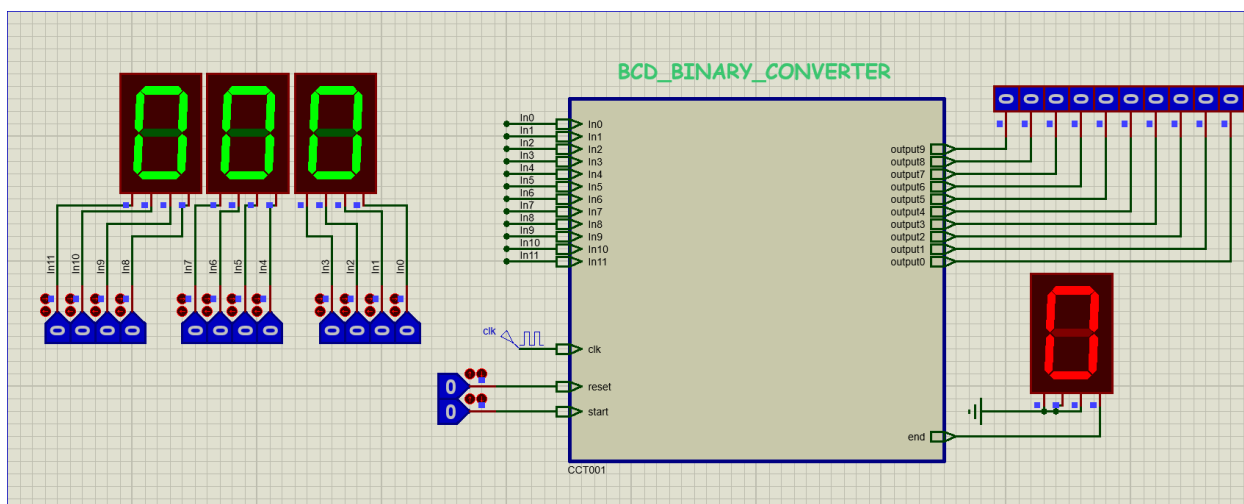
شکل 9. مدار نهایی

گزارش کار بخش پنجم:

در این بخش به تست کردن مدار می‌پردازیم. لازم است اشاره کنیم که قبل شروع مدار، نیاز به ریست اولیه می‌باشد. تست‌ها به صورت زیر می‌باشند که مقادیر باینری قبل از تست مدار به‌دست آورده شده‌اند:

- 157 = 0010011101
- 842 = 1101001010
- 81 = 0001010001
- 0 = 0000000000
- 999 = 1111100111

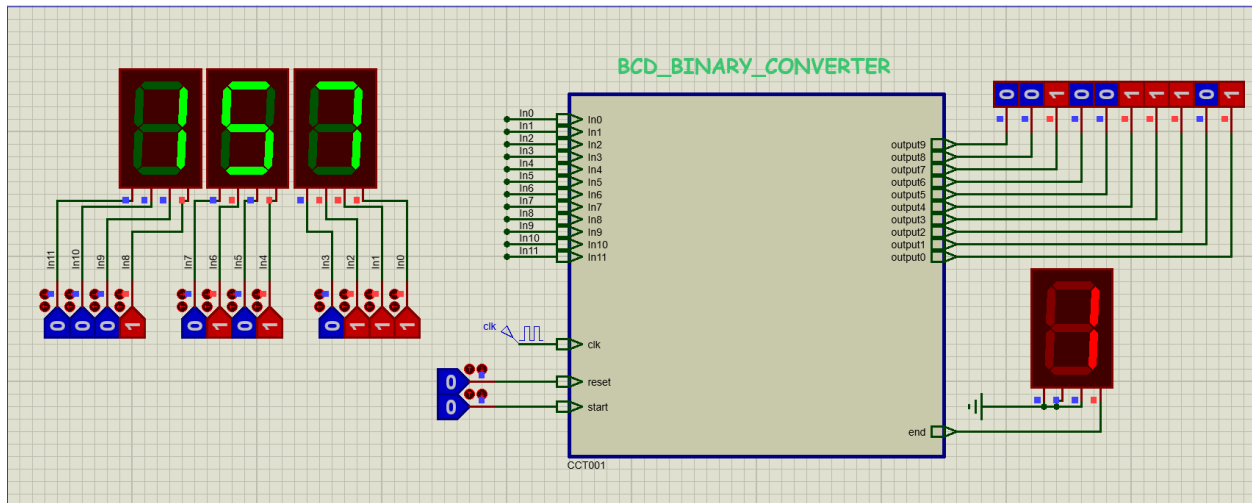
به ترتیب تست‌ها را نمایش می‌دهیم:



شکل 10. مدار آماده تست

تست اول:

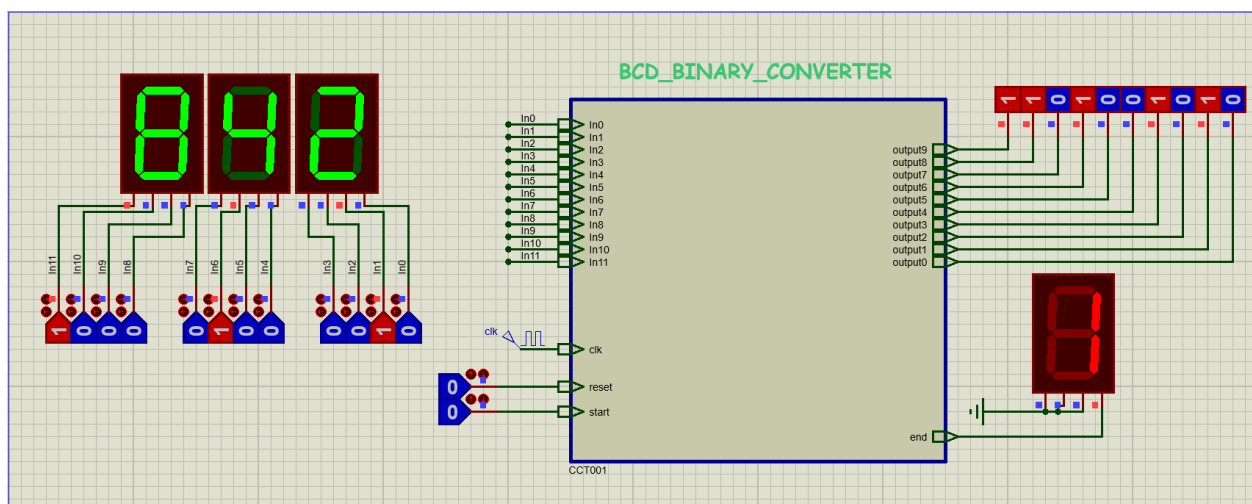
- $157 = 0010011101$



شکل 11 . تست اول

تست دوم:

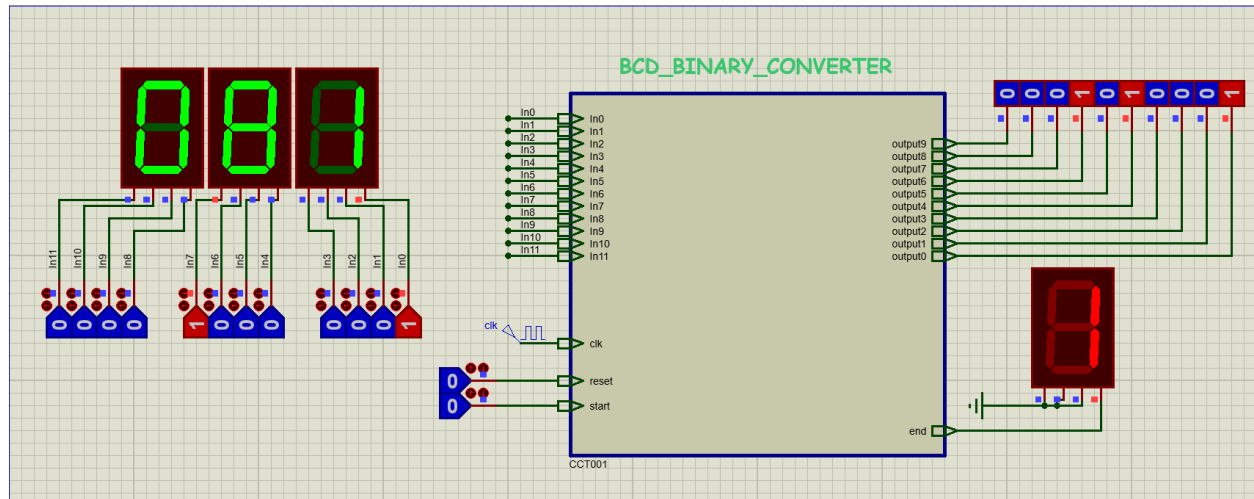
- $842 = 1101001010$



شکل 12 . تست دوم

تست سوم:

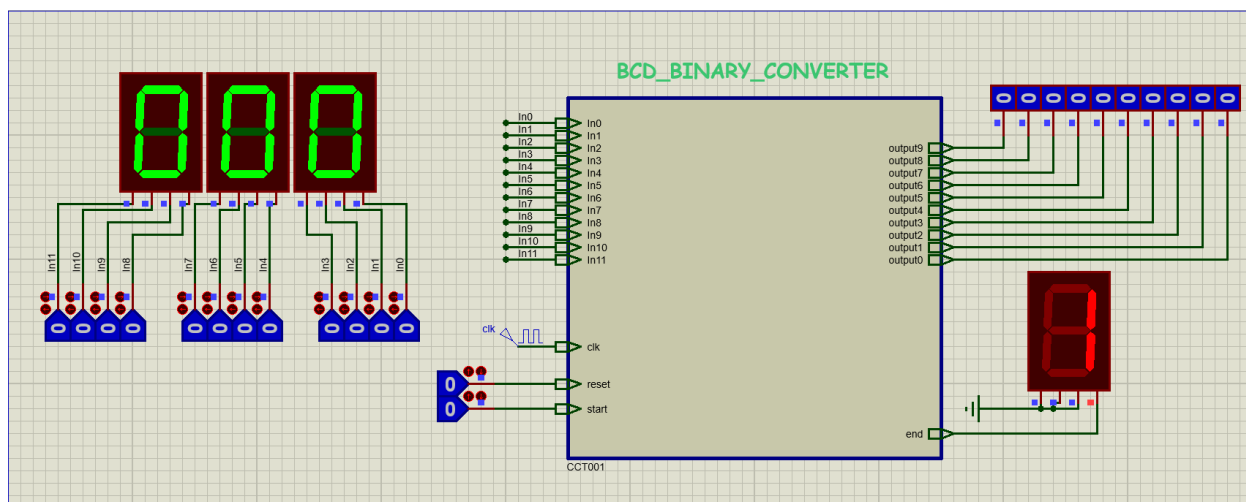
- $81 = 0001010001$



شکل 13 . تست سوم

تست چهارم:

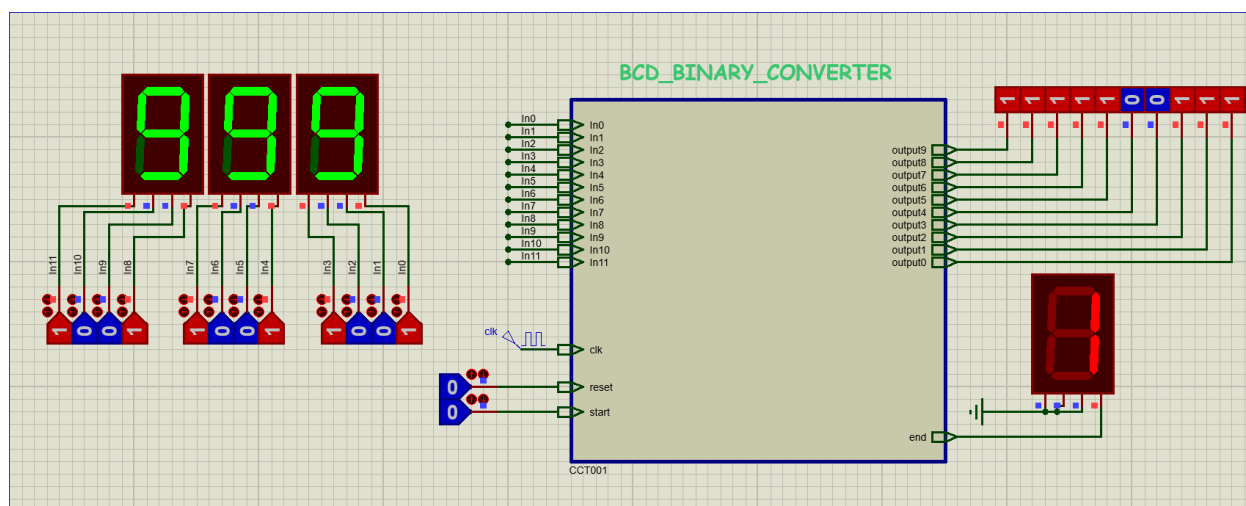
- $0 = 0000000000$



شکل 14 . تست چهارم

تست پنجم:

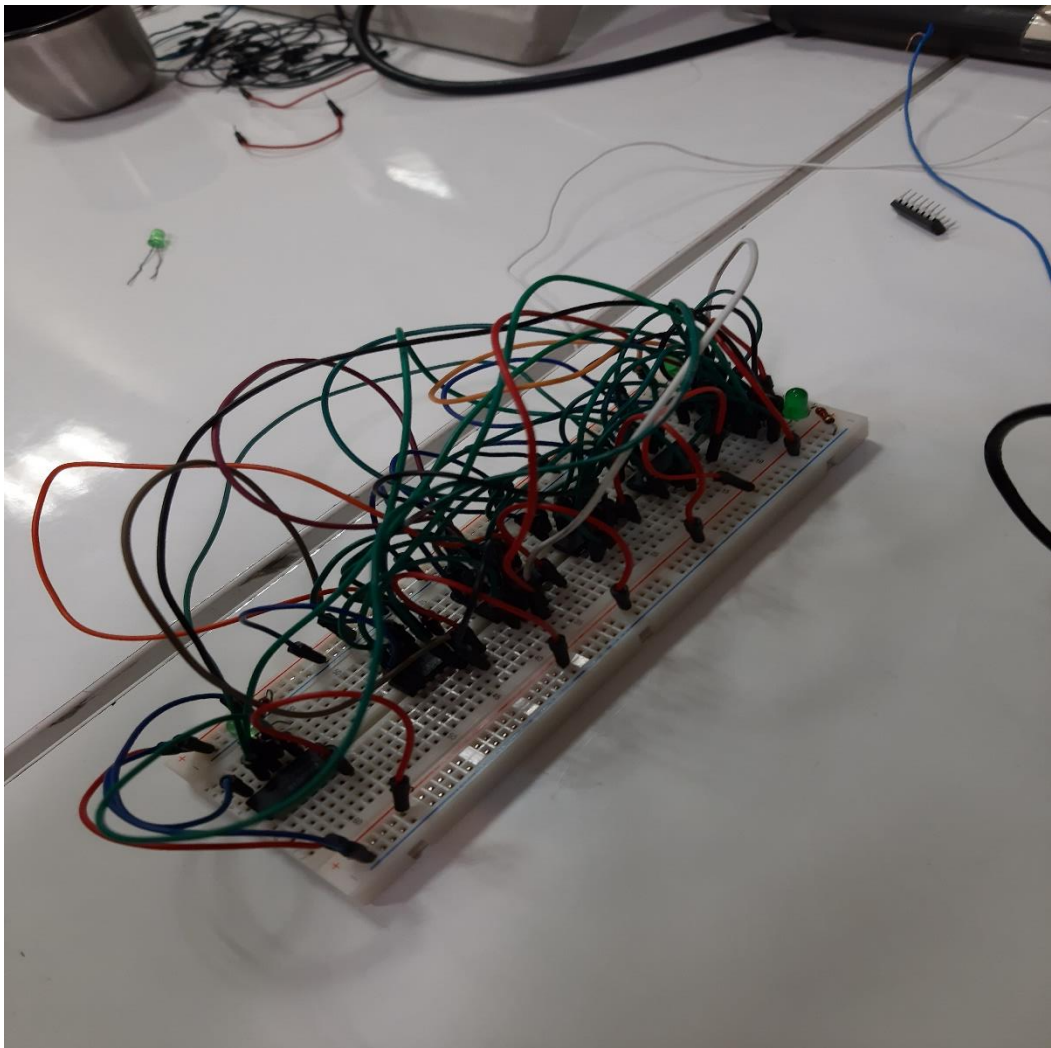
- $999 = 1111100111$



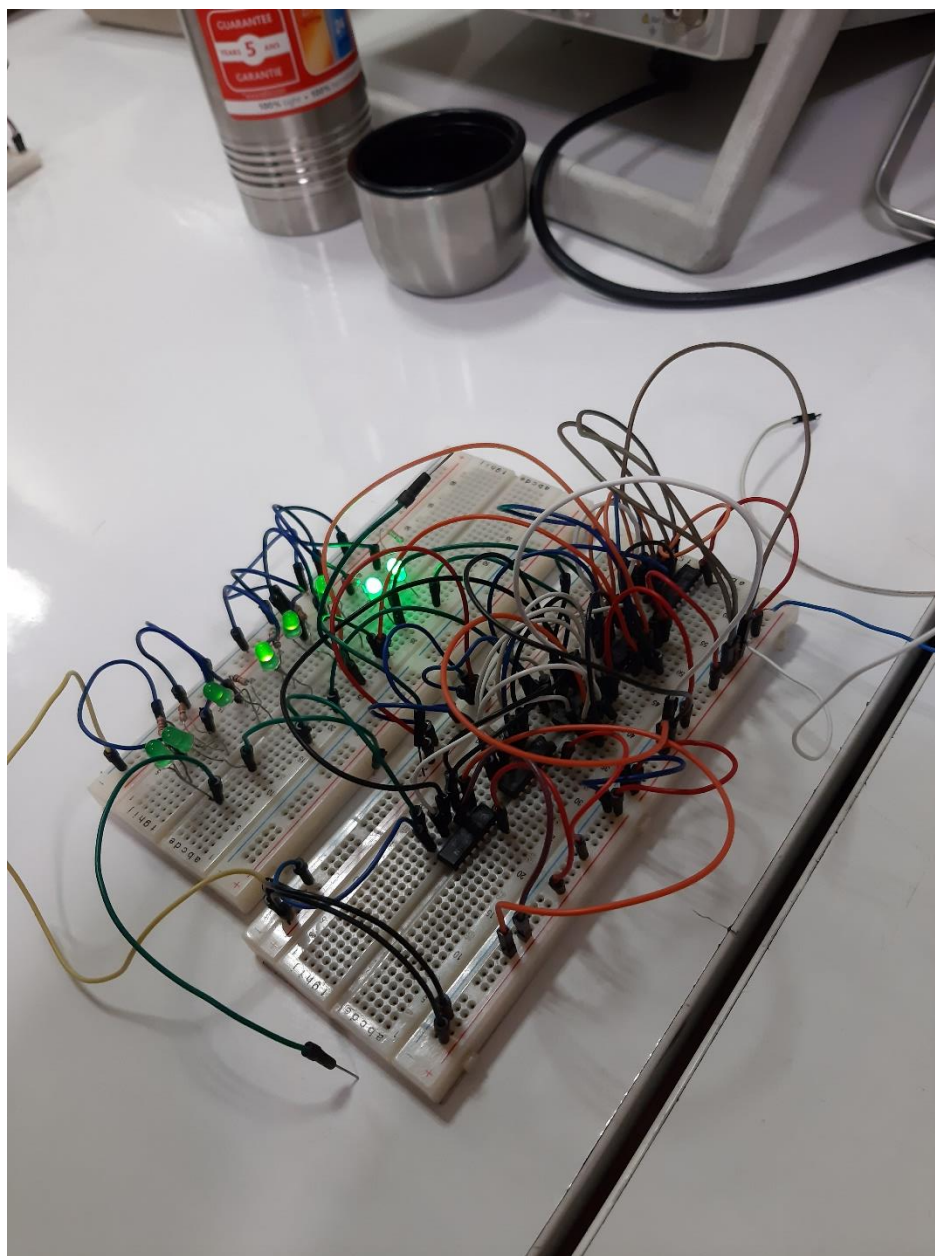
شکل 15. تست پنجم

کار در کلاس:

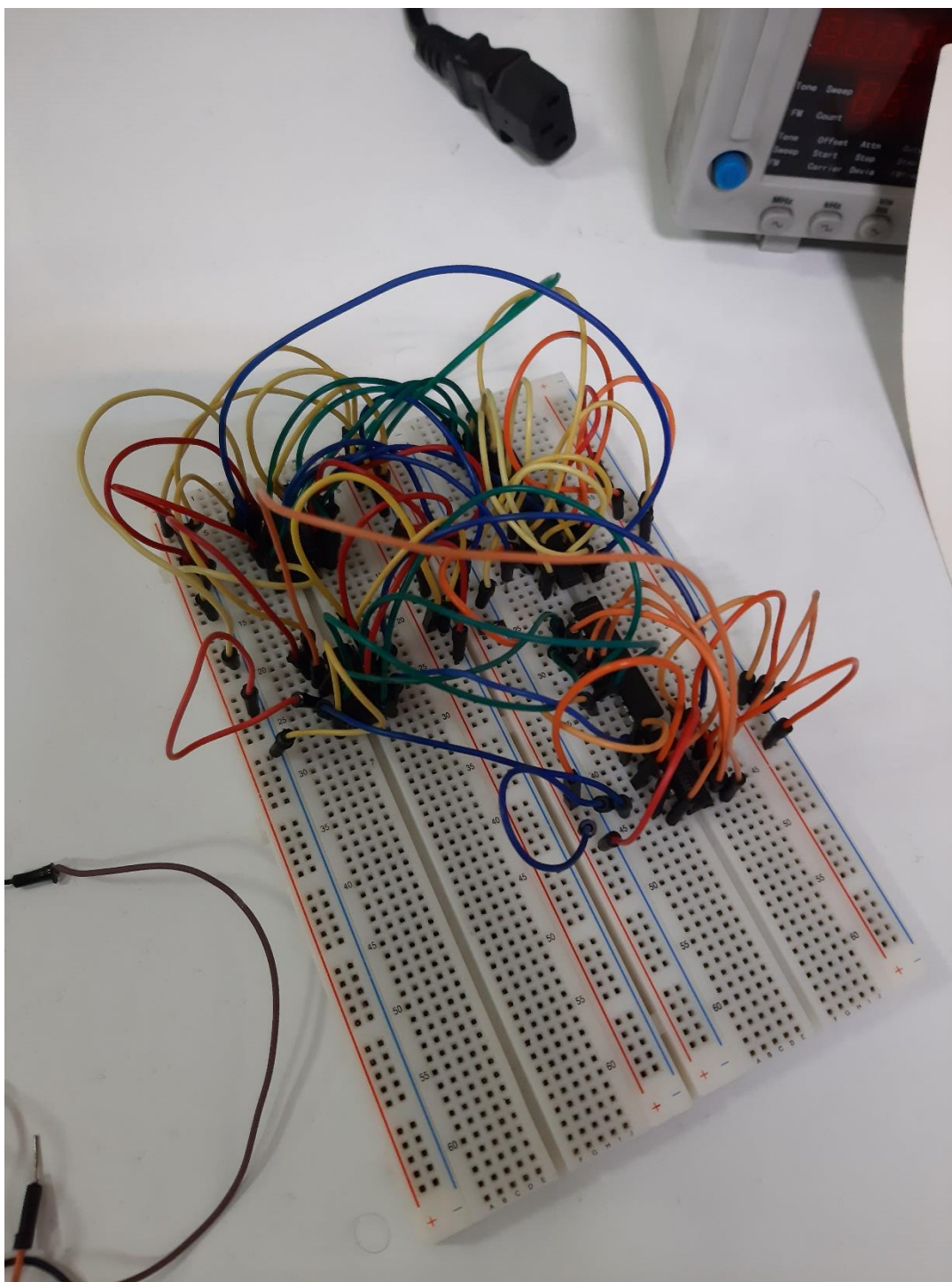
در جلسه سوم حضوری به تاریخ 17 مرداد ماه، برد یک مبدل دهنده به دودویی 2 رقمی طراحی کردیم. تصویرهای مدار تشکیل شده را در شکل های بعد، مشاهده می نمایید.



شکل 16 . برد واحد کنترل



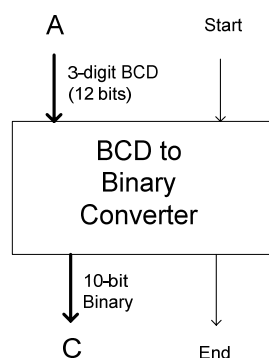
شکل 17 . برد سیگنال های کنترلی



شکل 18 . برد رجیستر

نتیجه گیری:

در این آزمایش سعی کردیم تبدیلی دهنده‌ی به دودوئی مطابق شکل زیر طراحی بنماییم:



شکل 18. مدار اولیه مورد انتظار

که مدار خواسته شده مطابق انتظار، طراحی و چندین تست نیز برای تعیین درستی مدار به آن داده شد. همچنین برد این مدار نیز تا حد خوبی جلو رفت و در نهایت تبدیلی دهنده‌ی به دودوئی را برای 3 رقم و 2 رقم طراحی نمودیم.

منابع و مراجع:

- Mano, M. Morris. Computer system architecture. Prentice-Hall of India, 2003.
- Computer Organization & Design, The Hardware / Software Interface”, D. Patterson and J. L. Hennessy, Morgan Kaufmann Publishing, 2005.