

بسمه تعالی



گزارش کار اول آزمایشگاه طراحی سیستم های دیجیتال

طراحی مدار ترکیبی با امکانات شماتیک

استاد:

دکتر اجلالی

نویسنده:

غزل طحان - 99106374

امیررضا آذری - 99101087

بزرگمهر ضیا - 99100422

دانشگاه صنعتی شریف

تابستان 1402

فهرست

3.....	مقدمه
3.....	آزمایش اول : شناسایی مضارب 3
8.....	آزمایش دوم : شناسایی مضارب 11

مقدمه

در این آزمایش دو ماژول با مدارهای ترکیبی طراحی میکنیم تا یکی بخش پذیری عدد ورودی به 3 و دیگری بخش پذیری عدد ورودی به 11 را بررسی کند.

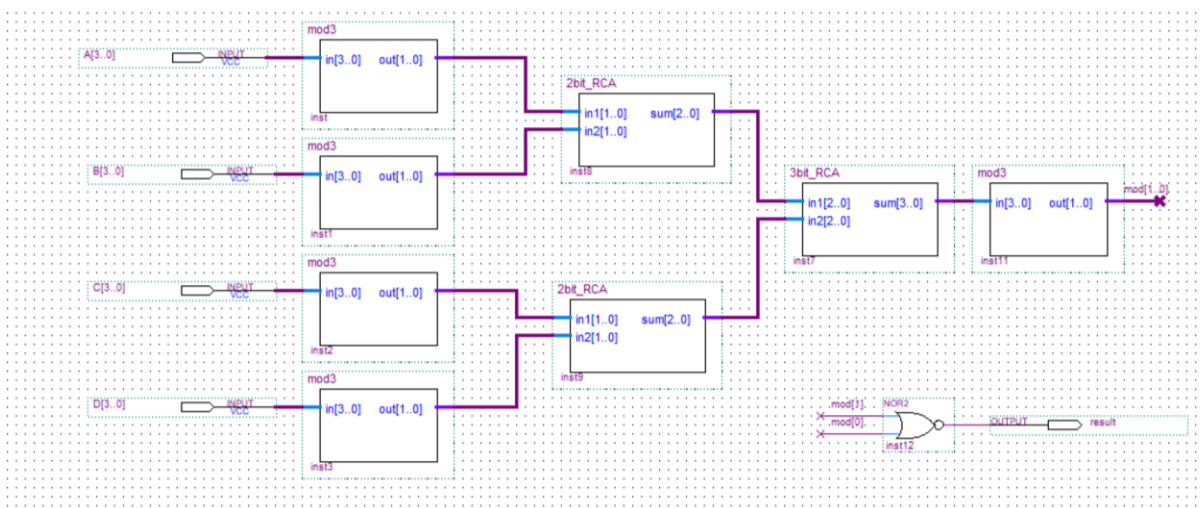
ورودی ماژول ها، اعداد چهاررقمی (با نمایش BCD) هستند و خروجی ماژول سیگنالی است که تنها در صورتی که ورودی مضرب 3 (در آزمایش اول) و یا 11 (در آزمایش دوم) باشد اکتیو (یک) میشود.

مدار های این آزمایش ها به کمک نرم افزار quartus طراحی و کامپایل شده اند.

آزمایش اول : شناسایی مضارب 3

شرح کار کلی :

کارکرد کلی مدار طراحی شده به این صورت است که ابتدا با ماژول طراحی شده ی $\text{mod}3$ ، باقی مانده ی هر یک از چهار رقم ورودی را به صورت جداگانه به دست میاوریم؛ سپس این باقی مانده ها را (که میتواند مقادیر 0 و 1 و 2 را بگیرد) با ماژول های ripple carry adder با هم جمع میکنیم. (مقداری بین 0 تا 8 میتواند بگیرد) و در نهایت این عدد را دوباره به ماژول $\text{mod}3$ میدهیم تا باقیمانده آنرا به 3 محاسبه کند. اگر این باقی مانده برابر 0 باشد، سیگنال خروجی 1 میشود.



شکل 1

در ادامه به توضیح نحوه طراحی هر یک ماژول های به کار رفته در مدار بالا میپردازیم.

ماژول $\text{mod}3$:

این ماژول یک ورودی چهاربیتی میگیرد و باقیمانده آن به عدد 3 را محاسبه کرده و به شکل یک عدد دوبیتی خروجی میدهد.

برای به دست آوردن منطق مداری که باید در این قسمت طراحی میشد از دو جدول کارنو (برای دو بیت خروجی) استفاده کردیم و sop ها را به دست آوردیم به این صورت که:

در بخش پذیری بر سه، اعداد 0 و 3 و 6 و 9 باقی مانده ی 0 دارند، اعداد 1 و 4 و 7 باقی مانده ی 1 و اعداد 2 و 5 و 8 باقی مانده ی 2 دارند. (و بقیه اعداد don't care هستند چرا که در نمایش bcd چهاربیت برای نمایش ارقام 0 تا 9 استفاده میشود).

0	1	x	0
1	0	x	0
0	1	x	x
0	0	x	x

جدول کارنوی بیت کم ارزش باقی مانده که با ساده سازی به صورت نشان داده شده داریم :

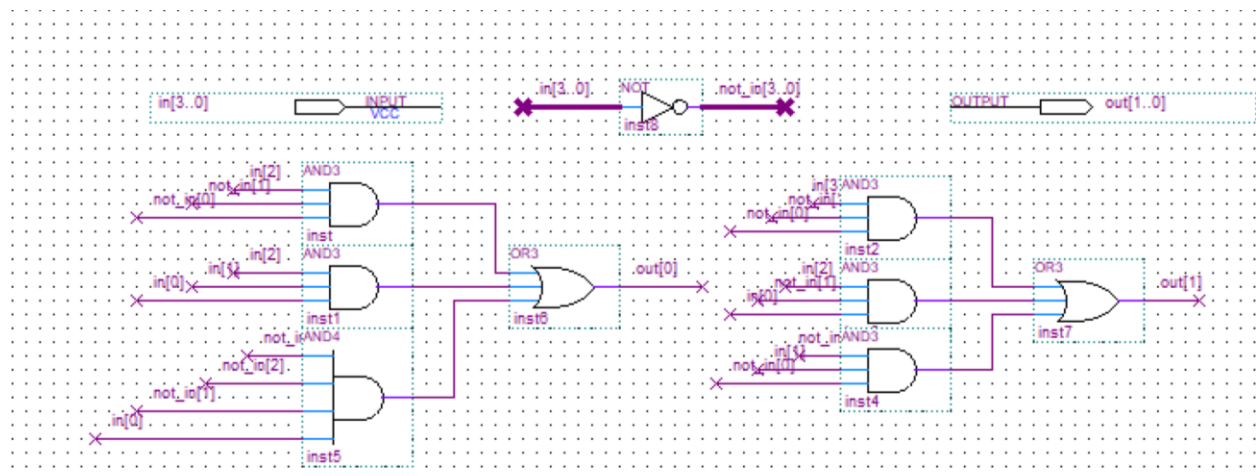
$$\text{Out0} = \text{in0} \& \text{in1}' \& \text{in2}' \& \text{in3}' + \text{in0} \& \text{in1} \& \text{in2} + \text{in0}' \& \text{in1}' \& \text{in2}$$

0	0	x	1
0	1	x	0
0	0	x	x
1	0	x	1

جدول کارنوی بیت پرارزش باقی مانده:

$$\text{Out1} = \text{in1} \& \text{in2}' \& \text{in0}' + \text{in0} \& \text{in1}' \& \text{in2} + \text{in0}' \& \text{in1}' \& \text{in3}$$

و به این صورت مدار زیر را میبندیم:



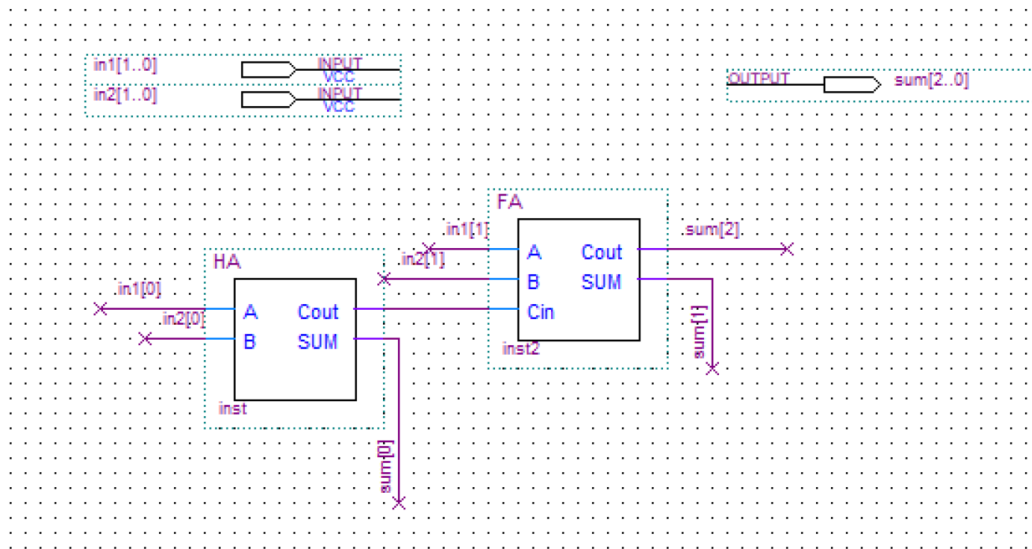
شکل 2

ماژول های ripple carry adder :

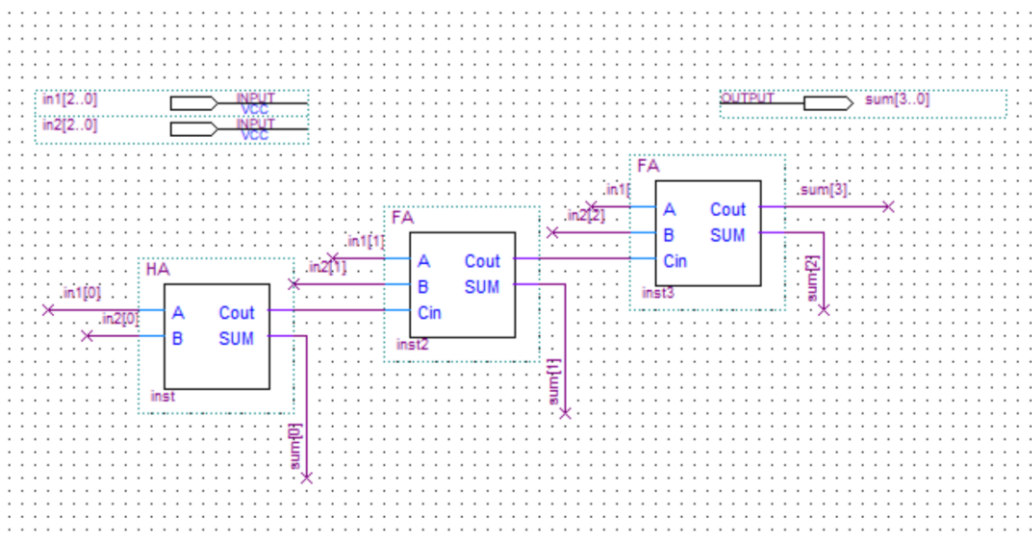
برای طراحی این آزمایش از RCA های دو بیتی و سه بیتی استفاده کردیم. ساختار کلی این جمع کننده ها برپایه بیت به بیت جمع کردن اعداد ورودی از کم ارزش به پرارزش با استفاده از Half Adder (برای جمع کردن کم ارزش ترین بیت ورودی ها) و Full Adder ها (برای جمع کردن مابقی بیت ها با carry به دست آمده از جمع بیت های مرحله قبل) است. (باتوجه به

کارکردی که در این مدار داریم و باتوجه به این که باقی مانده ها اعدادی مثبت هستند، به جای خروجی دادن بیت کری، آن را به عنوان پرارزش ترین بیت حاصل جمع خروجی می‌دهیم و درواقع خروجی را به صورت **unsigned** استفاده می‌کنیم)

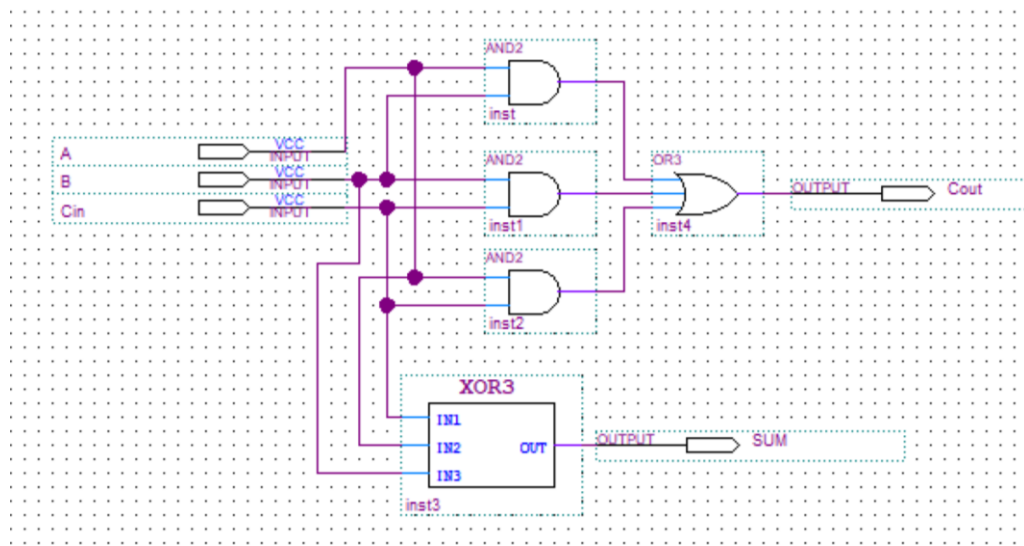
به دلیل سادگی از تحلیل مدار های FA و HA صرف نظر می‌کنیم. مدار های جمع کننده ها به صورت زیر هستند:



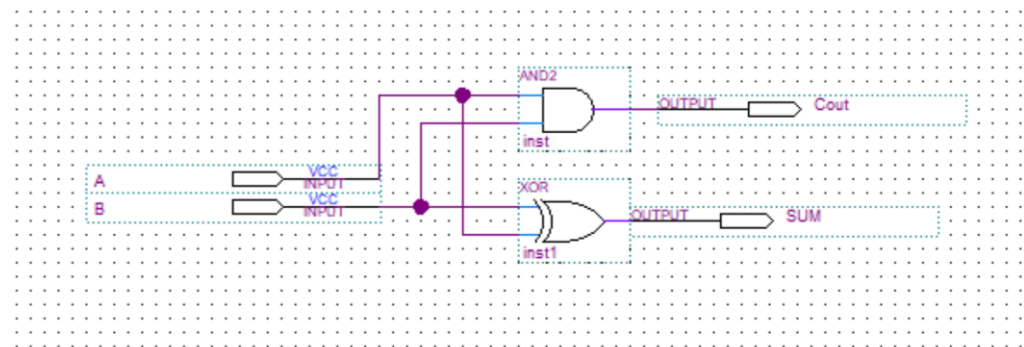
شکل 3. 2bit_RCA



شکل 4. 3bit_RCA



شکل 5. FA



شکل 6. HA

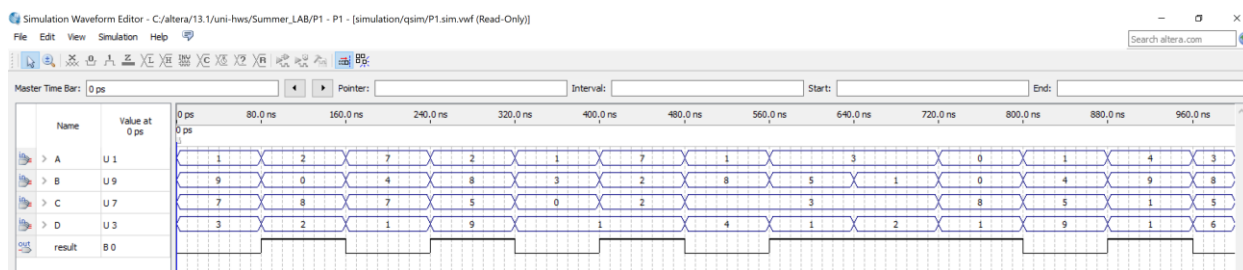
کامپایل و تست:

در تصاویر زیر مشاهده می شود که مدار با موفقیت کامپایل شده و خروجی مورد انتظار را تولید میکند.

Flow Summary

Flow Status	Successful - Sun Jul 09 12:25:23 2023
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 S3 Web Edition
Revision Name	P1
Top-level Entity Name	P1_mod3
Family	Cyclone IV GX
Total logic elements	13 / 14,400 (< 1 %)
Total combinational functions	13 / 14,400 (< 1 %)
Dedicated logic registers	0 / 14,400 (0 %)
Total registers	0
Total pins	17 / 81 (21 %)
Total virtual pins	0
Total memory bits	0 / 552,960 (0 %)
Embedded Multiplier 9-bit elements	0
Total GXB Receiver Channel PCS	0 / 2 (0 %)
Total GXB Receiver Channel PMA	0 / 2 (0 %)
Total GXB Transmitter Channel PCS	0 / 2 (0 %)
Total GXB Transmitter Channel PMA	0 / 2 (0 %)
Total PLLs	0 / 3 (0 %)
Device	EP4CGX15BF14C6
Timing Models	Final

شکل 7. compilation report



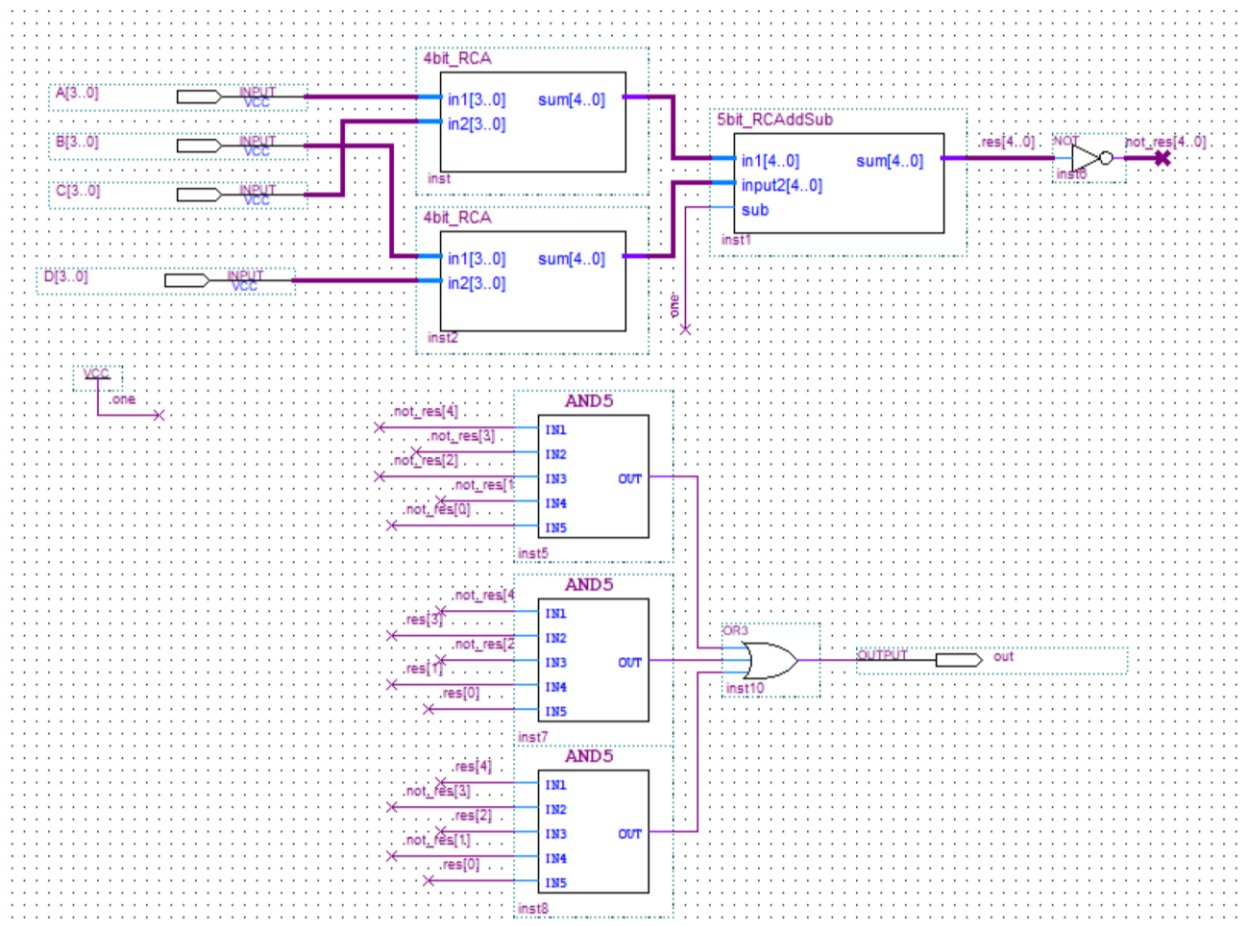
شکل 8. waveform result

آزمایش دوم : شناسایی مضارب 11

شرح کار کلی :

میدانیم برای بررسی مضرب 11 بودن یک عدد باید حاصل جمع ارقام در مکان های ارزشی زوج را از حاصل جمع ارقامش در مکان های ارزشی فرد کم کنیم؛ اگر این مقدار مضربی از 11 بود، عدد ورودی نیز مضربی از 11 بوده است.

شرح کلی این مدار به این صورت است که ابتدا چهاربیت های اول و سوم با یکدیگر و چهاربیت های دوم و چهار را با یکدیگر با استفاده از ماژول های 4bit_RCA جمع کرده ایم (اعداد خروجی میتواند بین 0 تا 18 باشد). سپس این دو مقدار را با ماژول 5bit_RCAddSub (که درواقع مشابه یک rca با قابلیت تبدیل شدن به تفریق کننده است) را از هم کم میکنیم (خروجی میتواند بین -18 تا 18 باشد). در نهایت اگر خروجی تفریق کننده مضرب 11 شد (مقادیر ممکن مضرب یازده در مدار ما: 0 و 11 و -11 است) سیگنال خروجی مدار یک میشود.



شکل 9. مدار تشخیص دهنده مضارب یازده

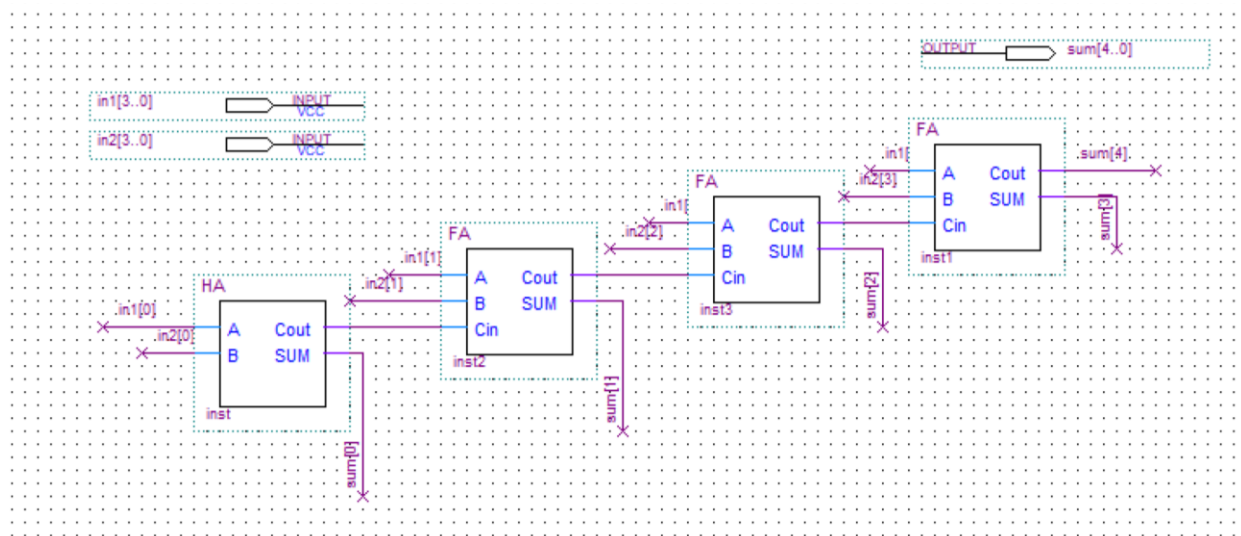
منطق مداری که برای تشخیص مضرب 11 بودن حاصل تفریق بسته ایم با نوشتن sop ها به دست آمده است؛ به این صورت که تنها در صورتی که عدد 5بیتی مان 00000 و 01011 و 10101 باشد، سیگنال خروجی باید یک شود. بنابراین به دست می آید:

$$\text{out} = \text{in0} \& \text{in1} \& \text{in2} \& \text{in3} \& \text{in4} + \text{in0} \& \text{in1} \& \text{in2} \& \text{in3} \& \text{in4}' + \text{in0} \& \text{in1}' \& \text{in2} \& \text{in3} \& \text{in4}$$

و گیت ها به صورت نشان داده شده در شکل 9 بسته میشوند.

ماژول 4bit_RCA :

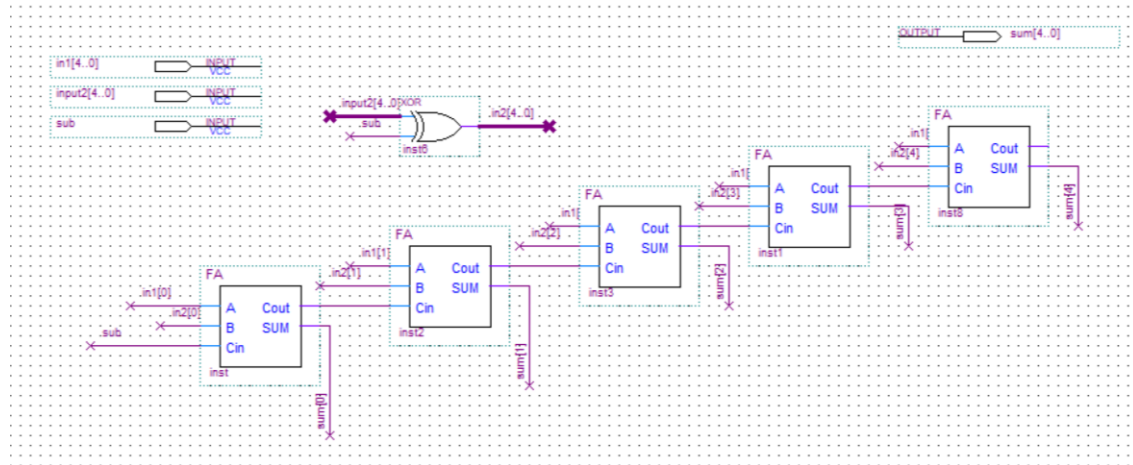
منطق این ماژول مشابه 3bit_RCA است که در آزمایش یک توضیح داده ایم. در اینجا تصویر مدار آن را مشاهده میکنید:



شکل 10. 4bit_RCA

ماژول 5bit_RCAddSub :

میدانیم در تفریق در مبنای 2's complement میتوانیم عدد اول را با مکمل دو ی عدد دوم جمع کنیم. برای مکمل دو کردن میتوانیم بیت های عدد را not کرده و سپس با 1 جمع کنیم. برای همین مدار زیر را به این صورت طراحی کردیم که در صورتی که سیگنال sub فعال شود، بیت های یکی از اعداد not شده و cin ورودی این جمع کننده نیز 1 میشود و در صورتی که sub فعال نباشد مثل یک جمع کننده عادی رفتار میکند (با استفاده از این نکته که xor کردن با 1، بیت را not میکند ولی xor کردن با 0، بیت را بدون تغییر حفظ میکند). تصویر این مدار را مشاهده میکنید:



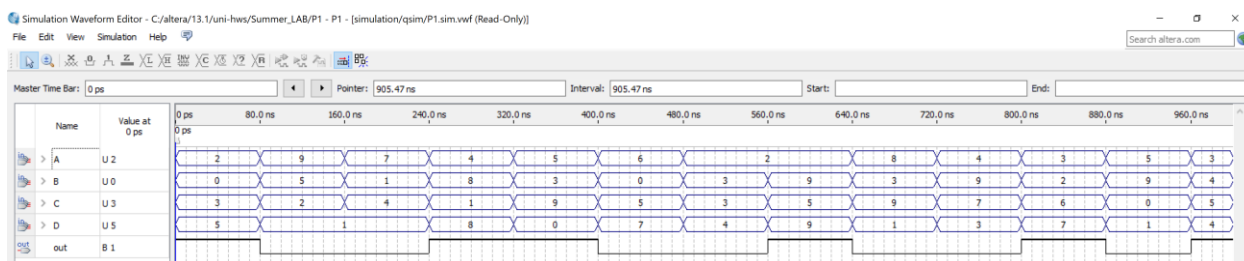
شکل 11. 5bitRCAddSub

کامپایل و تست:

در تصاویر زیر مشاهده می شود که مدار با موفقیت کامپایل شده و خروجی مورد انتظار را تولید میکند.

Flow Summary	
Flow Status	Successful - Sun Jul 09 12:30:44 2023
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Web Edition
Revision Name	P1
Top-level Entity Name	P1_mod11
Family	Cyclone IV GX
Total logic elements	34 / 14,400 (< 1 %)
Total combinational functions	34 / 14,400 (< 1 %)
Dedicated logic registers	0 / 14,400 (0 %)
Total registers	0
Total pins	17 / 81 (21 %)
Total virtual pins	0
Total memory bits	0 / 552,960 (0 %)
Embedded Multiplier 9-bit elements	0
Total GXB Receiver Channel PCS	0 / 2 (0 %)
Total GXB Receiver Channel PMA	0 / 2 (0 %)
Total GXB Transmitter Channel PCS	0 / 2 (0 %)
Total GXB Transmitter Channel PMA	0 / 2 (0 %)
Total PLLs	0 / 3 (0 %)
Device	EP4CGX15BF14C6
Timing Models	Final

شکل 12. compilation report



شکل 13. waveform result

-پایان گزارش آزمایش-