

بسمه تعالی



گزارش کار دوم آزمایشگاه طراحی سیستم‌های دیجیتال  
طراحی مدار ترتیبی با امکانات شماتیک

استاد:

دکتر علیرضا اجلالی

نویسندگان:

امیررضا آذری 99101087

غزل طحان 99106374

بزرگمهر ضیا 99100422

دانشگاه صنعتی شریف

تابستان 1402

هدف	3
بخش اول _ به دست آوردن منطق و روابط	3
بخش دوم _ طراحی مدار شمارنده	4
بخش سوم _ ساخت مدار Room	6
بخش چهارم _ Waveform	8
بخش پنجم _ فرکانس کاری مدار	9
نتیجه گیری:	10
منابع و مراجع:	10

## هدف

هدف از این آزمایش آشنایی با نحوه کار یک مدار ترتیبی می‌باشد. در این آزمایش، می‌خواهیم مداری ترتیبی با امکانات شماتیک نرم افزار ها بسازیم برای اینکار، باید از فلیپ فلاپ ها استفاده کنیم و با قرار دادن مناسب کلاک در مدار، مدار را طراح کنیم. در این آزمایش یک اتاق انتظار می‌خواهیم طراحی کنیم که سیگنال‌هایی مانند in و out و همچنین بخشی به نام counter داریم که تعداد افراد حاضر در این اتاق را مشخص می‌نماید.

## بخش اول \_ به دست آوردن منطق و روابط

### تئوری آزمایش:

در این بخش سعی داریم به کمک صورت آزمایش، منطق‌های موجود میان سیگنال‌ها را بیابیم.

### ورودی ها و خروجی ها

در این مدار ورودی ها و خروجی هایی وجود دارد که به شرح آن ها می پردازیم. نخست ورودی کلاک را داریم که برای مدارهای ترتیبی واجب است. ورودی ent داریم که هنگام ورودی باید فشرده شود. ورودی in هم که حسگر ورودی است و هرگاه فردی از در ورودی، وارد شود، این حسگر فعال می شود. ورودی out هم داریم که حسگر درب خروجی است و هرگاه فردی از اتاق خارج شود، این حسگر فعال شده و یک می شود. ورودی T هم داریم که زمانی یک است که مجاز به ورود به اتاق باشیم. یک ورودی reset هم داریم که برای فعال سازی شمارنده نیاز است.

### نحوه طراحی مدار

- خروجی open هنگامی یک می‌شود که تمام حالات زیر برابر یک باشند:

ورودی T

ورودی in

ورودی ent

و شمارنده برابر 15 نباشد.

- خروجی دیگری که موجود است، خروجی های counter است که بیت صفر تا سه دارد. زیرا حداکثر مقدار برابر 15 است و برای نشان دادن آن به 4 بیت نیازمند هستیم.

- خروجی close که هنگامی صفر می شود که حداقل یکی از بیت های عدد نشان داده شده توسط شمارنده، مقدار داشته باشد؛ در نتیجه، اگر عدد شمارنده صفر باشد، مقدار آن برابر یک می شود.
- خروجی up وقتی یک است که هم شرایط open در فوق برقرار باشد و هم out صفر باشد؛ زیرا اگر out یک باشد و شرایط open برقرار باشد، هم ورود و هم خروج داریم و در نتیجه نباید عدد شمارنده زیاد شود.
- برای مشخص کردن حالت های مختلف up و enable می توان ۳ حالت کلی در نظر گرفت. اولی اینکه T برابر با dontCare و in برابر با صفر و ent برابر با dontCare و out برابر با یک باشد و نقیض and خروجی های counter برابر با X باشد و نقیض or خروجی های counter برابر با صفر باشد که در این شرایط، خروجی up برابر با صفر و خروجی enable برابر با یک می شود. حالت دوم این است که T و in و ent برابر با یک باشند و out برابر با صفر باشد و نقیض and خروجی های counter برابر با یک و نقیض or خروجی های counter برابر با X شود که در این حالت، خروجی up برابر با یک می شود و خروجی enable هم برابر با یک می شود. در بقیه حالت های موجود هم up برابر با X است و enable برابر با صفر است.
- حالتی که باید تعداد کم شود سطر اول است که  $up = 0$  می دهیم و  $ent = 1$  که یکی کم شود، و هنگامی است که اتاق خالی نباشد، سنسور بیرون رفتن، خروج یک نفر را ثبت کرده باشد و کسی هم آن موقع وارد نشود (که باعث ثابت ماندن عدد نشود). حالتی که باید تعداد زیاد شود سطر دوم است که  $up = 1$  می دهیم و  $ent = 1$  که یکی زیاد شود، و هنگامی است که اتاق پر نباشد، کسی بیرون نرود (که باعث ثابت ماندن عدد نشود)، سنسور داخل شدن، ورود یک نفر را ثبت کرده باشد، فرد دکمه ی ورود را زده باشد و نیز در زمان مجاز داخل شدن به اتاق باشیم. در بقیه ی حالات، عدد نباید تغییر کند. پس ent را صفر می دهیم.

همچنین تمامی روابط بالا را طبق گفته صورت آزمایش بیان کرده ایم.

U	Clk	Clr	Enable	Function
X	X	0	X	Reset counter to 0
X	X	1	0	Hold previous number
1	↑	1	1	Up count
0	↑	1	1	Down count

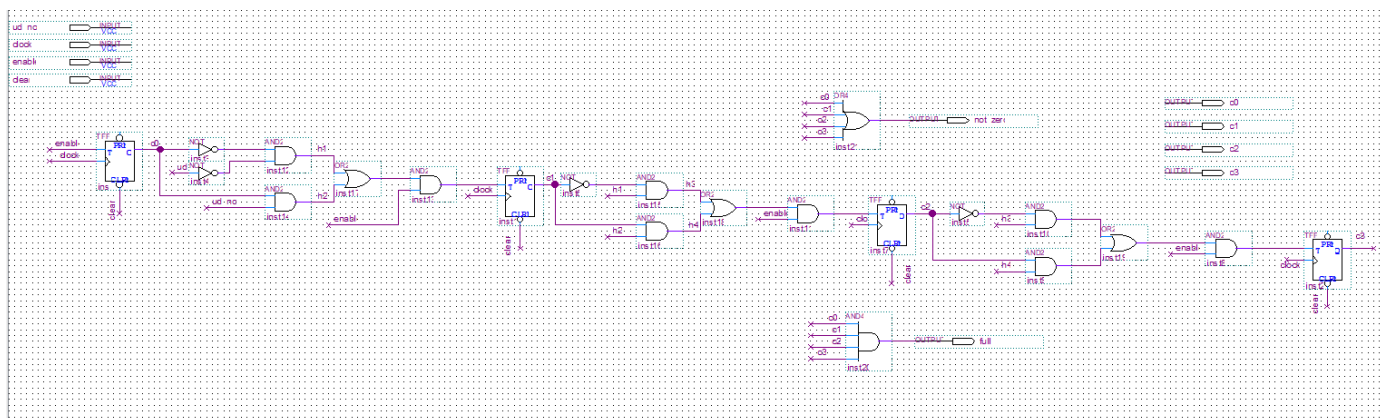
شکل 1. سیگنال ها و روابط

## بخش دوم\_ طراحی مدار شمارنده

### 2.1: ساختار اصلی شمارنده

تئوری آزمایش:

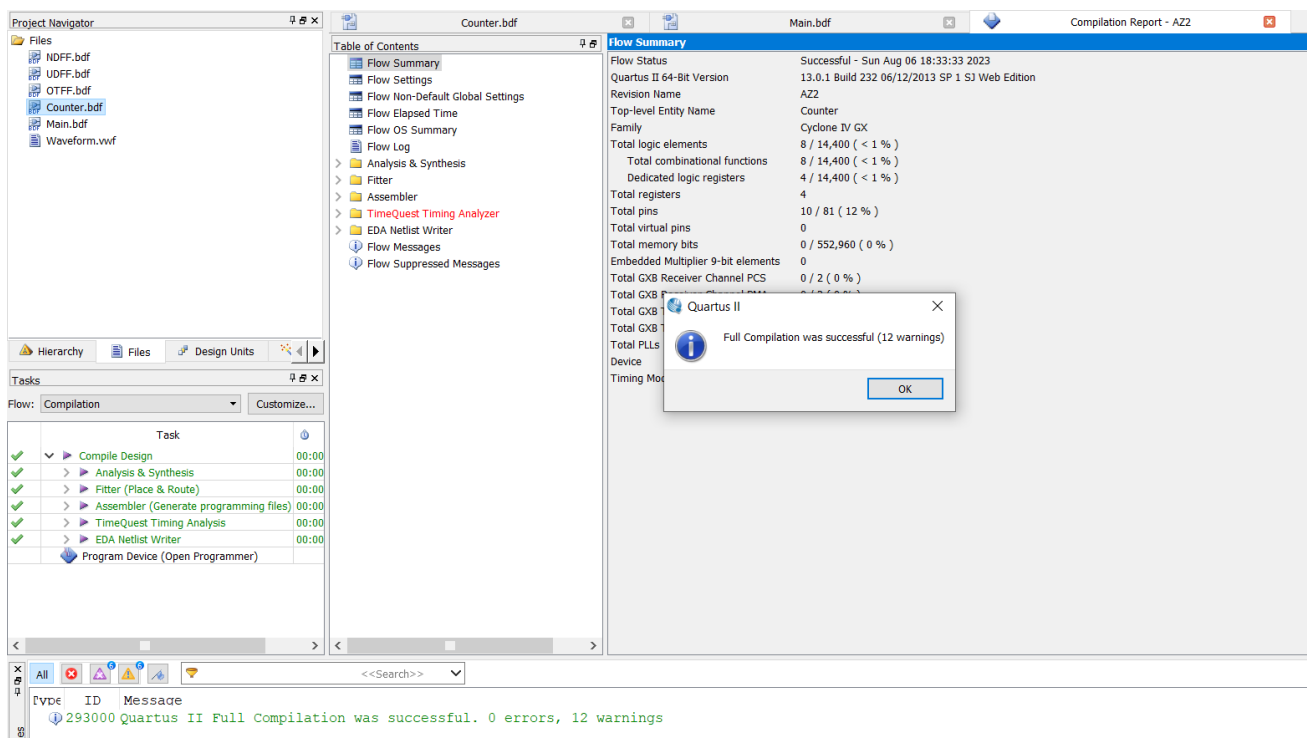
- حال با کنار هم قرار دادن روابط بخش قبل، مدار شمارنده را طراحی می‌نماییم. در طراحی شمارنده، از ۴ عدد T Flip Flop استفاده شده است. خروجی این فلیپ فلاپ ها از چپ به راست، بیت های صفر (کم ارزش)، یک، دو و سه ی شمارنده ی ۴ بیتی ما هستند. نکته ی کلیدی آن است که اگر enable صفر باشد، نباید تغییری در شمارنده رخ دهد، و این کار به واسطه ی and کردن enable با ورودی T فلیپفلاپ ها انجام شده است تا اگر enable صفر باشد، T برابر صفر شود و تغییری در بیت ها ایجاد نشود. اگر enable برابر با یک باشد، طبق طرح مدار، بیت صفر همواره و در هر کلاک عوض می شود زیرا در شمارش به بالا یا پایین، در هر کلاک، مقدار کم ارزشترین بیت تغییر می کند. و در حرکت رو به بالا زمانی بیت پر ارزش یک می شود که بیت قبل از آن از یک به صفر تغییر یابد و حالت ها دیگر هم به همین شکل است. ورودی reset نیز به واسطه ی یک گیت not به ورودی های CLRN فلیپ فلاپ ها متصل شده تا در ابتدای کار، بتوانیم شمارنده را صفر کنیم. این ورودی، همان ورودی Clr در جدول موجود در دستور کار است که به شکل active low داده شده است.
- در طول آزمایش، به ازای هر ورود و خروج، باید تعداد افراد حاضر در سالن را تغییر دهیم که این کار با counter قابل انجام است. چون که هم رو به بالا باید بشماریم و هم رو به پایین، پس یک ورودی کنترلی down/up داریم که با عوض شدن آن، جهت شمارش را عوض می کنیم و در ساخت این مدار هم کاملاً از گیت های پایه استفاده شده است. همچنین در ساخت مدار از TFF خود نرم افزار کوآرتوس استفاده شده است.



شکل 2. مدار شمارنده

## 2.2: کامپایل

همانطور که در شکل 3 مشاهده می‌کنید، بخش counter به درستی کامپایل شده است.



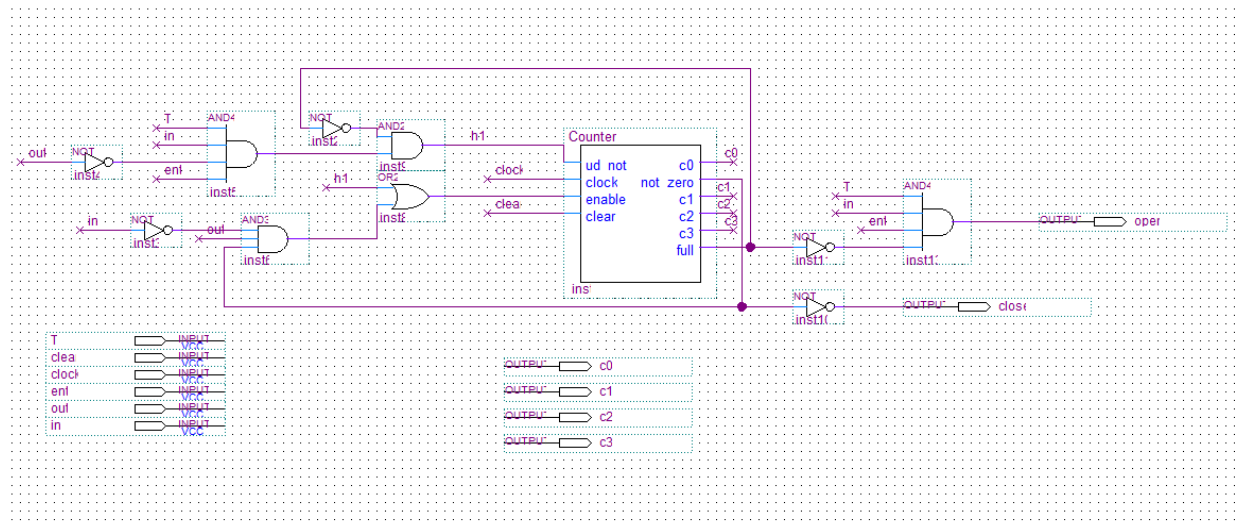
شکل 3. کامپایل مدار counter

## بخش سوم \_ ساخت مدار Room

### 3.1: طراحی نهایی

#### تئوری آزمایش:

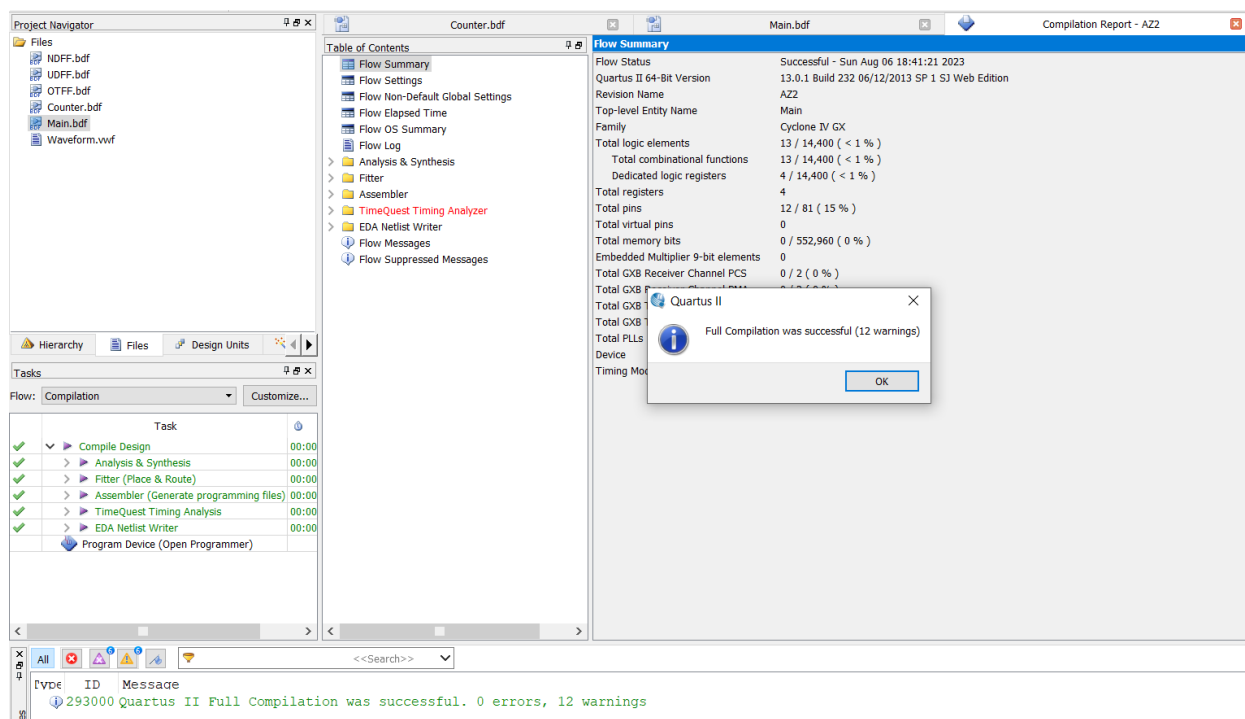
در نهایت با توجه به توضیحاتی که در بخش اول دادیم و مدارهای پایه که قبل تر در بخش دوم ساختیم، می توانیم به طراحی سیستم اتاق پردازیم که مداری مانند شکل زیر دارد:



شکل 4. ساخت مدار Room

## 3.2: کامپایل

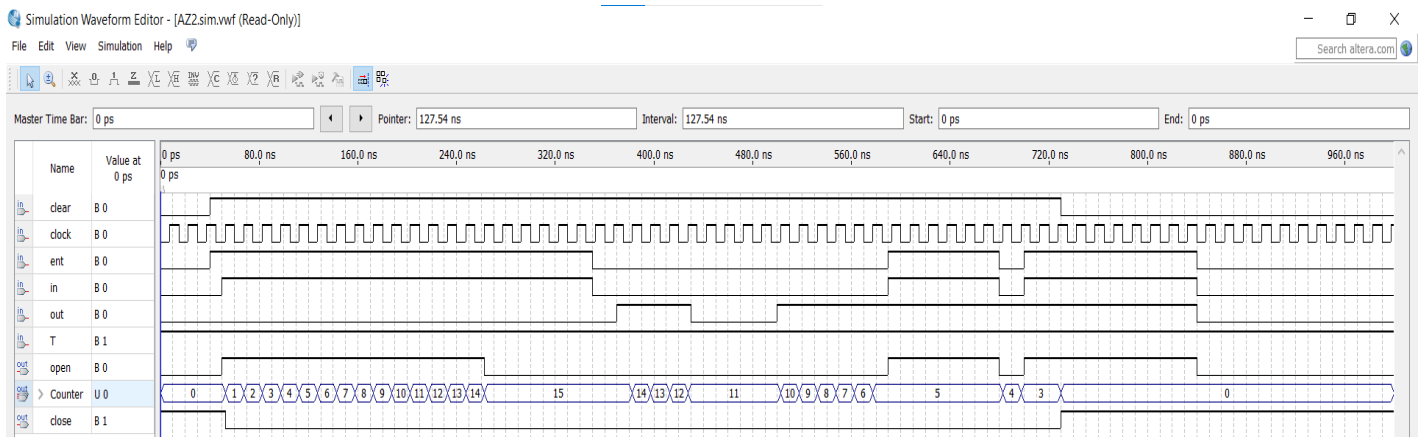
همانطور که در شکل 5 مشاهده می‌کنید، مدار به درستی کامپایل شده است.



شکل 5. کامپایل مدار نهایی

## بخش چهارم \_ Waveform

در این بخش به بررسی waveform و تست داده شده می پردازیم.



شکل 6. Waveform

در این بخش ابتدا در تمامی زمان ها، مقدار T را برابر با 1 قرار می دهیم.

تا زمان 350ns، همزمان مقادیر in و ent برابر با یک و مقدار out نیز برابر صفر می باشد. این به این معنا است که تنها ورود داریم و مقدار شمارشگر همانطور که در تصویر مشاهده می شود در هر کلاک زیاد می شود تا به مقدار 15 برسد.

بعد از آن سیگنال های in و ent صفر شده و سیگنال out برابر 1 می شود که به معنی خروج می باشد و همانطور که می بینید مقدار شمارشگر کمتر می شود تا به 11 برسد. بعد از آن هر 3 سیگنال ما 0 می شود که نشان دهنده عدم ورود یا خروج است و مقدار شمارشگر ثابت و برابر با 11 می ماند.

بعد از آن مجدد مقدار out برابر با یک می شود و خروج و کم شدن شمارشگر اتفاق می افتد تا جایی که دو سیگنال دیگر مدار نیز یک می شوند و همزمان به ازای هر ورود، یک خروج نیز خواهیم داشت؛ بنابراین مقدار شمارشگر، تغییری نخواهد کرد. بعد از دو کلاک نیز به دلیل صفر شدن سیگنال های ورودی، مقدار شمارشگر کم می شود و هنگامی که clear برابر با 0 می شود، مقدار شمارشگر نیز صفر خواهد شد.

همچنین سیگنال های open و close نیز طبق روابط بیان شده در بخش ابتدایی گزارش، به درستی مشخص شده اند.



## بخش پنجم\_ فرکانس کاری مدار

فرکانس کاری مدار را در شکل زیر، به کمک خود کوآرتوس، مشاهده می کنید.

Slow 1200mV 85C Model Fmax Summary				
	Fmax	Restricted Fmax	Clock Name	Note
1	443.66 MHz	250.0 MHz	clock	limit due to minimum period restriction (max I/O toggle rate)

This panel reports FMAX for every clock in the design, regardless of the user-specified clock periods. FMAX is only computed for paths where the source and destination registers or ports are driven by the same clock. Paths of different clocks, including generated clocks, are ignored. For paths between a clock and its inversion, FMAX is computed as if the rising and falling edges are scaled along with FMAX, such that the duty cycle (in terms of a percentage) is maintained. Altera recommends that you always use clock constraints and other slack reports for sign-off analysis.

شکل 7. فرکانس کاری مدار

## نتیجه‌گیری:

در این آزمایش سعی کردیم با کمک ابزار کوآرتوس، به آشنایی با مدارهای ترتیبی با حضور فلیپ‌فلاپ و کلاک بپردازیم و اتاقی منطبق بر خواسته‌های آزمایش، طراحی بنماییم.

## منابع و مراجع:

- S. Palnitkar, Verilog® HDL: A Guide to Digital Design and Synthesis, Second Edition, Prentice Hall, 2003.
- ACEX 1K Programmable Logic Family Data Sheet, [www.altera.com/literature/ds/acex.pdf](http://www.altera.com/literature/ds/acex.pdf)