

第 12 章 带外设引脚选择（PPS）的 I/O 端口

本章包括下列主题：

12.1	简介	2
12.2	I/O 端口控制寄存器	2
12.3	外设复用	7
12.4	外设引脚选择	9
12.5	端口描述	19
12.6	电平变化通知（CN）引脚	19
12.7	寄存器映射	21
12.8	相关应用笔记	22
12.9	版本历史	23

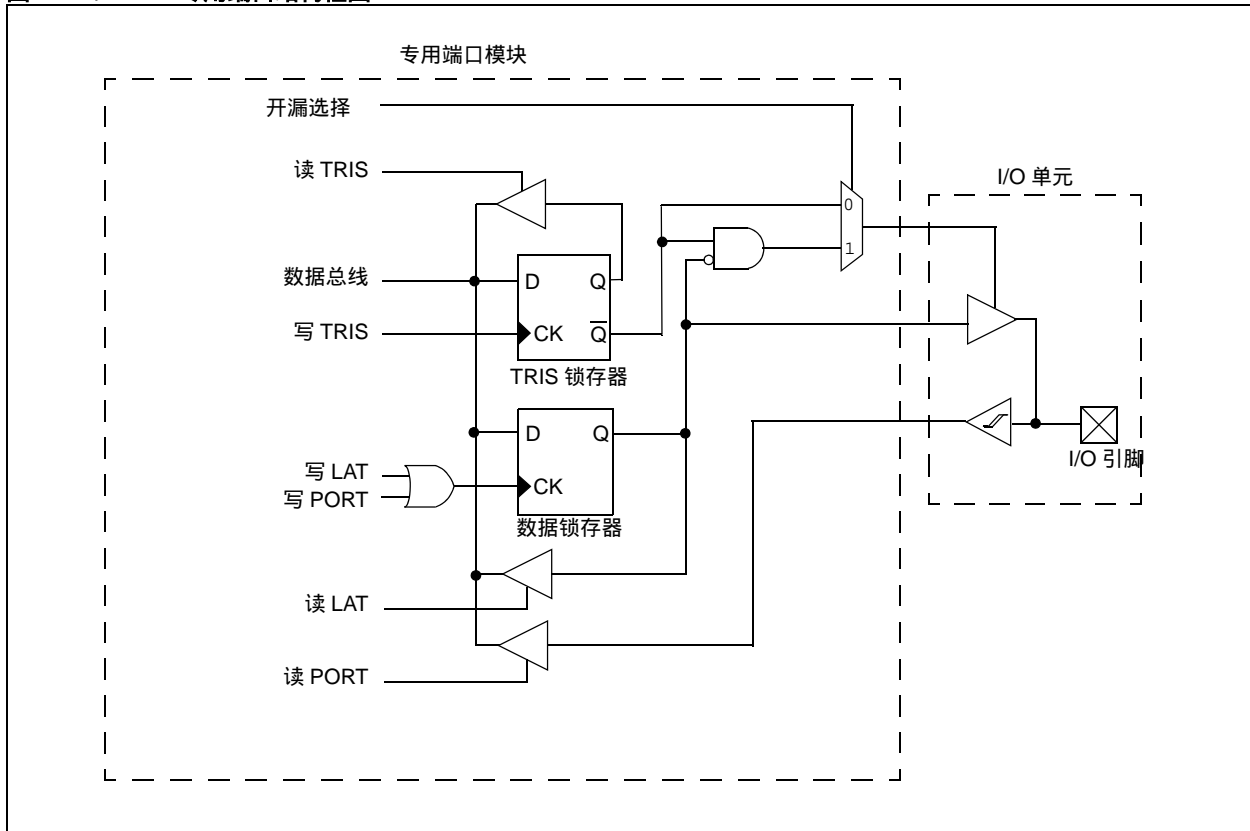
12.1 简介

通用 I/O 引脚可被认为是最简单的外设。它们使 PIC® MCU 可以监视和控制其他器件。为了提高器件的灵活性和功能性，一些引脚与备用功能复用。这些功能取决于不同器件上的外设功能部件。一般来说，当外设被使能时，其对应的引脚就不能被用作通用 I/O 引脚。

大多数 PIC24F 系列器件支持外设引脚选择（Peripheral Pin Select，PPS）功能。PPS 组成的引脚可供用户映射到一些外设的输入和 / 或输出。

图 12-1 所示为典型 I/O 端口的框图。该框图没有考虑 I/O 引脚上可能复用的外设功能。

图 12-1： 专用端口结构框图



12.2 I/O 端口控制寄存器

所有 I/O 端口都有 4 个与该端口操作直接相关的寄存器，其中字母“x”表示特定的 I/O 端口：

- TRISx：数据方向寄存器
- PORTx：I/O 端口寄存器
- LATx：I/O 锁存寄存器
- ODCx：I/O 开漏控制寄存器

器件上的每个 I/O 引脚在 TRIS、PORT、LAT 和 ODC 寄存器中都分别有一个相关的位。

注： 端口和可用 I/O 引脚的总数取决于不同的器件。在某一给定器件中，可能并没有实现端口控制寄存器中的所有位。更多详细信息，请参见具体器件数据手册。

12.2.1 TRIS 寄存器

TRISx 寄存器控制位决定与该 I/O 端口相关的各个引脚是输入引脚还是输出引脚。如果某个 I/O 引脚的 TRIS 位为 1，则该引脚是输入引脚。如果某个 I/O 引脚的 TRIS 位为 0，则该引脚被配置为输出引脚。这很好记，因为 1 很像 I（Input，输入），0 很像 O（Output，输出）。复位后，所有端口引脚都被定义为输入。

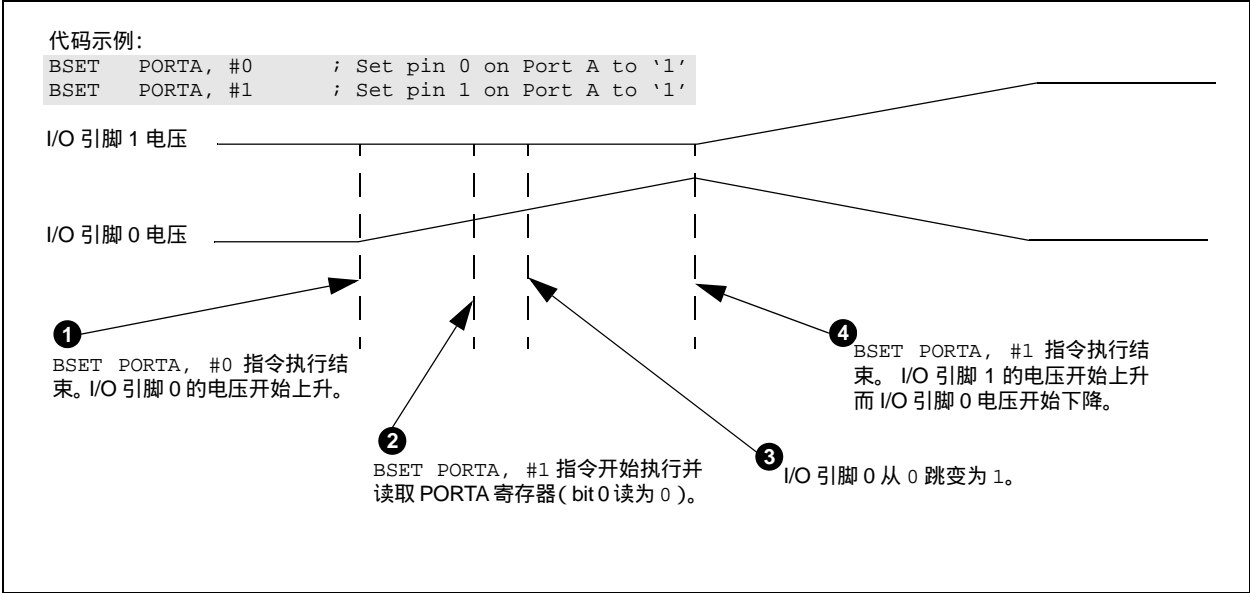
12.2.2 PORT 寄存器

通过PORTx寄存器访问I/O引脚上的数据。读PORTx寄存器是读取I/O引脚上的值，而写PORTx寄存器是将值写入端口数据锁存器。

很多指令，如 BSET 和 BCLR，都是读 - 修改 - 写操作指令。因此，写一个端口就意味着读该端口的引脚电平，修改读到的值，然后再将改好的值写入端口数据锁存器。当与端口相关的一些 I/O 引脚被配置为输入时，并且在 PORTx 寄存器上使用读 - 修改 - 写命令时应该特别小心。如果某个配置为输入的 I/O 引脚在过了一段时间后变成输出引脚，则该 I/O 引脚上可能会输出一个意外值。要避免发生此种情况，应先写入相关联的 PORTx 位，然后改变引脚的方向为输出。

此外，如果在 I/O 引脚被配置为输出时在 PORTx 上使用了读 - 修改 - 写指令，根据器件速度以及 I/O 容性负载的情况可能出现意外的 I/O 表现。图 12-2 所示为当用户应用程序试图在 PORTA 寄存器中用两个连续的读 - 修改 - 写指令将 PORTA 的 I/O 两个位（0 和 1）置 1 时，所出现的意外情况。当 CPU 速度很快并且 I/O 引脚的容性负载很大时，代码示例的意外结果是只有 I/O 的 bit 1 被置 1。

图 12-2：意外的 I/O 表现示例



12.2.3 LAT 寄存器

与 I/O 引脚相关的 LATx 寄存器消除了可能在执行读 - 修改 - 写指令过程中发生的问题。读 LATx 寄存器将返回保存在端口输出锁存器中的值，而不是 I/O 引脚上的值。对与某个 I/O 端口相关的 LAT 寄存器进行读 - 修改 - 写操作，避免了将输入引脚值写入端口锁存器的可能性。写 LATx 寄存器与写 PORTx 寄存器的结果相同。

PORT 和 LAT 寄存器之间的差异可以归纳如下：

- 写 PORTx 寄存器就是将数据值写入该端口锁存器。
- 写 LATx 寄存器就是将数据值写入该端口锁存器。
- 读 PORTx 寄存器就是读取 I/O 引脚上的数据值。
- 读 LATx 寄存器就是读取保存在该端口锁存器中的数据值。

对某个器件无效的任何位以及与其相关的数据和控制寄存器都将被禁止。这意味着对应的 LATx 和 TRISx 寄存器以及该端口引脚将读为零。

12.2.4 ODC 寄存器

每个 I/O 引脚都可以单独配置为正常数字输出或开漏输出。这由与每个 I/O 引脚相关的开漏控制寄存器 ODCx 控制。如果某个 I/O 引脚的 ODC 位为 1，则该引脚作为开漏输出引脚。如果某个 I/O 引脚的 ODC 位为 0，则该引脚被配置为正常数字输出引脚（ODC 位仅对输出引脚有效）。复位后，ODCx 寄存器的所有位的状态被设置为 0。

开漏功能使得在任何所需的仅数字引脚上均可通过使用外部上拉电阻，产生高于 V_{DD} 的输出。所允许的最大开漏电压与最大的 V_{IH} 规定值相同。ODC 寄存器在所有 I/O 模式下均有效，使得即使有外设正在控制引脚，也可以产生开漏输出。虽然用户可以通过操作对应的 LAT 和 TRIS 位来达到相同的效果，但该过程不允许外设开在开漏模式下工作（I²C™ 引脚的默认操作除外）。因为 I²C 引脚已经是开漏引脚，所以 ODCx 设置不会影响 I²C 引脚。同样，在 JTAG 扫描单元插入到 ODCx 逻辑和 I/O 之间时，ODCx 设置也不会影响 JTAG 输出特性。

注： 请注意，PIC24FXXKXXXX 系列的最大 V_{IH} 规范被限制为 V_{DD}。这限制了开漏输出产生更高的电压，尽管它仍可连接到比 V_{DD} 更低的电压上。

寄存器 12-1： TRISx : PORTx 数据方向控制寄存器

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TRISx<15:8> ⁽¹⁾							
bit 15				bit 8			

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TRISx<7:0> ⁽¹⁾							
bit 7				bit 0			

图注：							
R = 可读位		W = 可写位		U = 未实现位，读为 0			
-n = POR 时的值		1 = 置 1		0 = 清零		x = 未知	

bit 15-0 **TRISx<15:0>** : PORTx 数据方向控制位 ⁽¹⁾
1 = 引脚为输入
0 = 引脚为输出

注 1： 实际实现方式请参见具体器件的数据手册。

寄存器 12-2： PORTx :I/O 端口寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PORTx<15:8> ⁽¹⁾						
bit 15						

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PORTx<7:0> ⁽¹⁾						
bit 7						

图注：						
R = 可读位		W = 可写位		U = 未实现位，读为 0		
-n = POR 时的值		1 = 置 1		0 = 清零		x = 未知

bit 15-0 **PORTx<15:0>** : I/O 端口位 ⁽¹⁾
1 = 引脚数据为 1
0 = 引脚数据为 0

注 1： 实际实现方式请参见具体器件的数据手册。

寄存器 12-3 : LATx : PORTx 数据锁存寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
LATx<15:8> ⁽¹⁾							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
LATx<7:0> ⁽¹⁾							
bit 7							bit 0

图注：

R = 可读位 W = 可写位 U = 未实现位，读为 0
-n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 15-0 **LATx<15:0>** : PORTx 数据锁存位 ⁽¹⁾
 1 = 锁存器内容为 1
 0 = 锁存器内容为 0

注 1： 实际实现方式请参见具体器件的数据手册。

寄存器 12-4 : ODCx : PORTx 开漏控制寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ODCx<15:8> ⁽¹⁾							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ODCx<7:0> ⁽¹⁾							
bit 7							bit 0

图注：

R = 可读位 W = 可写位 U = 未实现位，读为 0
-n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 15-0 **ODCx<15:0>** : PORTx 开漏控制位 ⁽¹⁾
 1 = 若 TRISx 为 0 则引脚作为开漏输出
 0 = 引脚作为正常引脚

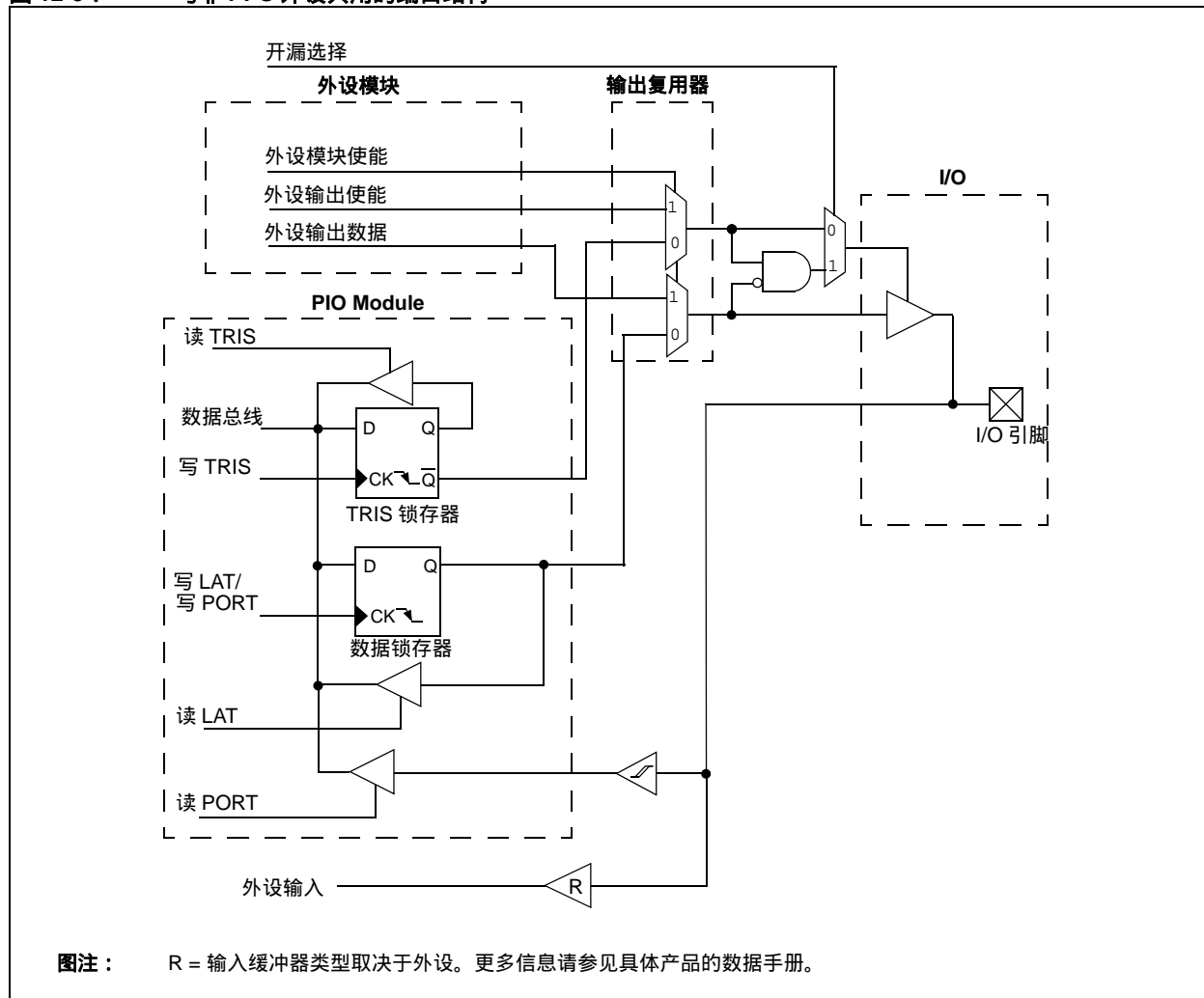
注 1： 实际实现方式请参见具体器件的数据手册。

12.3 外设复用

引脚还可以配置为数字输入或输出，以及模拟输入或输出。当配置为数字输入时，它们作为 TTL 缓冲器或施密特触发器。当配置为数字输出时，它们作为 CMOS 驱动器或开漏输出。

许多引脚还支持一个或多个外设模块。当配置为操作外设时，引脚不能用作通用输入或输出。在许多情况下，虽然一些外设会改写 TRIS 配置，引脚仍必须配置为输入或输出。图 12-2 所示为端口如何与其他外设共用，以及端口所连接的相关 I/O 引脚。对于一些 PIC24F 器件，可以在每个 I/O 引脚复用多个外设功能。外设功能的优先级取决于具体产品数据手册中引脚图中的引脚说明的顺序。

图 12-3： 与非 PPS 外设共用的端口结构



12.3.1 复用数字输入外设

- 外设不控制 TRISx 寄存器。TRIS 位应保持为输入。
- PORTx 数据输入路径不受影响。读 PORTx 寄存器时，将读到引脚的状态。
- 外设输入路径使用特殊输入缓冲器，与 IO 输入路径相互独立。

12.3.2 复用数字输出外设

- 外设控制输出数据，PORTx 寄存器没有影响。
- PORTx 寄存器可以读取引脚值。
- 引脚输出驱动器类型由外设选择（例如，驱动能力，转换速率等）。
- 用户需要通过将相关的 TRISx 位清零，将该引脚配置为输出。
- 如果输出具有自动三态功能（例如，PWM 输出），则外设可以将引脚置为三态。

12.3.3 复用数字双向外设

- 外设可以自动将引脚配置为输出，但不能配置为输入。用户需要通过将相关的 TRISx 位置 1，将该引脚配置为输入。
- 外设控制输出数据，PORTx 寄存器没有影响。
- PORTx 寄存器可以读取引脚值。
- 引脚输出驱动器类型会受外设影响（例如，驱动能力，转换速率等）。

12.3.4 复用模拟输入外设

- 所有数字端口输入缓冲器均被禁止，PORTx 寄存器读为 0，以防止急剧短路电流（crowbar current）。

12.3.5 复用模拟输出外设

- 所有数字端口输入缓冲器均被禁止，PORTx 寄存器读为 0，以防止急剧短路电流。
- 无论相关的 TRISx 设置如何，都在引脚驱动模拟输出。

注： 为了使用 A/D 复用作数字 I/O 的引脚，AD1PCFG 寄存器中对应的位必须设为 1，即使关闭 A/D 模块时也需如此。

12.3.6 软件输入引脚控制

分配给某个 I/O 引脚的一些功能可能是那些不控制引脚输出驱动器的输入功能。这类外设的一个实例就是输入捕捉模块。如果使用相应的 TRIS 控制位将与输入捕捉相关的 I/O 引脚配置为输出引脚，则用户可以通过其相应的 PORT 寄存器手动影响输入捕捉引脚的状态。这种做法在有些情形下很有用，尤其适用于当没有外部信号连接到输入引脚时进行测试的情形下。

请参见图 12-2，外设多路开关的结构将决定外设输入引脚是否可以通过使用 PORT 寄存器用软件控制。当外设功能被使能时，图中所示的概念化的外设会将端口数据与 I/O 引脚断开连接。

一般来说，下列外设允许通过 PORT 寄存器手动控制它们的输入引脚：

- 外部中断引脚
- 定时器时钟输入引脚
- 输入捕捉引脚
- PWM 故障引脚

大多数串行通信外设在使用时，将完全控制 I/O 引脚，因此不能通过相应的 PORT 寄存器影响与该外设相关的输入引脚。这些外设如下：

- SPI
- I²C™
- UART

12.4 外设引脚选择

通用器件的一个主要挑战是提供尽可能多的外设功能并同时最大限度地减小 I/O 引脚的功能冲突。器件引脚数很少时这种挑战则更加巨大。当应用需要多于一个外设分配给某个引脚时，可能此时惟一的选择就是对应用代码进行复杂的变通或完全重新设计。

外设引脚选择配置则提供了这些选择以外的另一种方法，可使用户进行外设集选择并将其置于多个 I/O 引脚上。用户可通过增加某一器件的引脚排列选择使单片机更好地适应整个应用，而不是修改应用来适应器件。

外设引脚选择配置特性只在固定的一些数字 I/O 引脚上使用。用户可分别将大多数数字外设输入和 / 或输出进行映射。外设引脚选择在软件中完成，通常无需对器件进行重新编程。外设映射一旦建立，硬件就会对其进行保护以免其意外或误改变。

注： 有些器件不具备此功能。更多详情请参见具体器件的数据手册。

12.4.1 可用引脚

外设引脚选择功能可用于多个引脚。可用引脚数取决于具体器件及其引脚数。支持外设引脚选择功能的引脚在其全称中包含“RPn”，其中“RP”表示可重映射的外设，“n”表示可重映射引脚的编号。如果引脚只支持输入功能外设引脚选择功能，那它将被指定为“RPIn”。更多信息请参见器件数据手册中的器件引脚排列。

12.4.2 可用的外设

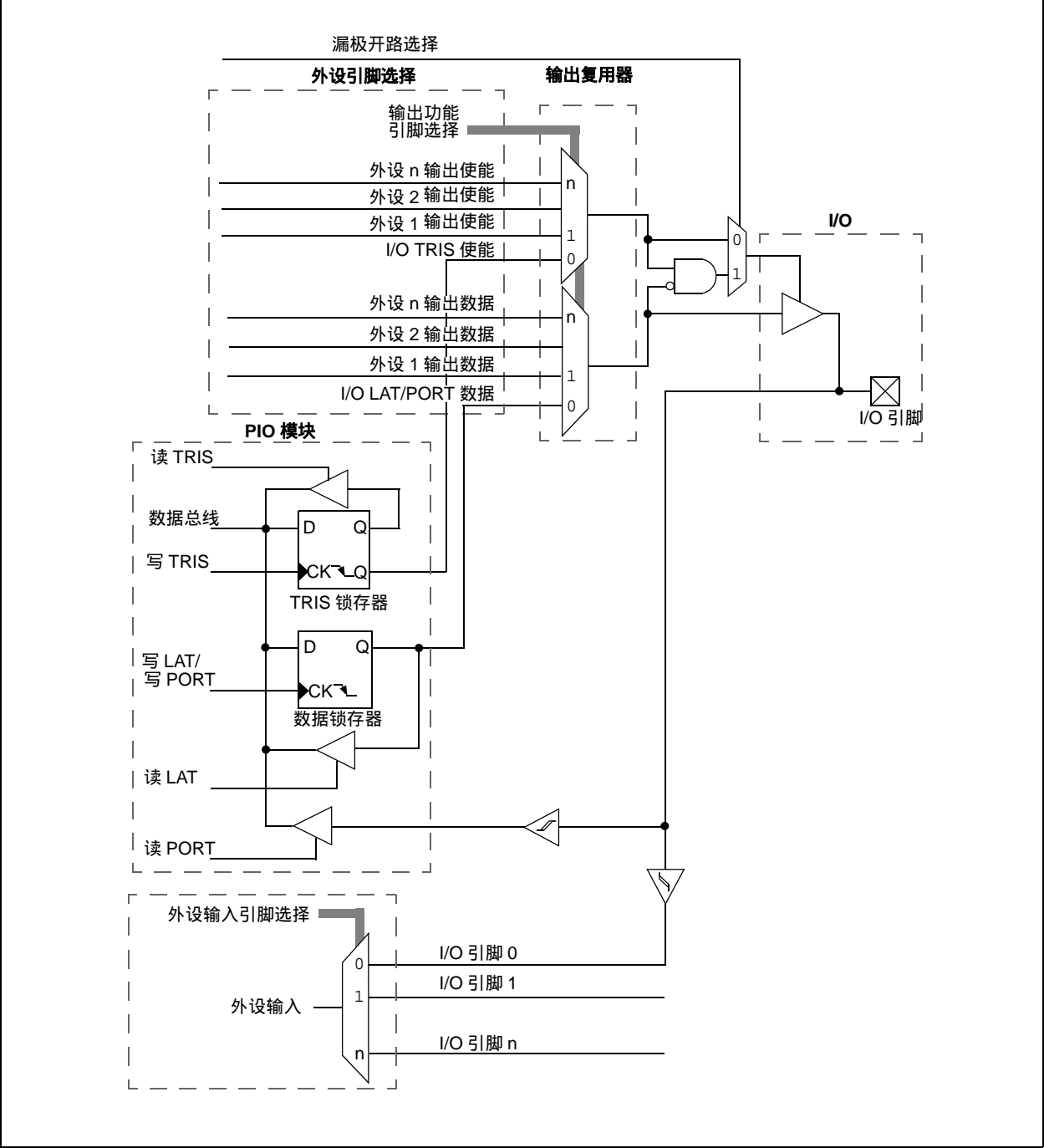
由外设引脚选择功能管理的外设均为仅为数字的外设。它们包括通用串行通信（UART 和 SPI），通用定时器时钟输入，与定时器相关的外设（输入捕捉和输出比较）以及外部中断输入。

相比较而言，有些仅为数字的外设模块现在还不包括在外设引脚选择功能中。这是因为这类外设功能需要某个引脚具有特殊 I/O 电路而无法简单地直接到多个引脚上。这些模块包括 I²C，专用通信（以太网和 USB），电平变化输入，RTCC 闹钟输出以及所有带有模拟输入，如 A/D 转换器的模块。

可重映射外设与非可重映射外设的主要区别是，可重映射外设不与某个默认的 I/O 引脚关联。外设必须总是在使用前先分配一个特定的 I/O 引脚。与之相反，非可重映射外设则始终在默认引脚上可用，它假定外设处于激活状态而且不与其他外设冲突。

当某个可重映射外设在一个 I/O 引脚上处于激活状态，其优先级比所有其他数字 I/O 和与此引脚关联的数字通信外设都高。无论映射的外设类型是什么，都具有这种优先级。可重映射外设的优先级永远不会高过与此引脚相关联的模拟功能。

图 12-4： 与 PPS 外设共用的端口结构



12.4.3 控制外设引脚选择

外设引脚选择功能通过两组特殊功能寄存器（SFR）控制：一组映射外设输入，另一组映射外设输出。由于它们被分别控制，因此某个外设的输入和输出（如果此外设两个都有）可被置于任何可选择的功能引脚上，没有任何限制。

外设与外设可选择引脚的关联通过两种方式处理，取决于所映射的是输入还是输出。

12.4.3.1 输入映射

外设引脚选择选项的输入根据外设进行映射，即与外设关联的位字段将指定此外设要映射的引脚。RPINRx 寄存器（见寄存器 12-1 和表 12-1）包含几组 6 位字段，每组与一个可重映射外设关联。用一个 RPn 值设置某一个外设的位字段会将该 RPn 引脚映射到该外设。对于某个给定器件，任何位字段的有效值范围对应于该器件支持的外设引脚选择的最大数量。

支持外设引脚选择的外设输入没有默认引脚。由于 RPINRx 寄存器中实现的位字段复位为全 1，器件默认（复位）状态下所有输入均连接到 Vss。

例如，将 RPINR18<5:0> 分配给 0x2 将选择 RP2 作为 U1RX 输入。图 12-5 所示为 U1RX 输入的可重映射引脚选择。

图 12-5 : U1RX 可重映射输入

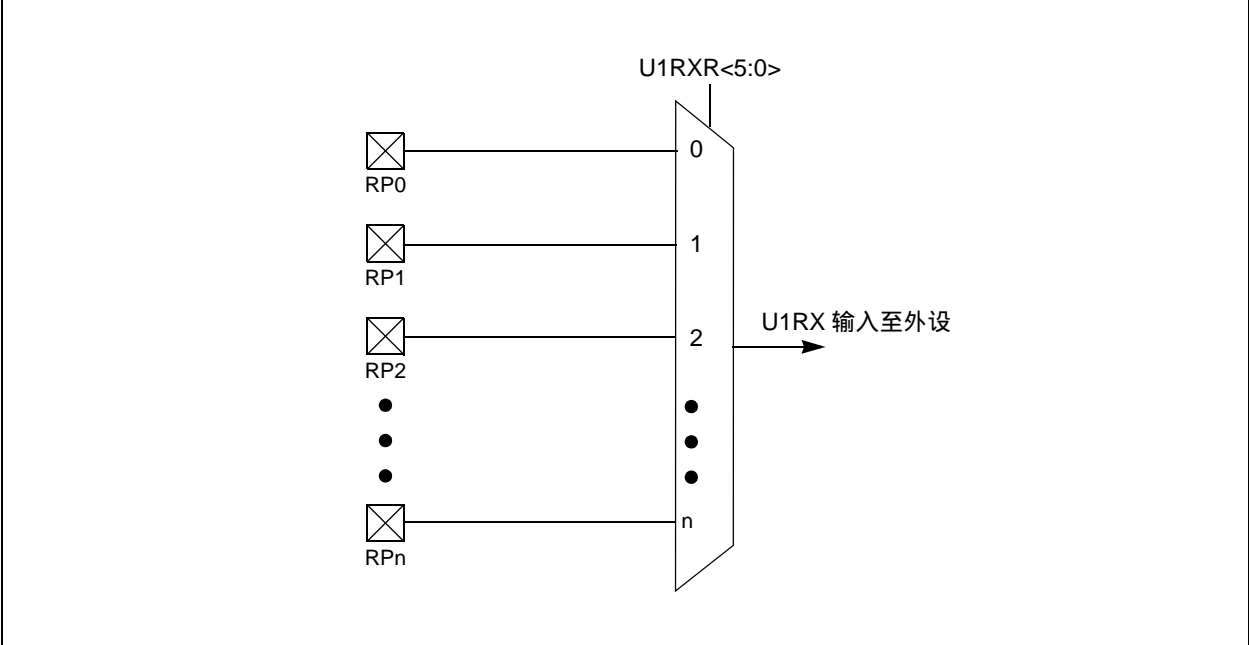


表 12-1： 可选择输入源（将输入映射到功能）

输入名称 ⁽¹⁾	功能名称	寄存器位	配置位
外部中断 1	INT1	RPINR0<13:8>	INT1R<5:0>
外部中断 2	INT2	RPINR1<5:0>	INT2R<5:0>
外部中断 3	INT3	RPINR1<13:8>	INT3R<5:0>
外部中断 4	INT4	RPINR2<5:0>	INT4R<5:0>
Timer2 外部时钟	T2CK	RPINR3<5:0>	T2CKR<5:0>
Timer3 外部时钟	T3CK	RPINR3<13:8>	T3CKR<5:0>
Timer4 外部时钟	T4CK	RPINR4<5:0>	T4CKR<5:0>
Timer5 外部时钟	T5CK	RPINR4<13:8>	T5CKR<5:0>
输入捕捉 1	IC1	RPINR7<5:0>	IC1R<5:0>
输入捕捉 2	IC2	RPINR7<13:8>	IC2R<5:0>
输入捕捉 3	IC3	RPINR8<5:0>	IC3R<5:0>
输入捕捉 4	IC4	RPINR8<13:8>	IC4R<5:0>
输入捕捉 5	IC5	RPINR9<5:0>	IC5R<5:0>
输出比较故障 A	OCFA	RPINR11<5:0>	OCFAR<5:0>
输出比较故障 B	OCFB	RPINR11<13:8>	OCFBR<5:0>
UART1 接收	U1RX	RPINR18<5:0>	U1RXR<5:0>
UART1 清零以发送	U1CTS	RPINR18<13:8>	U1CTSR<5:0>
UART2 接收	U2RX	RPINR19<5:0>	U2RXR<5:0>
UART2 清零以发送	U2CTS	RPINR19<13:8>	U2CTSR<5:0>
SPI1 数据输入	SDI1	RPINR20<5:0>	SDI1R<5:0>
SPI1 时钟输入	SCK1	RPINR20<13:8>	SCK1R<5:0>
SPI1 从选择输入	SS1	RPINR21<5:0>	SS1R<5:0>
SPI2 数据输入	SDI2	RPINR22<5:0>	SDI2R<5:0>
SPI2 时钟输入	SCK2	RPINR22<13:8>	SCK2R<5:0>
SPI2 从选择输入	SS2	RPINR23<5:0>	SS2R<5:0>

注 1：此器件的输出功能可能较多或较少。有关实际细节，请参见具体器件的数据手册。

12.4.3.2 输出映射

与输入相反，外设引脚选择选项的输出根据引脚进行映射。此例中，与某个引脚关联的位字段决定了要映射的外设输出。RPORx 寄存器包含几组 6 位字段，每组与一个 RPn 引脚关联（见寄存器 12-2）。位字段的值对应于一个外设，该外设的输出映射到该引脚（见表 12-2 和图 12-5）。

支持外设引脚选择的外设输出没有默认引脚。由于 RPORx 寄存器复位为全 0，在器件默认（复位）状态下所有输出均与器件断开。

由于映射技术，输出映射的外设表中还包含一个空值 000000。这使任何给定的引脚均可与任何引脚可选择外设的输出保持断开。

图 12-6： RPn 可重映射输出的复用

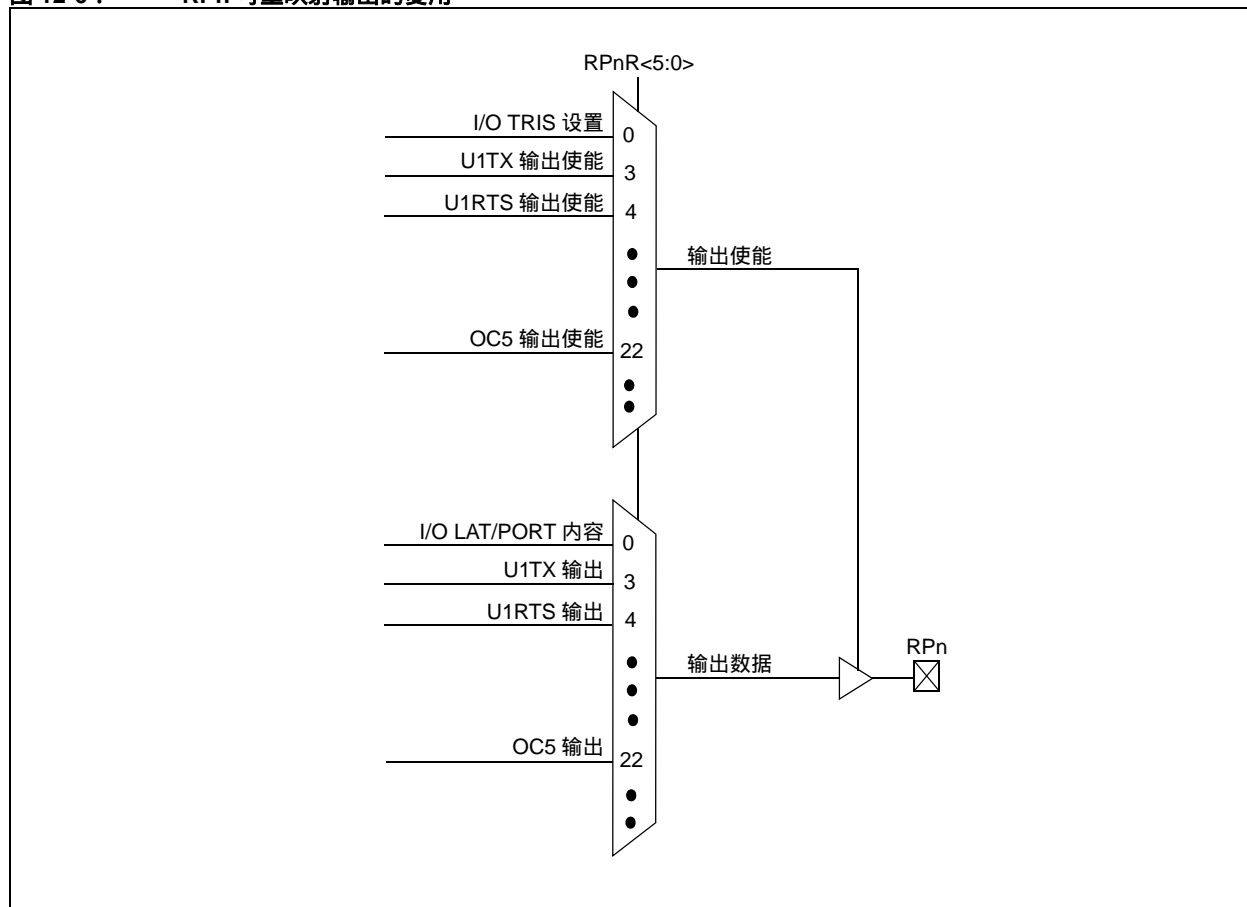


表 12-2：可重映射引脚（RPn）的输出选择

功能 ⁽¹⁾	RPnR<5:0>	输出名称
NULL	0	引脚为 I/O 端口引脚。
C1OUT	1	RPn 连接到比较器 1 的输出。
C2OUT	2	RPn 连接到比较器 2 的输出。
U1TX	3	RPn 连接到 UART1 发送端。
U1RTS	4	RPn 连接到 UART1 发送待命端。
U2TX	5	RPn 连接到 UART2 发送端。
U2RTS	6	RPn 连接到 UART2 发送待命端。
SDO1	7	RPn 连接到 SPI1 数据输出端。
SCK1OUT	8	RPn 连接到 SPI1 时钟输出。
SS1OUT	9	RPn 连接到 SPI1 从动选择输出。
SDO2	10	RPn 连接到 SPI2 数据输出。
SCK2OUT	11	RPn 连接到 SPI2 时钟输出。
SS2OUT	12	RPn 连接到 SPI2 从动选择输出。
OC1	18	RPn 连接到输出比较 1。
OC2	19	RPn 连接到输出比较 2。
OC3	20	RPn 连接到输出比较 3。
OC4	21	RPn 连接到输出比较 4。
OC5	22	RPn 连接到输出比较 5。

注 1：此器件的输出功能可能较多或较少。有关实际细节，请参见具体器件的数据手册。

表 12-3：与 RPn 引脚的输出功能相关的寄存器

引脚	寄存器	相关联位
RP0	RPO0<5:0>	RP0R<5:0>
RP1	RPO0<13:8>	RP1R<5:0>
RP2	RPO1<5:0>	RP2R<5:0>
RPn	RPOn/2<5:0>	RPnR<5:0>
RPn + 1	RPOn/2<13:8>	RPn + 1R<5:0>

图注：n = 0, 2, 4, 等。

12.4.3.3 映射局限

外设选择引脚的控制模型并不局限于一小部分固定外设配置。任何外设映射 SFR 之间均不存在相互或强制的排斥；任何或所有 RPn 引脚的几乎所有外设映射组合均是可能的。这包括外设输入和输出对引脚的多对一和一对多映射。尽管从配置的角度看这种映射是可能的，用户仍应确保所选择的配置从电气的角度看也是得到支持的。

12.4.4 控制配置更改

由于外设重映射在运行时可以改变，因此需要对外设重映射进行一些限制以避免意外的配置更改。PIC24F 器件包括三种特性以避免外设映射的改变：

- 控制寄存器锁定序列
- 连续状态监测
- 配置位重映射锁定

12.4.4.1 控制寄存器锁定

正常工作时，不允许写 RPINRx 和 RPORx 寄存器；尝试进行写操作外表看起来会正常执行，但寄存器的内容将保持不变。要更改这些寄存器，应在硬件中将其解锁。寄存器锁定由 IOLOCK 位 (OSCCON<6>) 控制。将 IOLOCK 置 1 可阻止控制寄存器被写入；将 IOLOCK 清零允许写入。

要将 IOLOCK 置 1 或清零，必须执行以下特定命令序列：

1. 将 46h 写入 OSCCON<7:0>。
2. 将 57h 写入 OSCCON<7:0>。
3. 以单个操作清零（或置 1）IOLOCK。

解锁 / 锁定序列必须以与更改振荡器配置相同的方式作为汇编语言程序执行，这是因为解锁序列与定时有关。如果应用程序的主体是用 C 语言或其他高级语言编写的，则应通过写一段行内汇编程序或使用 MPLAB® C30 C 编译器提供的内置函数执行解锁序列。

IOLOCK 在被更改前将保持同一状态。这使所有外设引脚选择均可用一个解锁序列，并随后对所有控制寄存器进行更新，然后用第二个锁定序列来锁定这种方式配置。

注： MPLAB® C30 C 编译器提供了内置的 C 语言函数用以对 OSCCON 寄存器进行解锁。
`__builtin_write_OSCCONL(value)`
`__builtin_write_OSCCONH(value)`
 更多信息请参见《MPLAB C30 C 编译器用户指南》。

12.4.4.2 连续状态监测

RPINRx 和 RPORx 寄存器的内容除了受到不会直接被写入的保护以外，还在硬件中受到影子寄存器的连续监测。如果任一寄存器发生意外变化（如由 ESD 或其他外部事件导致的单元侵扰），则将触发不匹配复位。

12.4.4.3 配置位引脚选择锁定

为了增加安全级别，器件可配置为避免对 RPINRx 和 RPORx 寄存器进行一次以上的写会话。IOL1WAY (FOSC<IOL1WAY>) 配置位可阻止 IOLOCK 在置 1 后被清零一次。

在默认（未编程）状态下，IOL1WAY 置 1，限制用户进行一次写会话。编程 IOL1WAY 允许用户对外设引脚选择寄存器进行无限制访问（借助于正确使用解锁序列）。

12.4.5 外设引脚选择的注意事项

由于能够控制外设引脚的选择，因此在应用设计时就带来了一些注意事项。对于只可用作可重映射外设的一些常用外设，情况尤其如此。

执行任何其他应用代码前，用户必须用正确的外设配置初始化器件。由于 IOLOCK 位在解锁状态复位，因此在器件退出复位时无需再执行解锁序列。然而为了应用的安全性，在写入控制寄存器后将 IOLOCK 置 1 以锁定配置始终不失为一个好的想法。

选择配置需要回顾所有外设引脚选择及这些引脚的分配，特别是那些在应用中不使用的外设。任何情况下，均应禁止不使用的可选择外设的引脚。应将不使用的外设的输入分配给 Vss。应将带有未使用 RPn 功能的 I/O 引脚配置为空（0）外设输出。

将 RPn 引脚分配给外设输入或输出取决于外设及其在应用中的用途。分配最好能在器件复位后或外设配置前立即进行。

将外设输出分配给某一个引脚并不会自动完成对引脚的 I/O 电路的其他配置。这表示为一个引脚增加引脚可选择输出可能意味着在引脚驱动为输出时又不经意地将已有外设驱动为输入。用户必须熟悉与可重映射引脚共用的其他固定外设的表现。为安全起见，与同一引脚共用的固定数字外设在不使用时应予以禁止。

将可重映射引脚配置为特定外设输入不会自动开启该功能。必须将外设特别配置为工作及使能，就象该外设连接到某一固定引脚一样。

最后一个注意事项是外设引脚选择功能的优先级既不高于模拟输入，也不会将带有模拟功能的引脚重新配置为数字 I/O。如果器件复位时某一引脚被配置为模拟输入，则它必须在用于外设引脚选择时明确地重新配置为数字 I/O。

12.4.5.1 使用外设引脚选择（PPS）的基本步骤

1. 禁止要使用引脚的任何固定数字外设。
2. 使用 ADxPCFG 寄存器将引脚切换为用于数字功能（如果它们有模拟功能的话）。
3. 解锁 OSCCON 寄存器并将 IOLOCK 位清零（器件复位后无需此操作）。
4. 正确设置 RPINRx 和 RPORx 寄存器。
5. 解锁 OSCCON 寄存器并将 IOLOCK 位置 1。
6. 配置并使能新映射的 PPS 外设。

示例 12-1 所示为配置带流控制的使用 UART1 的双向通信。使用了以下输入输出函数：

- 输入函数：U1RX 和 U1CTS
- 输出函数：U1TX 和 U1RTS

例 12-1: 配置 UART1 输入和输出功能

```

//*****
// Unlock Registers
//*****
__builtin_write_OSCCONL(OSCCON & 0xbf)    //clear the bit 6 of OSCCONL to
                                           //unlock Pin Re-map
//*****
//This code is used when interested in inline assembly. If this code is
//used then the above two lines should not be used for unlocking.
//*****
/*
asm volatile ( "push w1          \n"
               "push w2          \n"
               "push w3          \n"
               "mov #OSCCON, w1  \n"
               "mov #0x46, w2    \n"
               "mov #0x57, w3    \n"
               "mov.b w2, [w1]   \n"
               "mov.b w3, [w1]   \n"
               "bclr OSCCON, #6  \n"
               "pop w3           \n"
               "pop w2           \n"
               "pop w1");

*/
//*****
// Configure Input Functions
//*****
//*****
// Assign UlRx To Pin RP0
//*****
RPINR18bits.UlRXR = 0;                //'0' represents RP0

//*****
// Assign UlCTS To Pin RP1
//*****
RPINR18bits.UlCTSR = 1;                //'1' represents RP1

//*****
// Configure Output Functions
//*****
//*****
// Assign UlTx To Pin RP2
//*****
RPOR1bits.RP2R = 3;                    //'3' represents UlTX

//*****
// Assign UlRTS To Pin RP3
//*****
RPOR1bits.RP3R = 4;                    //'4' represents UlRTS

//*****
// Lock Registers
//*****
__builtin_write_OSCCONL(OSCCON | 0x40)    //set the bit 6 of OSCCONL to
                                           //lock Pin Re-map
//*****
//This code is used when interested in inline assembly. If this code is
//used then the above two lines should not be used for unlocking.
//*****
/*
asm volatile ( "push w1          \n"
               "push w2          \n"
               "push w3          \n"
               "mov #OSCCON, w1  \n"
               "mov #0x46, w2    \n"
               "mov #0x57, w3    \n"
               "mov.b w2, [w1]   \n"
               "mov.b w3, [w1]   \n"
               "bset OSCCON, #6  \n"
               "pop w3           \n"
               "pop w2           \n"
               "pop w1");

*/

```

12.4.6 外设引脚选择寄存器

这些寄存器用于配置 PIC24F 器件引脚的输入和输出功能。

- **RPINRx**：外设引脚选择输入寄存器 x
- **RPORy**：外设引脚选择输出寄存器 y

寄存器 12-5： RPINRx：外设引脚选择输入寄存器 x⁽²⁾

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	输入功能位 <5:0> ⁽¹⁾					
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	输入功能位 <5:0> ⁽¹⁾					
bit 7							bit 0

图注：							
R = 可读位		W = 可写位		U = 未实现位，读为 0			
-n = POR 时的值		1 = 置 1		0 = 清零		x = 未知	

- bit 15-14 **未实现**：读为 0
- bit 13-8 **输入功能位 <5:0>**：将外设分配给相应的 RPn 引脚位 ⁽¹⁾
- bit 7-6 **未实现**：读为 0
- bit 5-0 **输入功能位 <5:0>**：将外设分配给相应的 RPn 引脚位 ⁽¹⁾

- 注** **1**：此处 n 表示外设选择输入引脚的编号。
- 2**：此处 x 表示外设引脚选择输入寄存器编号，它随器件的不同而变化。

寄存器 12-6： RPORy：外设引脚选择输出寄存器 y⁽²⁾

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RPnR<5:0> ⁽¹⁾					
bit 15							bit 8

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RPnR<5:0> ⁽¹⁾					
bit 7							bit 0

图注：							
R = 可读位		W = 可写位		U = 未实现位，读为 0			
-n = POR 时的值		1 = 置 1		0 = 清零		x = 未知	

- bit 15-14 **未实现**：读为 0
- bit 13-8 **RPnR<5:0>**：外设输出功能分配给 RPn 引脚位 ⁽¹⁾
 （外设功能编号请参见表 12-2）
- bit 7-6 **未实现**：读为 0
- bit 5-0 **RPnR<5:0>**：外设输出功能分配给 RPn 引脚位 ⁽¹⁾
 （外设功能编号请参见表 12-2）

- 注** **1**：此处 n 表示外设选择输出引脚的编号。
- 2**：此处 y 表示外设引脚选择输出寄存器编号，它随器件的不同而变化。

12.5 端口描述

关于可用 I/O 端口和外设复用详细信息以及可用外设引脚选择引脚的介绍，请参见具体器件数据手册。

12.6 电平变化通知（CN）引脚

电平变化通知（Change Notification，CN）引脚使 PIC24F 器件能够向处理器发出中断请求，以响应所选择的输入引脚上的状态变化。可以选择（使能）最多 24 个输入引脚来产生 CN 中断。可用的 CN 输入引脚总数取决于所选的 PIC24F 器件。更多详细信息，请参见具体器件数据手册。

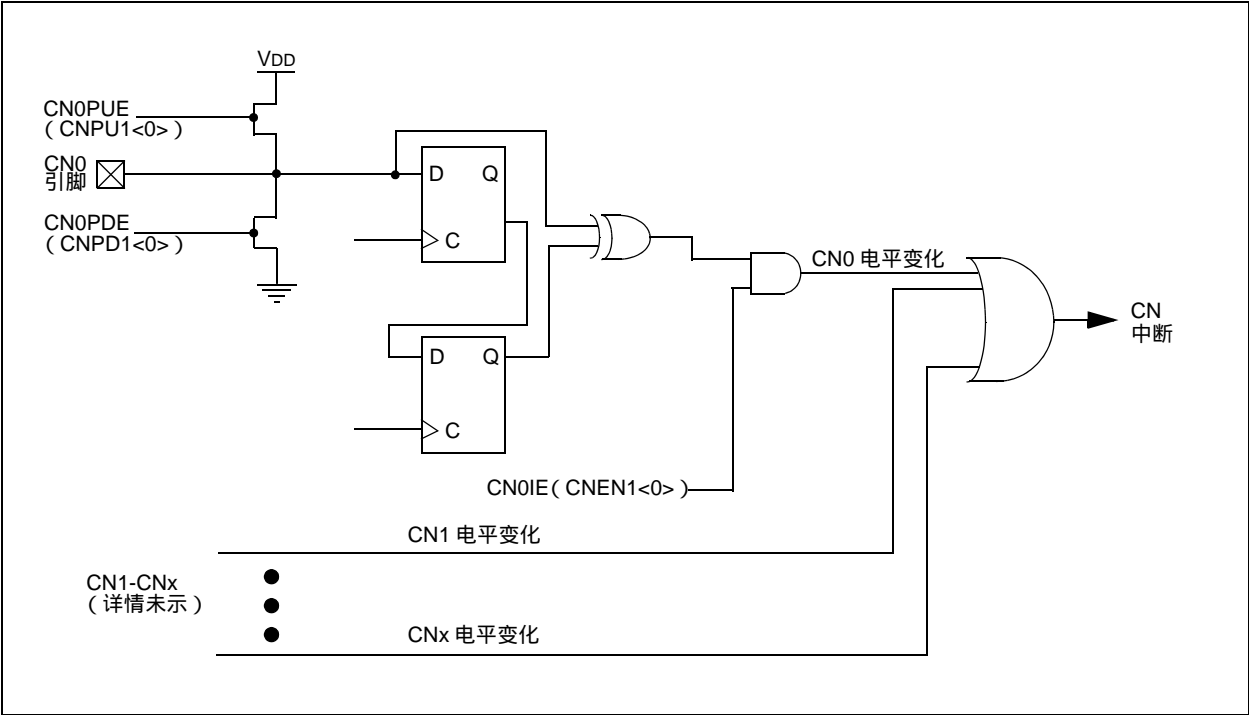
图 12-4 给出了 CN 硬件的基本功能。

12.6.1 CN 控制寄存器

有 4 个与 CN 模块相关的控制寄存器。CNENx 寄存器包含 CNxIE 控制位，其中“x”表示 CN 输入引脚的编号。要让某个 CN 输入引脚中断 CPU，必须将其 CNxIE 位置 1。

CNPUx/CNPDx 寄存器包含 CNxPUE 控制位。每个 CN 引脚连接一个弱上拉器件，该器件可以通过 CNxPUE 控制位使能或禁止。弱上拉器件充当连接到该引脚的电流源，并且当连接了按钮或键盘设备时，有了该器件即可不需要外部电阻。关于 CN 上拉器件的电流规范，请参见具体器件数据手册的“电气特性”章节。

图 12-7： 输入电平变化通知框图



12.6.2 CN 配置和操作

CN 引脚配置如下：

1. 通过将 TRISx 寄存器中的相关位置 1，确保 CN 引脚配置为数字输入引脚。
2. 通过将 CNENx 寄存器中的相应位置 1，允许所选的 CN 引脚中断。
3. 通过将相应 CNPUx 寄存器中的相应位置 1，打开所选的 CN 引脚的弱上拉器件（如果需要）。
4. 清零 CNxIF 中断标志。
5. 使用 CNIP<2:0> 控制位为 CN 中断选择所需的中断优先级。
6. 使用 CNxIE 控制位允许 CN 中断。

当 CN 中断发生时，用户应读取与该 CN 引脚相关的 PORT 寄存器。这样做将清除引脚电平不匹配条件，并设置 CN 逻辑电路以检测下一次引脚电平变化。可以将当前的端口值与上一次 CN 中断时得到的端口读出值比较，来确定发生过变化的引脚。

CN 引脚有最小输入脉冲宽度规范。更多信息，请参见具体器件数据手册的“电气特性”章节。

12.6.3 休眠和空闲模式下的 CN 工作

CN 模块在休眠或空闲模式下继续工作。如果使能的 CN 引脚中的一个改变了状态，CNxIF 状态位将被置 1。如果 CNxIE 位被置 1，则器件将从休眠或空闲模式唤醒并恢复工作。

如果为 CN 中断分配的优先级等于或低于当前 CPU 的优先级，则器件会紧随 SLEEP 或 IDLE 指令后的那条指令继续执行。

如果为 CN 中断分配的优先级高于当前 CPU 的优先级，则器件将从 CN 中断向量地址继续执行。

12.7 寄存器映射

表 12-4、表 12-5 和表 12-6 所示为与 PIC24F I/O 端口相关的寄存器汇总。

表 12-4：与 I/O 端口相关的特殊功能寄存器⁽¹⁾

名称	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位
TRISx	PORTx 数据方向控制位																FFFF
LATx	PORTx 数据锁存位																xxxxx
PORTx	Rx15	Rx14	Rx13	Rx12	Rx11	Rx10	Rx9	Rx8	Rx7	Rx6	Rx5	Rx4	Rx3	Rx2	Rx1	Rx0	xxxxx
ODCx	PORTx 开漏控制位																0000

注 1：有关 I/O 端口寄存器映射的细节，请参见具体器件的数据手册。

表 12-5：与外设引脚选择相关的特殊功能寄存器⁽¹⁾

名称	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位
RPINRx	—	—	输入功能位 <5:0>						—	—	输入功能位 <5:0>						3F3F ⁽²⁾
RPORy	—	—	RPnR<5:0>						—	—	RPnR<5:0>						0000

注 1：有关外设引脚选择寄存器映射的细节，请参见具体器件的数据手册。

2：所实现的位的数量随器件所引脚数量变化。

表 12-6：与电平变化通知引脚相关的特殊功能寄存器⁽¹⁾

名称	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位
CNENx	电平变化通知中断允许位																0000
CNPUx	电平变化通知上拉使能位																0000
CNPDx	电平变化通知下拉使能位																0000

注 1：有关电平变化通知寄存器映射的细节，请参见具体器件的数据手册。

12.8 相关应用笔记

本节列出了与手册本章内容相关的应用笔记。这些应用笔记可能并不是专为 PIC24F 器件系列而编写的，但其概念是相关的，通过适当修改即可使用，但在使用中可能会受到一定的限制。当前与带外设引脚选择（PPS）的 I/O 端口相关的应用笔记有：

标题	应用笔记编号
Implementing Wake-up on Key Stroke	AN552

注：如需获取更多 PIC24F 系列器件的应用笔记和代码示例，请访问 Microchip 网站（www.microchip.com）。

12.9 版本历史

版本 A（2006 年 8 月）

这是本文档的初始发行版。

版本 B（2007 年 5 月）

增加了 PPS 章节，删除了 JTAG 边界扫描章节以及增加了 PPS SFR 表。

注：