

## 第 13 章 并行主控端口（PMP）

### 目录

本章包括下列主题：

13.1 简介 .....	13-2
13.2 模块寄存器 .....	13-3
13.3 从动端口模式 .....	13-11
13.4 主控端口模式 .....	13-16
13.5 应用示例 .....	13-25
13.6 省电模式下的操作 .....	13-28
13.7 交流电气规范 .....	13-29
13.8 寄存器映射 .....	13-32
13.9 相关应用笔记 .....	13-33
13.10 版本历史 .....	13-34

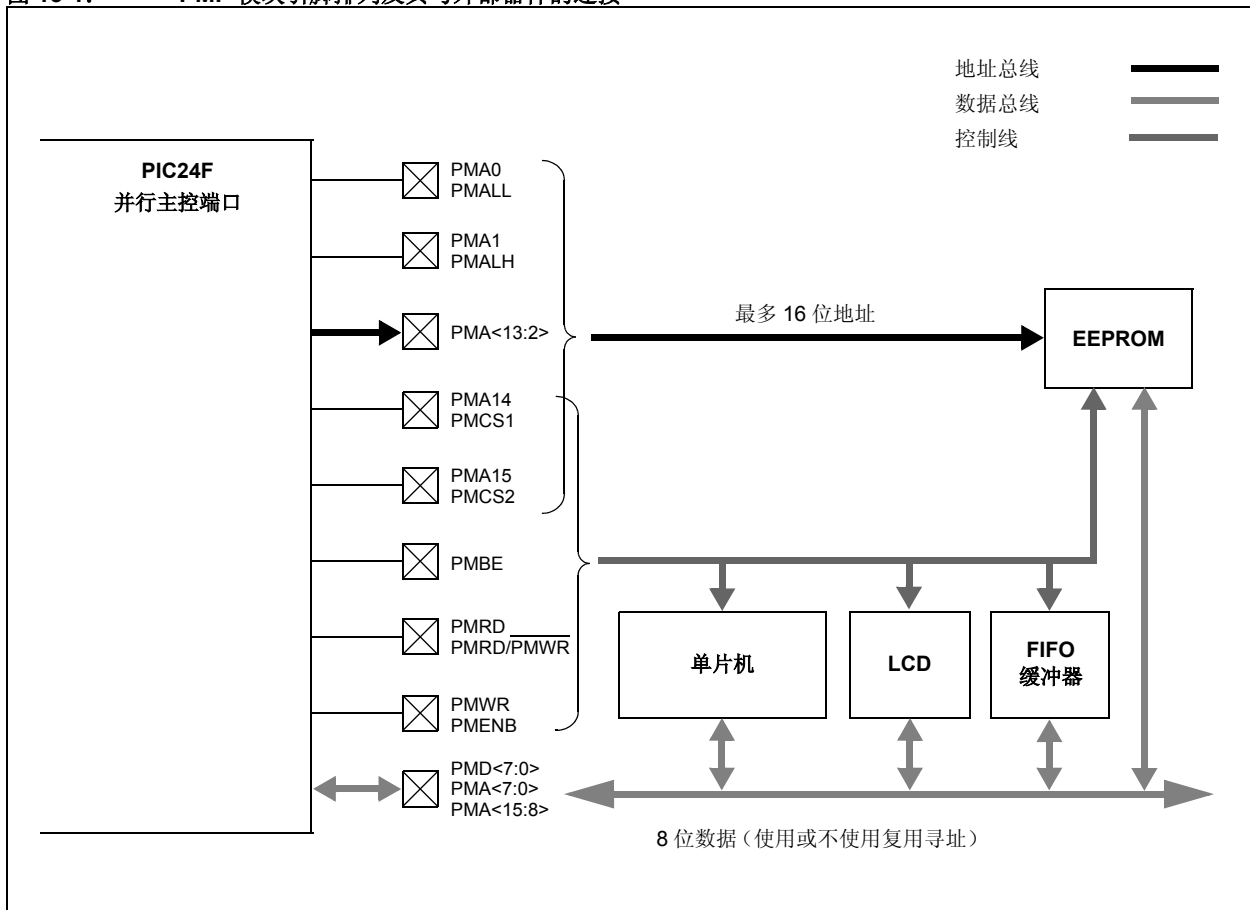
## 13.1 简介

并行主控端口（Parallel Master Port, PMP）是一个并行 8 位 I/O 模块，专用于与例如通信外设、LCD、外部存储器件及单片机的较宽范围的并行器件进行通信。由于并行外设的接口变化很大，PMP 模块具有高度可配置性。

PMP 模块的关键特性包括：

- 8 根数据线
- 最多 16 根可编程地址线
- 最多 2 根片选信号线
- 可编程选通选项：
  - 单独读和写选通，或
  - 带使能选通的读 / 写选通
- 地址自动递增 / 自动递减
- 可编程地址 / 数据复用
- 控制信号的可编程极性
- 支持传统并行从动端口（PSP）
- 增强的并行从动支持：
  - 地址支持
  - 4 字节深的自动递增缓冲器
- 可编程等待状态

图 13-1: PMP 模块引脚排列及其与外部器件的连接



## 13.2 模块寄存器

PMP 模块使用以下特殊功能寄存器：

- PMCON
- PMMODE
- PMADDR/PMDOUT1
- PMDOUT2
- PMDIN1
- PMDIN2
- PMAEN
- PMSTAT

## 13.2.1 PMCON 寄存器

并行主控端口控制寄存器（寄存器 13-1）包含控制该模块许多基本功能的位。其中一个重要的位是 **PMPEN**，它用来复位模块以及使能或禁止模块。当禁止模块时，相关的 I/O 引脚恢复为指定的 I/O 功能。此外，任何活动或挂起的读或写操作都被停止，**BUSY** 位被清零。模块寄存器（包括 **PMSTAT**）中的数据保持不变。因此，可以在接收之后禁止模块，而仍然可以处理最后接收到的数据和状态。当使能模块时，所有缓冲器控制逻辑随 **PMSTAT** 被复位。

**PMCON** 寄存器中的其他所有位控制地址复用、使能各种端口控制信号并选择控制信号的极性。第 13.4.1 节“并行主控端口配置选项”中对此进行了更为详细的讨论。

## 13.2.2 PMMODE 寄存器

并行主控端口模式寄存器（寄存器 13-2）包含控制模块工作模式的位。主控 / 从动模式的选择及两种模式的配置选项，都由该寄存器设置。它还包含通用状态标志 **BUSY**，在主动模式中用来指示模块状态正在工作。

第 13.3 节“从动端口模式”和第 13.4 节“主动端口模式”中提供了使用 **PMMODE** 位配置 PMP 操作的详细信息。

## 13.2.3 PMADDR/PMDOUT1 寄存器

根据所选择的模式，单个寄存器可具有两个功能之一。在主动模式下，该寄存器用作 **PMADDR**，即并行端口地址寄存器（寄存器 13-3）。它包含输出数据写入的地址，以及寻址并行从动器件的片选控制位。

在从动模式下，该寄存器作为 **PMDOUT1**，并充当输出数据的缓冲器。第 13.3.2 节“缓冲并行从动端口模式”中对其操作进行了说明。

## 13.2.4 PMDOUT2 寄存器

并行主控端口数据输出 2 寄存器仅在从动模式下用于缓冲的输出数据。其使用方法与 **PMDOUT1** 相同。

## 13.2.5 PMDIN1 和 PMDIN2 寄存器

并行主控端口数据输入 1 和数据输入 2 寄存器用于缓冲输入数据。**PMDIN1** 由模块用于主动和从动模式。在从动模式下，该寄存器用于保存随异步时钟输入的数据。第 13.3.2 节“缓冲并行从动端口模式”中对其操作进行了说明。

在主动模式下，**PMDIN1** 是输入和输出数据的保持寄存器。第 13.4.2 节“读操作”和第 13.4.3 节“写操作”对其在主动模式下的操作进行了说明。

**PMDIN2** 仅在缓冲从动模式下用于输入数据。其操作与 **PMDIN1** 在缓冲从动模式下的操作类似。

### 13.2.6 PMAEN 寄存器

并行主控端口地址使能寄存器（寄存器 13-4）控制地址的操作以及与模块相关的片选引脚。置 1 这些位将相应的单片机引脚分配给 PMP 模块；清零这些位将这些引脚分配给端口 I/O 或其他与引脚相关的外设模块。

### 13.2.7 PMSTAT 寄存器

并行主控端口状态寄存器（寄存器 13-5）包含端口用作从动端口时与缓冲工作模式相关的状态位。这包括上溢、下溢和满标志位。第 13.3.2 节“缓冲并行从动端口模式”中对这些标志位进行了详细讨论。

### 13.2.8 其他寄存器

除了特定于 PMP 的寄存器，PADCFG1 寄存器也会影响 PMP 模块的配置。PMPTTL 位（PADCFG1<0>）允许用户在 TTL 和施密特触发器（ST）数字输入缓冲器之间进行选择，以实现与外部电路的更大兼容性。将 PMPTTL 置 1 选择 TTL 输入缓冲器；默认配置为 ST 缓冲器。

PADCFG1 寄存器也在第 29 章“实时时钟和日历（RTCC）”中进行了说明。

寄存器 13-1: PMCON: 并行主控端口控制寄存器

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PMPEN	—	PSIDL	ADRMUX1	ADRMUX0	PTBEEN	PTWREN	PTRDEN
bit 15							bit 8

R/W-0	R/W-0	R/W-0 <sup>(1)</sup>	R/W-0 <sup>(1)</sup>	R/W-0 <sup>(1)</sup>	R/W-0	R/W-0	R/W-0
CSF1	CSF0	ALP	CS2P	CS1P	BEP	WRSP	RDSP
bit 7							bit 0

## 图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = 复位值

1 = 置 1

0 = 清零

x = 未知

- bit 15 **PMPEN:** 并行主控端口使能位  
1 = 使能 PMP  
0 = 禁止 PMP, 不执行片外访问
- bit 14 **未实现:** 读为 0
- bit 13 **PSIDL:** 空闲模式停止位  
1 = 器件进入空闲模式后停止模块工作  
0 = 处于空闲模式时继续模块工作
- bit 12-11 **ADRMUX1:ADRMUX0:** 地址 / 数据复用选择位  
11 = 保留  
10 = 地址的所有 16 位在 PMD<7:0> 引脚上复用  
01 = 地址的低 8 位在 PMD<7:0> 引脚上复用, 高 8 位地址在 PMA<15:8> 上复用  
00 = 地址和数据出现在独立的引脚上
- bit 10 **PTBEEN:** 字节使能端口使能位 (16 位主控模式)  
1 = 使能 PMBE 端口  
0 = 禁止 PMBE 端口
- bit 9 **PTWREN:** 写使能选通端口使能位  
1 = 使能 PMWR/PMENB 端口  
0 = 禁止 PMWR/PMENB 端口
- bit 8 **PTRDEN:** 读 / 写选通端口使能位  
1 = 使能 PMRD/PMWR 端口  
0 = 禁止 PMRD/PMWR 端口
- bit 7-6 **CSF1:CSF0:** 片选功能位  
11 = 保留  
10 = PMCS1 和 PMCS2 作为片选  
01 = PMCS2 作为片选, PMCS1 作为第 14 个地址位  
00 = PMCS1 和 PMCS2 作为第 15 个和第 14 个地址位
- bit 5 **ALP:** 地址锁存器极性位 <sup>(1)</sup>  
1 = 高电平有效 (PMALL 和 PMALH)  
0 = 低电平有效 (PMALL 和 PMALH)
- bit 4 **CS2P:** 片选 1 极性位 <sup>(1)</sup>  
1 = 高电平有效 (PMCS2)  
0 = 低电平有效 (PMCS2)
- bit 3 **CS1P:** 片选 0 极性位 <sup>(1)</sup>  
1 = 高电平有效 (PMCS1/PMCS2)  
0 = 低电平有效 (PMCS1/PMCS2)

注 1: 这些位在相应引脚用作地址线时无效。

## 寄存器 13-1: PMCON: 并行主控端口控制寄存器 (续)

bit 2	<b>BEP:</b> 字节使能极性位 1 = 字节使能高电平有效 ( <u>PMBE</u> ) 0 = 字节使能低电平有效 ( <u>PMBE</u> )
bit 1	<b>WRSP:</b> 写选通极性位 <u>对于从动模式和主控模式 2 (PMMODE&lt;9:8&gt; = 00、01 和 10):</u> 1 = 读选通高电平有效 ( <u>PMWR</u> ) 0 = 读选通低电平有效 ( <u>PMWR</u> ) <u>对于从动模式 1 (PMMODE&lt;9:8&gt; = 11):</u> 1 = 使能选通高电平有效 ( <u>PMENB</u> ) 0 = 使能选通低电平有效 ( <u>PMENB</u> )
bit 0	<b>RDSP:</b> 读选通极性位 <u>对于从动模式和主控模式 2 (PMMODE&lt;9:8&gt; = 00、01 和 10):</u> 1 = 读选通高电平有效 ( <u>PMRD</u> ) 0 = 读选通低电平有效 ( <u>PMRD</u> ) <u>对于从动模式 1 (PMMODE&lt;9:8&gt; = 11):</u> 1 = 读 / 写选通高电平有效 ( <u>PMRD/PMWR</u> ) 0 = 读 / 写选通低电平有效 ( <u>PMRD/PMWR</u> )

注 1: 这些位在相应引脚用作地址线时无效。

寄存器 13-2: PMMODE: 并行主控端口模式寄存器

R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
BUSY	IRQM1	IRQM0	INCM1	INCM0	MODE16	MODE1	MODE0
bit 15							bit 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WAITB1 <sup>(1)</sup>	WAITB0 <sup>(1)</sup>	WAITM3	WAITM2	WAITM1	WAITM0	WAITE1 <sup>(1)</sup>	WAITE0 <sup>(1)</sup>
bit 7							bit 0

## 图注:

R = 可读位                      W = 可写位                      U = 未实现位, 读为 0  
-n = 复位值                      1 = 置 1                      0 = 清零                      x = 未知

- bit 15      **BUSY:** 忙位（仅主控模式）  
1 = 端口处于忙状态  
0 = 端口未处于忙状态
- bit 14-13      **IRQM1:IRQM0:** 中断请求模式位  
11 = 当对读缓冲器 3 执行读操作或对写缓冲器 3 执行写操作时产生中断（缓冲 PSP 模式），  
或者当 PMA<1:0> = 11（仅可寻址 PSP 模式）时的读 / 写操作时产生中断  
10 = 保留  
01 = 读 / 写周期末尾产生中断  
00 = 不产生中断
- bit 12-11      **INCM1:INCM0:** 递增模式位  
11 = PSP 读和写缓冲器自动递增（仅传统 PSP 模式）  
10 = 每个读 / 写周期 ADDR<15,13:0> 减 1  
01 = 每个读 / 写周期 ADDR<15,13:0> 加 1  
00 = 无地址递增或递减
- bit 10      **MODE16:** 8/16 位模式位  
1 = 16 位模式: 数据寄存器为 16 位, 对数据寄存器执行读或写操作调用两次 8 位传输  
0 = 8 位模式: 数据寄存器为 8 位, 对数据寄存器执行读或写操作调用一次 8 位传输
- bit 9-8      **MODE1:MODE0:** 并行端口模式选择位  
11 = 主控模式 1（PMCSx、PMRD/PMWR、PMENB、PMBE、PMA<x:0> 和 PMD<7:0>）  
10 = 主控模式 2（PMCSx、PMRD、PMWR、PMBE、PMA<x:0> 和 PMD<7:0>）  
01 = 增强型 PSP, 控制信号（PMRD、PMWR、PMCSx、PMD<7:0> 和 PMA<1:0>）  
00 = 传统并行从动端口, 控制信号（PMRD、PMWR、PMCSx 和 PMD<7:0>）
- bit 7-6      **WAITB1:WAITB0:** 数据建立读 / 写等待状态配置位 <sup>(1)</sup>  
11 = 数据等待 4 个 Tcy; 复用地址阶段等待 4 个 Tcy  
10 = 数据等待 3 个 Tcy; 复用地址阶段等待 3 个 Tcy  
01 = 数据等待 2 个 Tcy; 复用地址阶段等待 2 个 Tcy  
00 = 数据等待 1 个 Tcy; 复用地址阶段等待 1 个 Tcy
- bit 5-2      **WAITM3:WAITM0:** 读字节使能选通等待状态配置位  
1111 = 等待额外 15 个 Tcy  
...  
0001 = 等待额外 1 个 Tcy  
0000 = 无额外等待周期（强制操作在 1 个 Tcy 内执行）
- bit 1-0      **WAITE1:WAITE0:** 选通后数据保持等待状态配置位 <sup>(1)</sup>  
11 = 等待 4 个 Tcy  
10 = 等待 3 个 Tcy  
01 = 等待 2 个 Tcy  
00 = 等待 1 个 Tcy

注 1: 只要 WAITM3:WAITM0 = 0000, WAITBx 和 WAITEx 位就被忽略。

# PIC24F 系列参考手册

寄存器 13-3: **PMADDR**: 并行主控端口地址寄存器 (仅主控模式) <sup>(1)</sup>

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CS2	CS1	ADDR<13:8>					
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADDR<7:0>							
bit 7							bit 0

图注:							
R = 可读位	W = 可写位	U = 未实现位, 读为 0					
-n = 复位值	1 = 置 1	0 = 清零	x = 未知				

bit 15      **CS2**: 片选 2 位  
如果 PMCON<7:6> = 10 或 01:  
1 = 片选 2 有效  
0 = 片选 2 无效  
如果 PMCON<7:6> = 11 或 00:  
位作为 ADDR<15>。

bit 14      **CS1**: 片选 1 位  
如果 PMCON<7:6> = 10:  
1 = 片选 1 有效  
0 = 片选 1 无效  
如果 PMCON<7:6> = 11 或 0x:  
位作为 ADDR<14>。

bit 13-0    **ADDR13:ADDR0**: 目标地址位

注 1: 在增强型从动模式下, PMADDR 作为 PMDOUT1 (两个数据缓冲寄存器之一)。更多信息, 请参见第 13.2.3 节 “PMADDR/PMDOUT1 寄存器”。



寄存器 13-4: PMAEN: 并行主控端口地址使能寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PTEN15	PTEN14	PTEN13	PTEN12	PTEN11	PTEN10	PTEN9	PTEN8
bit 15						bit 8	

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PTEN7	PTEN6	PTEN5	PTEN4	PTEN3	PTEN2	PTEN1	PTEN0
bit 7						bit 0	

图注:			
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = 复位值	1 = 置 1	0 = 清零	x = 未知

- bit 15PTEN15: PMCS2 选通使能位  
1 = PMA15 作为 PMA<15> 或 PMCS2  
0 = PMA15 作为端口 I/O
- bit 14PTEN14: PMCS1 选通使能位  
1 = PMA14 作为 PMA<14> 或 PMCS1  
0 = PMA14 作为端口 I/O
- bit 13-2PTEN13:PTEN2: PMP 地址端口使能位  
1 = PMA<13:2> 作为 PMP 地址线  
0 = PMA<13:2> 作为端口 I/O
- bit 1-0PTEN1:PTEN0: PMALH/PMALL 选通使能位  
1 = PMA1 和 PMA0 作为 PMA<1:0> 或 PMALH 和 PMALL  
0 = PMA1 和 PMA0 作为端口 I/O

# PIC24F 系列参考手册

寄存器 13-5: **PMSTAT**: 并行主控端口状态寄存器 (仅从动模式)

R-0	R/W-0 HS	U-0	U-0	R-0	R-0	R-0	R-0
IBF	IBOV	—	—	IB3F	IB2F	IB1F	IB0F
bit 15							bit 8

R-1	R/W-0 HS	U-0	U-0	R-1	R-1	R-1	R-1
OBE	OBUF	—	—	OB3E	OB2E	OB1E	OB0E
bit 7							bit 0

图注:	HS = 用硬件置 1	HC = 用硬件清零
R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = 复位值	1 = 置 1	0 = 清零
		x = 未知

- bit 15      **IBF**: 输入缓冲器满状态位  
1 = 所有可写输入缓冲寄存器均已满  
0 = 部分或所有可写输入缓冲寄存器为空
- bit 14      **IBOV**: 输入缓冲器上溢状态位  
1 = 尝试对已满的输入字节寄存器进行写操作 (必须用软件清零)  
0 = 未发生上溢
- bit 13-12    **未实现**: 读为 0
- bit 11-8    **IBnF**: 输入缓冲器 n 状态满位  
1 = 输入缓冲器包含尚未读取的数据 (读缓冲器将清零该位)  
0 = 输入缓冲器不包含任何未读数据
- bit 7        **OBE**: 输出缓冲器空状态位  
1 = 所有可读输出缓冲寄存器均为空  
0 = 部分或所有可读输出缓冲寄存器已满
- bit 6        **OBUF**: 输出缓冲器下溢状态位  
1 = 对空输出字节寄存器执行读操作 (必须用软件清零)  
0 = 未发生下溢
- bit 5-4      **未实现**: 读为 0
- bit 3-0      **OBnE**: 输出缓冲器 n 状态空位  
1 = 输出缓冲器为空 (向缓冲器写数据将清零该位)  
0 = 输出缓冲器包含尚未传输的数据

13.3 从端口模式

在从动模式下，PMP 模块提供 8 位数据总线以及作为从动并行器件操作的所有必要的控制信号。它也可以配置为传统、缓冲和可寻址模式。从动模式提供以下几个选项使接口变得更为灵活：

- 8 位数据总线
- 2 根地址线（仅可寻址模式）
- 3 根控制线（读、写和片选）
- 所有控制线都可以选择极性

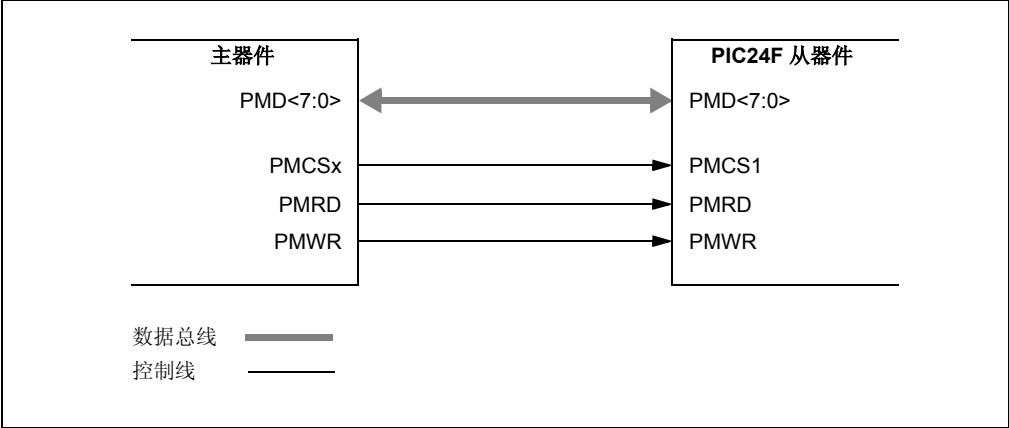
要使 PMP 工作在从动模式下，必须使能模块（PMPEN = 1），并且必须将模式设置为两种可用的从动模式之一（PMMODE<9:8> = 01 或 00）。

13.3.1 传统模式

在传统模式（PMPEN = 1 且 PMMODE<9:8> = 00）下，模块被配置为并行从动端口，相关的使能模块引脚为模块所专用。在该模式下，例如其他单片机或微处理器的外部器件可以使用 8 位数据总线（PMD<7:0>）、读（PMRD）、写（PMWR）和片选（PMCSx）输入引脚异步地读写数据。

注： 在所有从动模式下，PMCS1 用作片选输入。PMCS2 仅用在主控模式下。

图 13-2: 并行主 / 从器件连接示例



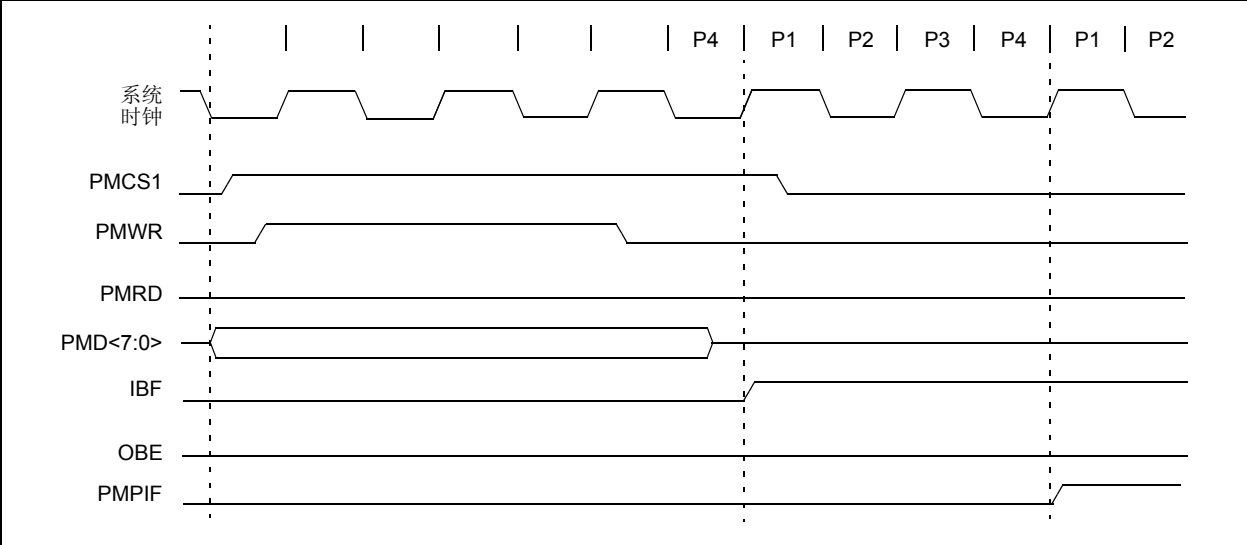
13.3.1.1 写从动端口

当片选有效并产生写选通（MCS1 = 1 且 PMWR = 1）时，来自 PMD<7:0> 的数据被捕捉到 PMDIN1 寄存器的低 8 位（PMDIN1<7:0>）。写操作结束后，PMPIF 和 IBF 标志位被置 1。

图 13-3 给出了写模式下控制信号的时序。控制信号的极性是可配置的。

注 1： 图 13-3 和图 13-4 中所示的 P 时钟和系统时钟周期之间的关系适用于本章中的所有时序图。

图 13-3: 并行从动端口写波形

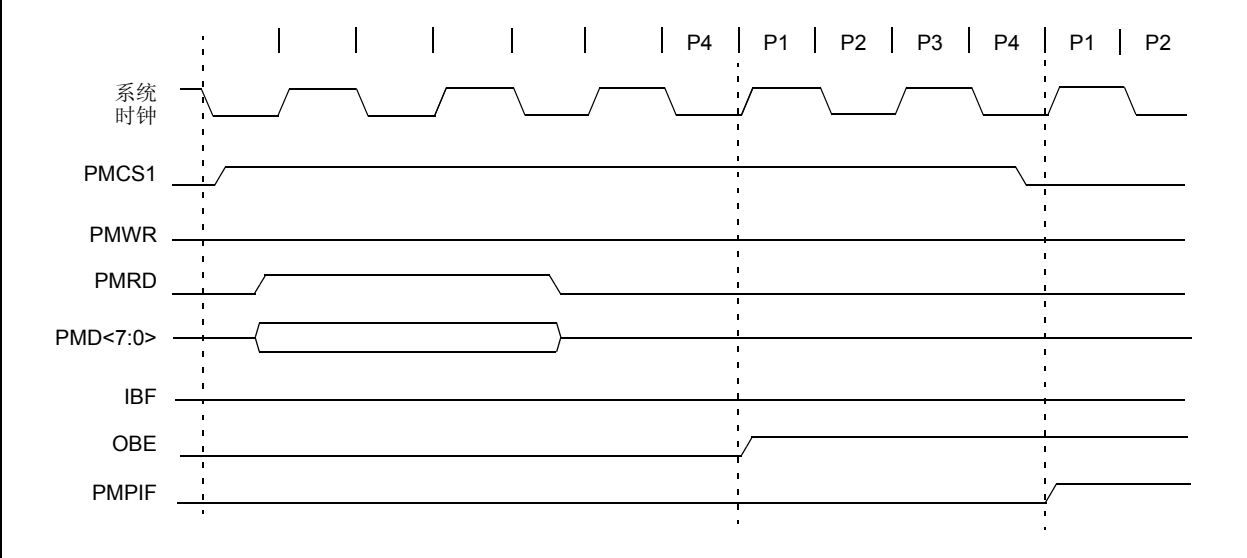


13.3.1.2 读从动端口

当片选有效并产生读选通 (PMCS1 = 1 且 PMRD = 1) 时, 来自 PMDOUT1 寄存器低 8 位 (PMDOUT1<7:0>) 的数据被送往 PMD<7:0>。PMDIN1<7:0> 中的数据被读出, 输出缓冲器空标志 OBE 被置 1。如果用户向 PMDIN1<7:0> 写新数据来清零 OBE, 则数据立即被读出; 但是, OBE 并未被清零。

图 13-4 给出了读模式下控制信号的时序。

图 13-4: 并行从动端口读波形



13.3.1.3 中断操作

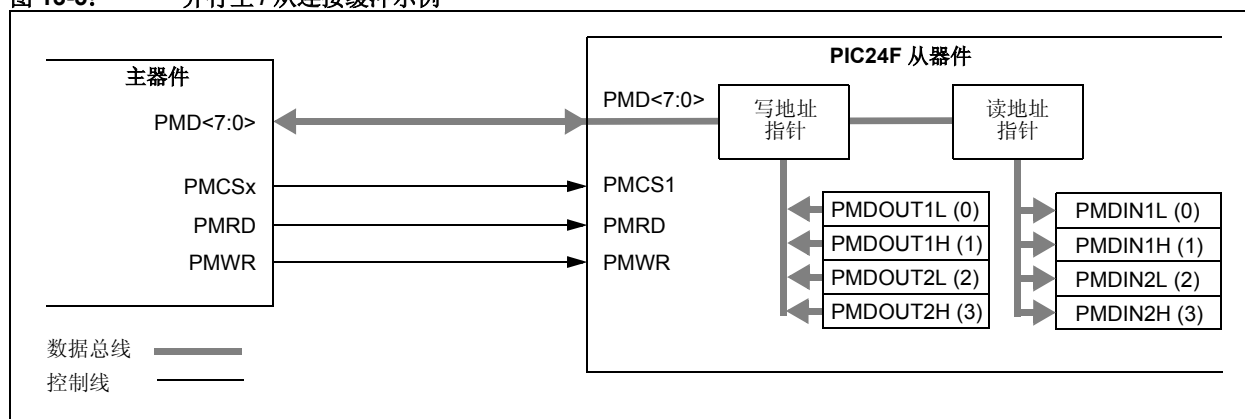
当检测到 PMCS1 或 PMRD 线为高电平时, 端口引脚返回到输入状态, 并且 PSPIF 位被置 1。用户应用程序在为模块提供服务之前应等待 PMPIF 被置 1。发生这种情况时, 可以查询 IBF 和 OBE 位并采取适当的操作。

## 13.3.2 缓冲并行从动端口模式

缓冲并行从动端口模式在功能上与传统并行端口模式基本相同，只有一项例外：它实现了 4 级读写缓冲器。通过将 INCM<1:0> 位（PMODE<12:11>）设置为 11 可以使能缓冲 PSP 模式。

激活缓冲模式后，模块将 PMDIN1 和 PMDIN2 寄存器作为写缓冲器，将 PMDOUT1 和 PMDOUT2 寄存器作为读缓冲器。每个寄存器被分隔为两个单字节缓冲寄存器，从而产生了独立的读和写缓冲器，每个为 4 字节深。缓冲器从 0 到 3 进行编号，从 PMDIN1 或 PMDOUT1 的低字节开始，并向上处理到 PMDIN2（PMDOUT2）的高字节。

图 13-5: 并行主 / 从连接缓冲示例



## 13.3.2.1 读从端口

对于读操作，每次读选通后，字节按顺序送出，从缓冲器 0（PMDOUT1<7:0>）开始，到缓冲器 3（PMDOUT2<15:8>）结束。模块通过内部指针跟踪要读取哪个缓冲器。

每个缓冲器在 PMSTAT 寄存器中都有一个相应的读状态位 ObnE。当缓冲器包含尚未写到总线的数据时，该位被清零；当数据写入总线时则被置 1。如果当前所读取的缓冲器单元为空，则产生缓冲器下溢，并且缓冲器上溢标志位 OBUF（PMSTAT<6>）被置 1。如果 4 个 ObnE 状态位都被置 1，则 OBE 位也将被置 1。

## 13.3.2.2 写从端口

对于写操作，数据按顺序存储，从缓冲器 0（PMDIN1<7:0>）开始，到缓冲器 3（MDIN2<15:8>）结束。与读操作一样，模块内部指针保持指向下一次要写的缓冲器。

输入缓冲器具有自身的状态位 lbnE。当缓冲器包含未读的输入数据时，该位置 1；当数据已读取时，该位清零。标志位在写选通时置 1。如果相关的 lbnE 位置 1 时对缓冲器执行写操作，则输入缓冲器上溢标志 IBOV 置 1；缓冲器中任何输入的数据将丢失。如果 4 个 lbnE 标志都置 1，则输入缓冲器标志（IBF）被置 1。

## 13.3.2.3 中断操作

在缓冲从动模式下，可以将模块配置为在每个读或写选通（IRQM<1:0> = 01）时产生中断。也可以配置为在对读缓冲器 3 执行读操作或对写缓冲器 3 执行写操作（IRQM<1:0> = 11）时产生中断，这实质上是在每 4 个读或写选通时产生一次中断。当输入第 4 个字节数据产生中断时，应该读所有的输入缓冲寄存器来清零 lbnF 标志。如果不清零这些位，则可能会导致产生上溢条件。PMSTAT 寄存器提供所有缓冲器的状态信息。

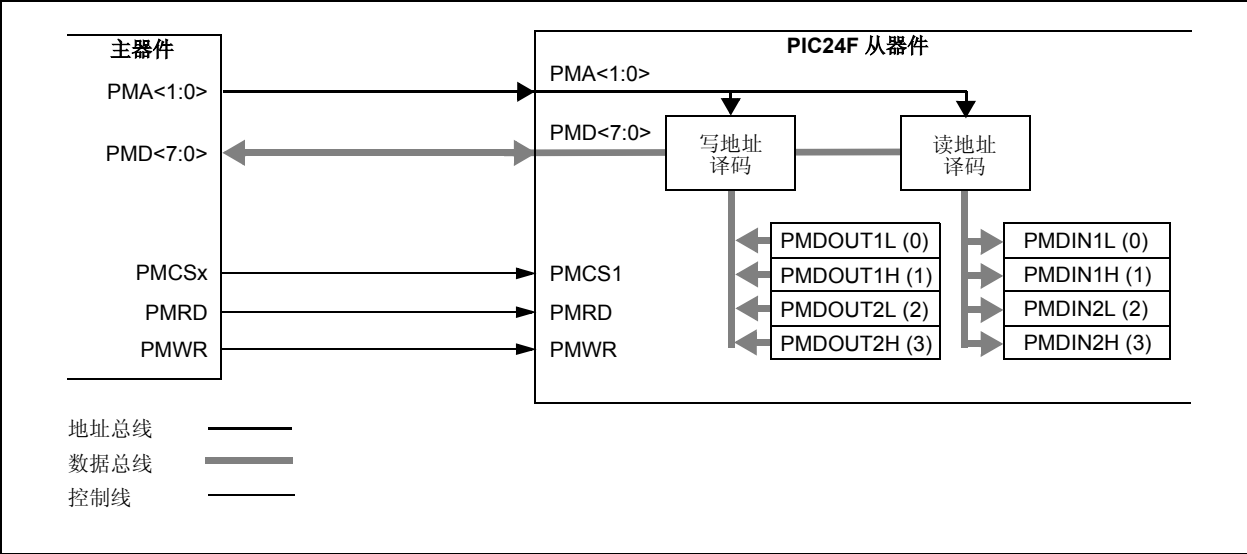
13.3.3 可寻址的并行从动端口模式

在可寻址并行从动端口模式下，模块被配置为具有两个额外的输入 PMA<1:0>。这使得可以像固定的读写寄存器一样直接寻址 4 字节缓冲器空间。通过将 MODE<1:0> 位（PMODE<9:8>）设置为 01 可以使能可寻址 PSP 模式。和缓冲传统模式一样，数据从 PMDOUT1 和 PMDOUT2 发出并被读入 PMDIN1 和 PMDIN2。表 13-1 给出了输入和输出寄存器的输入地址的地址解析。

表 13-1: 从动模式地址解析

PMA<1:0>	输出寄存器（缓冲器）	输入寄存器（缓冲器）
00	PMDOUT1<7:0> (0)	PMDIN1<7:0> (0)
01	PMDOUT1<15:8> (1)	PMDIN1<15:8> (1)
10	PMDOUT2<7:0> (2)	PMDIN2<7:0> (2)
11	PMDOUT2<15:8> (3)	PMDIN2<15:8> (3)

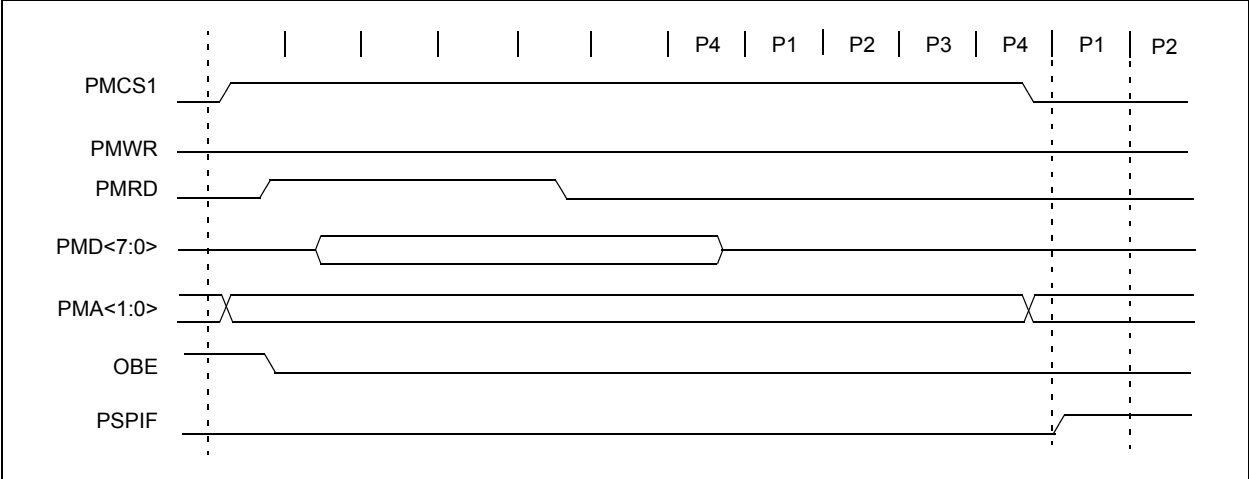
图 13-6: 并行主 / 从连接寻址缓冲器示例



13.3.3.1 读从动端口

当片选有效并产生读选通（PMCS1 = 1 且 PMRD = 1）时，4 个输出字节数据之一被预送到 PMD<7:0>。读哪个字节取决于 PMA<1:0> 上的 2 位地址。表 13-1 给出了相应的输出寄存器及其相关的地址。当读输出缓冲器时，相应的 ObnE 位被置 1。OBE 标志在所有缓冲器为空时被置 1。如果任何缓冲器已为空，OBN = 1，则对该缓冲器的下一次读操作将使 OBUF（PMSTAT<6>）标志置 1。

图 13-7: 并行从动端口读波形

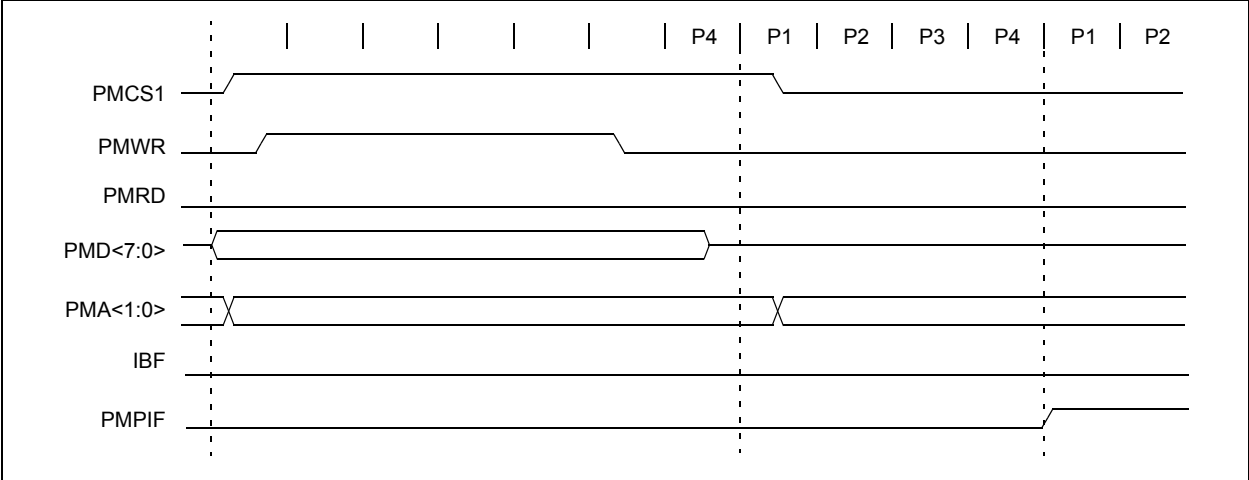


13.3.3.2 写从动端口

当片选有效并产生写选通（PMCS1 = 1 且 PMWR = 1）时，PMD<7:0> 中的数据被捕捉到 4 个输入缓冲字节之一。写哪个字节取决于 PMA<1:0> 上的 2 位地址。表 13-1 给出了相应的输入寄存器及其相关的地址。

当写输入缓冲器时，相应的 IBnF 位被置 1。写完所有缓冲器时，IBF 标志被置 1。如果已写某个缓冲器，IBnF = 1，则对该缓冲器的下一次写选通将产生 OBUF 事件，并且字节将被丢弃。

图 13-8: 并行从动端口写波形



13.3.3.3 中断操作

在可寻址 PSP 模式下，可以将模块配置为在每个读和写选通时产生中断。也可以配置为对读缓冲器 3 执行读操作和对写缓冲器 3 执行写操作时产生中断；也就是说，当 PMA<1:0> 引脚为 11 时，只要执行读或写操作，就会产生中断。

## 13.4 主控端口模式

在其主控模式下，PMP 模块提供了 8 位数据总线、最多 16 位地址以及操作各种外部并行器件（例如存储器件、外设和从动单片机）的所有的必要的控制信号。要使 PMP 工作在主控模式下，必须使能模块（PMPEN = 1），并且必须设置为两个可用的主控模式之一（PMMODE<9:8> = 10 或 11）。

由于许多并行器件具有多种控制方式，PMP 模块设计得非常灵活，以适应多种配置要求。部分特性包括：

- 8 位数据总线上的 8 位和 16 位数据模式
- 可配置的地址 / 数据复用
- 最多 2 根片选线
- 最多 16 根可选地址线
- 地址自动递增和自动递减
- 所有控制线都可以选择极性
- 在读 / 写周期不同阶段可配置等待状态

### 13.4.1 并行主控端口配置选项

#### 13.4.1.1 片选

PMP 的主控模式下最多有两根片选信号线 PMCS1 和 PMCS2。这两根片选信号线与地址总线的两个最高有效位（PMA<14> 和 PMA<15>）复用。当将引脚配置为片选时，该引脚地址不会自动递增 / 递减。片选信号的功能通过片选功能位 CSF<1:0>（PMCON <7:6>）进行配置。

#### 13.4.1.2 端口引脚控制

有几个位用于配置模块中控制和地址信号存在或不存在。这些位是 PTRBEEN、PTWREN、PTRDEN 和 PTEN<15:0>。用户可以通过它们将引脚配置为其他功能，并可以灵活控制外部地址。当置 1 这些位中的任何位时，相关的引脚上具有相关的功能；当清零时，相关的引脚恢复为定义的 I/O 端口功能。

将 PTENx 位置 1 将使相关的引脚作为地址引脚并驱动 PMADDR 寄存器中包含的相应数据。清零 PTENx 位将强制引脚返回其原始的 I/O 功能。

对于通过置 1 相应的 PTENx 位配置为片选（PMCS1 或 PMCS2）的引脚，当没有执行读或写操作时，片选引脚驱动无效的数据（由 PMCON 中的 CSxP 位配置）。PTEN0 和 PTEN1 位还控制 PMALL 和 PMALH 信号。当使用复用时，应该使能相关的地址锁存器信号。

#### 13.4.1.3 地址复用

在任一主控模式（MODE1:MODE0 = 1x）下，用户可以将地址总线配置为与数据总线复用。这通过 ADRMUX1:ADRMUX0 位实现。有三种地址复用模式可供使用。图 13-9、图 13-10 和图 13-11 给出了这些模式的典型引脚排列配置。

在多路分解模式（ADRMUX1:ADRMUX0 = 00）下，数据和地址信息是完全分开的。数据位位于 PMD<7:0>，而地址位位于 PMA<15:0>。

在部分复用的模式（ADRMUX1:ADRMUX0 = 01）下，地址的低 8 位与 PMD<7:0> 上的数据引脚复用。地址的高 8 位不受影响，位于 PMA<15:8>。PMA<0> 引脚用作地址锁存器，并且接到地址锁存器低电平使能选通（PMALL）。读和写序列在一个完整 CPU 周期内展开，其间地址位于 PMD<7:0> 引脚上。



在完全复用的模式（ $\text{ADRMUX1:ADRMUX0} = 10$ ）下，地址的全部 16 位与  $\text{PMD}\langle 7:0 \rangle$  上的数据引脚复用。 $\text{PMA}\langle 0 \rangle$  和  $\text{PMA}\langle 1 \rangle$  引脚分别用于接地址锁存器低电平使能（ $\text{PMALL}$ ）和地址锁存器高电平使能（ $\text{PMALH}$ ）选通。读写序列在两个完整 CPU 周期内展开。在第一个周期内，地址的低 8 位位于  $\text{PMD}\langle 7:0 \rangle$  引脚， $\text{PMALL}$  选通有效。在第二个周期内，地址的高 8 位位于  $\text{PMD}\langle 7:0 \rangle$  引脚， $\text{PMALH}$  选通有效。如果将高地址位配置为片选引脚，则相应的地址位被自动强制为 0。

关于不同复用模式的示例时序，请参见第 13.4.5 节“主控模式时序”。

图 13-9: 多路分解寻址模式（独立读和写选通，两个片选）

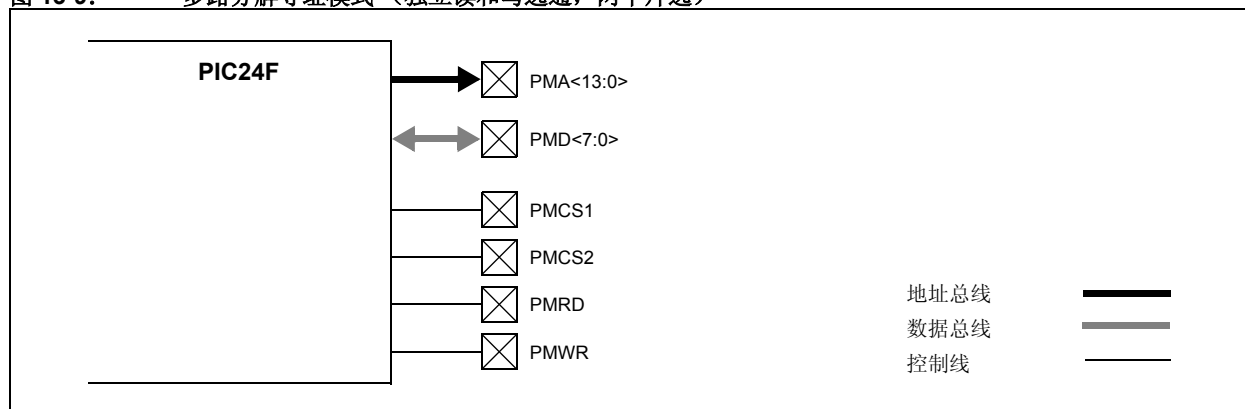


图 13-10: 部分复用的寻址模式（独立读和写选通，两个片选）

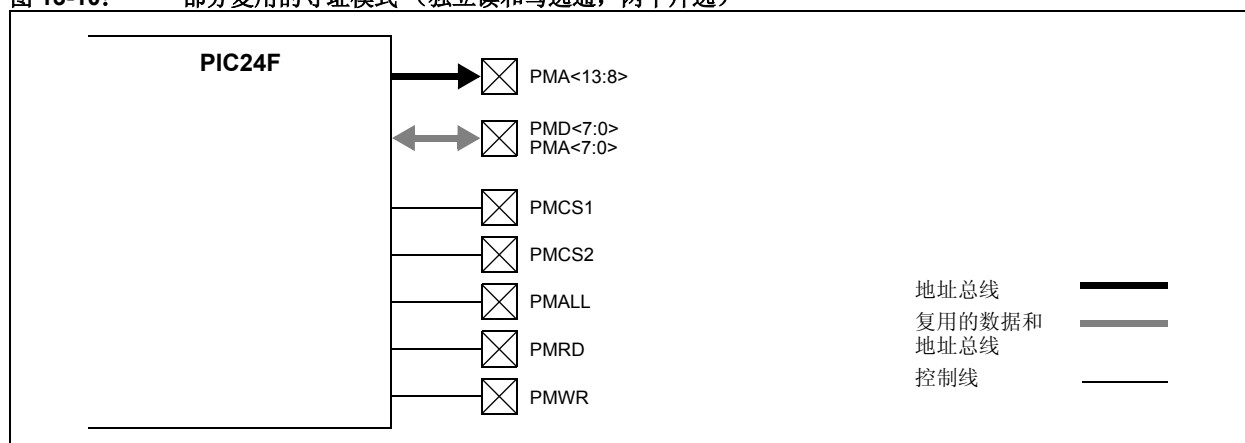


图 13-11: 完全复用的寻址模式（独立读和写选通，两个片选）

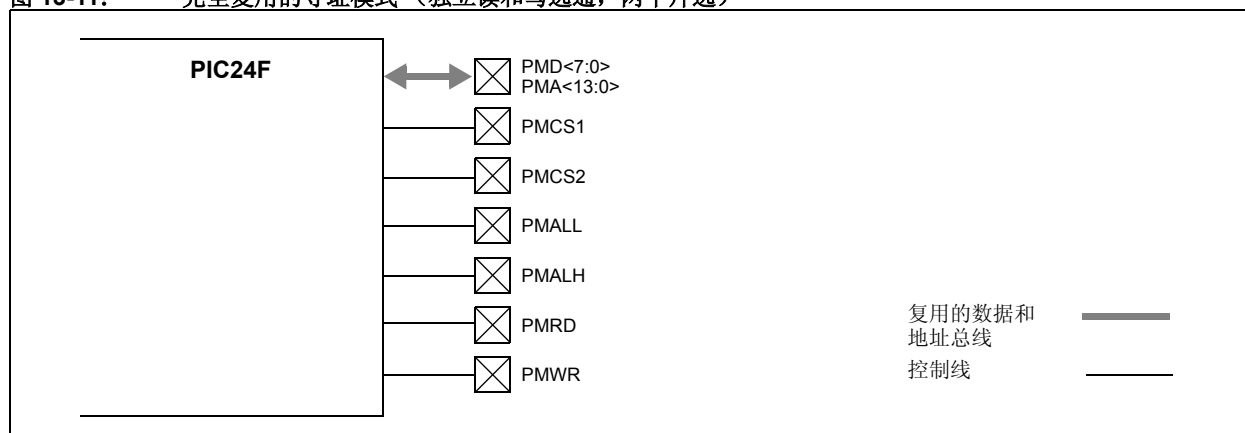
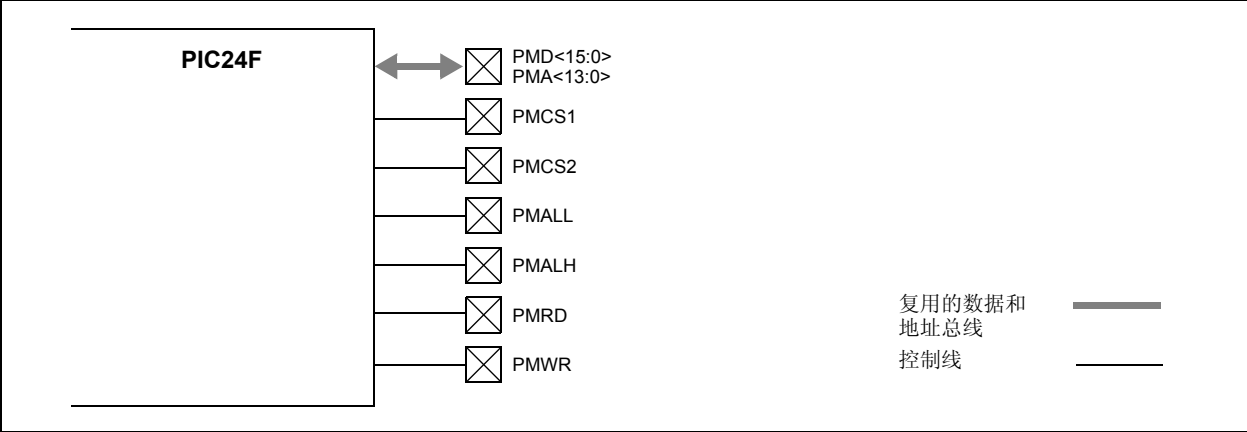


图 13-12: 完全复用的寻址模式（独立读和写选通，两个片选和 16 位数据）



13.4.1.4 8 位和 16 位数据模式

PMP 支持 8 位和 16 位数据宽度。数据宽度通过 MODE16 位（PMMODE<10>）进行选择。由于进出模块的数据路径仅为 8 位宽，16 位操作总是以复用形式处理，先送数据的最低有效字节。为区分数据字节，通过使用字节使能控制选通 PMBE 在数据的最高有效字节送到数据线时发出信号。

13.4.1.5 读 / 写控制

PMP 模块支持两种不同的读 / 写发信号方式。在主控模式 1 下，读和写选通合并为一根控制线 PMRD/PMWR；第二根控制线 PMENB 决定何时执行读或写操作。在主控模式 2 下，在独立的引脚上提供了独立的读和写选通（PMRD 和 PMWR）。

13.4.1.6 控制线极性

可以将所有控制信号（PMRD、PMWR、PMBE、PMENB、PMAL 和 PMCSx）单独配置为正极性或负极性。此配置由 PMCON 寄存器中单独的位控制。请注意，共用同一输出引脚的控制信号的极性（例如，PMWR 和 PMENB）由同一个位控制；配置取决于使用的是哪个主控端口模式。

13.4.1.7 自动递增 / 递减

当模块工作在某个主控模式下时，INCM 位（PMMODE<12:11>）控制地址值的变化。可以将地址配置为在每个读和写操作之后自动递增或递减。在每完成一次操作后地址递增一次，并且 BUSY 位变为 0。如果禁止了片选信号并配置为地址位，则这些位将进行递增和递减操作；否则 CS2 和 CS1 位的值不受影响。

## 13.4.1.8 等待状态

在主控模式下，通过将模块等待状态配置为  $T_{CY}$  的整数倍，用户可以实现对读、写和地址周期期间的控制。周期的三个部分（开始、中间和末尾）通过  $PMMODE$  寄存器中相应的  $WAITBx$ 、 $WAITMx$  和  $WAITEx$  位进行配置。

$WAITB<1:0>$  位 ( $PMMODE<7:6>$ ) 用于设置模式 10 下  $\overline{PMRD}/\overline{PMWT}$  选通前，或模式 11 下  $\overline{PMENB}$  选通前数据建立等待的周期数。

$WAITM<3:0>$  位 ( $PMMODE<5:2>$ ) 用于设置模式 10 下  $\overline{PMRD}/\overline{PMWT}$  选通后，或模式 11 下  $\overline{PMENB}$  选通后等待的周期数。当等待状态设置为 0 时， $WAITBx$  和  $WAITEx$  无效。

$WAITE<1:0>$  位 ( $PMMODE<1:0>$ ) 用于设置模式 10 下  $\overline{PMRD}/\overline{PMWT}$  选通后，或模式 11 下  $\overline{PMENB}$  选通后数据保持时间等待的周期数。

## 13.4.2 读操作

要对并行端口执行读操作，用户需要读  $PMDIN1$  寄存器的低字节。这使 PMP 在片选线和地址总线上输出期望的值。然后读线 ( $\overline{PMRD}$ ) 被选通。所读取的数据被放到  $PMDIN1$  寄存器的低字节。

如果使能了 16 位模式 ( $MODE16 = 1$ )，读  $PMDIN1$  寄存器的低字节将启动两次总线读操作。第一个读取的数据字节被放到  $PMDIN1$  寄存器的低字节，第二次读取的数据被放到  $PMDIN1$  的高字节。

注意，从  $PMDIN1$  寄存器读取的数据实际上是前面读操作中读取的值。因此，用户执行的第一次读操作是一次伪读操作，它启动第一次总线读操作并填充读寄存器。同样，只有在检测到  $BUSY$  位为低电平之后，所请求的读取值才就绪。因此，在背靠背读操作中，两次读操作中从寄存器读取的数据相同。下一次读取寄存器将生成新的值。

## 13.4.3 写操作

要向并行总线执行写操作，用户需要写  $PMDIN1$  寄存器的低字节。这使模块首先在片选线和地址总线上输出期望的值。 $PMDIN1$  寄存器的低字节的写操作数据被放到  $PMD<7:0>$  数据总线。然后写操作线 ( $\overline{PMWR}$ ) 被选通。

如果使能了 16 位模式 ( $MODE16 = 1$ )，写  $PMDIN1$  寄存器的低字节将启动两次总线写操作。第一次写操作由  $PMDIN1$  低字节包含的数据组成，而第二次写操作包含  $PMDIN1$  的高字节。

## 13.4.4 并行主控端口状态

## 13.4.4.1 忙位

除了 PMP 中断，还提供了  $BUSY$  位来表明模块的状态。该位仅用在主控模式下。

当正在进行任何读或写操作时，除了操作的最后一个 CPU 周期， $BUSY$  位都被置 1。事实上，如果请求单周期读或写操作，则  $BUSY$  位永远不会有效。这允许背靠背传输。它只有在使能等待状态或选择复用地址 / 数据时才有用。

当该位置 1 时，将忽略用户任何的启动新操作请求（即，读或写  $PMDIN1$  寄存器的低字节不会启动读或写操作）。用户需要在  $BUSY$  标志清零之后重试。

## 13.4.4.2 中断

当主控模式下允许 PMP 模块中断时，模块将在每完成一个读或写周期时产生中断。否则，可以通过  $BUSY$  位查询模块的状态。

13.4.5 主控模式时序

本节包含与常用主控模式配置选项相对应的许多时序示例。这些选项从 8 位数据到 16 位数据、从完全多路分解的地址到完全复用的地址，以及等待状态。

注：关于 P 时钟和系统时钟周期之间的关系，请参见图 13-3 和图 13-4。

图 13-13: 读和写时序，8 位数据，多路分解地址

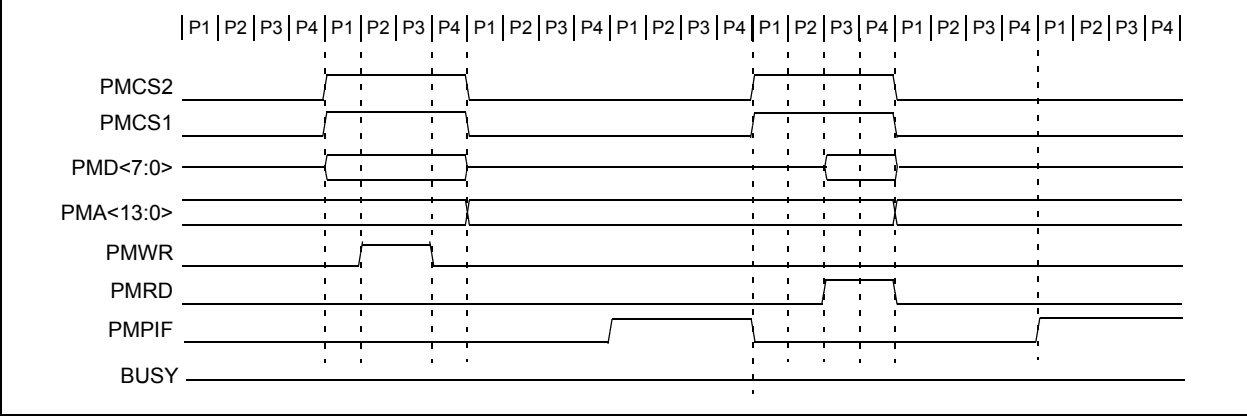


图 13-14: 读时序，8 位数据，部分复用的地址

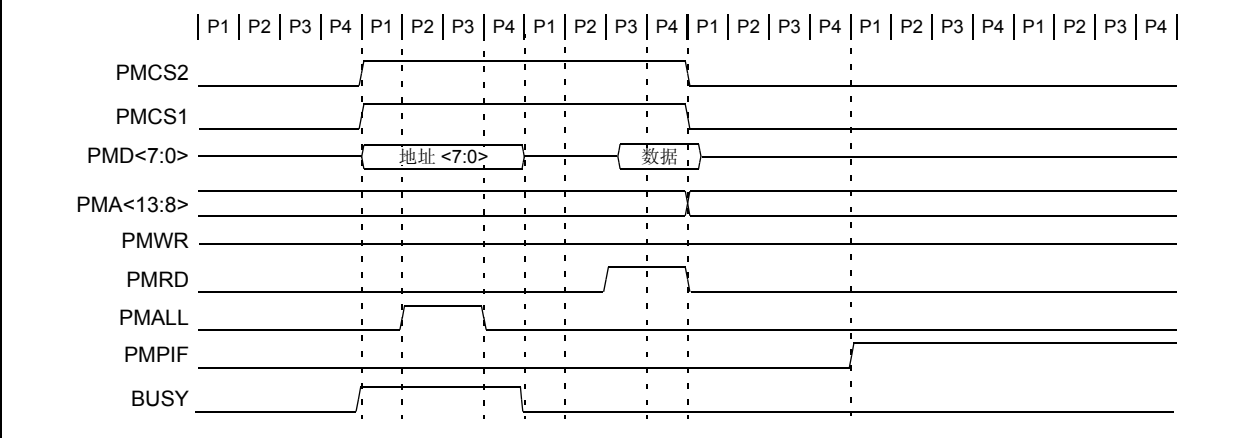


图 13-15: 读时序，8 位数据，使能等待状态，部分复用的地址

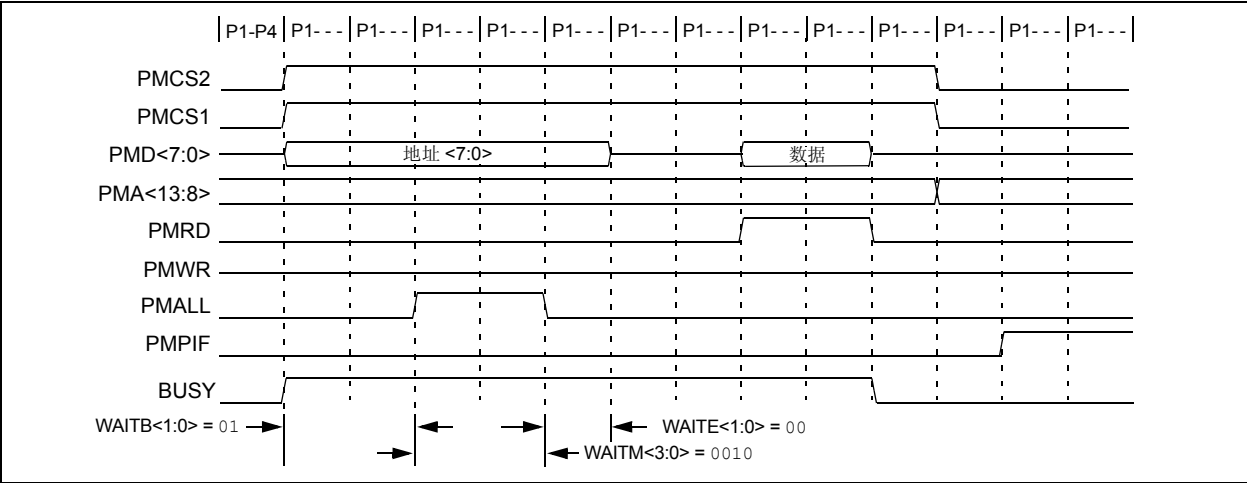


图 13-16: 写时序，8 位数据，部分复用的地址

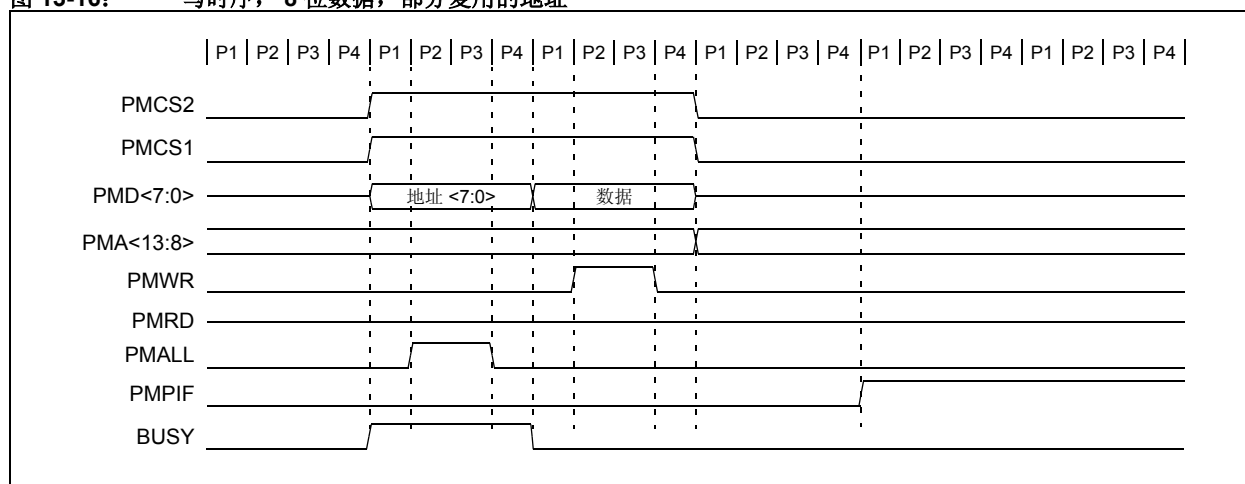


图 13-17: 写时序，8 位数据，使能等待状态，部分复用的地址

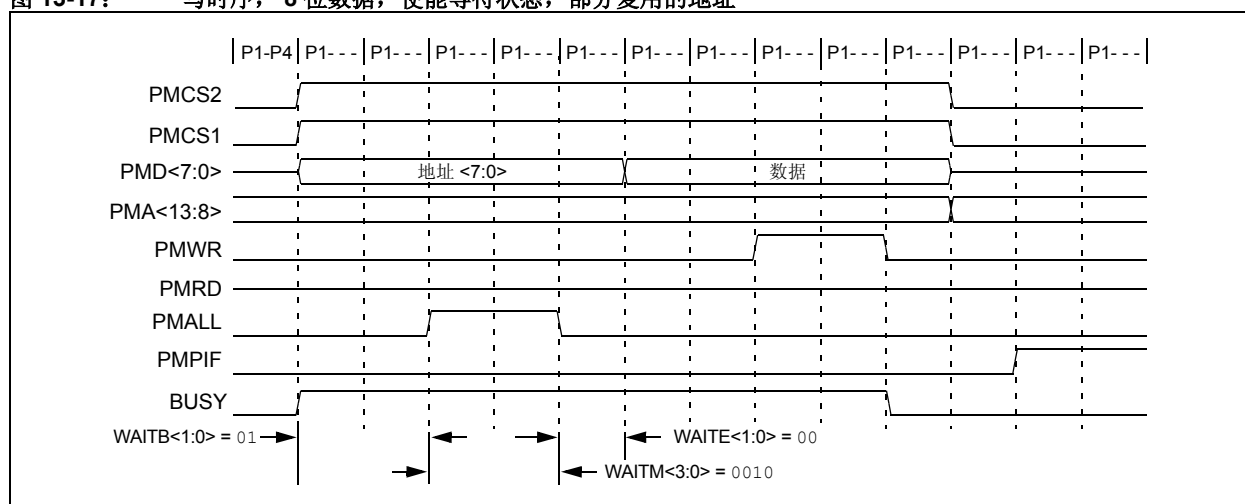


图 13-18: 读时序，8 位数据，部分复用的地址，使能选通

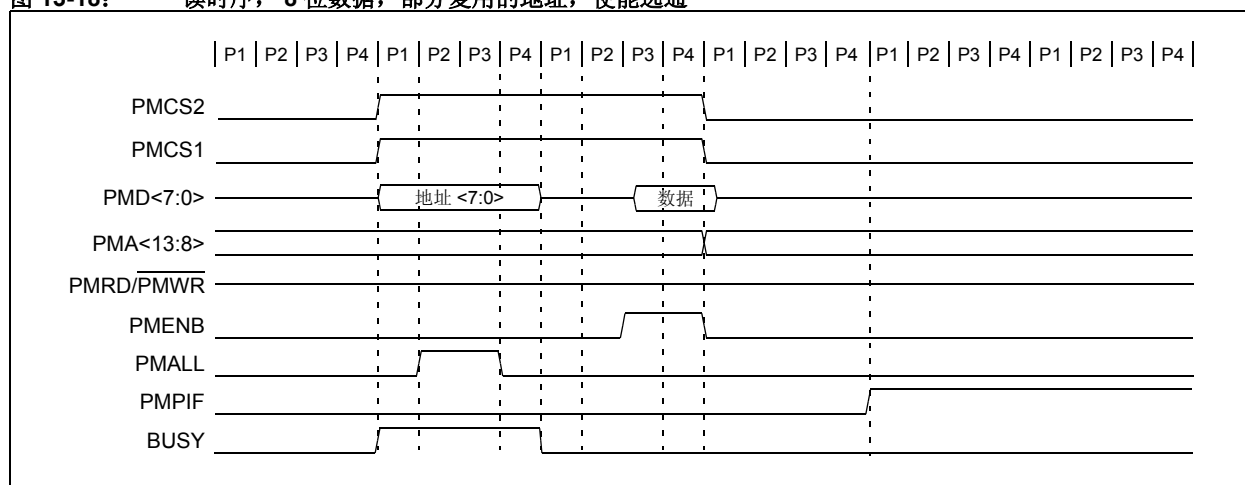


图 13-19: 写时序, 8 位数据, 部分复用的地址, 使能选通

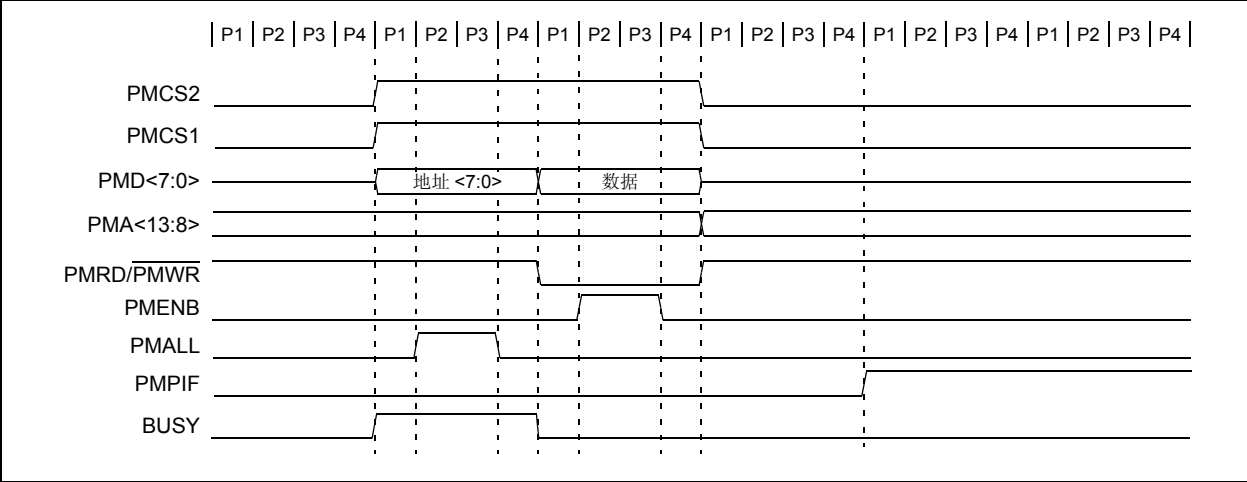


图 13-20: 读时序, 8 位数据, 完全复用的 16 位地址

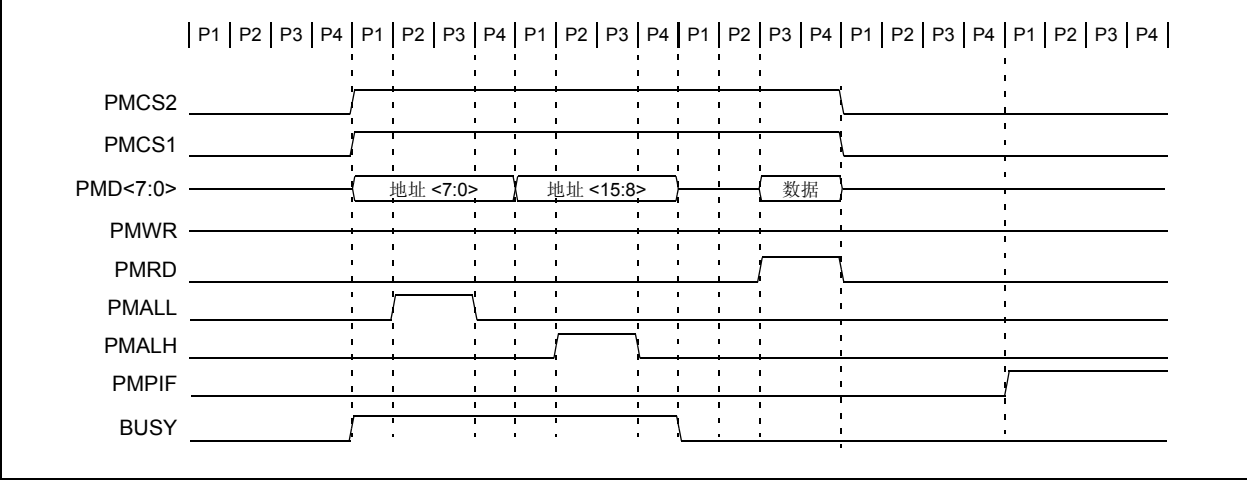


图 13-21: 写时序, 8 位数据, 完全复用的 16 位地址

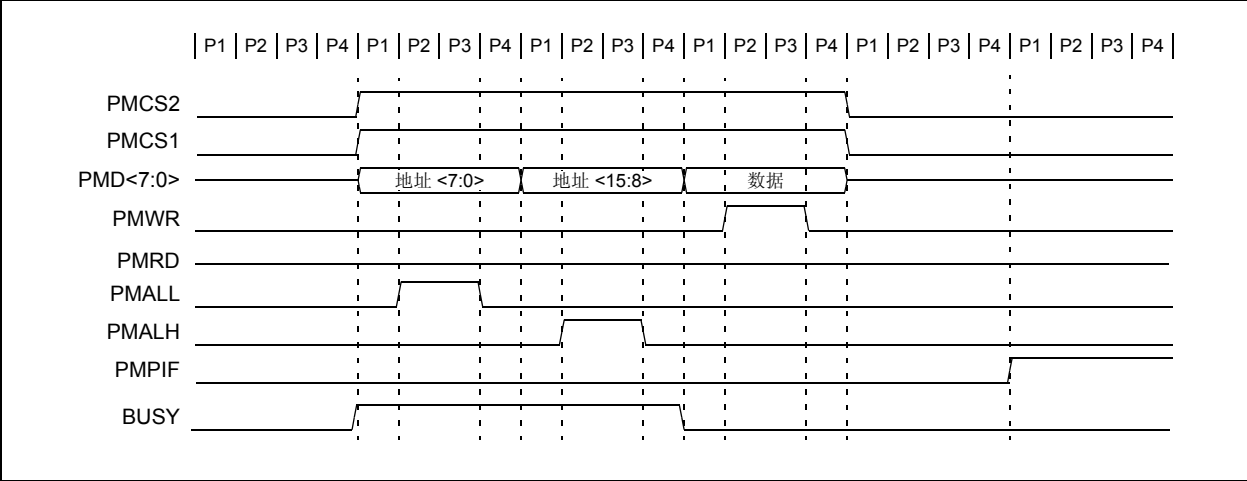


图 13-22: 读时序，16 位数据，多路分解地址

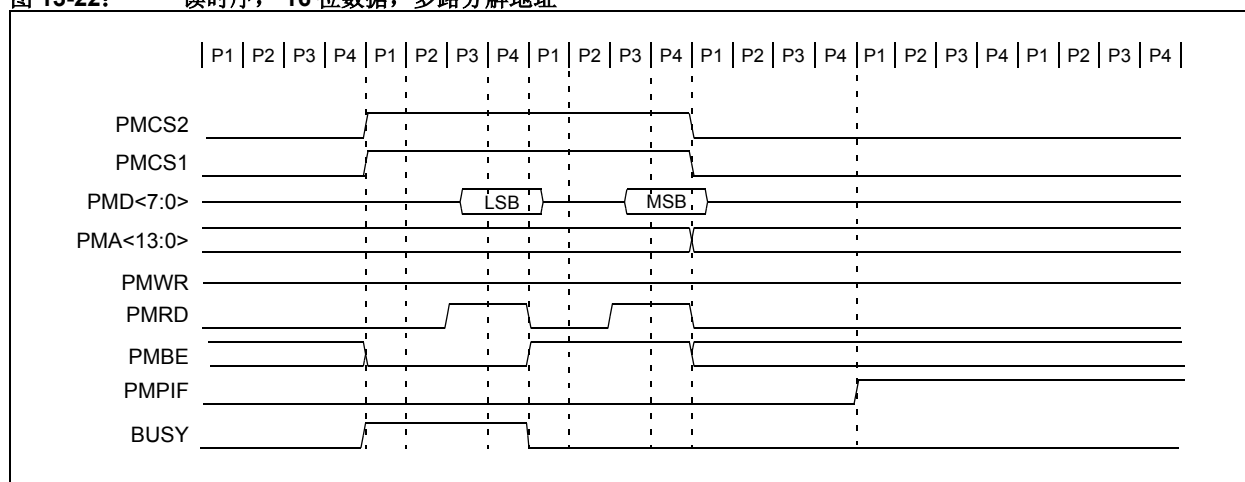


图 13-23: 写时序，16 位数据，多路分解地址

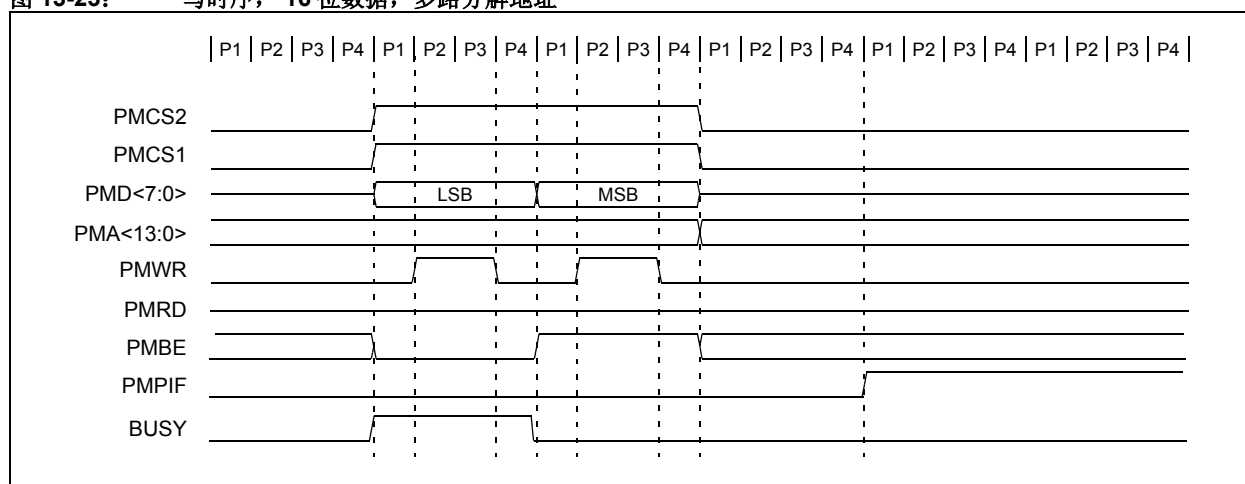
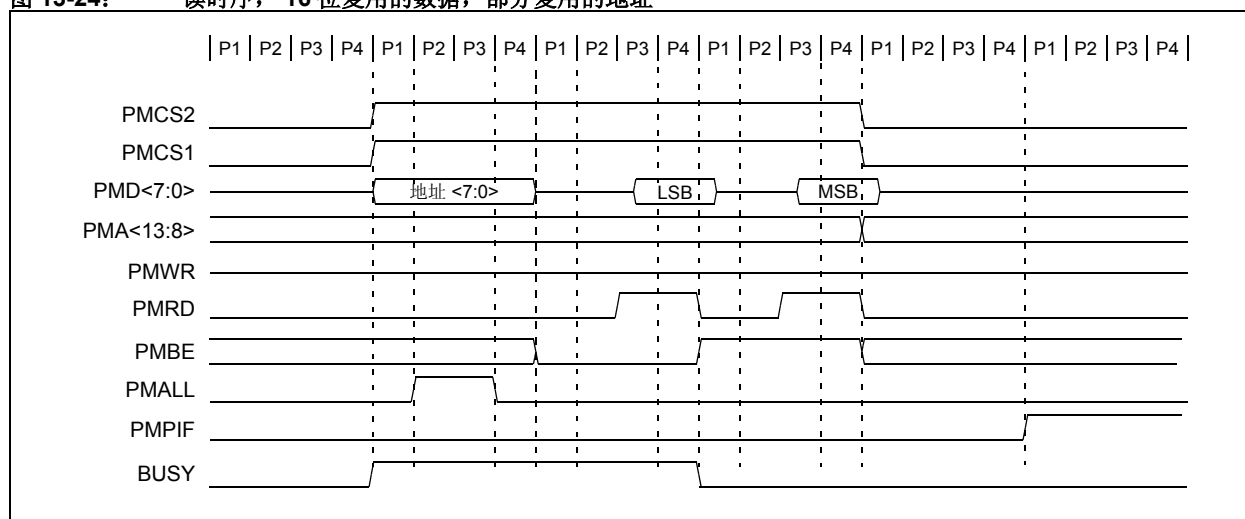


图 13-24: 读时序，16 位复用的数据，部分复用的地址







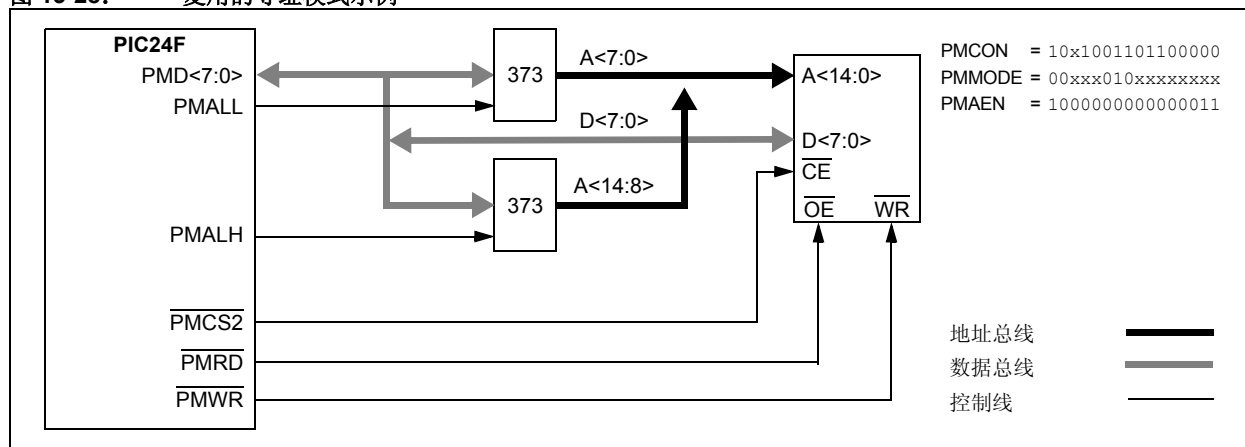
## 13.5 应用示例

本节介绍 PMP 模块的部分可能的应用。

### 13.5.1 复用的存储器或外设

图 13-28 展示了存储器或其他可寻址外设在全复用模式下的连接。因此，从单片机角度来看，这种模式最能节省引脚。但是，为了使用此配置，需要使用一些外部锁存器来保持地址。

图 13-28: 复用的寻址模式示例



### 13.5.2 部分复用的存储器或外设

部分复用需要使用更多的引脚；但是，通过一些额外的引脚，可以实现额外的性能。图 13-29 给出了与外部锁存器部分复用的存储器或外设的示例。如果外设没有内部锁存器，则只需外设即可，无需额外的电路（如图 13-30 所示）。

图 13-29: 部分复用的寻址模式示例

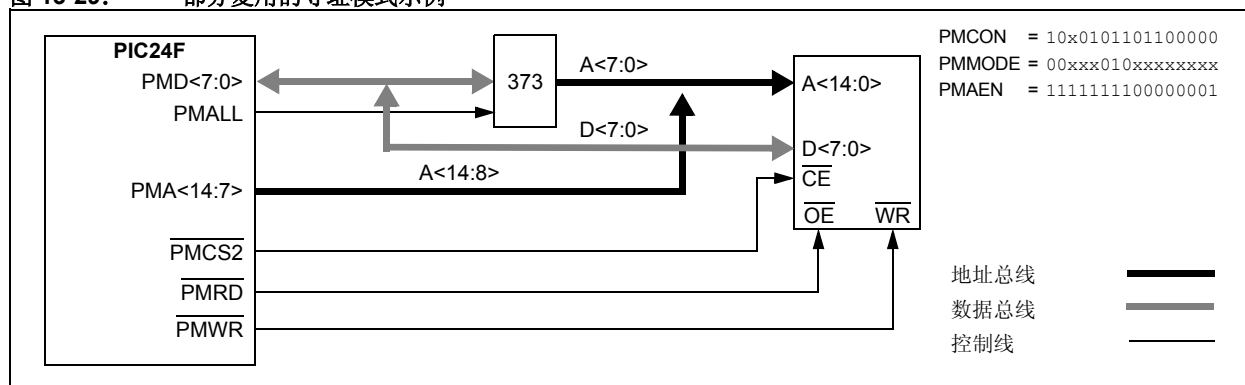
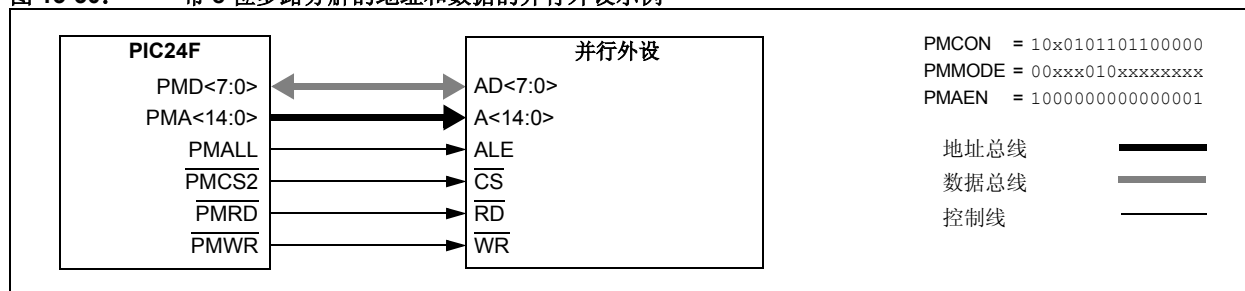


图 13-30: 带 8 位多路分解的地址和数据的并行外设示例



13.5.3 并行闪存 /EEPROM 示例

图 13-31 给出了将并行闪存 /EEPROM 连接到 PMP 的示例。图 13-32 中对此稍作变化，显示了连接单字节可寻址闪存 /EEPROM 执行 16 位数据操作的配置。图 13-33 也展示了与 16 位器件的接口，但没有使用字节选择逻辑。

图 13-31： 并行闪存 /EEPROM 示例（最多 15 位地址），8 位数据

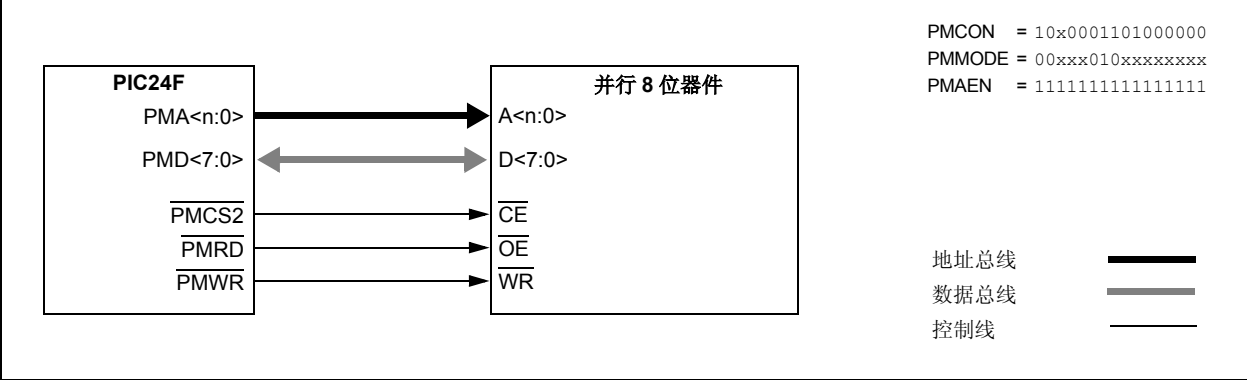


图 13-32： 并行闪存 /EEPROM 示例（最多 15 位地址），16 位数据（字节选择模式）

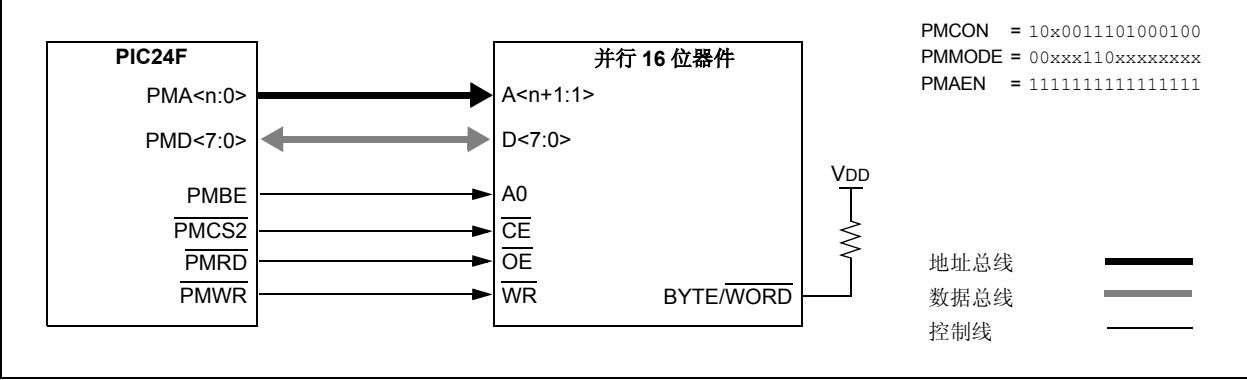
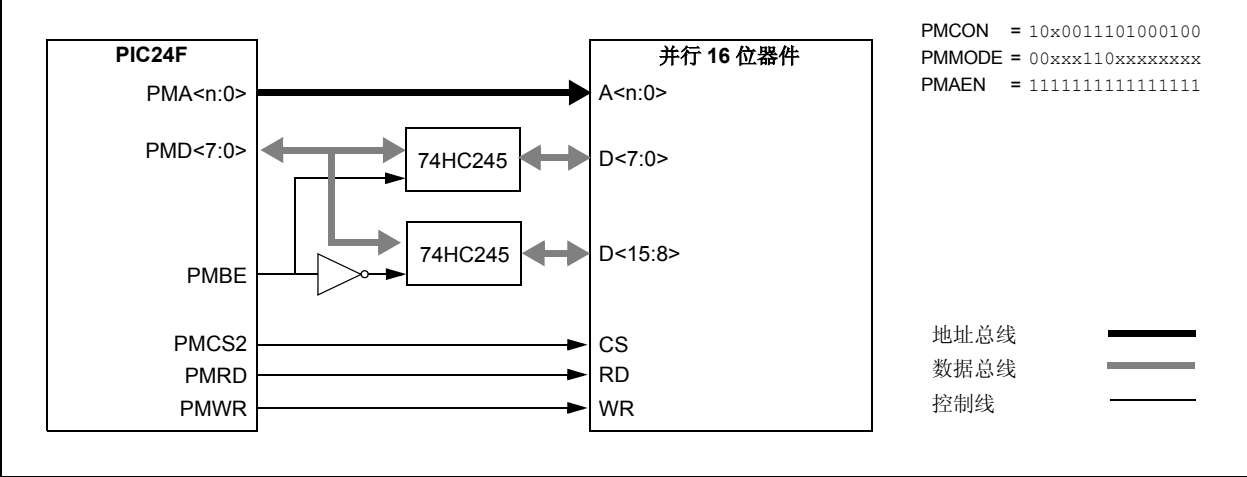


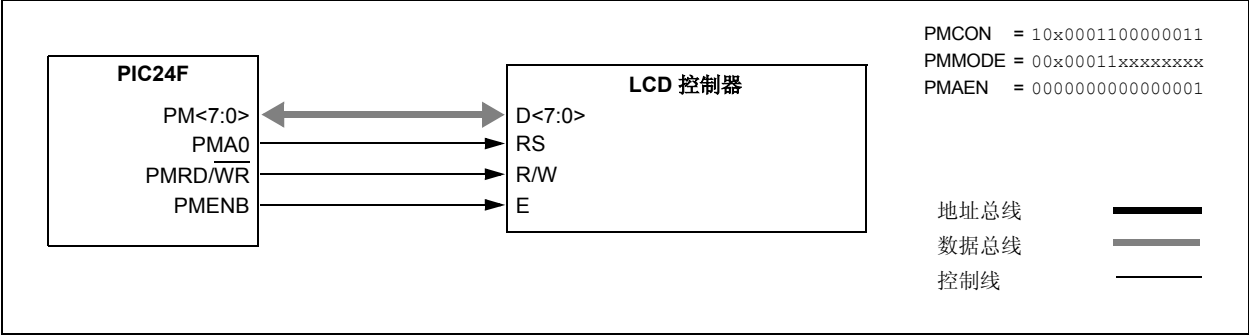
图 13-33： 并行闪存 /EEPROM 示例（最多 15 位地址），16 位数据（多路分解模式）



13.5.4 LCD 控制器示例

可以将 PMP 模块配置为连接典型的 LCD 控制器接口，如图 13-34 所示。在此例中，PMP 模块被配置为控制信号高电平有效，这是因为常见的 LCD 显示需要高电平有效控制。

图 13-34: 字节模式 LCD 控制示例



## 13.6 省电模式下的操作

PIC24F 系列器件具有三种供电模式：常规操作（完全供电）模式，以及通过 PWRSAV 指令调用的两种省电模式。根据所选择的模式，进入省电模式可能还会影响模块的操作。

### 13.6.1 休眠模式

当器件进入休眠模式后，系统时钟被禁止。进入休眠模式产生的结果取决于在调用休眠模式时模块所配置的模式。

#### 13.6.1.1 主控模式操作

如果单片机在模块工作于主控模式时进入休眠模式，则 PMP 操作将暂停在当前状态，直到时钟执行恢复。由于这可能导致意外的控制引脚时序，用户应避免在需要连续使用该模块时调用休眠模式。

#### 13.6.1.2 从动模式操作

当模块处于不活动状态，但已使能任何从动模式操作时，此时发生的任何读或写操作都可以在不使用单片机时钟的情况下完成。完成操作之后，模块将根据 IRQM 位的设置发出中断。该中断可将器件从休眠模式唤醒。

### 13.6.2 空闲模式

当器件进入空闲模式后，系统时钟源继续保持工作。PSIDL 位（PMCON<13>）用于选择在空闲模式下模块是停止还是继续工作。如果 PSIDL = 1，模块的工作方式和在休眠模式下相同（即，即使模块时钟不可用且主控模式已暂停，但仍然可以进行从动接收）。

如果 PSIDL = 0（默认），则该模块在空闲模式下继续工作。主控和从动模式下的当前事务都将完成并发出中断。

## 13.7 交流电气规范

图 13-35: 并行从动端口时序

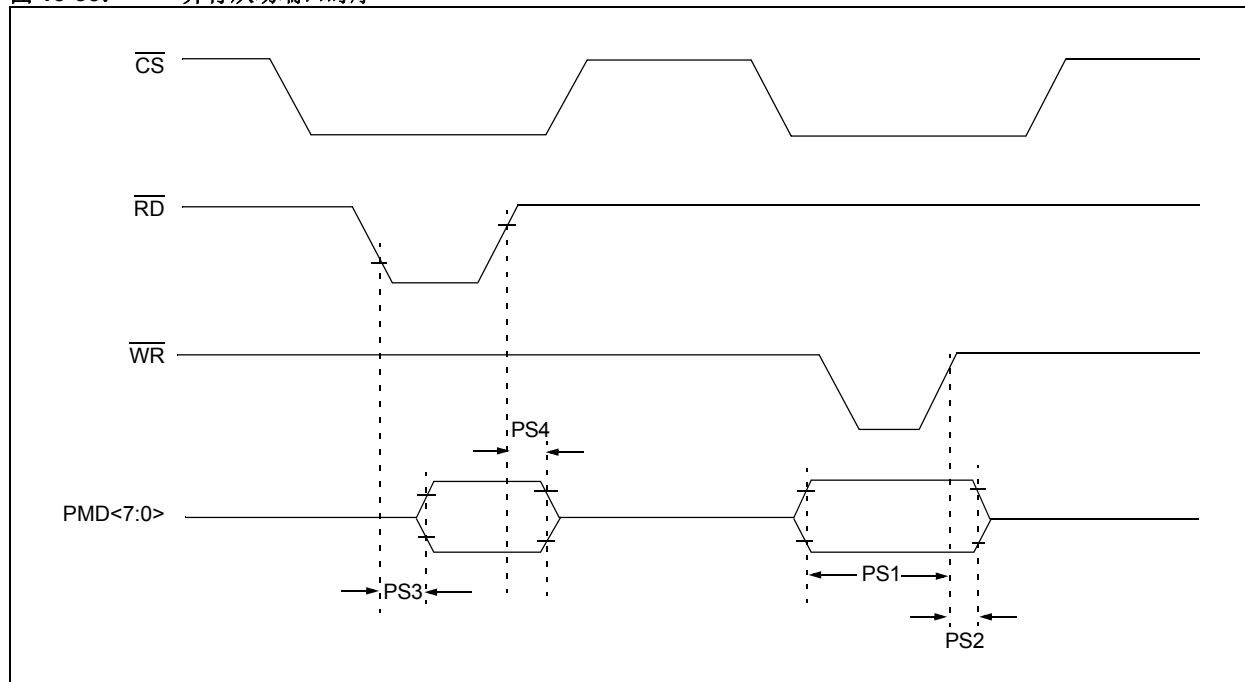


表 13-2: 并行从动端口要求

交流特性				标准工作条件: 2.0V 到 3.6V (除非另外声明) 工作温度 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ (工业级)			
参数编号	符号	特性	最小值	典型值	最大值	单位	条件
PS1	TdtV2wrH	$\overline{\text{WR}}$ 或 $\overline{\text{CS}}$ 无效之前数据输入有效的时间 (建立时间)	20	—	—	ns	
PS2	TwrH2dtI	$\overline{\text{WR}}$ 或 $\overline{\text{CS}}$ 无效到数据输入无效的时间 (保持时间)	20	—	—	ns	
PS3	TrdL2dtV	$\overline{\text{RD}}$ 和 $\overline{\text{CS}}$ 有效到数据输出有效的的时间	—	—	80	ns	
PS4	TrdH2dtI	$\overline{\text{RD}}$ 有效或 $\overline{\text{CS}}$ 无效到数据输出无效的时间	10	—	30	ns	

图 13-36: 并行主控端口读时序图

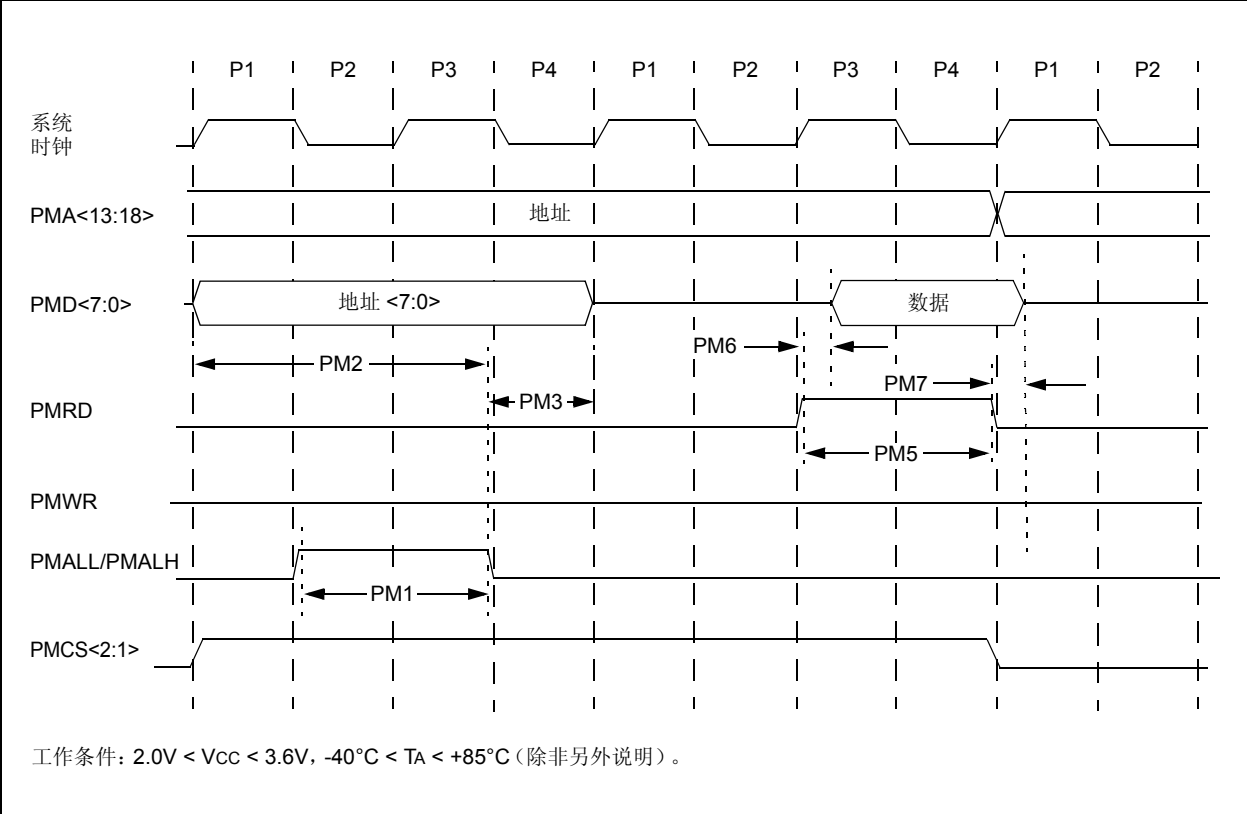


表 13-3: 并行主控端口读时序要求

交流特性			标准工作条件: 2.0V 到 3.6V (除非另外声明) 工作温度 -40°C ≤ T <sub>A</sub> ≤ +85°C (工业级)				
参数编号	符号	特性	最小值	典型值	最大值	单位	条件
PM1		PMALL/PMALH 脉冲宽度	—	0.5 T <sub>CY</sub>	—	ns	
PM2		地址输出有效到 PMALL/PMALH 无效的时间 (地址建立时间)	—	0.75 T <sub>CY</sub>	—	ns	
PM3		PMALL/PMALH 无效到地址输出无效的时间 (地址保持时间)	—	0.25 T <sub>CY</sub>	—	ns	
PM5		PMRD 脉冲宽度	—	0.5 T <sub>CY</sub>	—	ns	
PM6		PMRD 或 PMENB 有效到数据输入有效的 时间 (数据建立时间)	—	—	—	ns	
PM7		PMRD 或 PMENB 无效到数据输入无效的 时间 (数据保持时间)	—	—	—	ns	

图 13-37: 并行主控端口写时序图

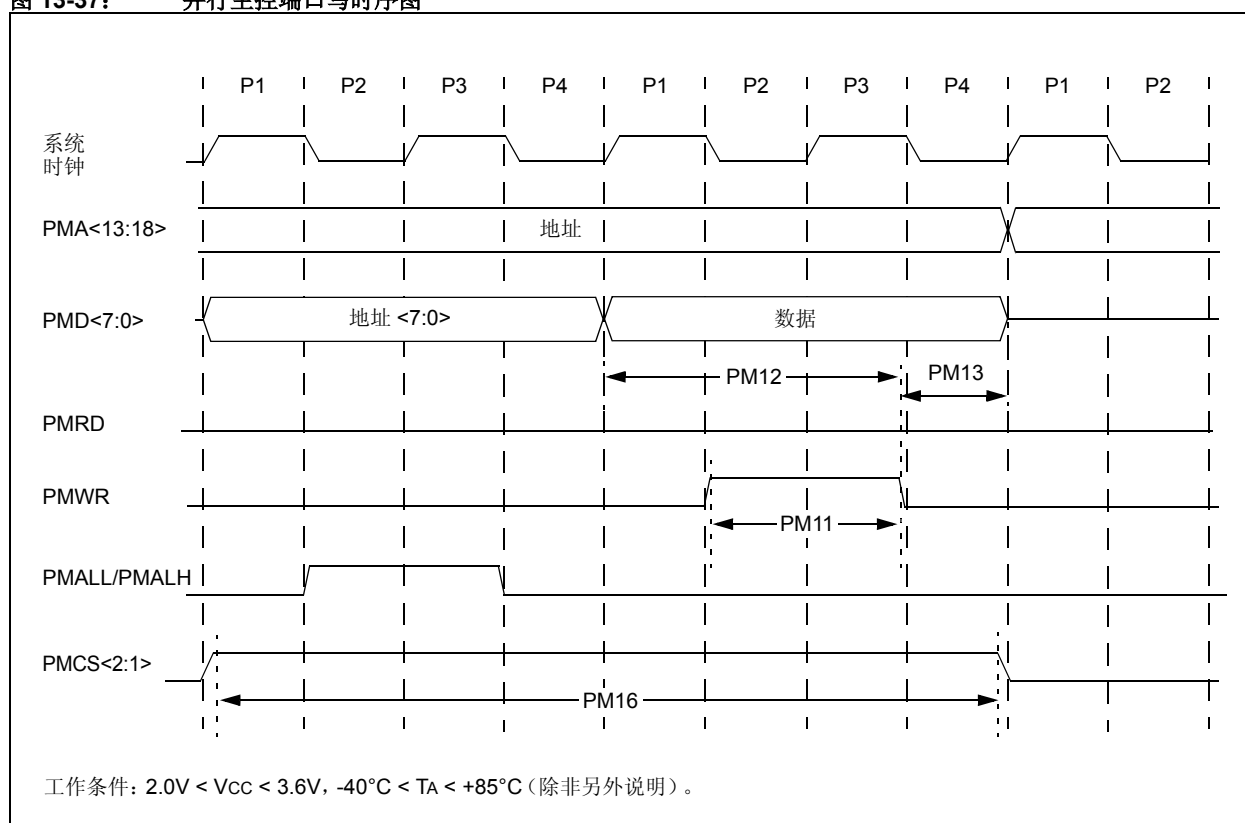


表 13-4: 并行主控端口写时序要求

交流特性			标准工作条件: 2.0V 到 3.6V (除非另外声明) 工作温度 $-40^{\circ}C \leq T_A \leq +85^{\circ}C$ (工业级)				
参数编号	符号	特性	最小值	典型值	最大值	单位	条件
PM11		PMWR 脉冲宽度	—	$0.5 T_{CY}$	—	ns	
PM12		PMWR 或 PMENB 变为无效之前数据输出有效的时间 (数据建立时间)	—	—	—	ns	
PM13		PMWR 或 PMEMB 无效到数据输出无效的时间 (数据保持时间)	—	—	—	ns	
PM16		PMCSx 脉冲宽度	$T_{CY} - 5$	—	—	ns	

13.8 寄存器映射

表 13-5 中提供了与 PMP 模块相关的寄存器汇总。

表 13-5: 并行主控 / 从动端口寄存器映射 (1)

名称	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时
PMCON	PMPEN	—	PSIDL	ADRMUX1	ADRMUX0	PTBEEN	PTWREN	PTRDEN	CSF1	CSF0	ALP	CS2P	CS1P	BEP	WRSP	RDSP	0000
PMMODE	BUSY	IRQM1	IRQM0	INCM1	INCM0	MODE16	MODE1	MODE0	WAITB1	WAITB0	WAITM3	WAITM2	WAITM1	WAITM0	WAITE1	WAITE0	0000
PMADDR(2)	CS2	CS1	并行端口地址 (ADDR<13:0>)														0000
PMAEN	PTEN15	PTEN14	PTEN13	PTEN12	PTEN11	PTEN10	PTEN9	PTEN8	PTEN7	PTEN6	PTEN5	PTEN4	PTEN3	PTEN2	PTEN1	PTEN0	0000
PMSTAT	IBF	IBOV	—	—	IB3F	IB2F	IB1F	IB0F	OBE	OBUF	—	—	OB3E	OB2E	OB1E	OB0E	008Fh
PMDIN1	并行端口数据输入寄存器 1 (缓冲器级别 0 和 1)																0000
PMDIN2	并行端口数据输入寄存器 2 (缓冲器级别 2 和 3)																0000
PMDOUT1(2)	并行端口数据输出寄存器 1 (缓冲器级别 0 和 1)																0000
PMDOUT2	并行端口数据输出寄存器 2 (缓冲器级别 2 和 3)																0000
PADCFG1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RTSESEL	PMPTTL	0000
PMD3	—	—	—	—	—	CMPMD	RTCCMD	PMPMD	CRCPMD	—	—	—	—	—	I2CMD	—	0000

图注: — = 未实现, 读为 0。并行主控端口模块的操作中不使用阴影位。  
注 1: 关于特定内核寄存器映射的详细信息, 请参见产品器件数据手册。  
2: PMADDR 和 PMDOUT1 是同一物理寄存器, 但根据模块工作模式的不同采用不同的定义。



13.9 相关应用笔记

本节列出了与手册本章内容相关的应用笔记。这些应用笔记可能并不是专为 PIC24F 器件系列而编写的，但其概念是相关的，通过适当修改即可使用，但在使用中可能会受到一定的限制。当前与并行主控端口（PMP）模块相关的应用笔记有：

标题	应用笔记编号
目前没有相关的应用笔记。	
注：	如需获取更多 PIC24F 系列器件的应用笔记和代码示例，请访问 Microchip 网站（ <a href="http://www.microchip.com">www.microchip.com</a> ）。

## 13.10 版本历史

版本 A（2006 年 9 月）

这是本文档的初始发行版。