

2012-8-20

清航考研

通过 4 个单元给出知识框架和重点

可以把计算机组成的基本知识划分为 4 个部分：

- (1) 数据表示、运算和运算器部件
- (2) 指令格式、指令系统和控制器部件
- (3) 存储器系统（内存、缓存、虚存、外存）
- (4) 输入输出设备和输入输出系统（总线、接口）

本次辅导的重点是：

简单介绍“计原”课程知识框架、各关键知识点的基本内容以及它们之间的内在联系；

全面较系统地讲解关键知识点，重要部分将联系前四年的实际考题来加深考生对这些内容深入准确的理解；

辅导将按照计原课程的 4 个知识单元来安排。

www.tsinghang.com

2012-8-20

清航考研

计算机硬件的 5 个功能部件

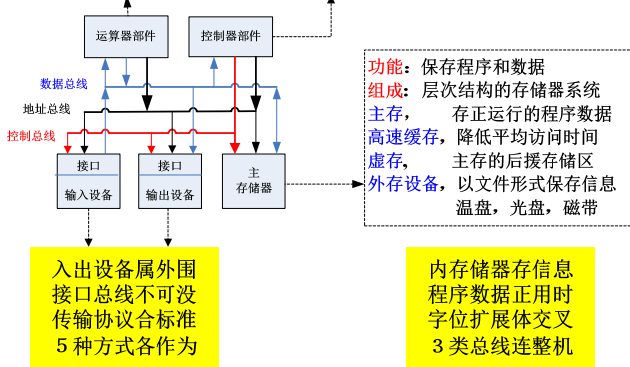
运算器，算数据
暂存运算给标志
配套电路选连接
一到几步做件事

定点运算器
功能：执行数据运算，
暂存运算数据和中间结果(值和标志)
组成：ALU，执行运算
REGS，暂存数据
Flags，存标志位信息
浮点运算器概述

硬连线控制器
功能：按指令及执行步骤控制执行程序
组成：PC，提供指令地址
IR，保存指令内容
Timing，给执行步骤信号
CU，产生各部件的控制信号
微程序控制器，指令流水线

控制器，管控制
PC、IR 和步骤
控制信号要提供
硬连线和微程序

硬件系统五功能
入存算出控协同
依据指令来动作
取指译码再执行

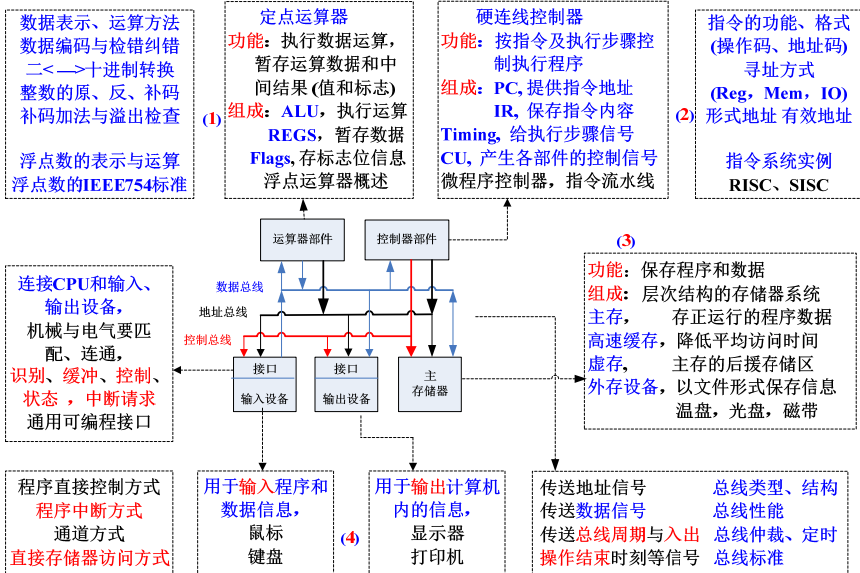


www.tsinghang.com

2012-8-20

清航考研

“计原课程” 四个知识单元的核心内容



www.tsinghang.com

2012-8-20

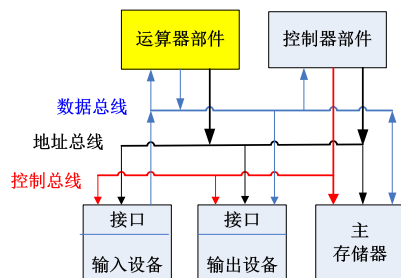
清航考研

第 1 个知识单元的核心内容

数据表示、运算方法
数据编码, 检错纠错技术
二 \leftrightarrow 十进制转换
整数的原、反、补码表示
补码加法与溢出检查
浮点数的表示与运算
浮点数的IEEE754标准

定点运算器
功能: 执行数据运算, 暂存运算数据和中间结果 (值和标志)
组成: ALU, 执行运算
REGS, 暂存数据
Flags, 存标志位信息
浮点运算器概述

运算器, 算数据
暂存运算给标志
配套电路选连接
一到几步做件事



www.tsinghang.com

2012-8-20

清航考研

第1个知识单元的核心内容

数据表示、运算方法

数据编码, 检错纠错技术

二 \longleftrightarrow 十进制转换

整数的原、反、补码表示

补码加法与溢出检查

浮点数的表示与运算

浮点数的IEEE754标准

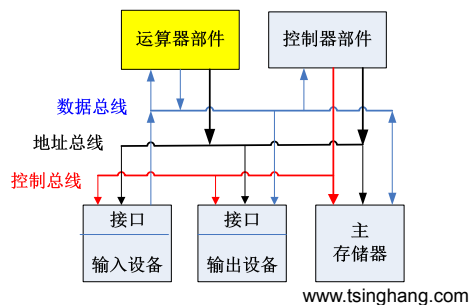
定点运算器

功能: 执行数据运算,
暂存运算数据和中间结果(值和标志)

组成: ALU, 执行运算
REGS, 暂存数据
Flags, 存标志位信息
浮点运算器概述

复习指导

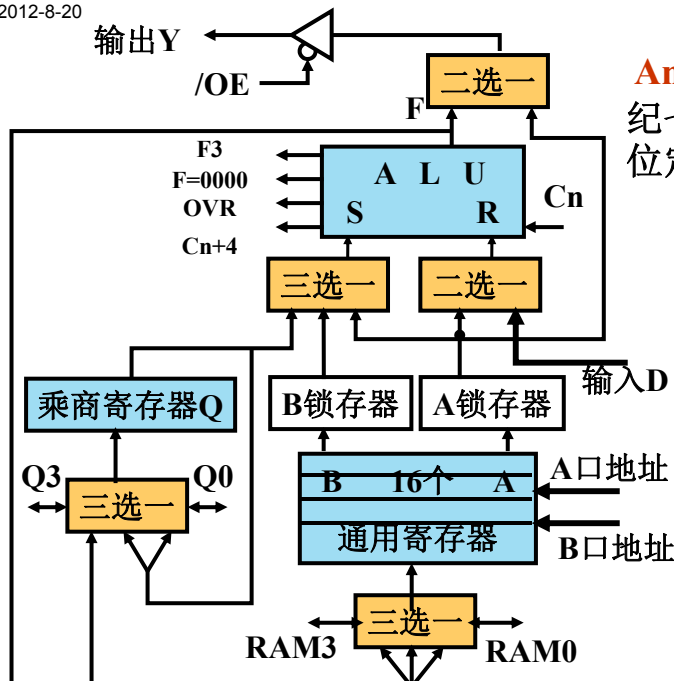
数据表示、运算方法是**重点**, 考试中总有这方面的内容; **其次**是**定点运算器的功能与组成**, 可能在阅读计算机整机框图和设计指令执行步骤时用到, 不必太关注**浮点运算器**。



2012-8-20

清航考研

Am2901是上个世纪七十年代的4位定点运算器**芯片**



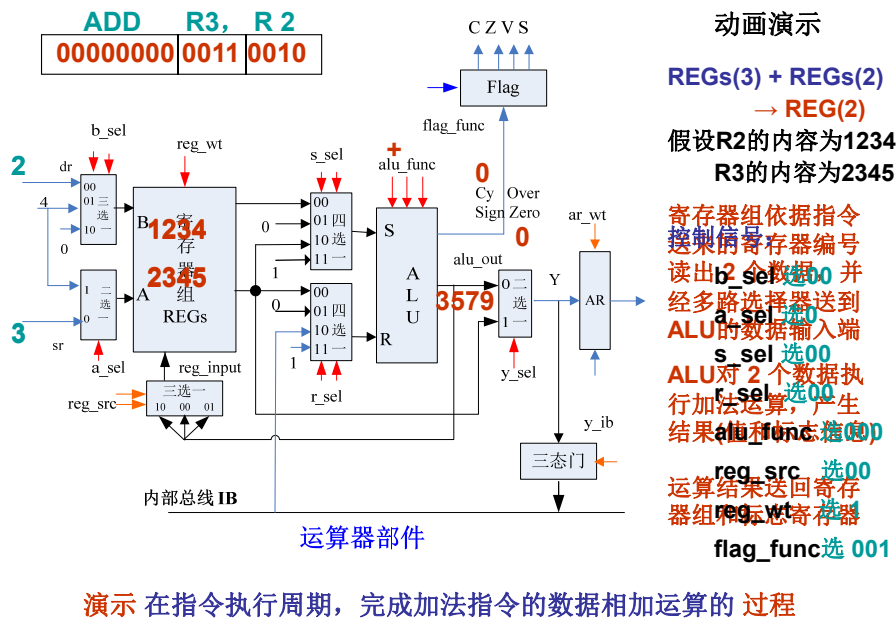
内部组成

算逻运算部件
通用寄存器组
乘商寄存器 Q

实现功能

8种运算功能
8种数据组合
8种结果处理

www.tsinghang.com



2012-8-20

清航考研

第2个知识单元的核心内容

硬连线控制器

功能: 按指令及执行步骤控制执行程序

组成: **PC**, 提供指令地址
IR, 保存指令内容

Timing, 给执行步骤信号

CU, 产生各部件的控制信号

微程序控制器, 指令流水线

指令的功能、格式
(操作码、操作数地址)

寻址方式

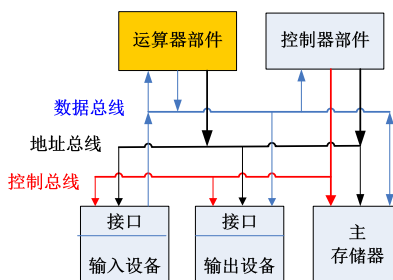
(Reg, Mem, IO)

形式地址 有效地址

指令系统实例

RISC、SISC

指令的功能、格式和寻址方式是基础, 考试中可能有这方面的内容; 控制器的功能与组成、包括指令执行步骤是重点, 不会过多牵扯硬连线还是微程序方案, 若有综合应用题, 看懂指令格式、功能和整机框图至关重要。



www.tsinghang.com

2012-8-20

清航考研

控制器的基本组成

硬连线控制器 (重点)

功能: 按指令及执行步骤控制执行程序

组成: **PC**, 提供指令地址
IR, 保存指令内容

Timing, 给执行步骤信号
CU, 产生各部件的控制信号

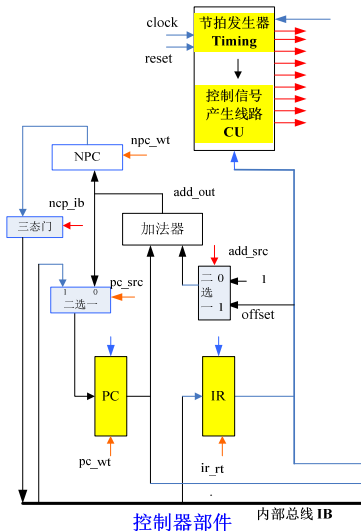
微程序控制器 (简介)

PC, 提供指令地址

IR, 保存指令内容

下地址逻辑, 形成并提供将要执行的微指令的地址

控制存储器和微指令寄存器, 保存微程序和正在执行的微指令

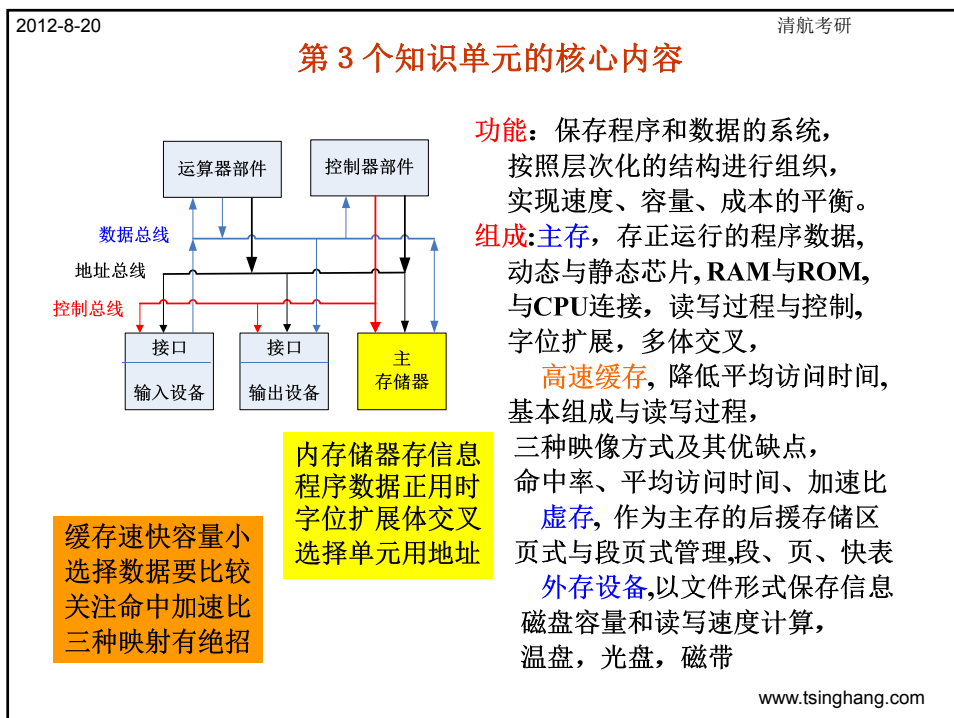
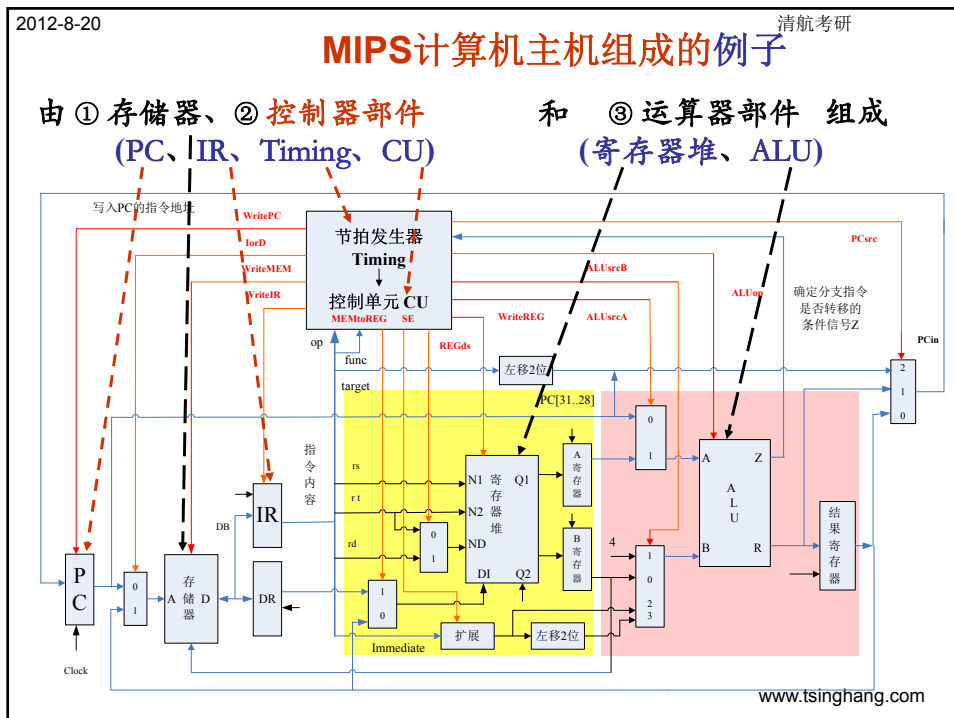


控制器, 管控制, **PC**、**IR** 和 步序, 控制信号要提供, 组合逻辑微程序。

指令流水线

用于提高指令执行速度

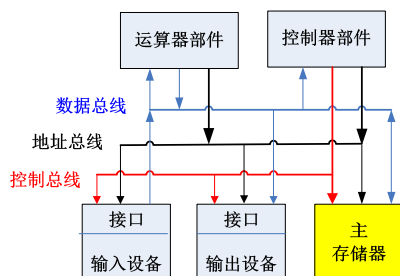
www.tsinghang.com



2012-8-20

清航考研

第3个知识单元的核心内容



要理解每层介质的特性，局部性、一致性、包含性的含义，各部分之间重要程度排列是：
高速缓存是重点，其次是主存，再次是外存，最后是虚存。

功能：保存程序和数据的系统，按照层次化的结构进行组织，实现速度、容量、成本的平衡。

组成：主存，存正运行的程序数据，动态与静态芯片，RAM与ROM，与CPU连接，读写过程与控制，字位扩展，多体交叉，

高速缓存，降低平均访问时间，基本组成与读写过程，

三种映像方式及其优缺点，命中率、平均访问时间、加速比

虚存，作为主存的后援存储区页式与段页式管理，段、页、快表

外存设备，以文件形式保存信息磁盘容量和读写速度计算，温盘，光盘，磁带

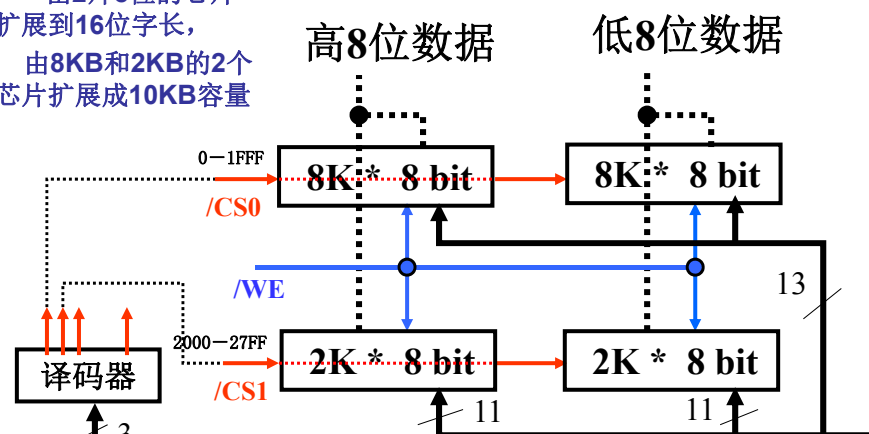
www.tsinghang.com

2012-8-20

清航考研

教学机静态存储器字位扩展

由2片8位的芯片扩展到16位字长，
由8KB和2KB的2个芯片扩展成10KB容量



高位地址译码给出片选信号

地址总线低13位

www.tsinghang.com

2012-8-20

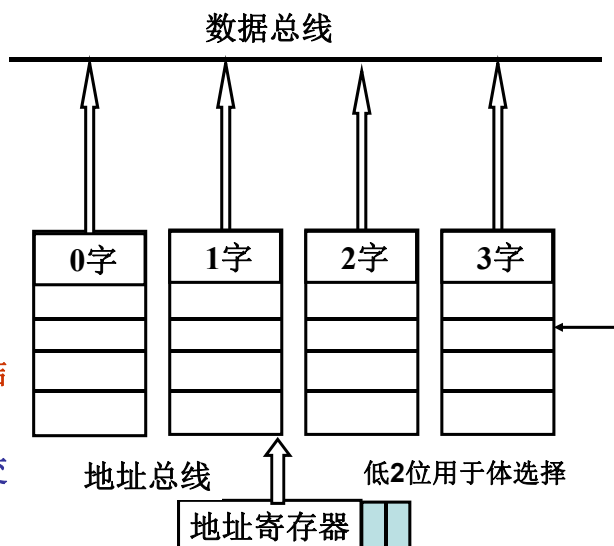
清航考研

单字多体结构

双端口存储器
是为一个存储
体配备 2 路独
立读写控制电
路的存储器，
可以同时为其
提供 2 个地址
信息，以便同
时读出 2 个数
据，用于某些
特定的场合。

单字 4 体结
构

低位地址交
叉



www.tsinghang.com

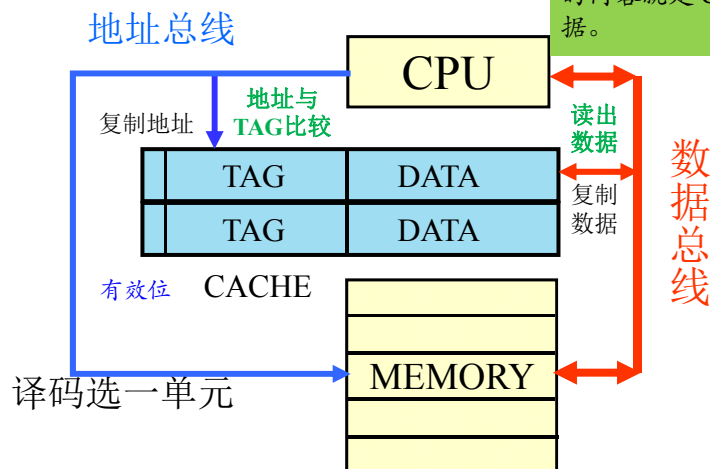
2012-8-20

清航考研

CACHE的基本运行原理

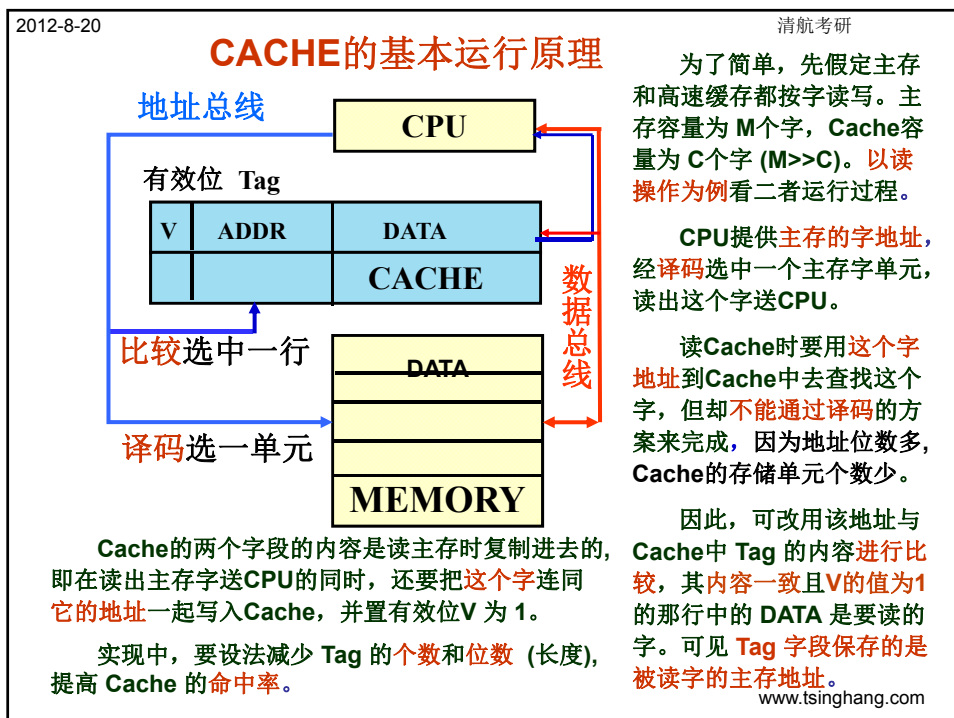
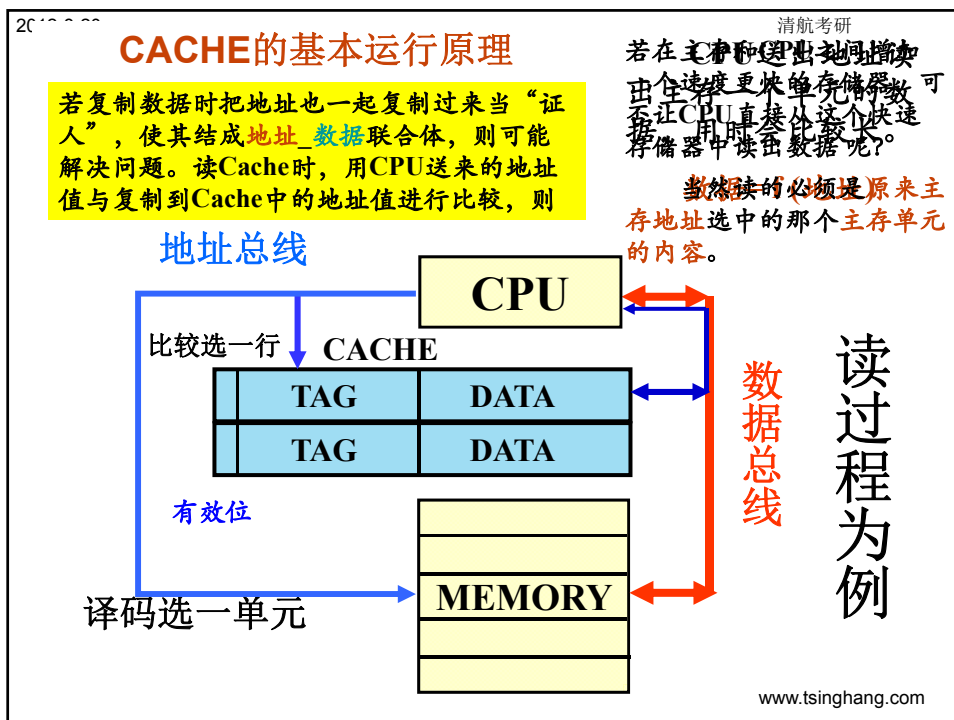
若复制数据时把地址也一起复制
过来当标志，使其结成地址_数
据联合体，则可能解决问题。

执行读操作时，用主
存地址和 Cache 的 TAG 字
段的内容比较，若二者相
同且有效位 V 的值为 1，则
Cache 该行数据字段 DATA
的内容就是 CPU 要读的数
据。

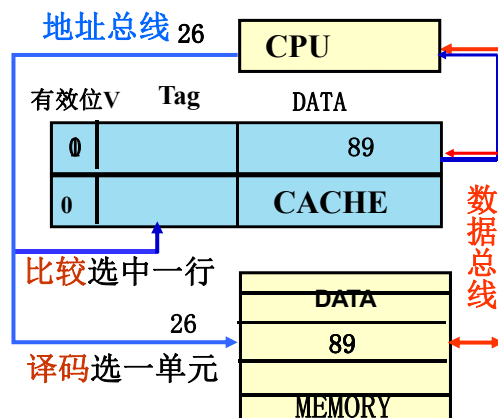


读过程为例

www.tsinghang.com



CACHE的基本运行原理

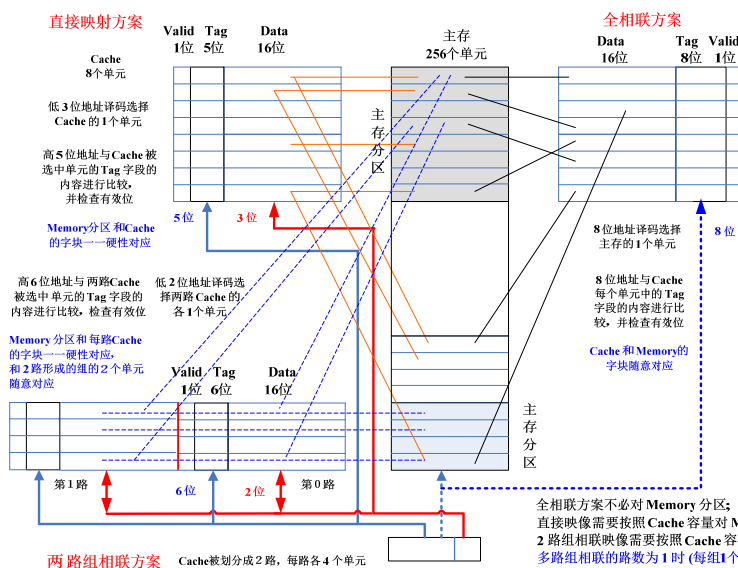


之后第2次要用地址 26 到内存读数，需要首先检查Cache中是否有这个数，可以通过用地址值 26 去与Cache中的各 Tag 字段的内容去比较，结果发现了26这个地址值，且这一单元的V的值为1，所以该单元中的 DATA 字段中的 89 就是要读的数据，将其送到 CPU，没有必要读内存了。

为了简单，先假定主存和高速缓存都按字读写。主存容量为 M 个字，Cache 容量为 C 个字 ($M \gg C$)。以读操作为例看二者运行过程。

程序第一次要到地址为26的内存单元读数(Cache中肯定无此数据)，则应：
CPU提供主存的字地址26，经译码选中这个主存字单元，内容是89，(1) 读出这个89送CPU，(2) 并同时复制89到Cache的DATA字段，(3) 还把该单元的地址复制到Cache的Tag字段，(4) 再把有效位V由0改写成1。至此完成这次读操作。

www.tsinghang.com



把Cache与主存的三种地址映像方式统一画在一张图上,有利于对比它们的相同与差异之处。

为突出基本原理并容易理解,画面清楚,只画出主存分区的首个分区和尾个分区,中间部分从略。并假定主存由256个字块组成,因此要用8位地址访问主存字块,假定主存字长16位。

Cache容量为8个字块,因此要使用3位(直接映射)或2位(两路组相联)地址访问Cache字块,这样Cache的Tag字段的位数应为5或6。使用一位有效位,数据段是16位。

全相联方案不必对 Memory 分区;
直接映像需要按照 Cache 容量对 Memory 分区;
2 路组相联映像需要按照 Cache 容量的 $\frac{1}{2}$ 对 Memory 分区。
多路组相联的路数为 1 时 (每组 1 个字块) 就是直接映像方案;
Cache 的路数等于 Cache 的容量时 (整个 Cache 仅有 1 组) 就是全相联方案; 二者都属于多路组相联的特例。 否则是 n 路组相联, 每组由 n (路数) 个字块构成。 Cache 的组数应为 $\text{Cache容量} / n$ 。

Cache 与主存储器的三种地址映射方式

www.tsinghang.com

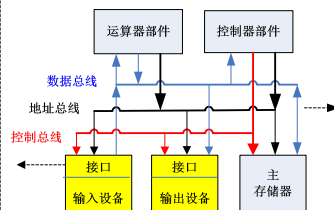
2012-8-20

清航考研

第4个知识单元的核心内容

入出设备属外围，接口总线不可没
传输协议合标准，5种方式各作为

连接CPU和输入
输出设备，
机械与电气要匹
配、连通，
识别、缓冲、控
制、状态，
中断屏蔽与请求
通用可编程接口



数据总线：传送数据信号
地址总线：传送地址信号
控制总线：传送总线周期
与入出操作结束等信号
总线性能
总线类型、结构
总线仲裁、定时
总线标准

用于输入程序和
数据信息，
鼠标
键盘

用于输出计算机
内的信息，
显示器
打印机

程序直接控制方式
程序中断方式
通道方式
直接存储器访问方式

www.tsinghang.com

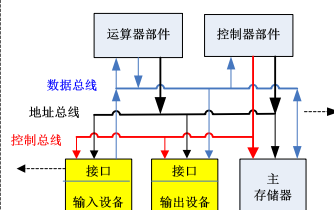
2012-8-20

清航考研

第4个知识单元的核心内容

本知识单元的内容包括：总线、接口和输入输出设备（我们把外存划归到第3知识单元）三个部分，以总线和输入输出方式为重点。

连接CPU和输入
输出设备，
机械与电气要匹
配、连通，
识别、缓冲、控
制、状态，
中断屏蔽与请求
通用可编程接口



数据总线：传送数据信号
地址总线：传送地址信号
控制总线：传送总线周期
与入出操作结束等信号
总线性能
总线类型、结构
总线仲裁、定时
总线标准

用于输入程序和
数据信息，
鼠标
键盘

用于输出计算机
内的信息，
显示器
打印机

程序直接控制方式
程序中断方式
通道方式
直接存储器访问方式

www.tsinghang.com

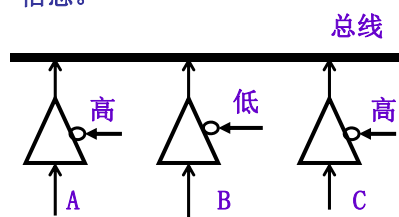
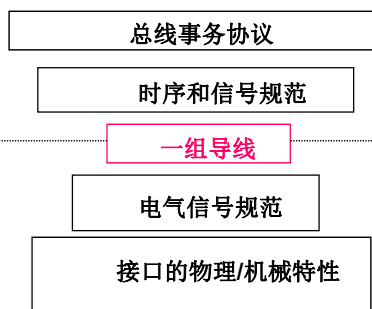
2012-8-20

清航考研

计算机总线概述

总线是计算机各个部件之间传输信息的公共通路，包括传输数据信号的逻辑电路、管理信息传输协议的逻辑线路和物理连线。

通常使用具有三态逻辑功能的电路实现总线，在任何时刻只允许一路数据发送到总线，是靠控制信号完成选择的，但多个接受方可以同时接收输入信息。



www.tsinghang.com

2012-8-20

清航考研

计算机总线的特点

总线是计算机各个部件之间传输信息的公共通路，是多个部件竞争使用的硬件资源，只有得到总线使用权的设备才能使用总线传送数据，为此必须有特定的线路完成总线仲裁，以确定哪个设备可以使用总线。

为了能够方便地连接不同型号的 CPU 和各种 IO 接口，需要制定多种总线标准，需要建立并维护使用总线的协议。

总线通常包括数据总线、地址总线和控制总线三种类型，各自传送不同性质的信息。

可以通过设计不同的总线结构来得到不同性能的总线，总线的性能对整个计算机系统的性能、特别是数据输入输出能力有重大影响。

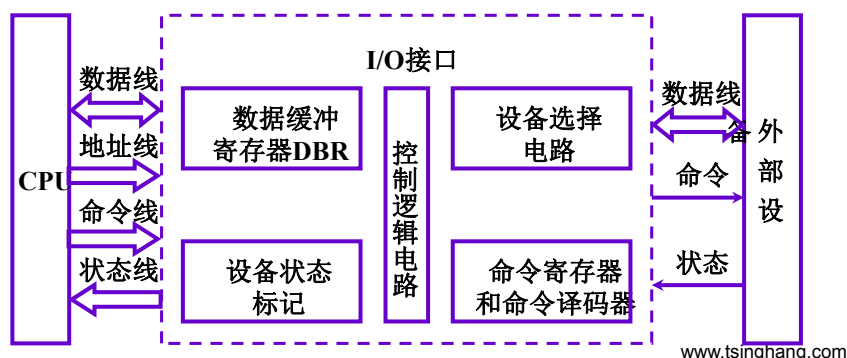
www.tsinghang.com

2012-8-20

清航考研

输入输出接口的功能和结构

- 提供主机识别 (指定、找到) 设备的支持。
- 建立主机和设备之间的控制与通信机制，接收处理器（主设备）的命令，同时为主设备提供外部设备的状态。
- 提供主机和设备之间信息交换过程中的数据缓冲机构。
- 提供主机和设备之间信息交换过程中的其他特别需求支持，屏蔽外部设备的差异。



www.tsinghang.com

2012-8-20

清航考研

通用可编程接口

通用性

能有多种用法与输入输出功能，能适用于多种外设。

可编程

能通过指令指定接口的功能和运行控制参数。

串行接口

串行接口按位传送数据，最节省传送线，主要用于传输速度不高、传输距离较长的场合。典型芯片**Intel 8251**；

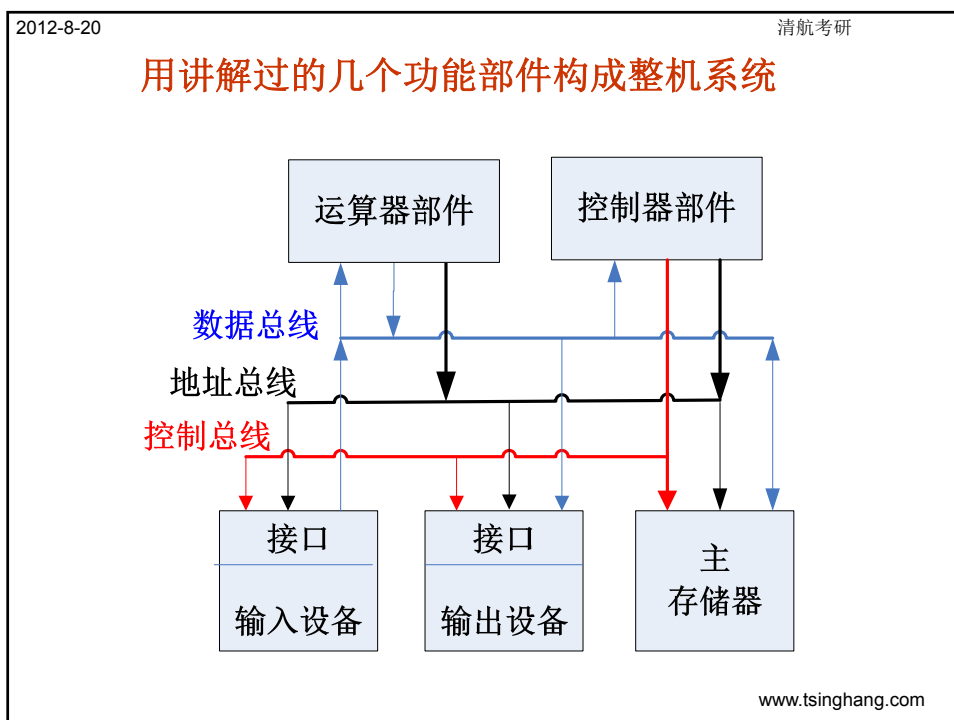
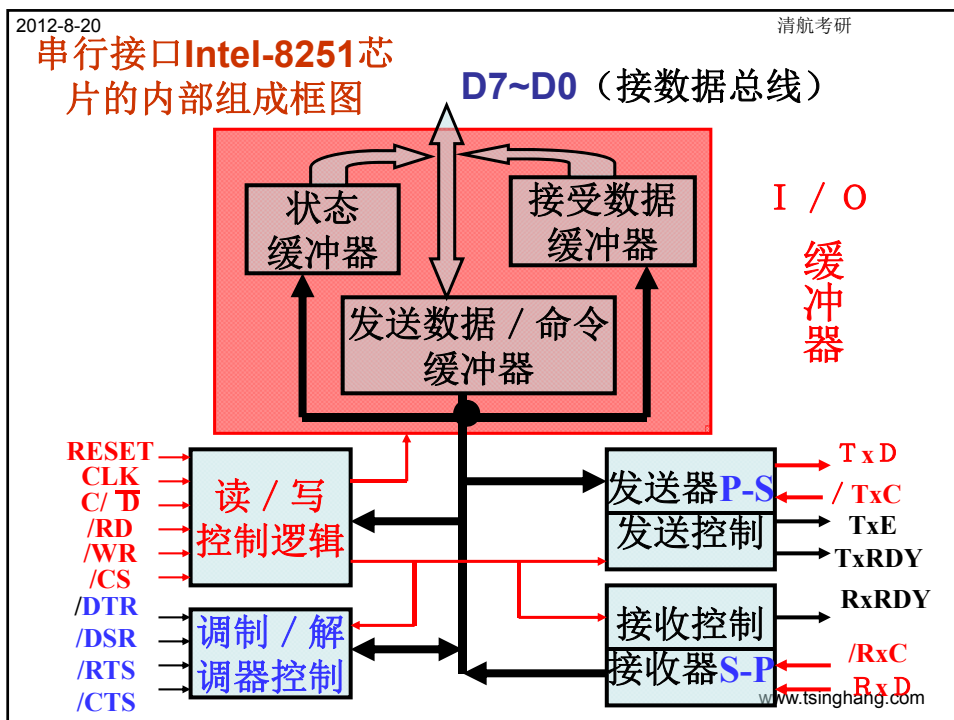
目前几乎所有的计算机都采用**EIA RS-232C**作为串行接口标准。串行接口中需要完成**并行到串行**和**串行到并行**的转换。

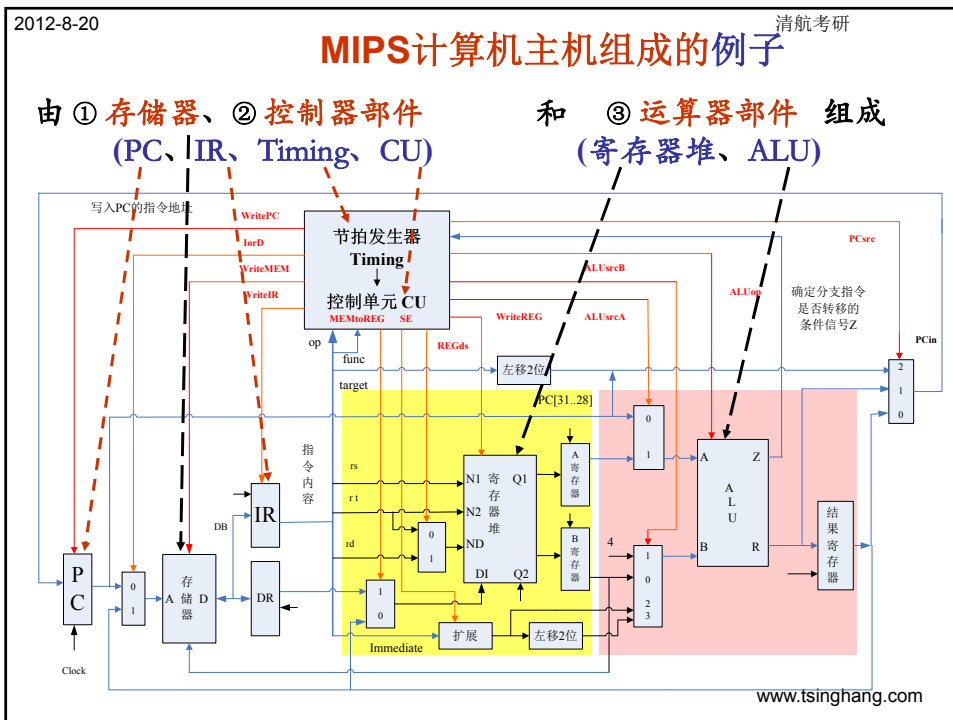
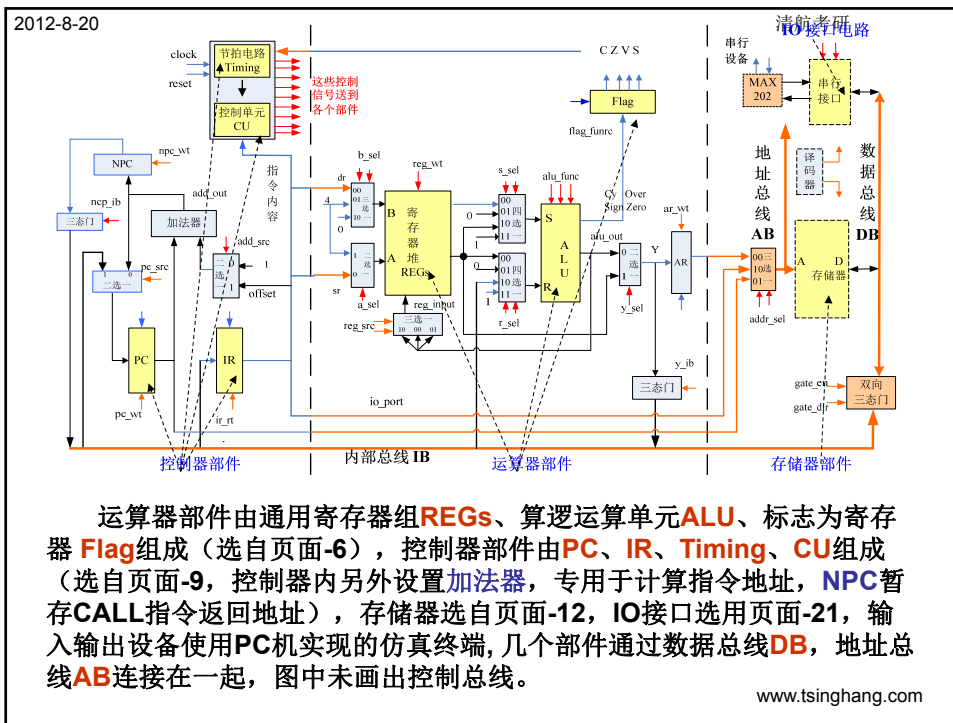
对串行接口的使用首先要对其进行初始化，即向接口命令寄存器发命令，设置工作方式；然后再发命令使之开始工作；工作期间通过状态寄存器了解串口工作状态。

并行接口，

一次传送多位数据，速度较快，典型芯片**Intel 8255**；

www.tsinghang.com





2012-8-20

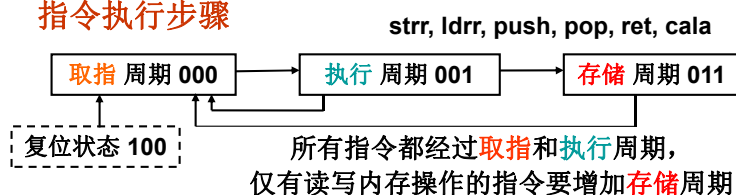
清航考研

简化TEC-2000的指令格式和执行步骤

指令格式



指令执行步骤

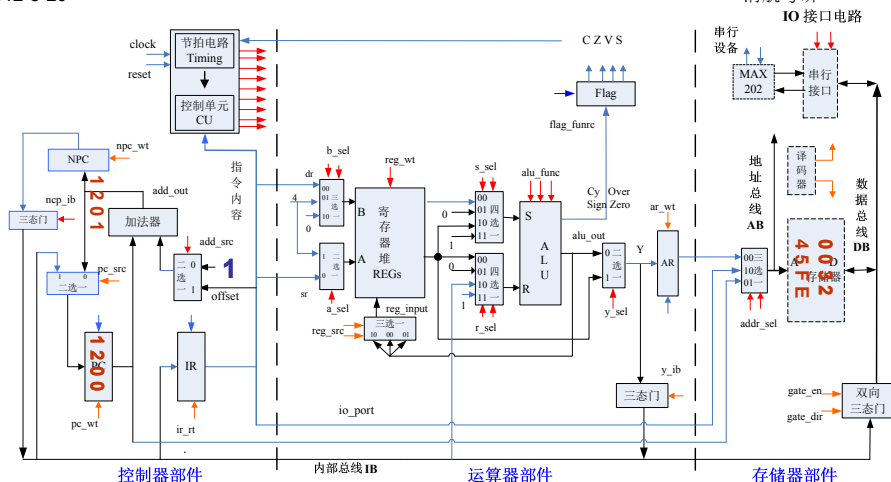


看一下加法指令、条件转移指令、写内存指令的执行过程

www.tsinghang.com

2012-8-20

清航考研



取指操作:在取指周期,以PC作地址读内存,读出指令送IR,计算下条指令地址

假设PC的内容为1200,内存1200单元的内容为0032,IR的内容未定

实现功能: $pc \rightarrow AB$, $mem[AB] \rightarrow ir$, $pc+1 \rightarrow pc$ 控制信号: $addr_sel=01$, $gate_en=1$, $mio=1$, $ir_wt=1$, $pc_wt=1$

www.tsinghang.com

