

UFABC: MCTA024 – Sistemas Digitais – 2019

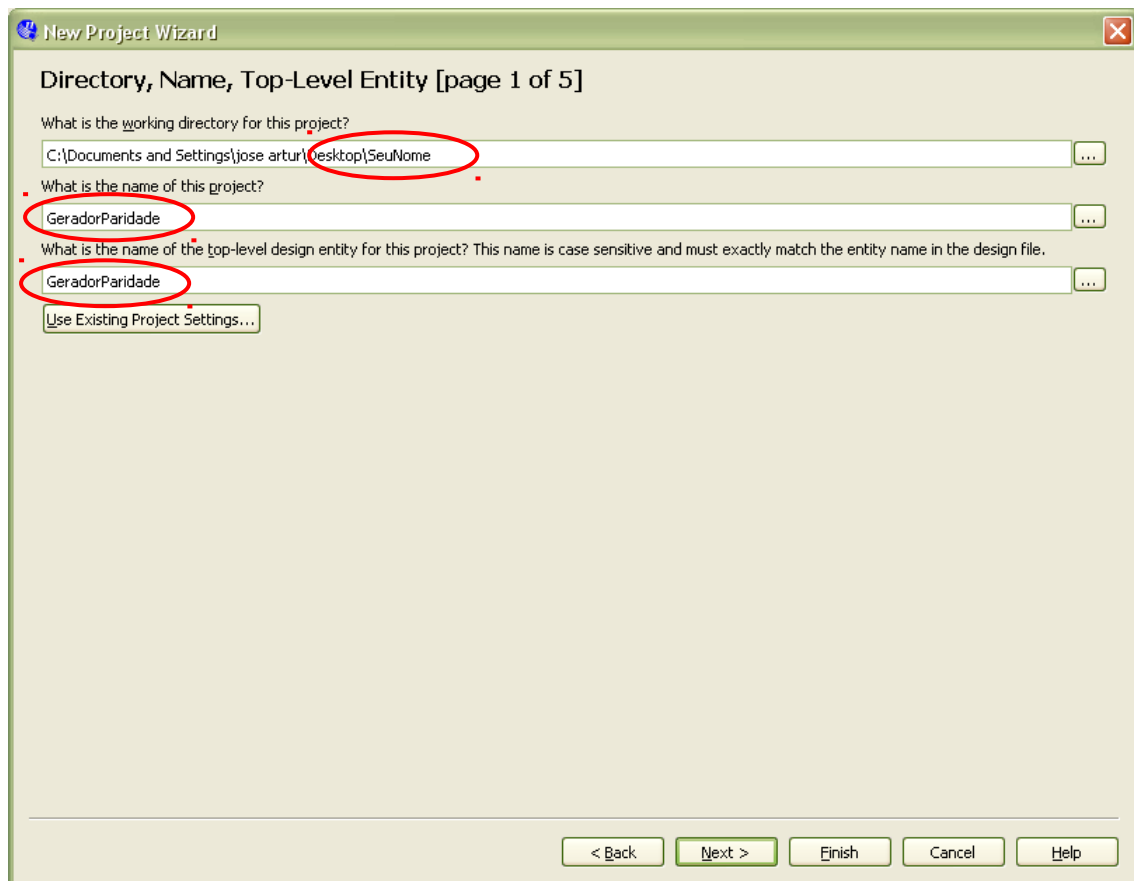
Prof. Denis Fantinato

Simulação do Gerador de Paridade Par

O circuito Gerador de Paridade Par tem 4 bits de entrada (A3, A2, A1 e A0) e uma saída P. Ele verifica se o número de bits '1' na entrada é par ou ímpar e gera na saída um sinal P de forma que o conjunto { A3, A2, A1, A0, P} sempre possua uma quantidade par de bits.

Vamos simular e testar esse circuito no Quartus II:

1. Inicialize o **Quartus-II** e escolha a opção **"Create a New Project"**.
2. Leia as informações da tela **"Introduction"** e clique em **"Next"**.
3. Crie um diretório com **"SeuNome"** (sem espaço e sem acentuação), e coloque o nome do **"Project"** e da **"Entity"** como **"GeradorParidade"** e clique em **"Next"**. Este nome deve ser exatamente o mesmo da **"Entity"** do componente **VHDL** que vai ser sintetizado e simulado.



4. A tela seguinte “**Add Files**” oferece a oportunidade de incorporar arquivos e bibliotecas de outros projetos. Não vamos utilizar este recurso nesta experiência. Clique em “**Next**”.

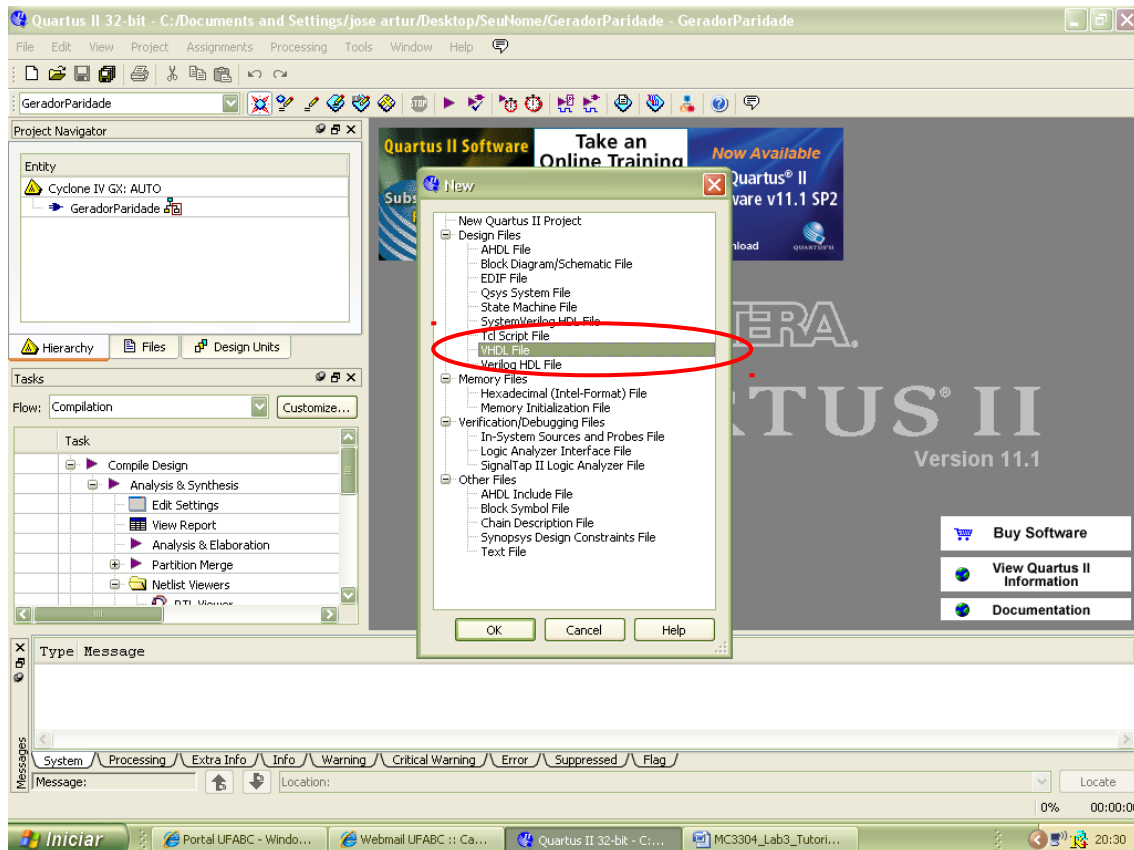
5. Na tela “**Family & Device Settings**”, podemos escolher a família da **FPGA** a ser utilizada. Nesta primeira simulação, não vamos nos preocupar com esta escolha técnica. Aceite os valores “**default**” e clique em “**Next**”.

6. A tela “**EDA Tool Settings**” oferece a possibilidade de acoplar ferramentas de outros fabricantes para sintetizar ou simular o componente **VHDL**. Certifique-se de que a opção “**Simulation**” esteja ajustada com o simulador “**ModelSim-Altera**” e clique em “**Next**”.

Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entry/Synthesis	<None>	<None>	<input type="checkbox"/> Run this tool automatically to synthesize the current design
Simulation	ModelSim-Altera	VHDL	<input checked="" type="checkbox"/> Run gate-level simulation automatically after compilation
Timing Analysis	<None>	<None>	<input type="checkbox"/> Run this tool automatically after compilation
Formal Verification	<None>		
Board-Level	Timing	<None>	
	Symbol	<None>	
	Signal Integrity	<None>	
	Boundary Scan	<None>	

7. Depois de ler as informações do sumário apresentado na tela seguinte (“**Summary**”), clique em “**Finish**”.

8. Agora é preciso fazer a entrada de dados (“**Design Entry**”). Utilizaremos uma descrição **VHDL**. Clique em “**File**”, depois “**New**”, a seguir “**VHDL File**” e finalmente “**OK**”.



9. No editor de texto que se abre, digite o código VHDL do Gerador de Paridade Par e salve (clcando no ícone que representa um disquete).

```
library ieee;
```

```
use ieee.std_logic_1164.all;
```

```
entity GeradorParidade is
```

```
    port(A3, A2, A1, A0: in std_logic;
```

```
         P: out std_logic);
```

```
end GeradorParidade;
```

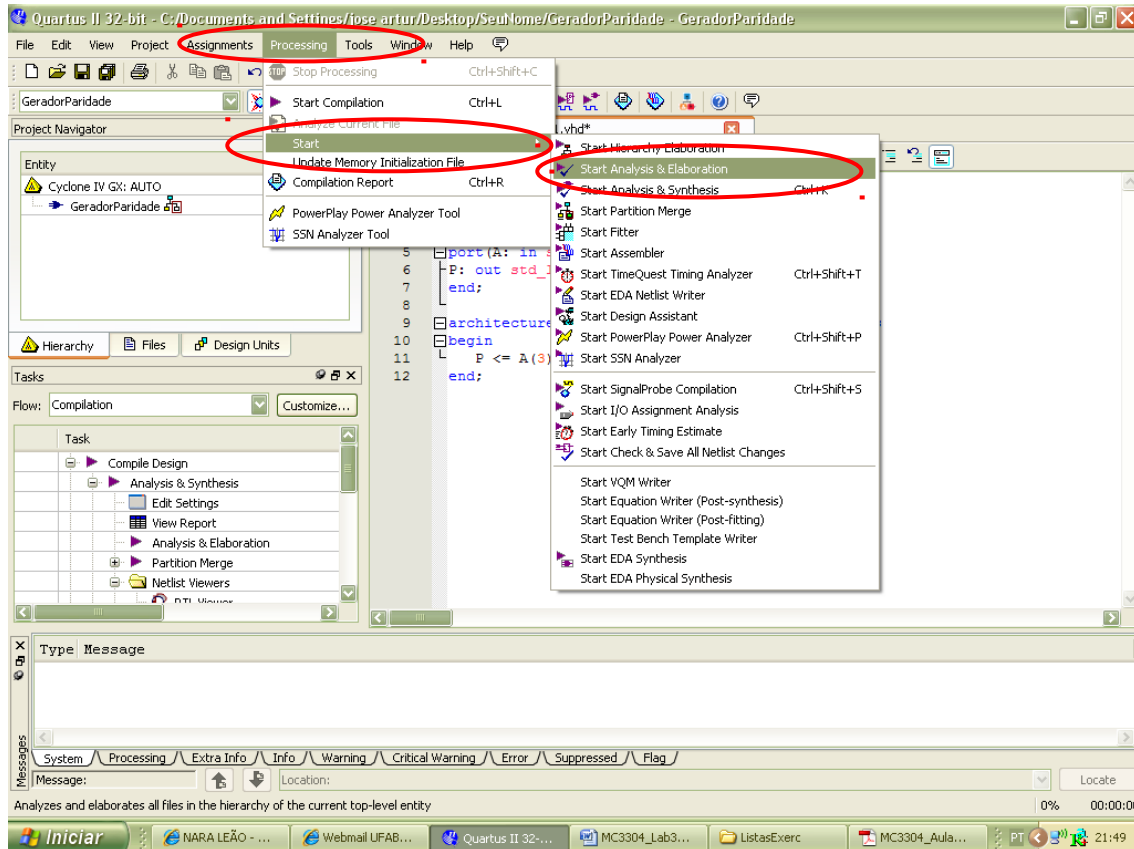
```
architecture Comportamental of GeradorParidade is
```

```
begin
```

```
    P <= A3 xor A2 xor A1 xor A0;
```

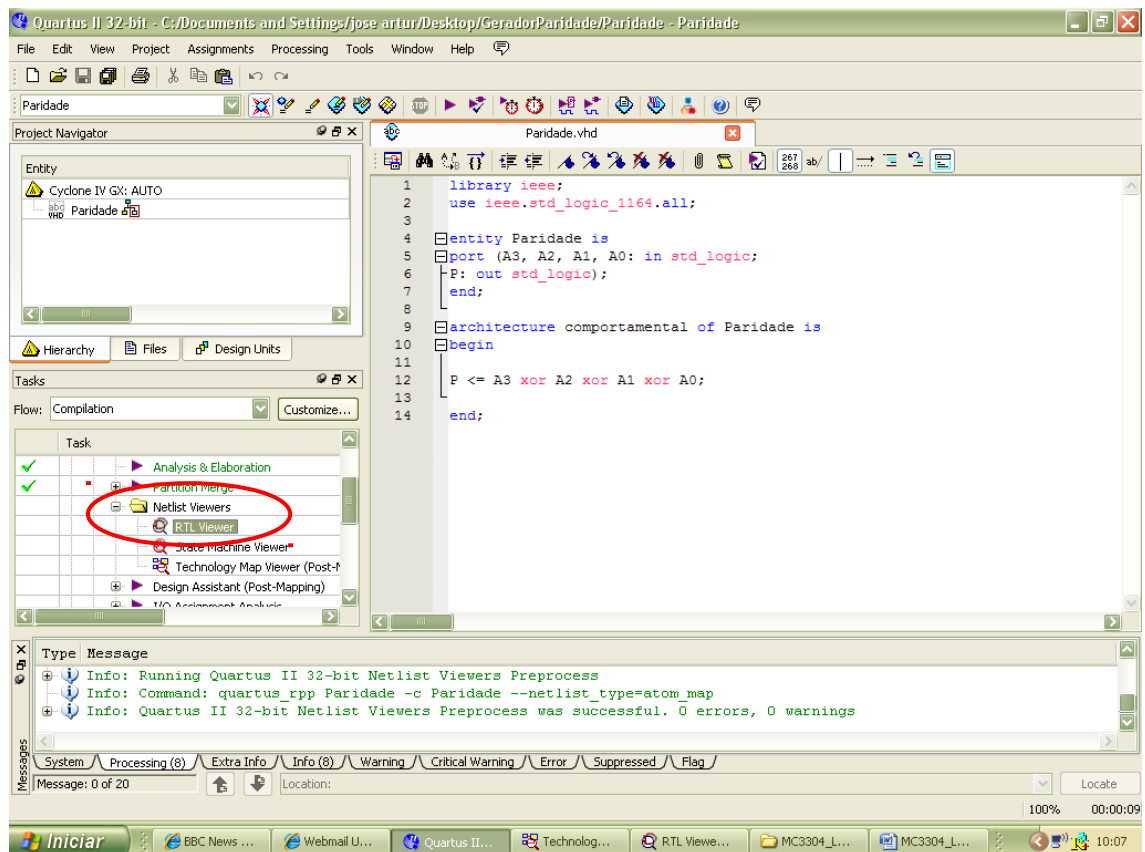
```
end Comportamental;
```

10. A seguir, é preciso verificar se não há erros de sintaxe e semântica. Para iniciar a compilação, clique em “**Processing**”, depois “**Start**” e, finalmente, “**Start Analysis & Elaboration**”.

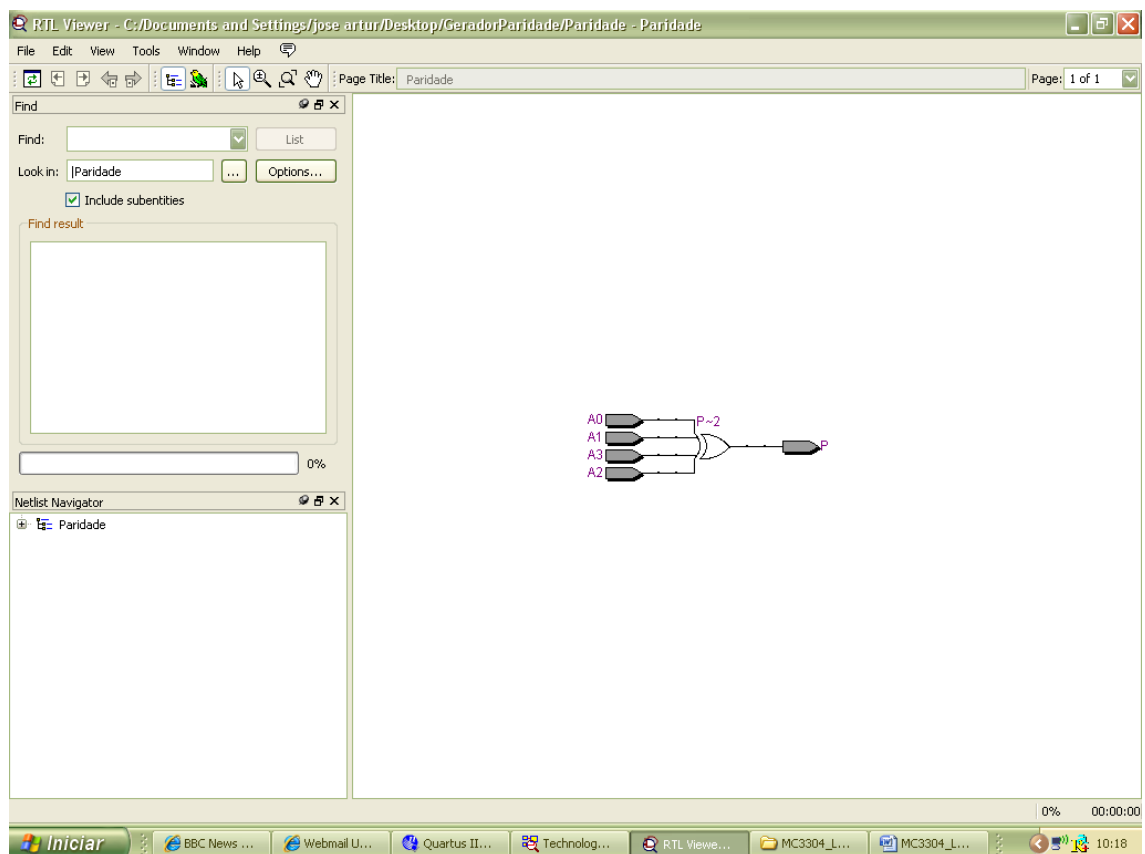


11. O **Quartus-II** não deve apontar nenhum erro, apenas um “**Warning**” (que pode ser desconsiderado).

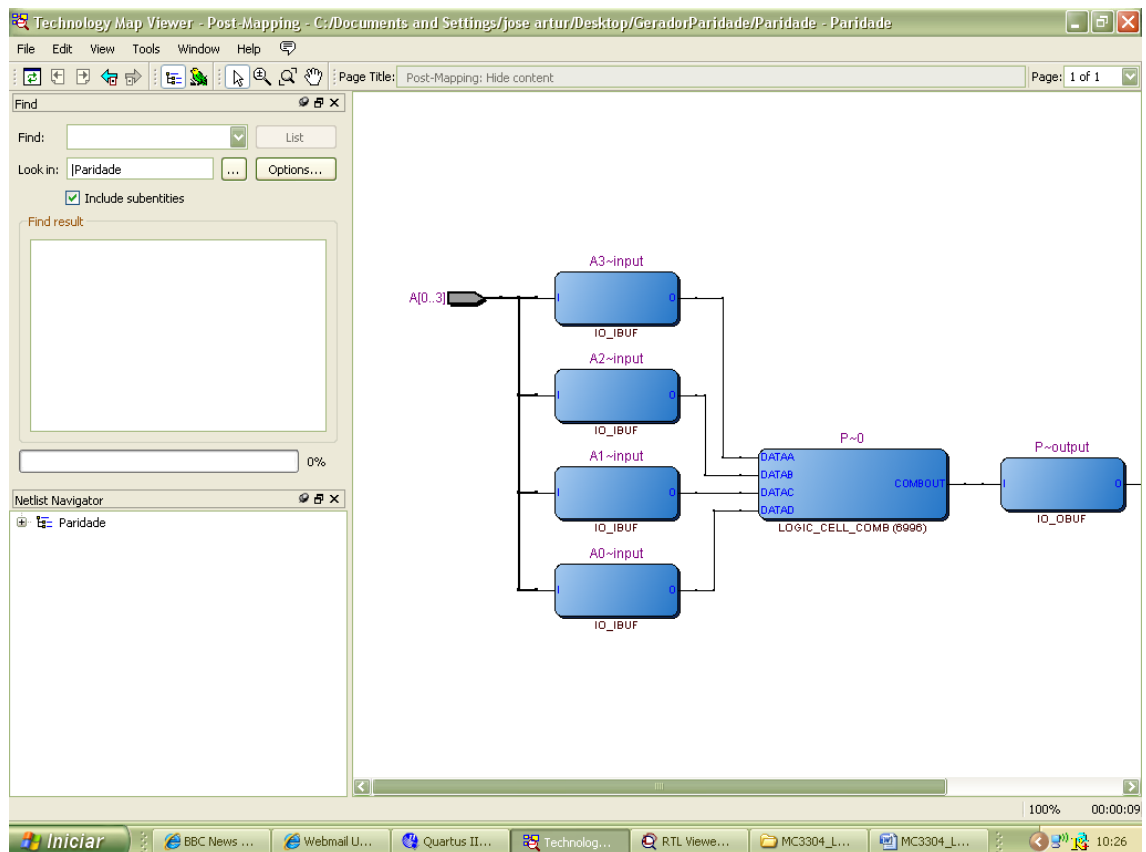
12. Na parte esquerda central do **Quartus-II**, localize a seção das tarefas (“**Tasks**”) que já foram realizadas, mais especificamente na seção “**Netlist Viewers**”, e clique em “**RTL Viewer**”.



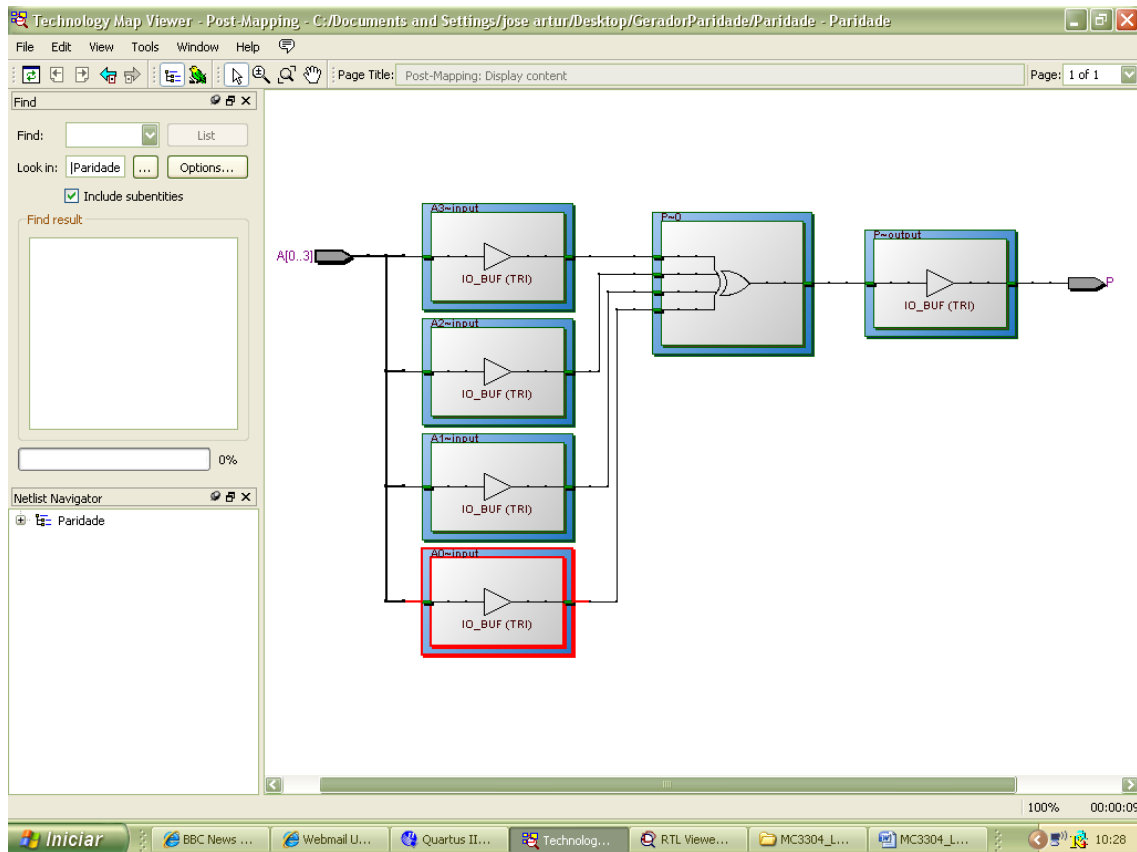
13. Deve aparecer uma porta “xor” com 4 entradas.



14. Aproveite também para conferir como a versão lógica do **Gerador de Paridade Par** será efetivamente implementado depois do **Mapeamento Tecnológico**. Dê um clique na opção “**Technology Map Viewer**”.

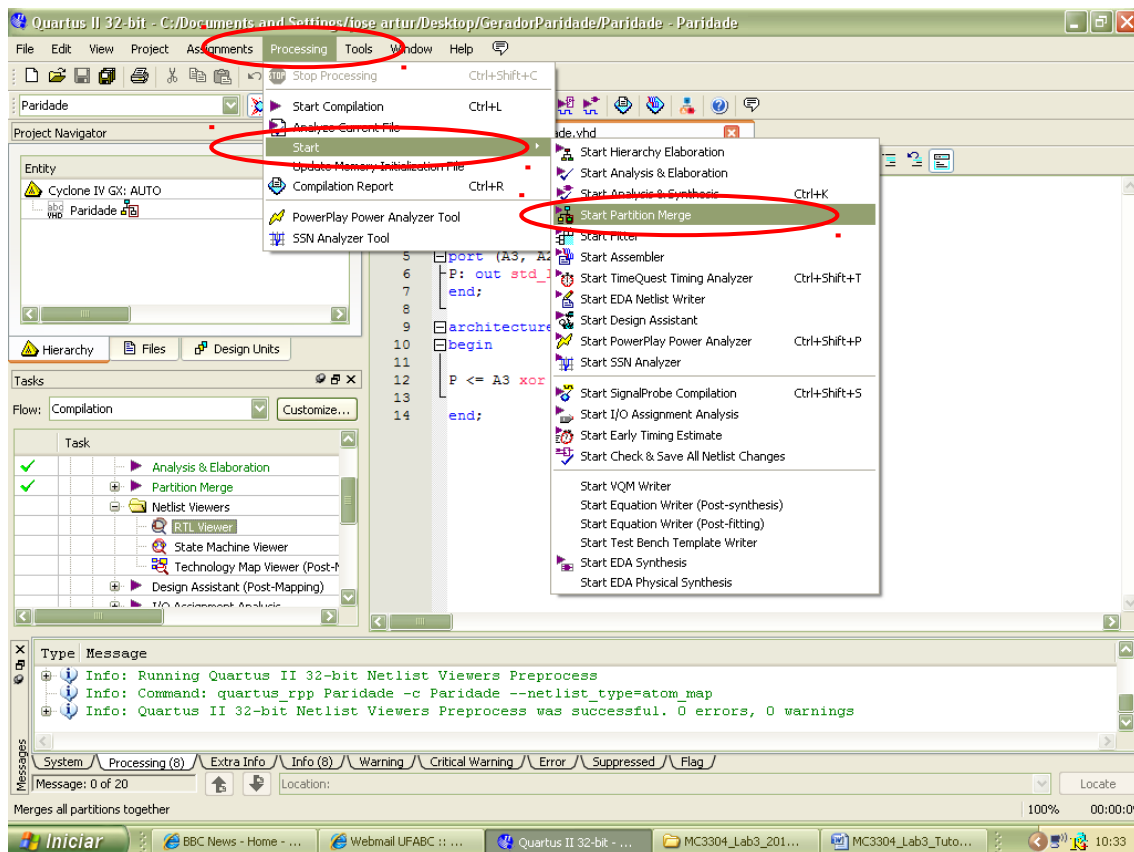


15. Dando dois cliques em cada um dos blocos, é possível ver o conteúdo da implementação tecnológica.

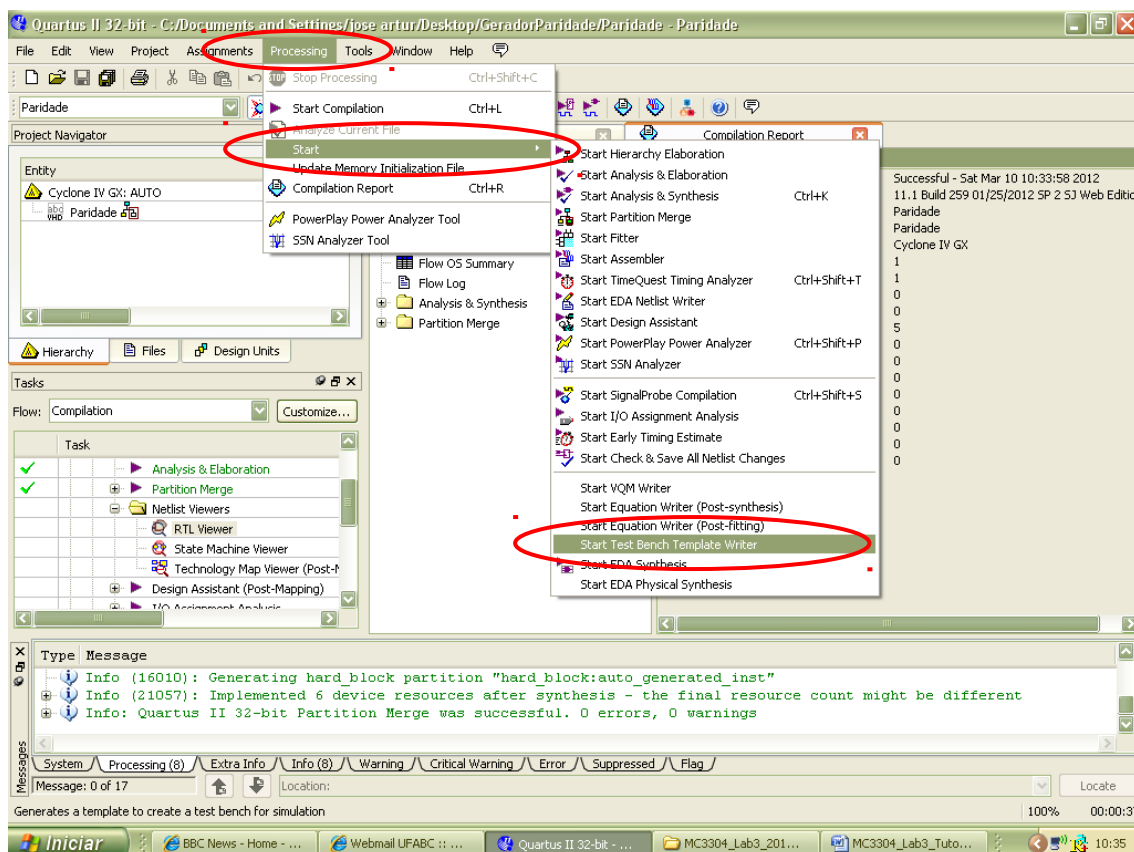


16. Vamos agora gerar automaticamente um modelo (“*template*”) de “**Test Bench**” para fazer a **Simulação Funcional** do Gerador de Paridade Par. Para isso é preciso garantir que todas as partições do projeto sejam reunidas numa única lista de componentes (“*Netlist*”).

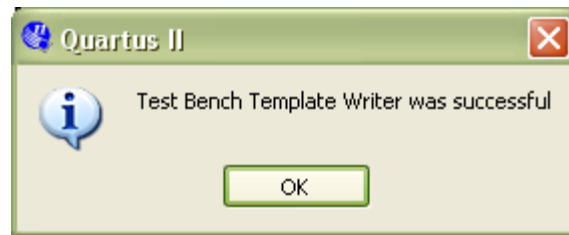
17. Vá em “**Processing**”, depois “**Start**” e clique em “**Start Partition Merge**”.



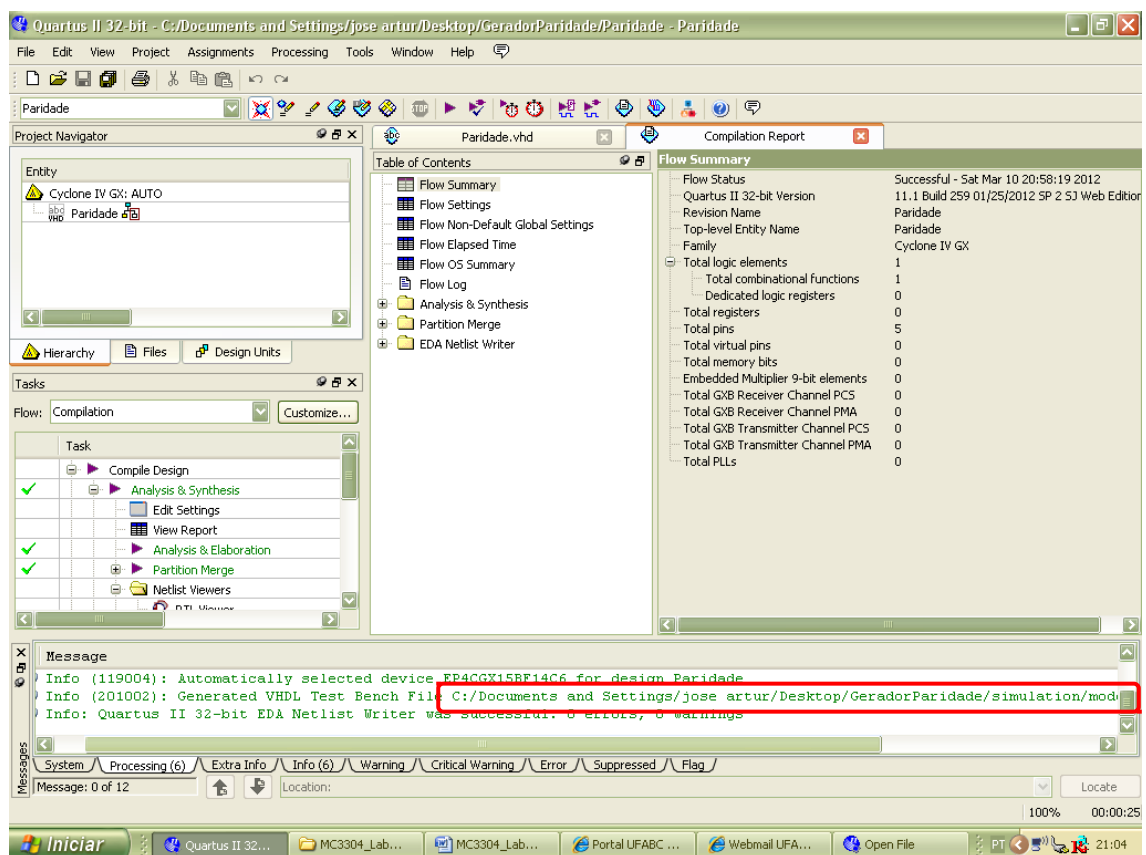
18. Se não ocorrer nenhum erro durante o “Partition Merge”, vá em “Processing”, “Start” e clique em “Start Test Bench Template Writer”.



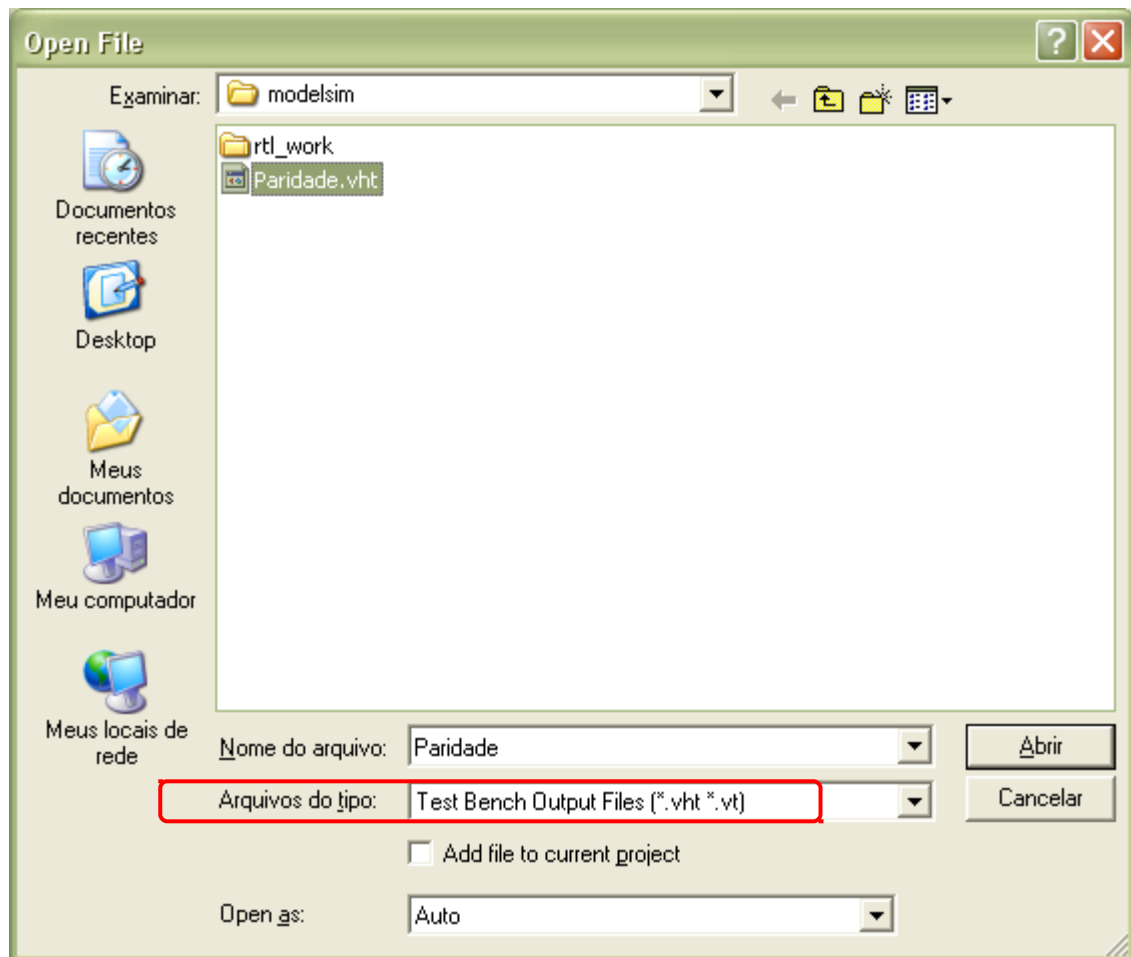
19. Quando o modelo (“template”) de “**Test Bench**” tiver sido gerado, o **Quartus-II** deve enviar uma mensagem informando que o processo foi bem sucedido.



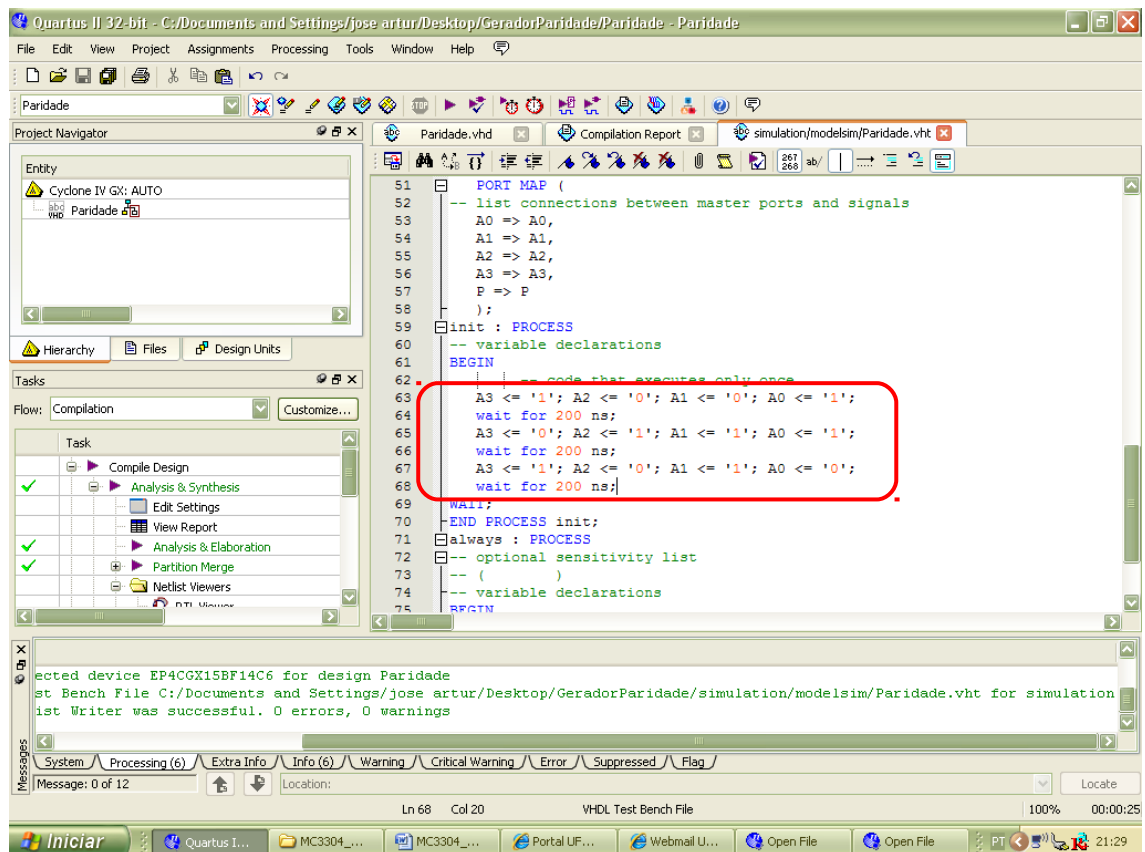
20. Na parte inferior do **Quartus-II**, na seção de “**Message**”, está a informação de que o “template” do “**Test Bench**” foi criado dentro do diretório “**simulation**”, que contém o subdiretório “**modelsim**”.



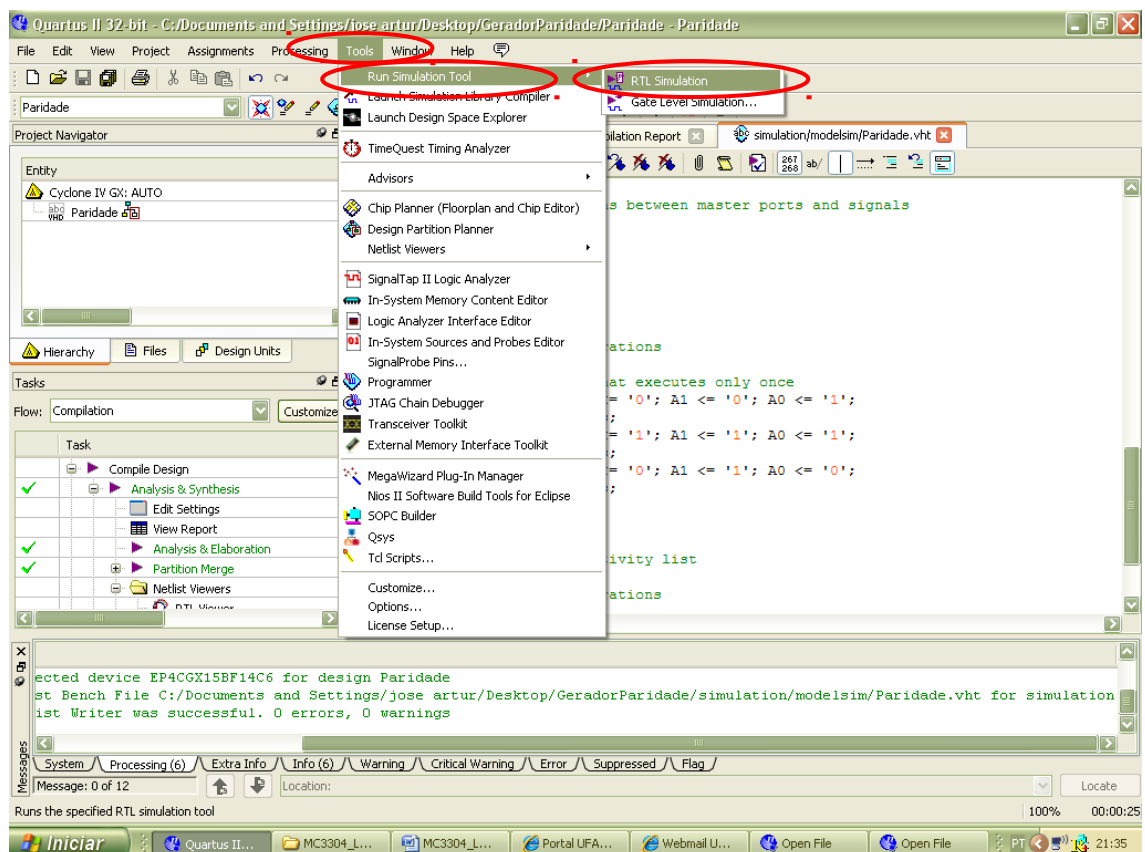
21. Usando a opção “**File**”, depois “**Open...**”, entre no diretório “**simulation**”, depois “**modelsim**”, e ajuste a opção “**Arquivo do tipo:**” para “**Test Bench Output Files (*.vht *.vt)**” para localizar o modelo gerado.



22. Abra o modelo de **“Test Bench GeradorParidade.vht”** para editar os vetores de entrada (sinais de estímulo nas entradas para realizar a simulação).

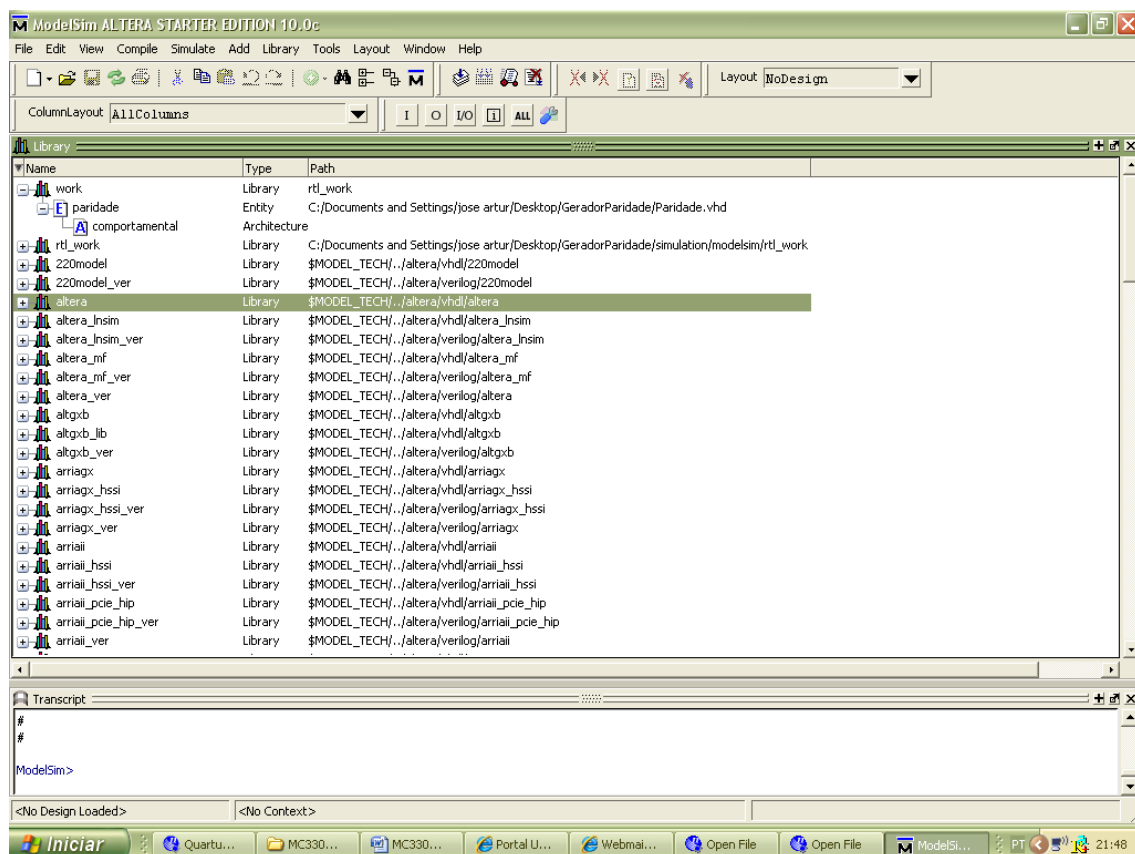


23. Salve o arquivo com as modificações e vá para “Tools”, depois “Run Simulation Tool” e finalmente “RTL Simulation” para iniciar o simulador da ModelSim-Altera.

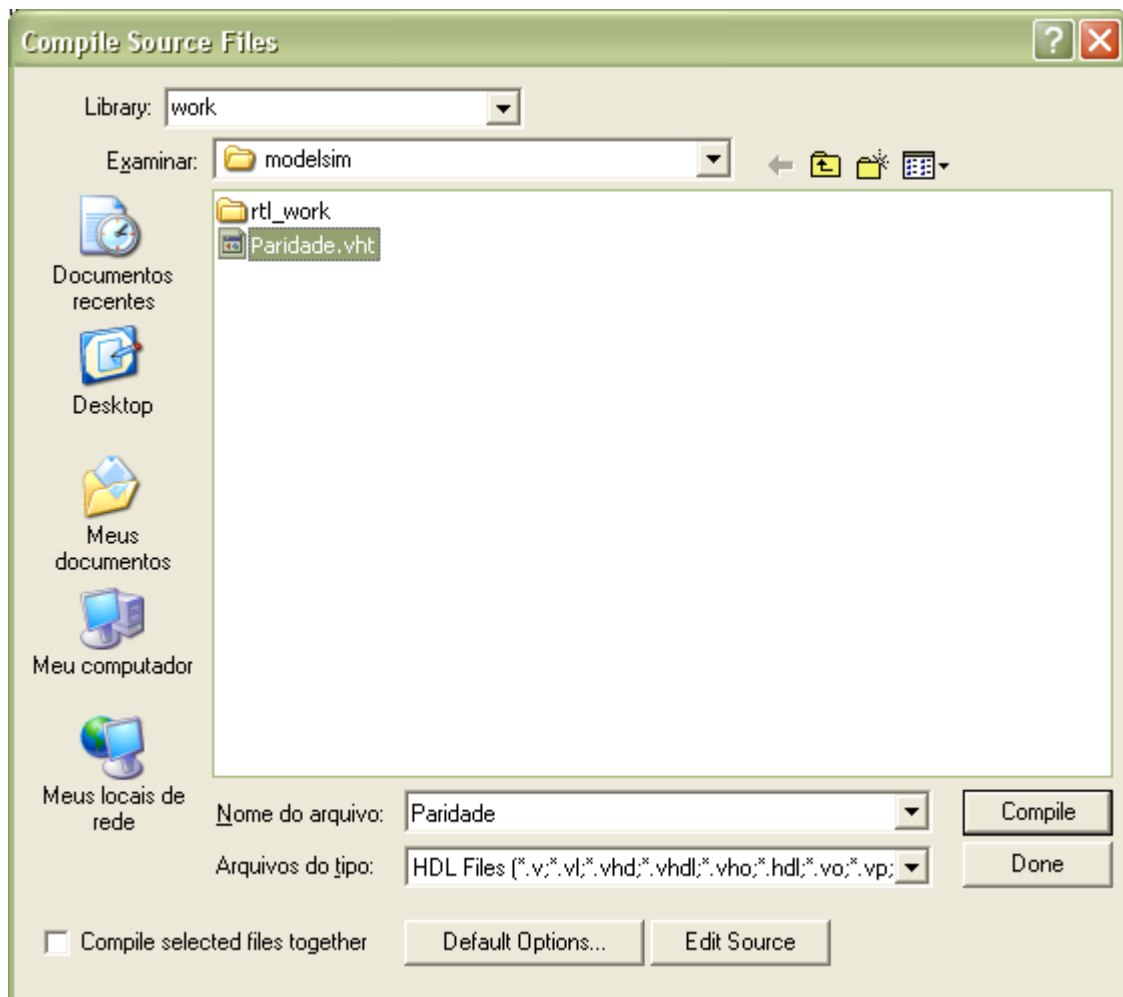


Obs.: Na versão **13.0sp1** do **Quartus-II** houve uma alteração no diretório em que o executável do simulador **ModelSim-Altera** deve ser instalado. Por isso, pode ocorrer, na primeira vez em que o **ModelSim-Altera** for iniciado, que ele não seja encontrado. Se isto acontecer, vá na opção **“Tools”** do **Quartus-II** e dê um clique em **“Options...”**. No menu **“Options”** que deve se abrir, dentro do campo **“Category:”**, clique em **“General => EDA Tool Options”** e ajuste o caminho do executável do simulador **“ModelSim-Altera”** no campo **“Location of Executable”** para (Windows) **“C:\altera\13.0sp1\modelsim_ase\win32aloem”** ou (Linux) **“C:/home/ufabc/altera/13.0sp1/modelsim_ase/bin”**.

24. A seguir, deve aparecer a primeira tela do simulador **ModelSim-Altera** com várias bibliotecas, inclusive a biblioteca **“work”** com os arquivos compilados para o projeto **GeradorParidade**. Expanda a biblioteca **“work”** e certifique-se que a **“entity GeradorParidade”** e a **“architecture Comportamental”** estão em seu interior.

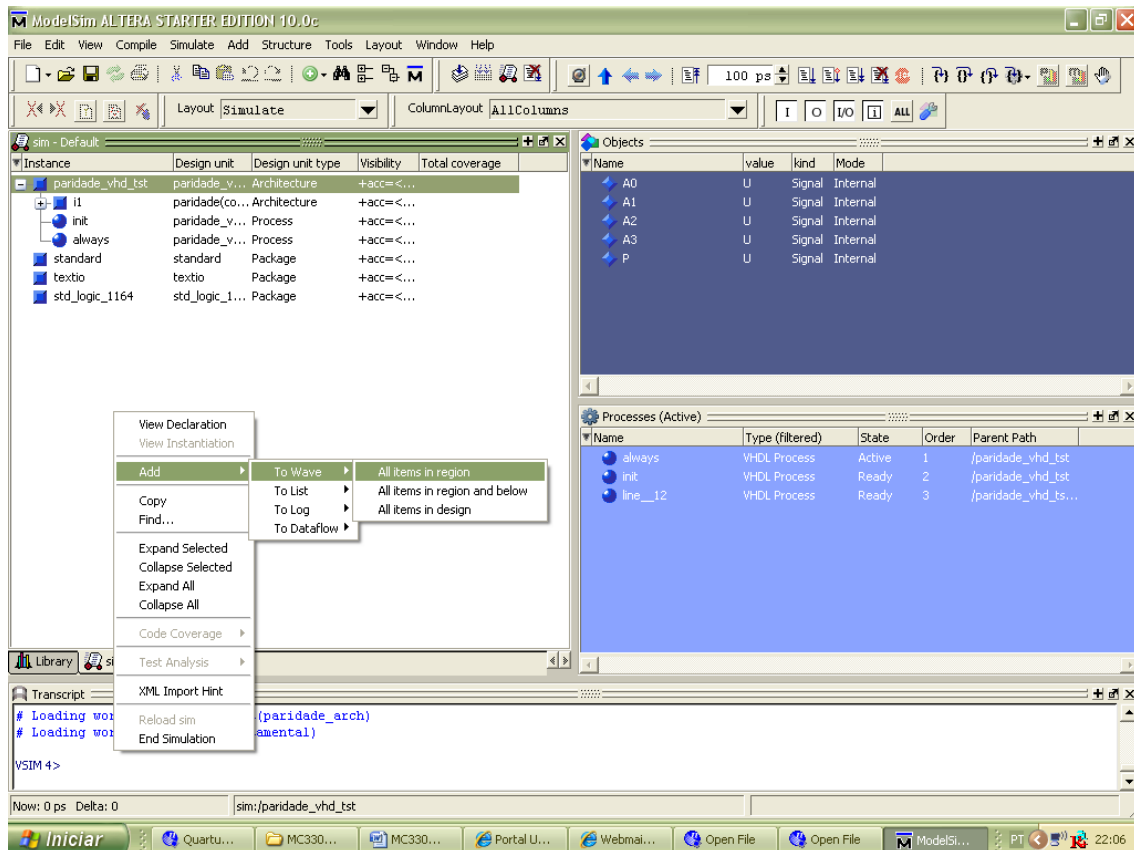


25. Agora é preciso compilar o **“Test Bench”** para o projeto **GeradorParidade** a partir do simulador **ModelSim-Altera**. Vá em **“Compile”**, depois **“Compile...”**, coloque em evidência o arquivo **“GeradorParidade.vht”** e clique na opção **“Compile”**. Quando a compilação terminar, clique em **“Done”**.

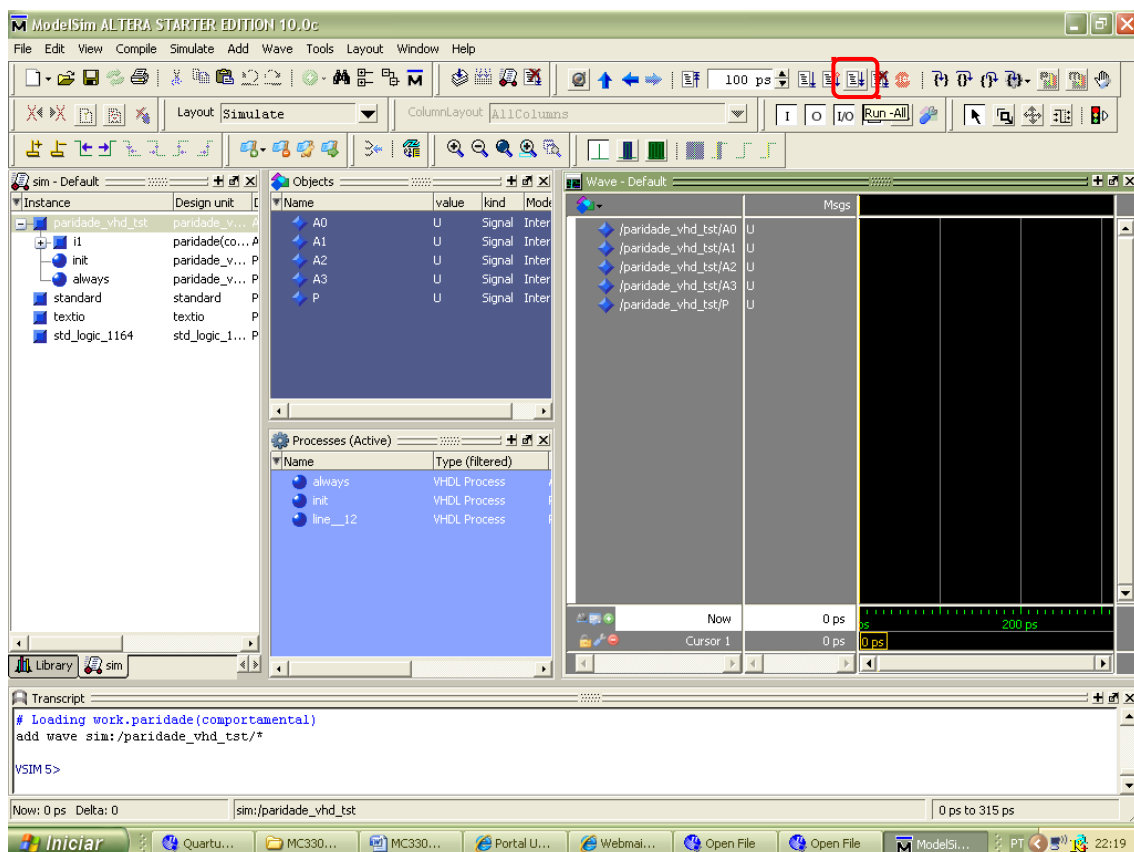


26. Logo em seguida, dentro da biblioteca **“work”** devem aparecer a **“entity”** e a **“architecture”** do **“Test Bench”**. Dê dois cliques na **“entity geradorparity_vhd_tst”** e espere a nova tela do simulador aparecer.

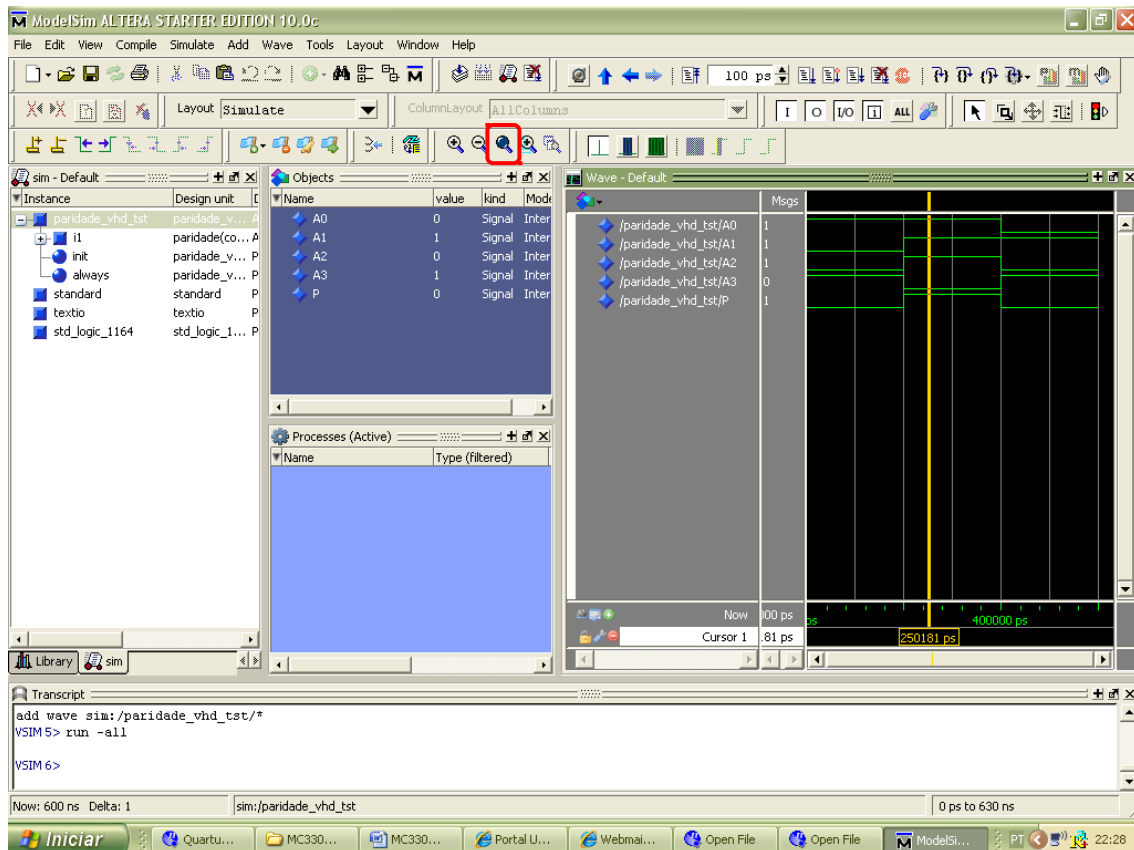
27. Agora é preciso escolher quais sinais queremos analisar no modo gráfico. Como temos poucos sinais neste projeto, vamos escolher todos. Vá para a parte branca da tela (**“sim-Default”**), clique o botão direito do *mouse*, escolha a opção **“Add to”**, depois **“Wave”** e finalmente **“All items in region”**.



28. Dessa forma, deve aparecer a tela preta “Wave - Default”. Vá à parte superior direita da tela, encontre o ícone “Run - All” e inicie a simulação.



29. Para ajustar a escala de tempo adequada, clique sobre o ícone “**Zoom Full**” e confira os resultados da simulação. (Clicando o botão esquerdo do mouse sobre a região preta, aparece uma régua com os respectivos valores de cada sinal à esquerda).



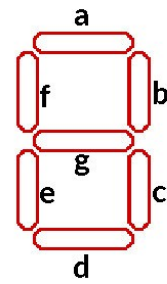
Simulação do Decodificador

Escreva um código em VHDL que seja um decodificador de dois bits (s0, s1) para sete bits e que tenha um sinal ENABLE. Este circuito deve decodificar as quatro possíveis entradas para as iniciais de seu nome representadas em um display de 7 segmentos (e, se couber, os últimos dígitos do seu nascimento). Por exemplo, para o Fernando Pessoa, nascido em 1888, as iniciais que ele utilizaria seria FP88, resultando na tabela verdade:

ENABLE	S0 S1	Iniciais - display de 7 segmentos
1	0 0	F
1	0 1	P
1	1 0	8
1	1 1	8
0	X X	

Para auxiliar, a figura abaixo mostra a representação das letras e números em display de 7 segmentos:

A b C d E F G H I J K L Ñ
n O P q r S t U v ' ' H y z
0 1 2 3 4 5 6 7 8 9 0



Siga as mesmas etapas deste roteiro para simular o circuito (gerando um arquivo de testbench).

Ao final, crie um arquivo compactado com o nome "<RA>.zip", que contenha os arquivos:

- decodificador.vhd

- decodificador_tb.vhd

E submetê-lo na Atividade da Aula no Tidia.