学号 专业 姓名

实验开始日期**2024/5/22**  班级  实验完成日期 **2024/5/23**

实验报告

【实验名称】 实验4 运算器实验

【实验内容】

**一、实验目的：**

* + **1. 登录中国大学MOO网观看4.1、4.2、4.3部分相应视频讲解**
  + **2. 验证串行加法器逻辑实现**

**能设计8位可控加减法电路**

* + **3. 掌握快速加法器逻辑实现**

**能设计4位先行进位电路**

**能设计4位快速加法器**

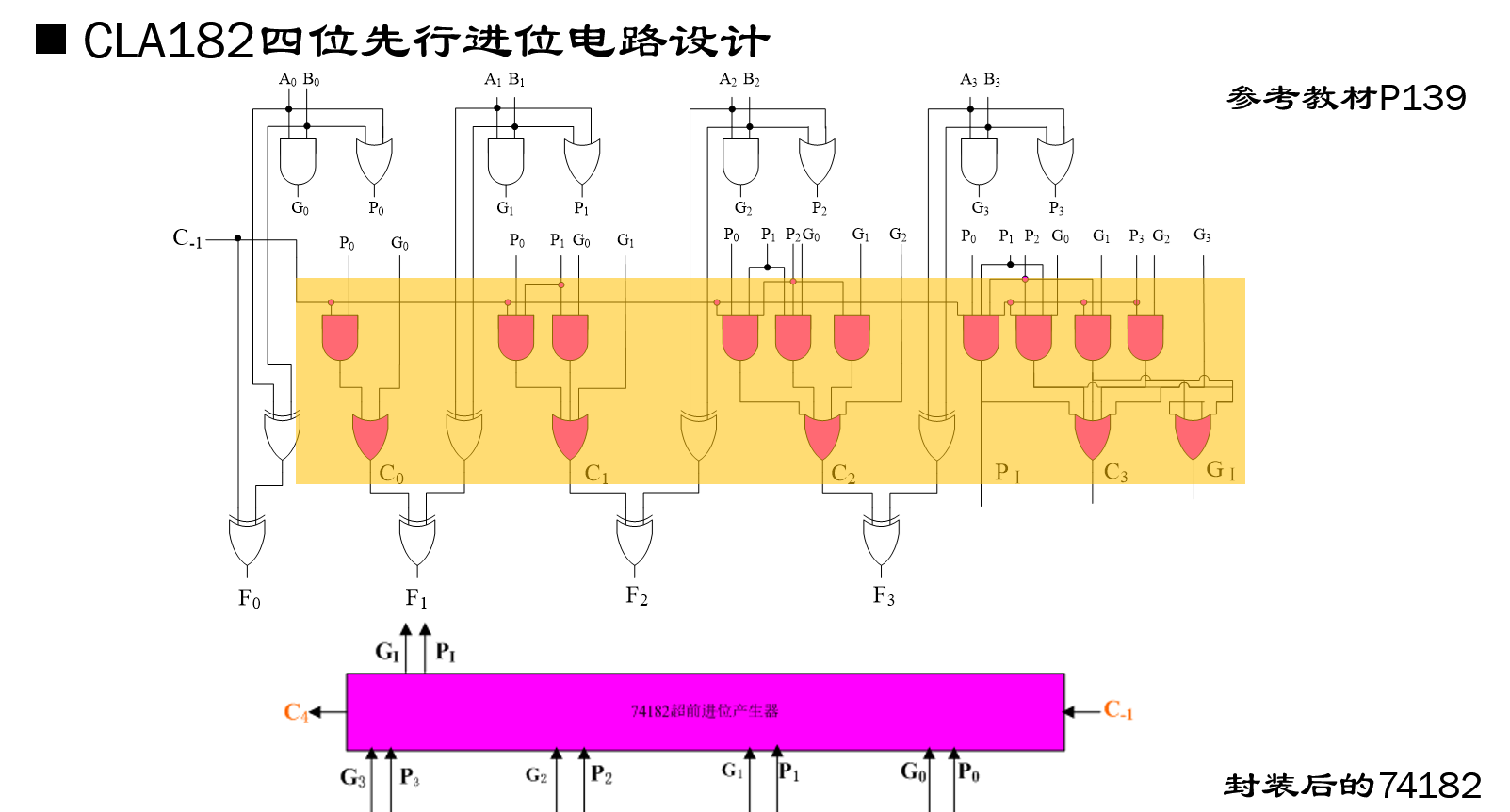
* + **4. 理解组内先行，组间先行的基本原理**

**利用4位快速加法器构建16位，32位快速加法器**

**能分析相关电路延迟**

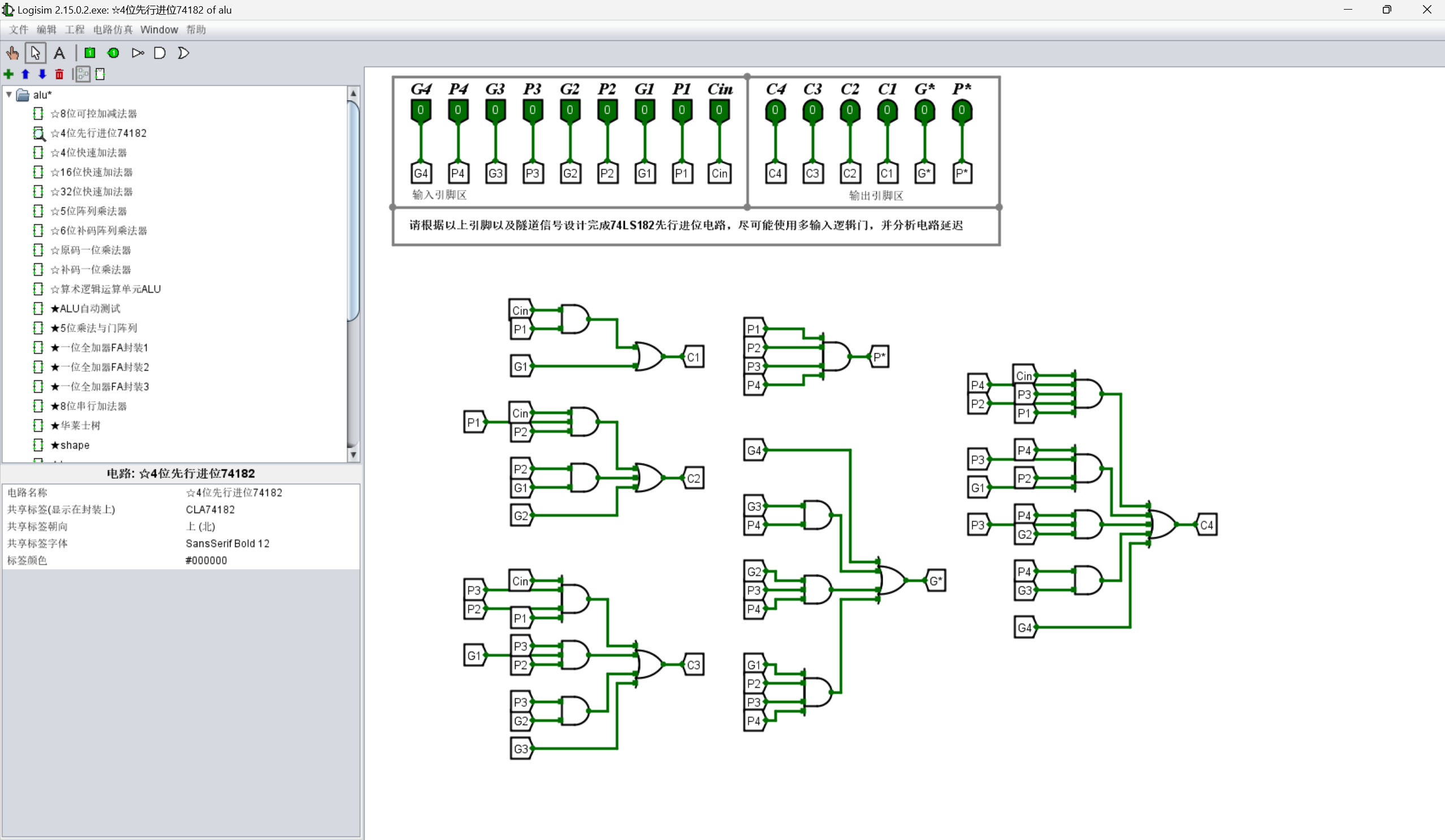
* **实验1 CLA182四位先行进位电路设计**

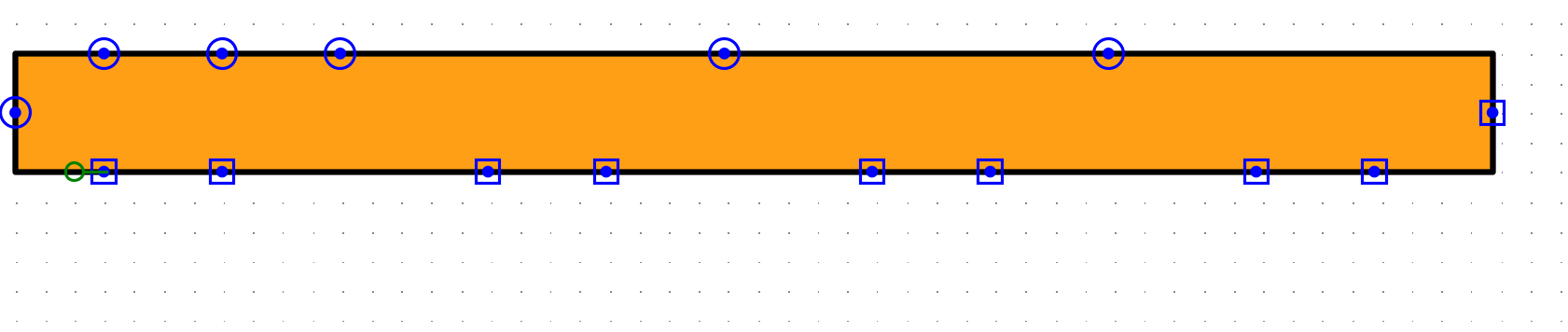
**二、设计分析：**



**三、实验步骤：**

**1、电路封装如下：**

****



**四、设计心得：**

CLA182是一种四位先行进位加法器，通过预先计算进位来显著提高加法运算的速度。与传统的逐位进位加法器相比，先行进位加法器能够显著减少运算延迟。在本次CLA182四位先行进位加法器设计实验中，我不仅掌握了先行进位加法器的设计方法，还深刻体会到了电路优化的重要性。

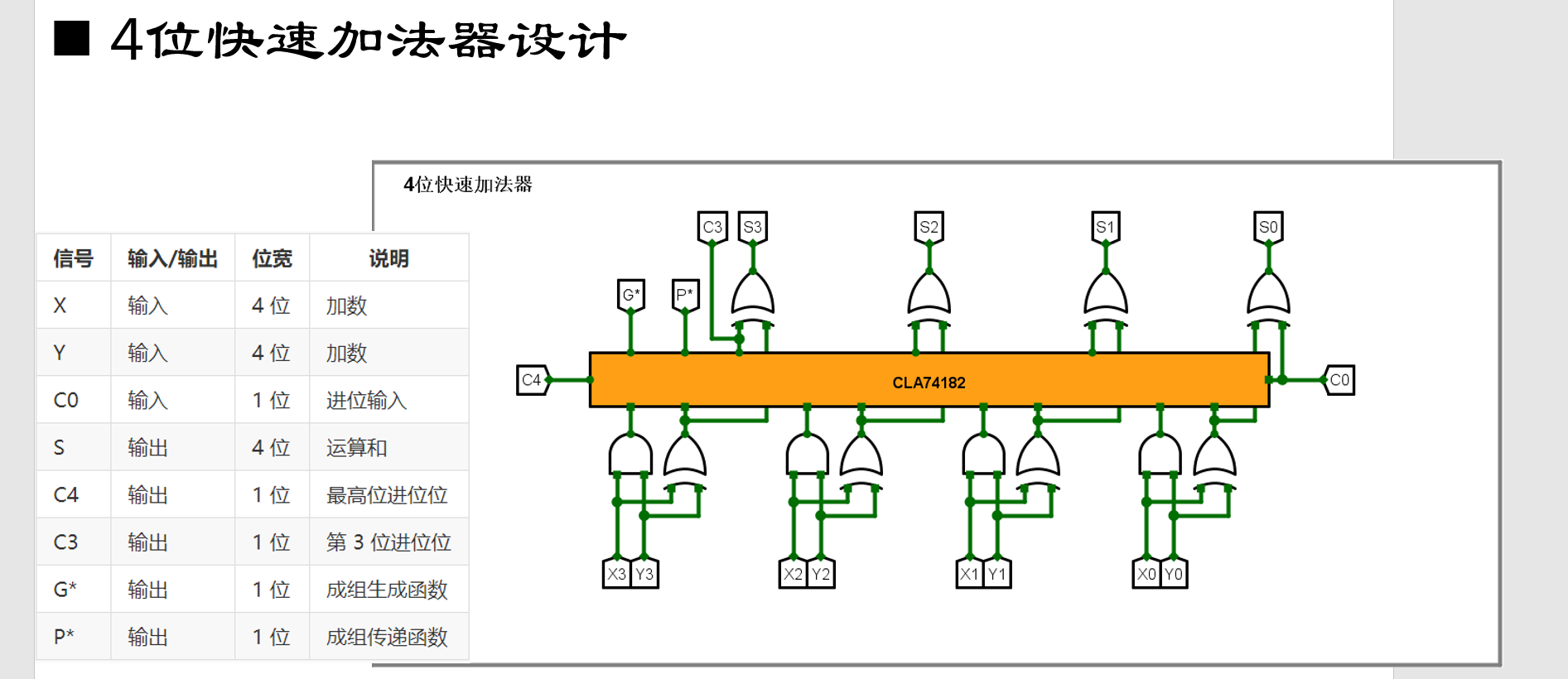
未来的学习中，我将进一步深入研究更多高效的电路设计方法，以提升自己的专业水平。本次实验让我深刻认识到，理论与实践的结合是掌握和运用知识的最佳途径。在以后的学习和工作中，我会继续坚持理论联系实际，努力提升自己的实践能力和创新思维。

总的来说，通过此次实验，我不仅提高了对先行进位加法器的理解和设计能力，还增强了对电路优化的认识。这将为我今后的学习和职业发展奠定坚实的基础。

**五、设计用时：20分钟**

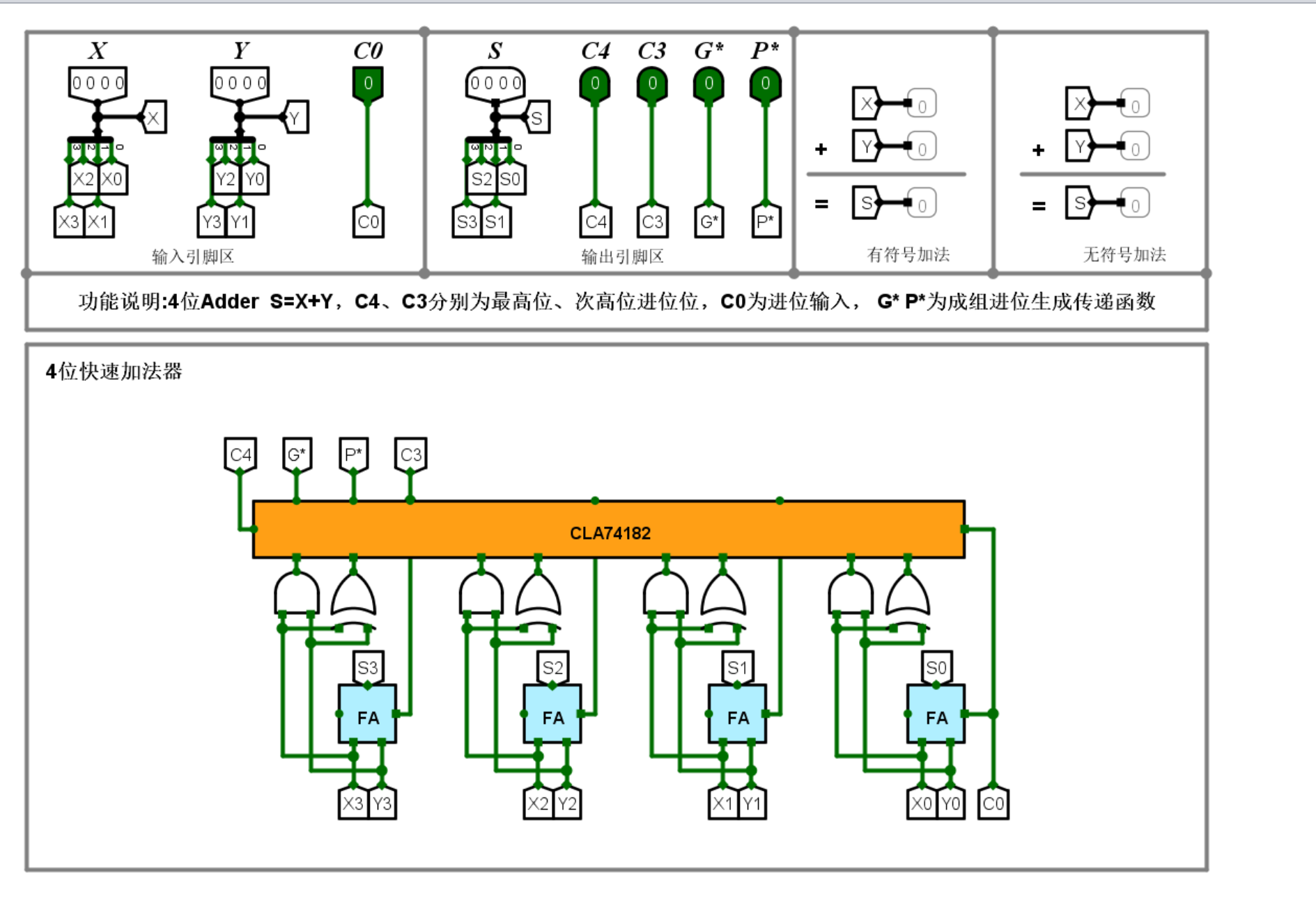
* **实验2 4位快速加法器设计**

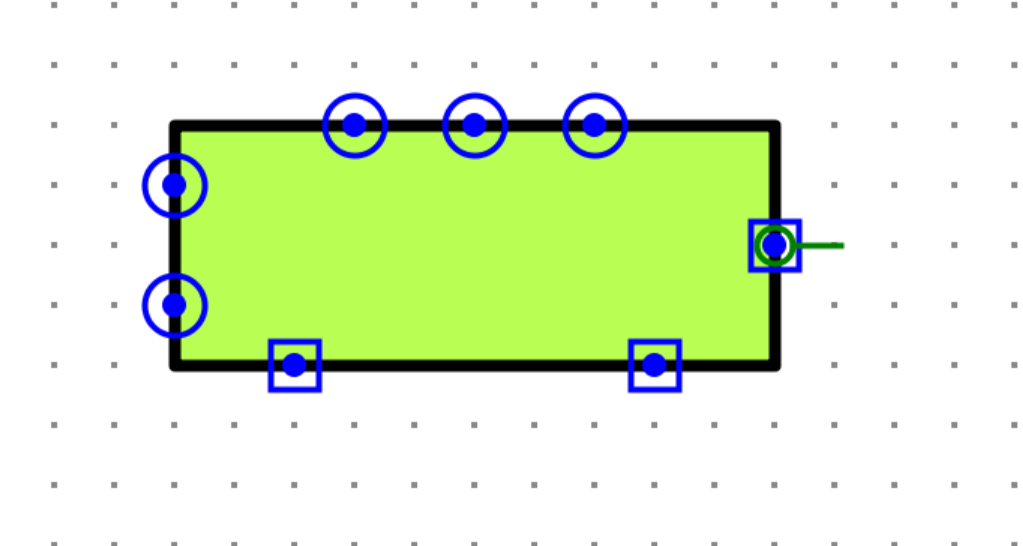
**一、设计分析：**



**二、实验步骤：**

**1、逻辑图(封装图)如下：**





**三、设计心得：**

在本次实验中，我学习并设计了一个四位快速加法器。整个实验过程包括理论学习、设计、仿真和调试等多个环节。本次四位快速加法器设计实验，让我深入了解了快速加法器的工作原理和实现方法。通过理论学习和实践操作，我掌握了从基本全加器设计到先行进位加法器实现的全过程，显著提高了硬件设计和数字电路调试的能力。

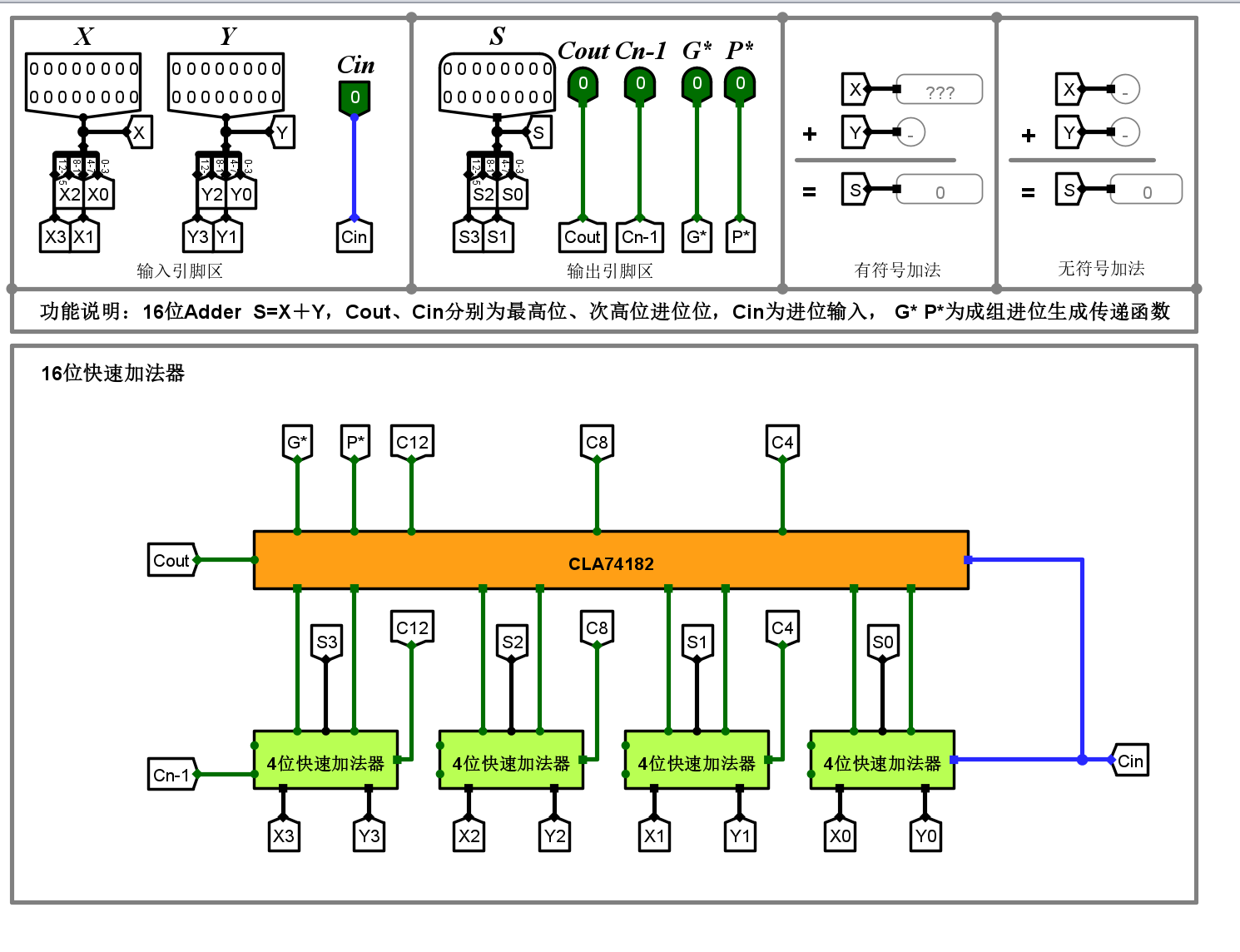
在理论学习阶段，我详细研究了先行进位加法器的工作机制，理解了其如何通过预先计算进位来加快运算速度。在设计阶段，我将理论应用于实际电路设计，逐步搭建并优化了四位快速加法器。在仿真环节，通过使用专业仿真工具，我验证了设计的正确性和性能，发现并修正了潜在问题。调试环节则使我进一步巩固了数字电路调试技能，确保了电路的稳定性和高效性。

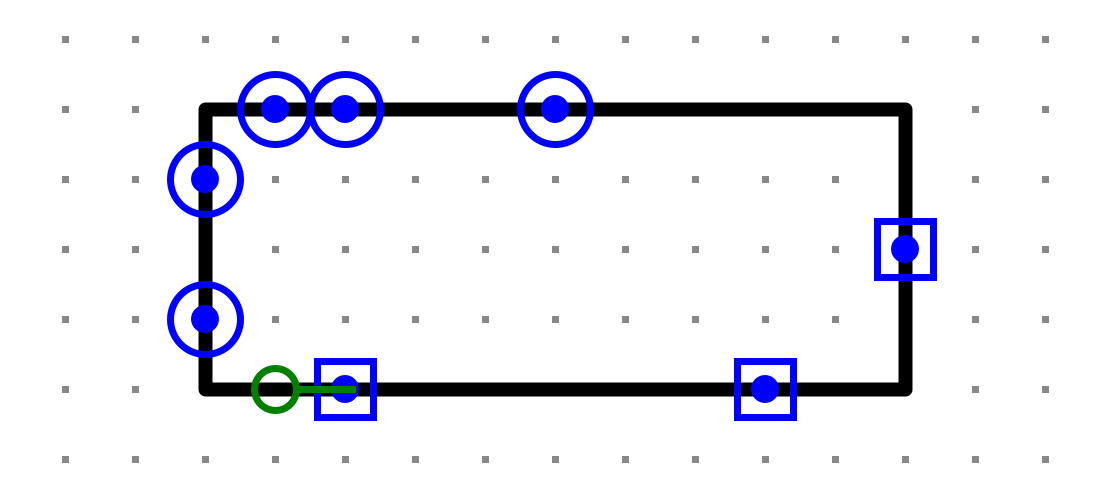
**四、设计用时：25分钟**

|  |
| --- |
|  |
|  |  |

* **实验3 16位快速加法器设计**

1. **设计分析：**





1. **实验步骤：**

**1、设计的逻辑图(封装图)如下：**

****



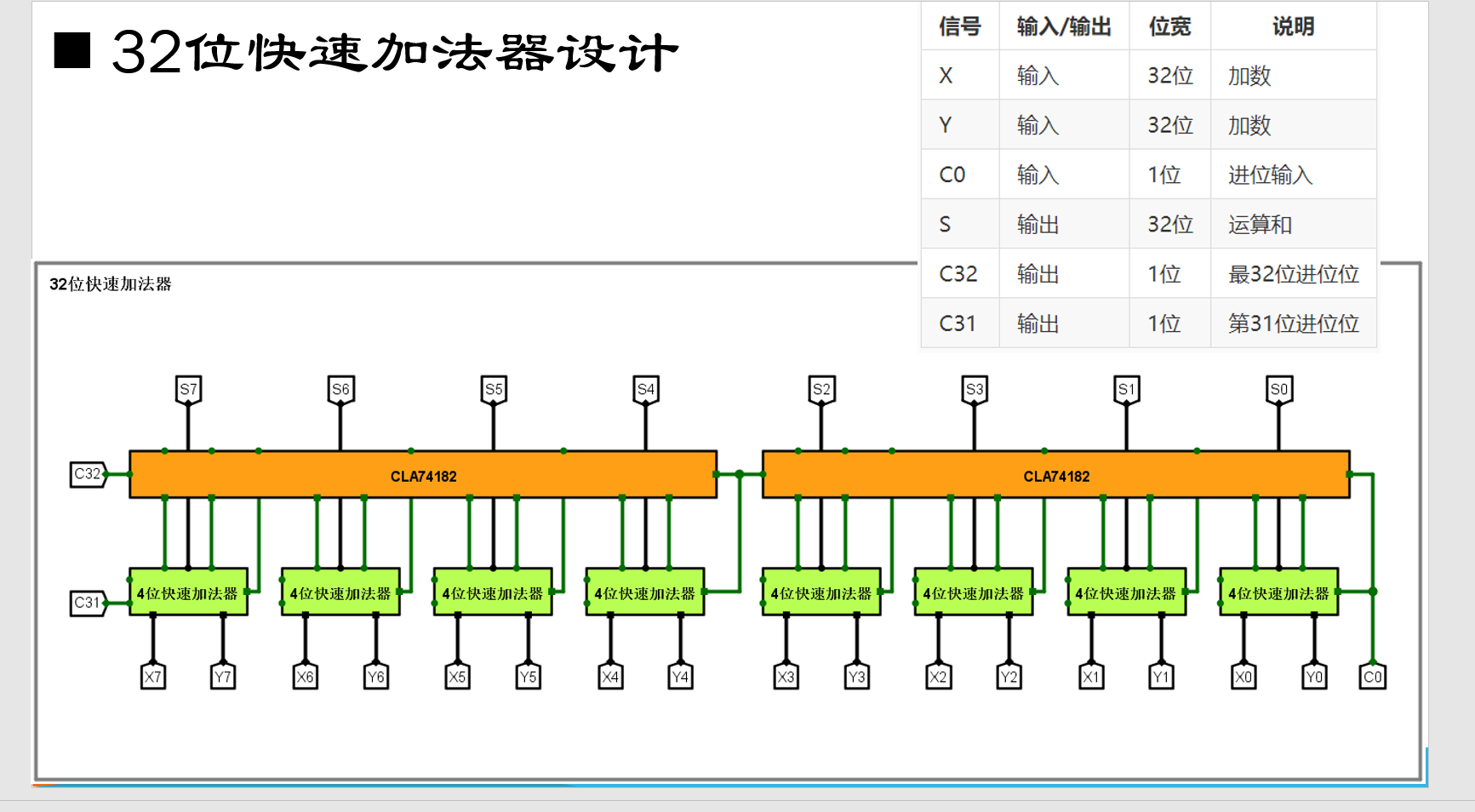
1. **设计心得：**

在这次实验中，我们设计了一个16位的快速加法器，并且比较了它与4位快速加法器设计的区别。在设计16位快速加法器时，我们采用了“超前进位加法器”（Carry Lookahead Adder, CLA）的设计思想。16位快速加法器是由4个4位快速加法器组成的。每个4位加法器之间通过超前进位逻辑（Carry Lookahead Logic, CLA）连接，从而减少了进位传播的延迟。在16位加法器中，不仅需要处理每个4位加法器内部的进位信号，还需要处理4个4位加法器之间的全局进位信号。我们使用了更高级的CLA逻辑来实现这一点。通过将16位加法器拆分成4个4位加法器模块，再通过进位逻辑进行连接，整个设计过程变得更为清晰和结构化。总的来说，这次实验让我深刻理解了加法器设计的原理和方法，特别是在设计大规模加法器时需要考虑的各种因素。

**四、设计用时：40分钟**

* **实验四 32位快速加法器设计**

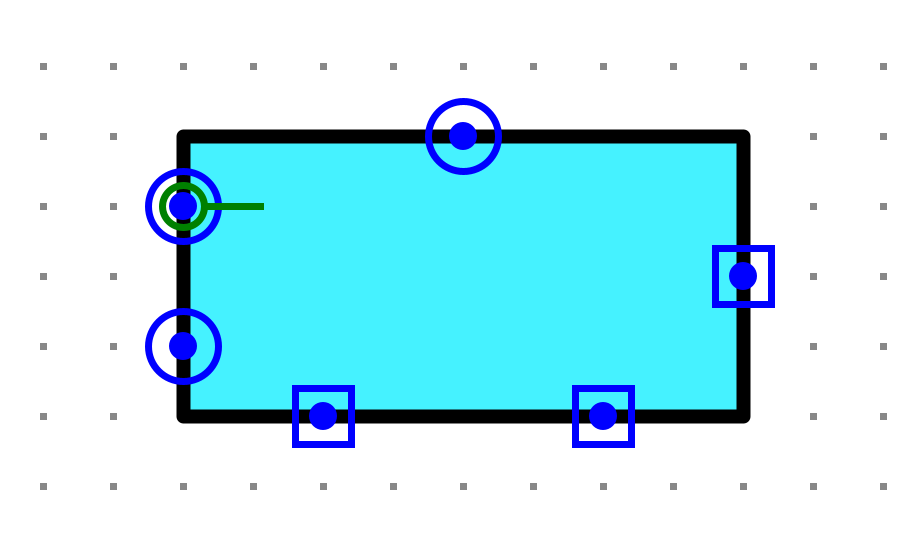
1. **设计分析：**



**二、实验步骤：**

1. **设计的逻辑图(封装图)如下：**





**三、设计心得：**

在这次实验中，我们设计了一个32位的快速加法器，并且比较了它与4位快速加法器设计的区别。在设计32位快速加法器时，我们采用了“超前进位加法器”（Carry Lookahead Adder, CLA）的设计思想。32位快速加法器是由8个4位快速加法器组成的，每个4位加法器之间通过超前进位逻辑（Carry Lookahead Logic, CLA）连接，从而减少了进位传播的延迟。

在32位加法器中，不仅需要处理每个4位加法器内部的进位信号，还需要处理8个4位加法器之间的全局进位信号。我们使用了更高级的CLA逻辑来实现这一点。通过将32位加法器拆分成8个4位加法器模块，再通过进位逻辑进行连接，整个设计过程变得更为清晰和结构化。

具体来说，设计过程包括以下几个步骤：

1. **理论学习**：深入研究CLA的原理，理解其如何通过预先计算进位来加快运算速度。
2. **模块设计**：设计4个独立的4位加法器，每个加法器内部采用CLA逻辑来实现快速进位计算。
3. **全局连接**：使用高级CLA逻辑连接4个4位加法器，以处理全局进位信号，确保进位信号在32位加法器中快速传播。
4. **仿真与调试**：通过专业仿真工具对32位加法器进行仿真，验证其功能和性能，发现并修正设计中的潜在问题。

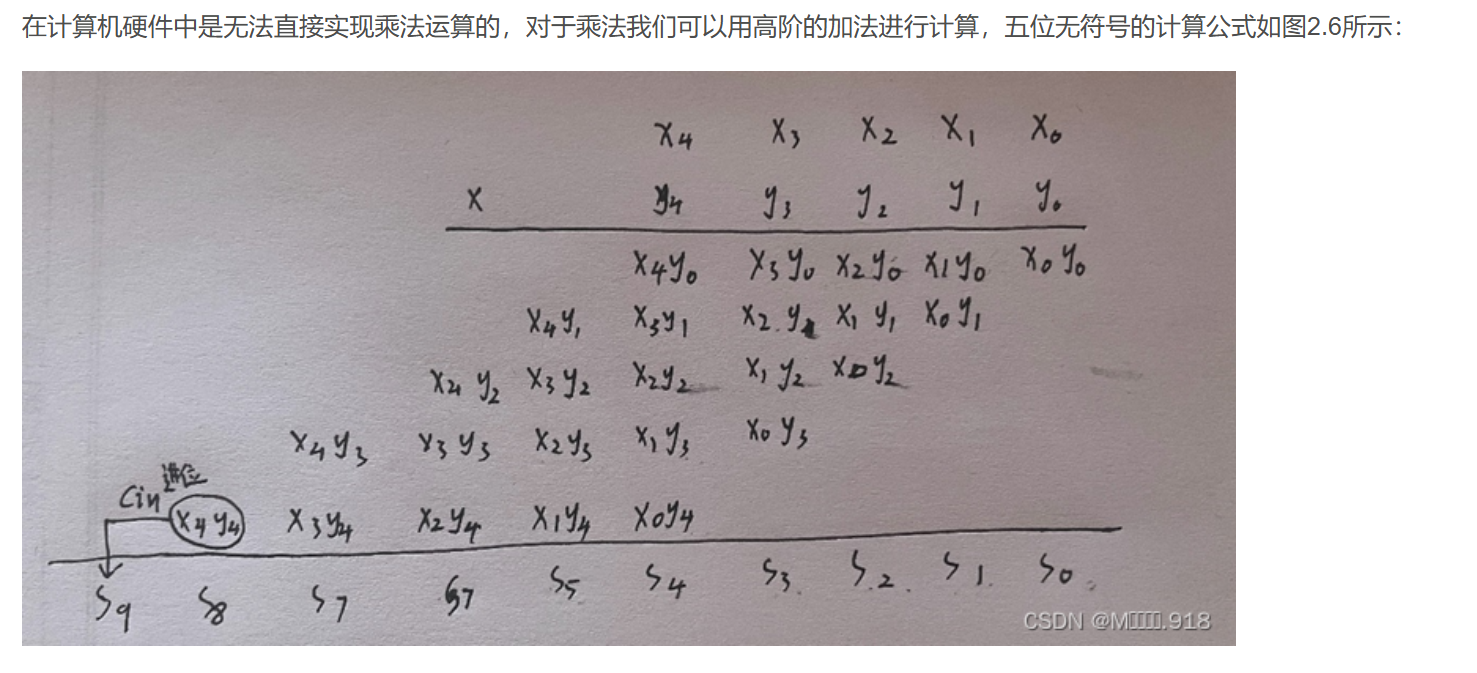
通过这次实验，我深刻理解了加法器设计的原理和方法，尤其是在设计大规模加法器时需要考虑的各种因素。具体体会如下：

* **模块化设计**：将32位加法器拆分为8个4位加法器模块，使得设计过程更为清晰和可管理。
* **进位逻辑优化**：通过CLA逻辑有效减少进位传播延迟，提高加法器的整体速度。
* **全局信号处理**：理解和应用高级CLA逻辑处理多个模块之间的全局进位信号，是设计大规模加法器的关键。

1. **设计用时：40分钟**

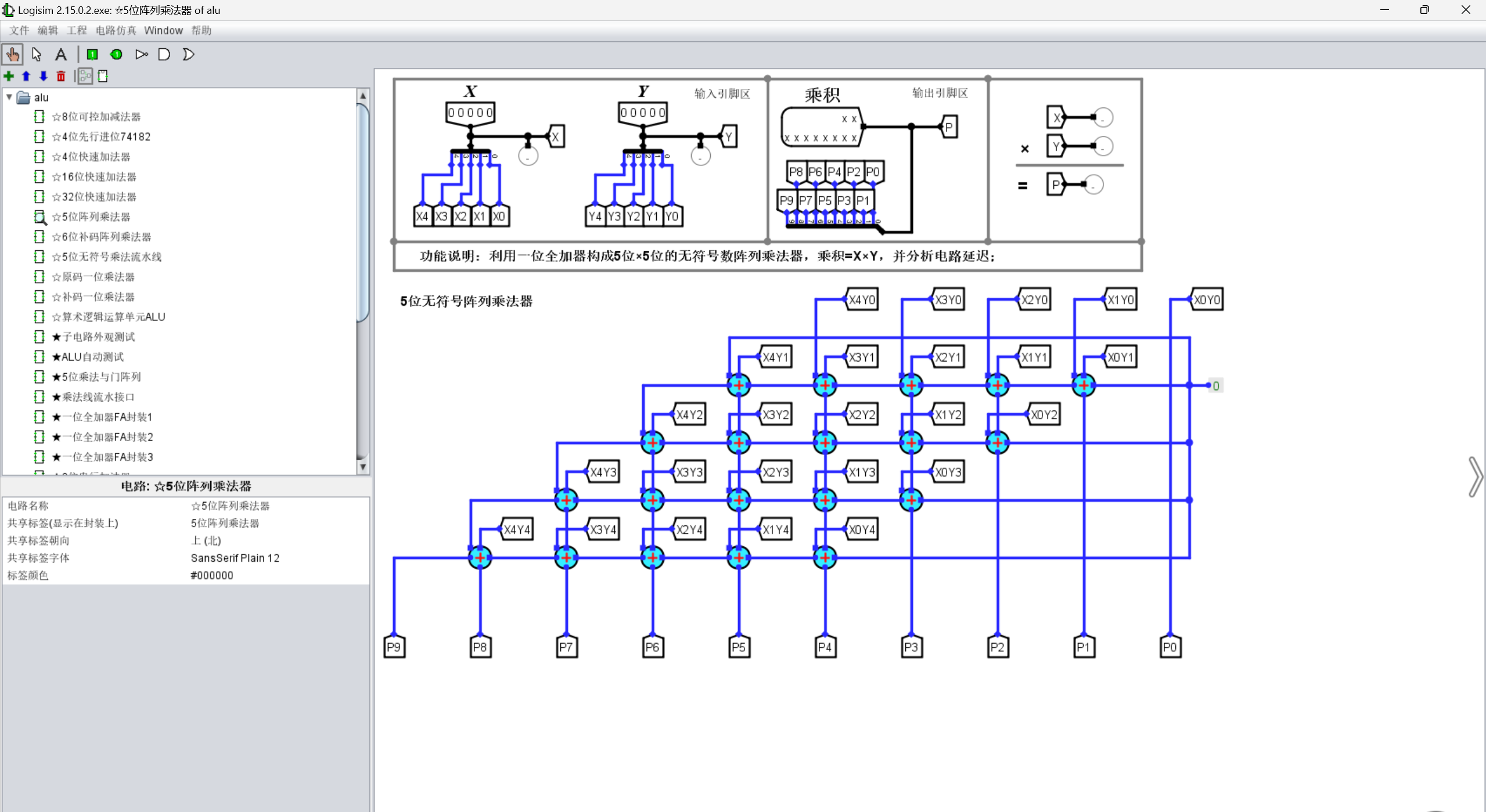
* **实验五 5位阵列乘法器**

**一、设计分析：**

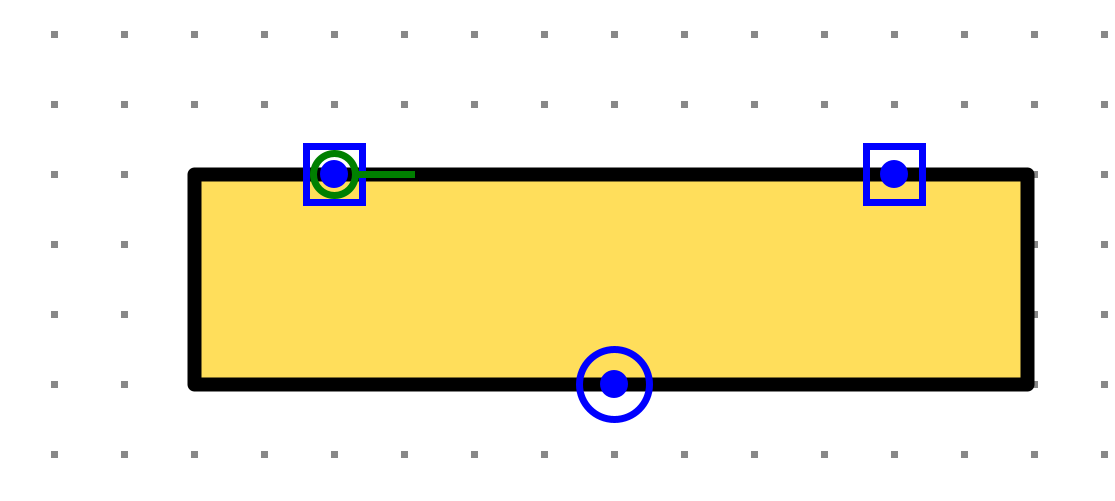


1. **实验步骤：**

**1、设计的逻辑图(封装图)如下：**







**三、 设计心得：**

首先，我复习了乘法器的基本原理。阵列乘法器通过并行方式实现乘法运算，它由多个加法器和移位器组成。为了实现一个5位乘法器，我们需要处理两个5位二进制数的乘积。于是，我回顾了二进制乘法的过程和全加器的工作原理。

为了开始设计，我在Logisim里首先设计并测试了一个全加器模块，因为全加器是阵列乘法器的基本单元。接着，我设计了一个5位加法器，将五个全加器串联起来。这一步确保了我对加法器设计的理解和正确实现。

阵列乘法器的关键是将多个加法器和移位器按照特定方式排列。每一位的乘法结果都会被移位并相加。在Logisim里，我按照步骤逐层搭建加法器和移位器，确保每一步的输出都是正确的。这个过程比较繁琐，需要仔细检查每个连接以确保无误。

具体步骤如下：

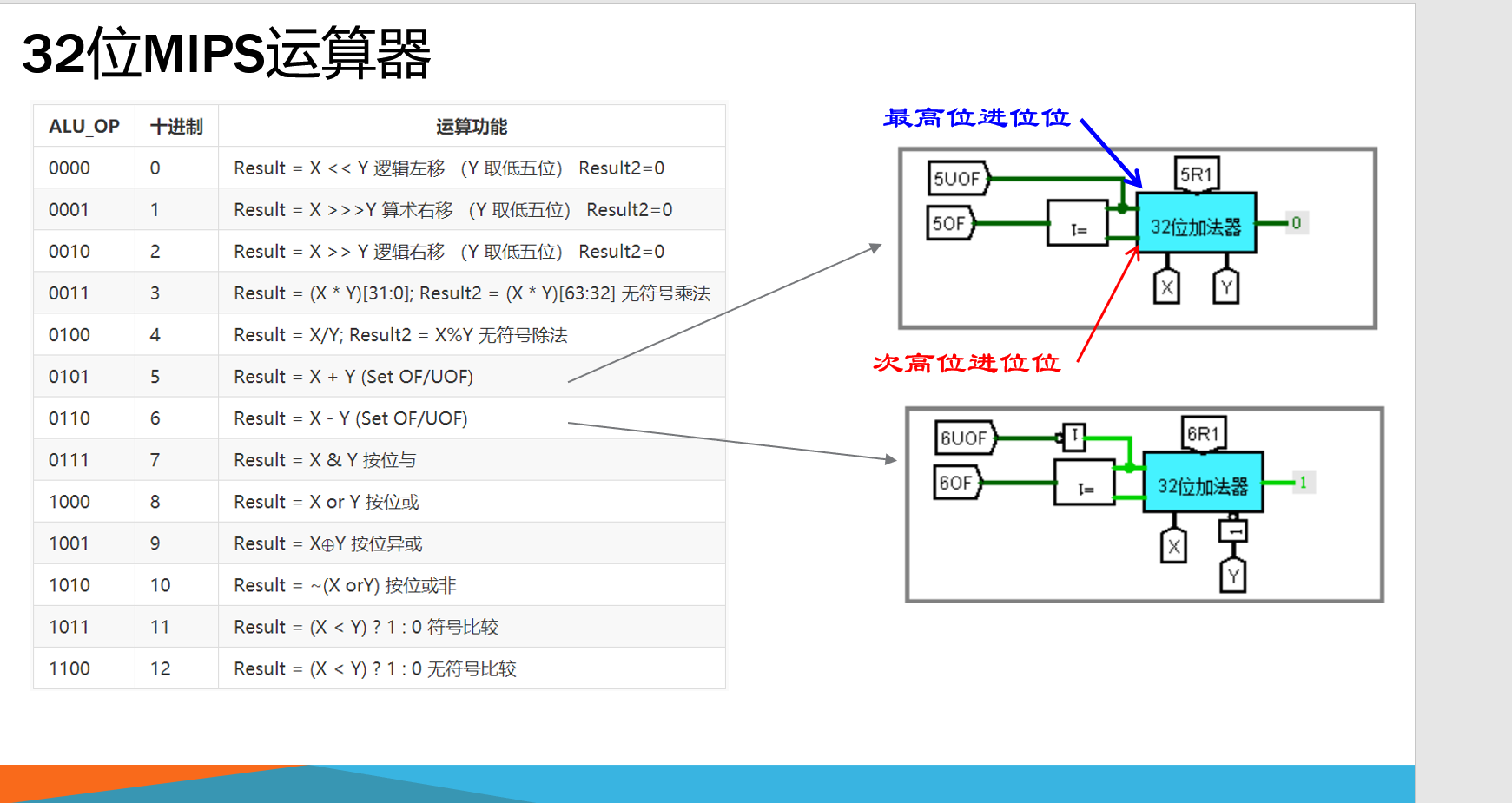
1. **设计全加器模块**：在Logisim中设计并测试一个全加器，确保其功能正确。
2. **设计5位加法器**：将五个全加器串联，设计出一个5位加法器模块，并进行测试验证其正确性。
3. **搭建阵列乘法器**：根据阵列乘法器的原理，逐层搭建每一位的乘法结果和相应的移位器，并将结果相加。这个过程需要仔细安排加法器和移位器的位置和连接方式。
4. **测试与验证**：使用简单的二进制数进行测试，验证乘法器的输出是否正确。确保无论输入什么样的5位二进制数，输出结果都正确。

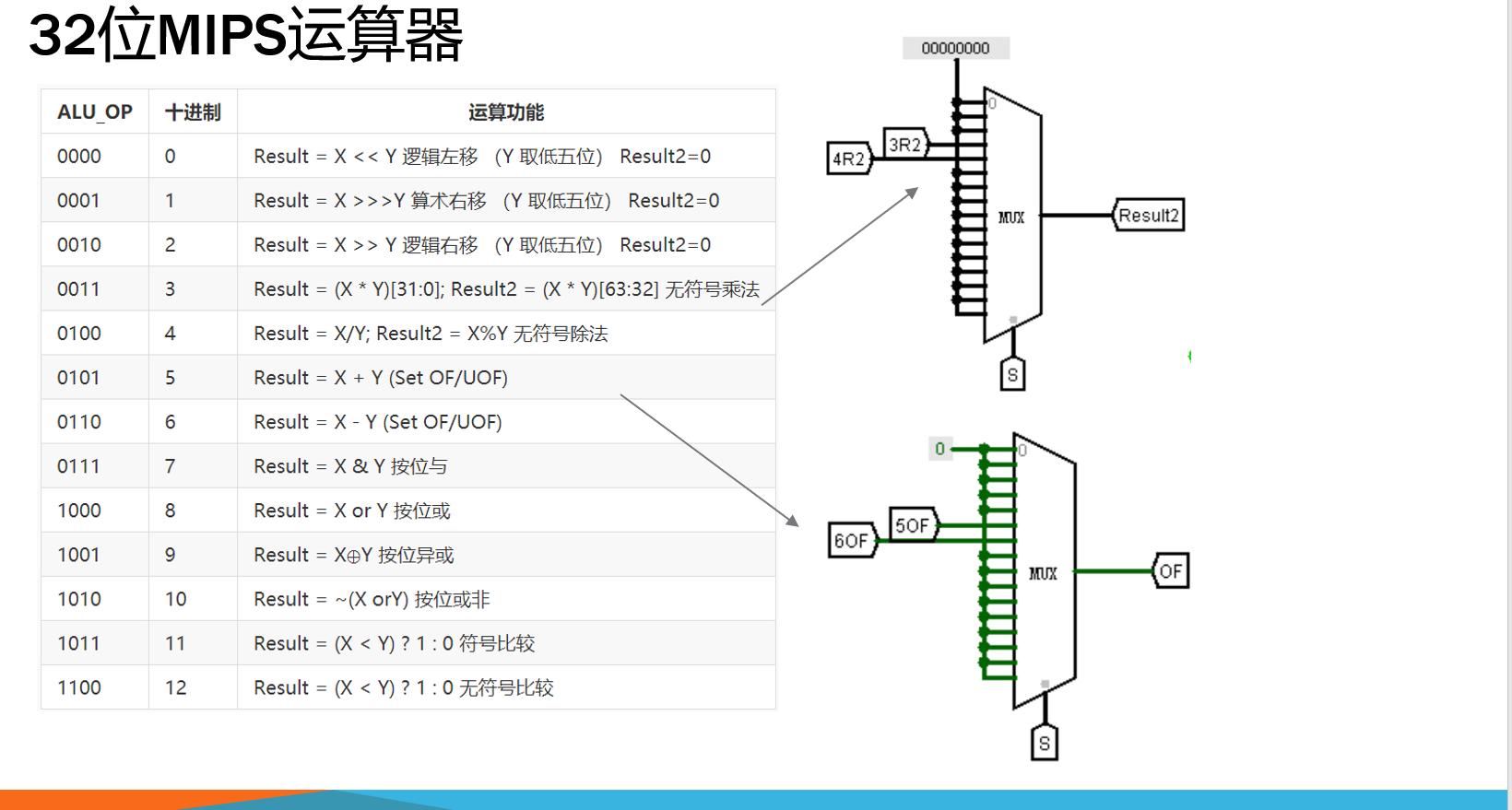
通过这次实验，我成功设计了一个可以正确运算的5位阵列乘法器。在测试过程中，所有输入的5位二进制数都得到了正确的乘积输出，这让我感到很有成就感。这个实验不仅加深了我对乘法器原理的理解，也提升了我的硬件设计和数字电路调试能力。

**四、设计用时：40分钟**

* **实验六 MIPS运算器设计**

1. **设计分析：**

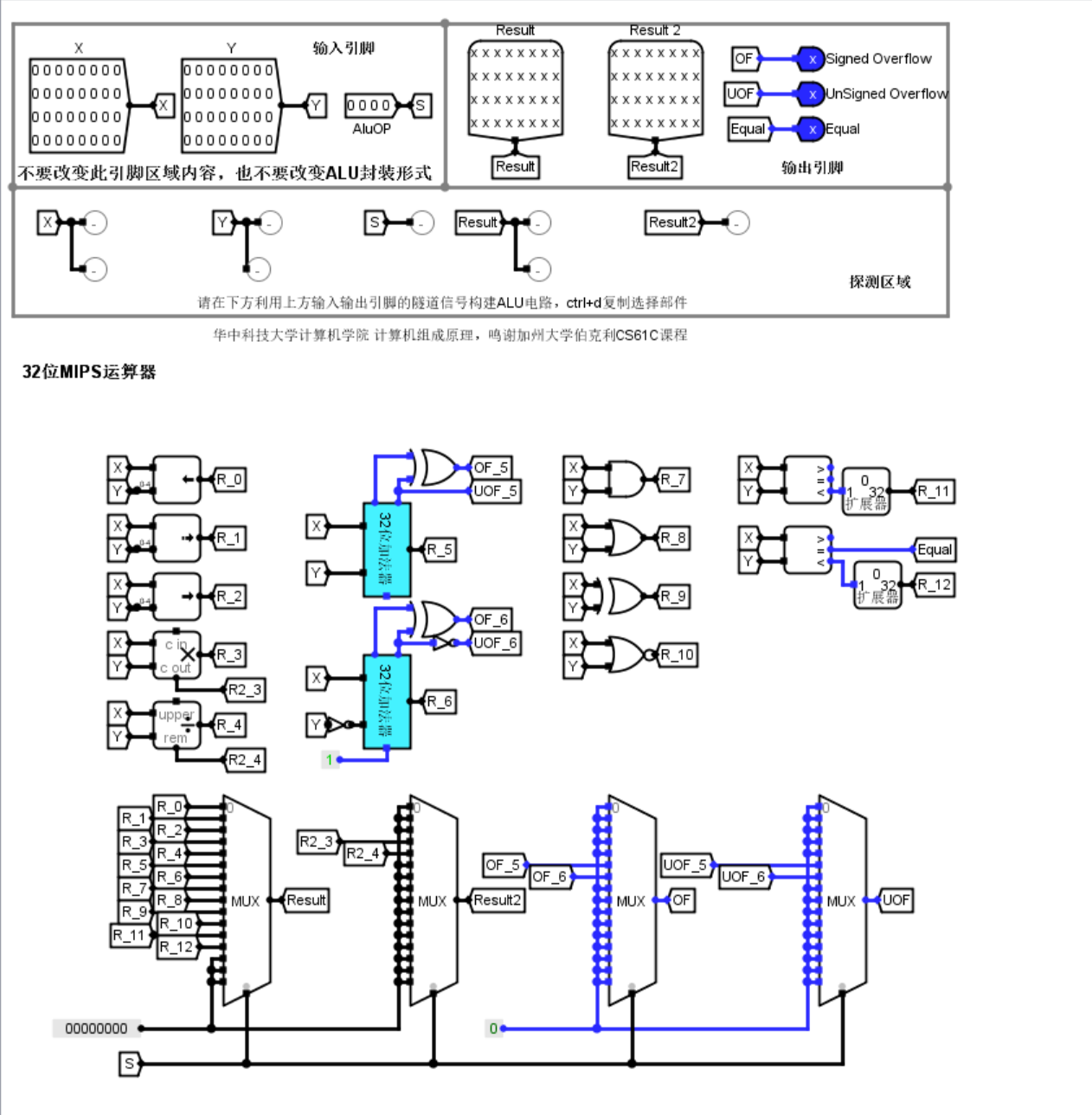


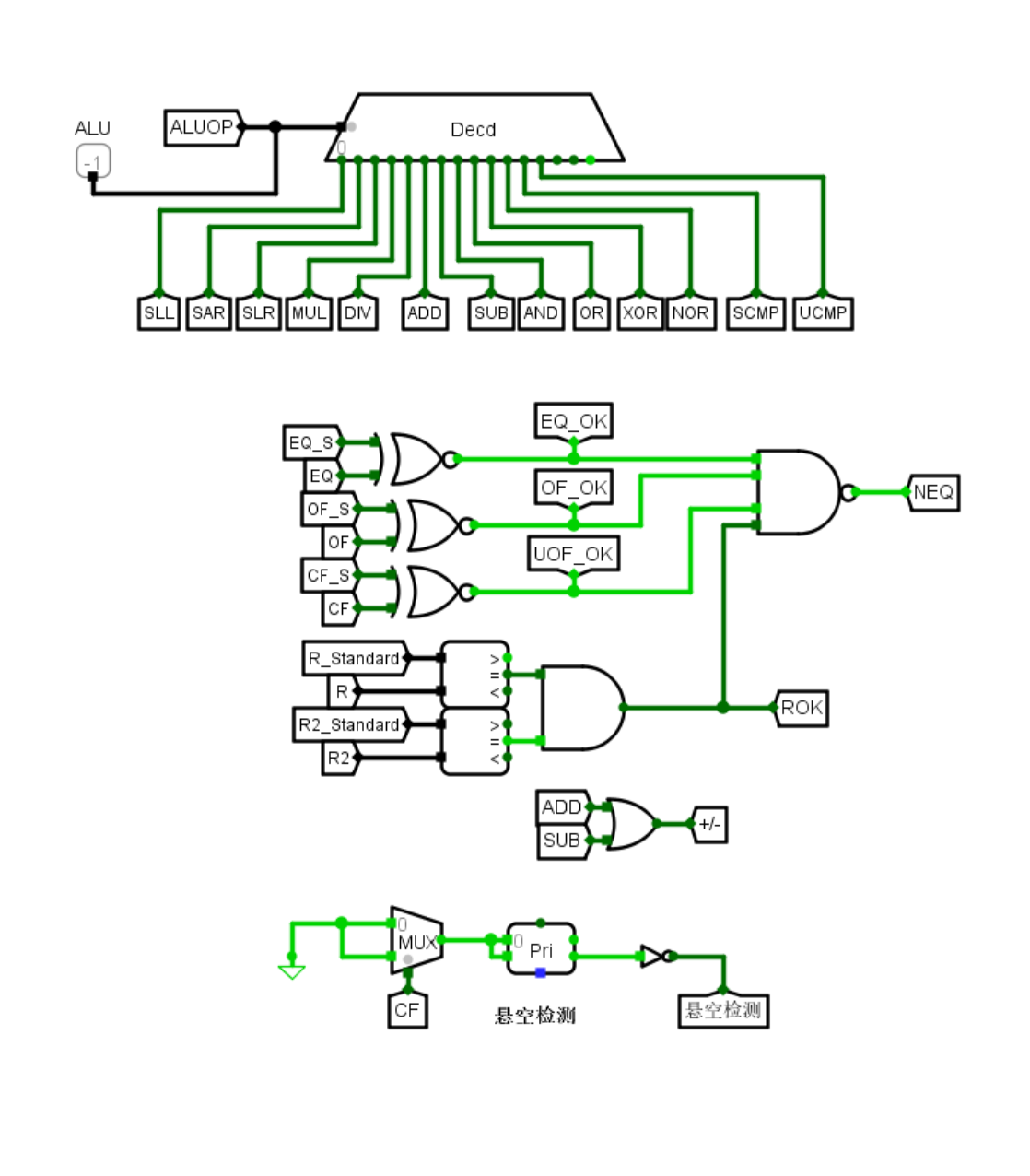


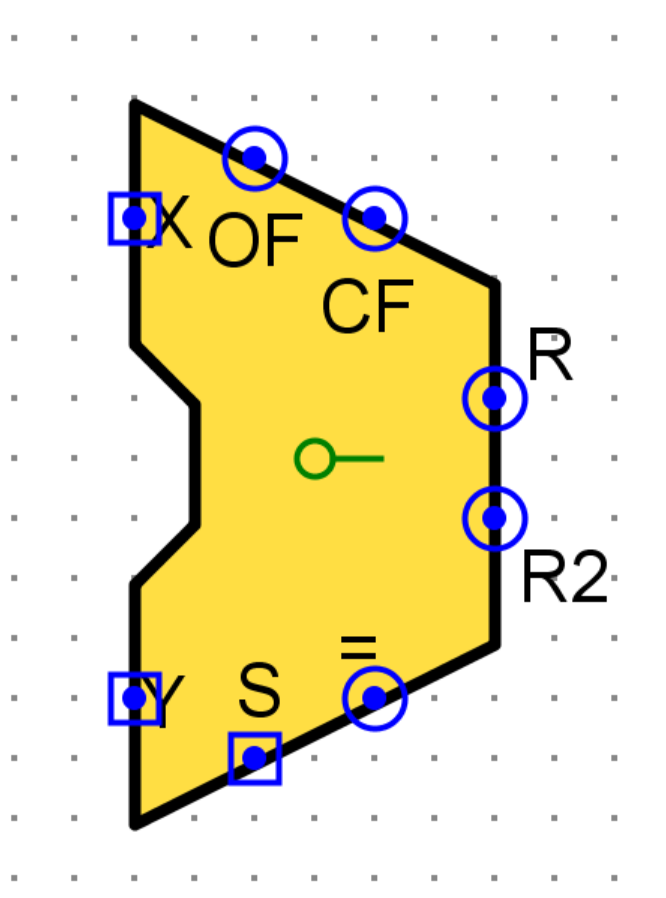
**二、实验步骤：**

**1、设计的逻辑图(封装图)如下：**

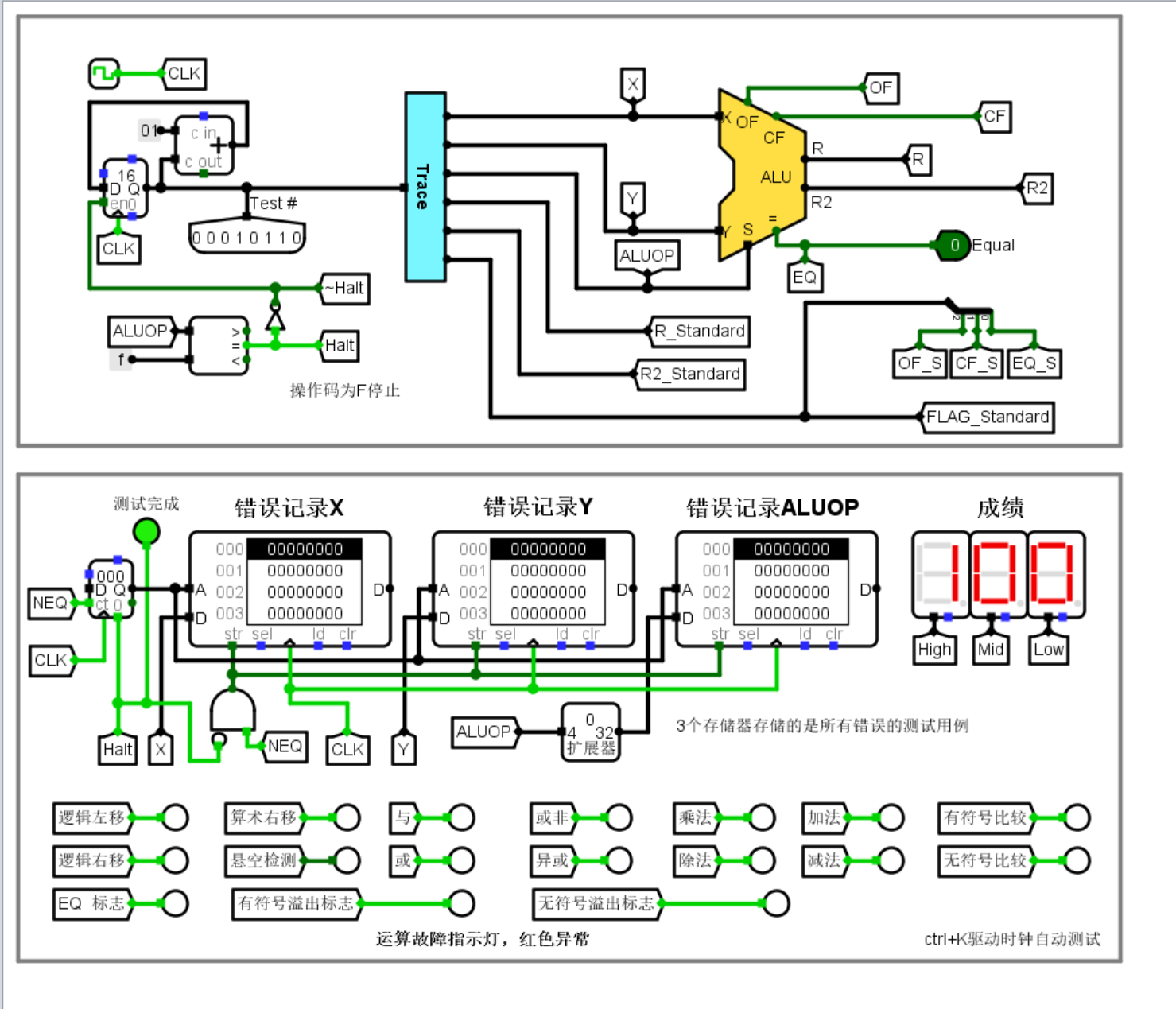
**1.32位ALU设计：**

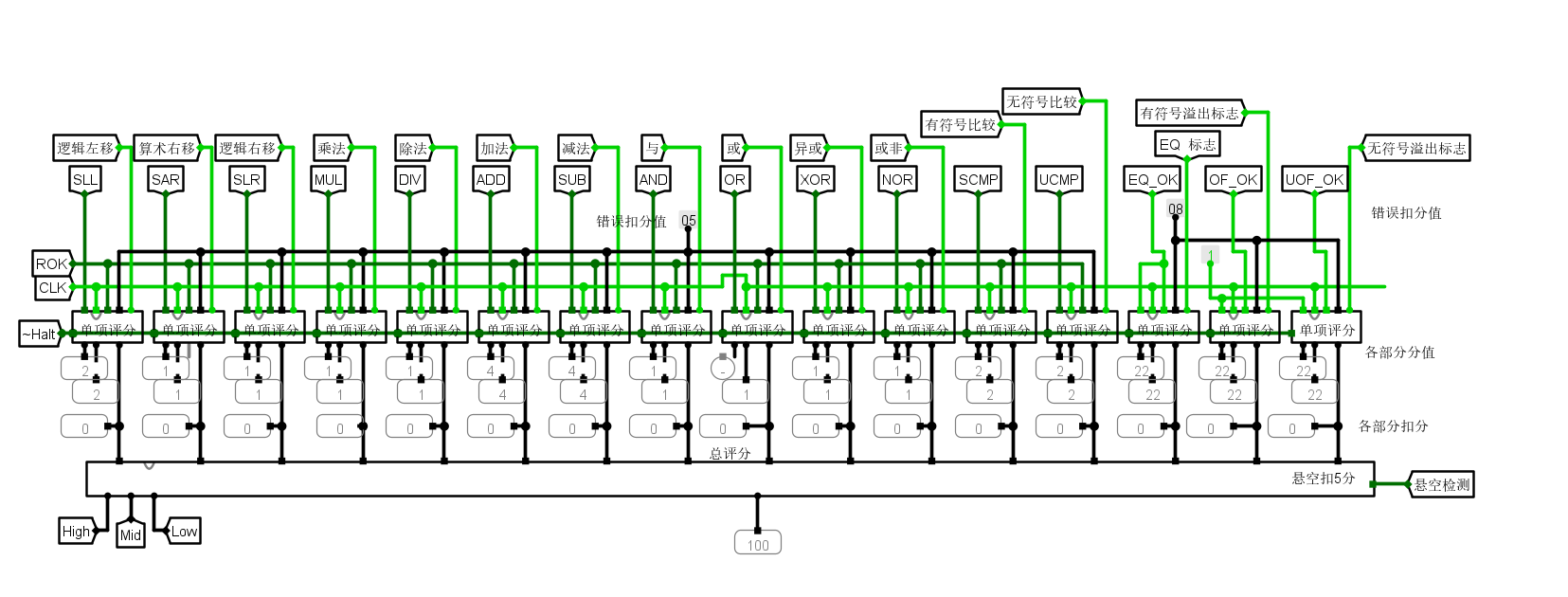
****





**2、自动测试电路如下（ctrl+k自动测试）：**





**三 、设计心得：**

**设计ALU（算术逻辑单元）**：

* 1. **实现过程**：在Logisim中搭建ALU，这是处理器的核心部分，负责执行各种算术和逻辑操作。我通过逻辑门和运算器实现了加法、减法、与、或、异或等操作。
  2. **学习收获**：通过设计ALU，我理解了基本的算术逻辑运算如何在硬件层面实现，并熟悉了运算单元的内部结构。

**设计指令存储器和数据存储器**：

* 1. **实现过程**：设计了用于存储程序指令的指令存储器和用于读写数据的数据存储器。在Logisim中，我创建了这两个模块，以模拟实际处理器中的存储功能。
  2. **学习收获**：了解了存储器在处理器中的作用，以及如何有效地存储和访问指令与数据。

**设计控制单元**：

* 1. **实现过程**：控制单元生成各种控制信号，以协调运算器的各个部分。我通过状态机来控制处理器的运行，设计了不同状态下的控制信号生成逻辑。
  2. **学习收获**：理解了控制单元如何通过状态机协调处理器的各个部分，使得处理器能够正确执行指令。

**模块集成**：

* 1. **实现过程**：将设计好的ALU、指令存储器、数据存储器和控制单元集成在一起，形成一个完整的32位MIPS运算器。在Logisim中连接各个模块，确保信号传输和控制逻辑正确。
  2. **学习收获**：掌握了模块化设计的思想，通过分而治之的方法实现复杂系统，并通过集成测试确保各个模块协同工作。

**测试与验证**：

* 1. **实现过程**：运行一些测试程序，验证运算器的功能是否正确。通过输入不同的指令和数据，检查输出结果是否符合预期。
  2. **学习收获**：通过测试验证，发现并修正设计中的问题，提高了对硬件调试和验证的能力。

### 总结

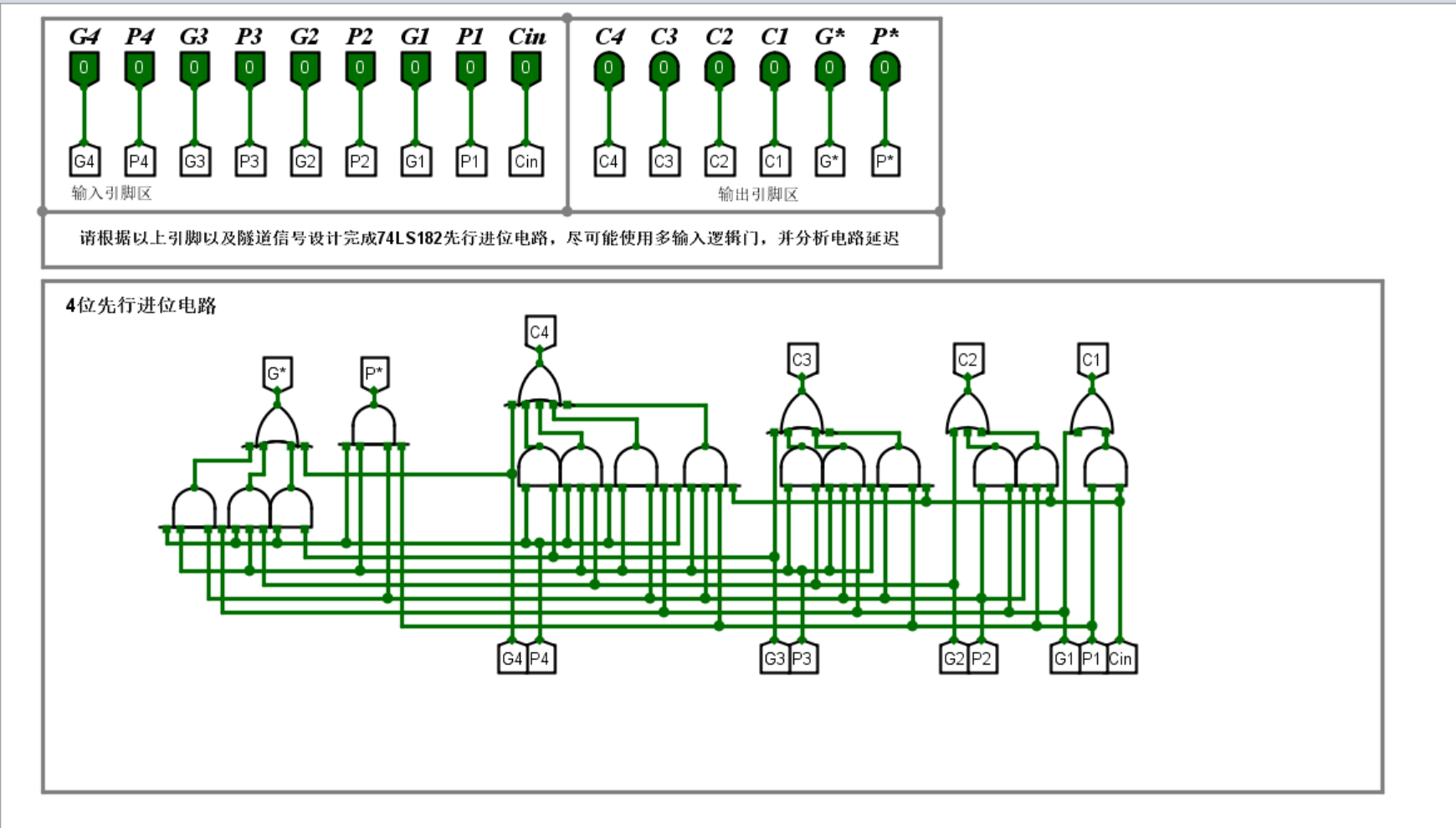
这次实验让我深入了解了32位MIPS运算器的设计和实现过程，从基础的算术逻辑单元到复杂的控制单元，再到最终的模块集成与验证。通过这次实践，我不仅加深了对MIPS处理器的理解，还提升了硬件设计和数字电路调试的能力。这次实验经历将对我未来的学习和工作产生积极的影响，尤其是在处理器设计和硬件开发方面。

**四、设计用时：40分钟**

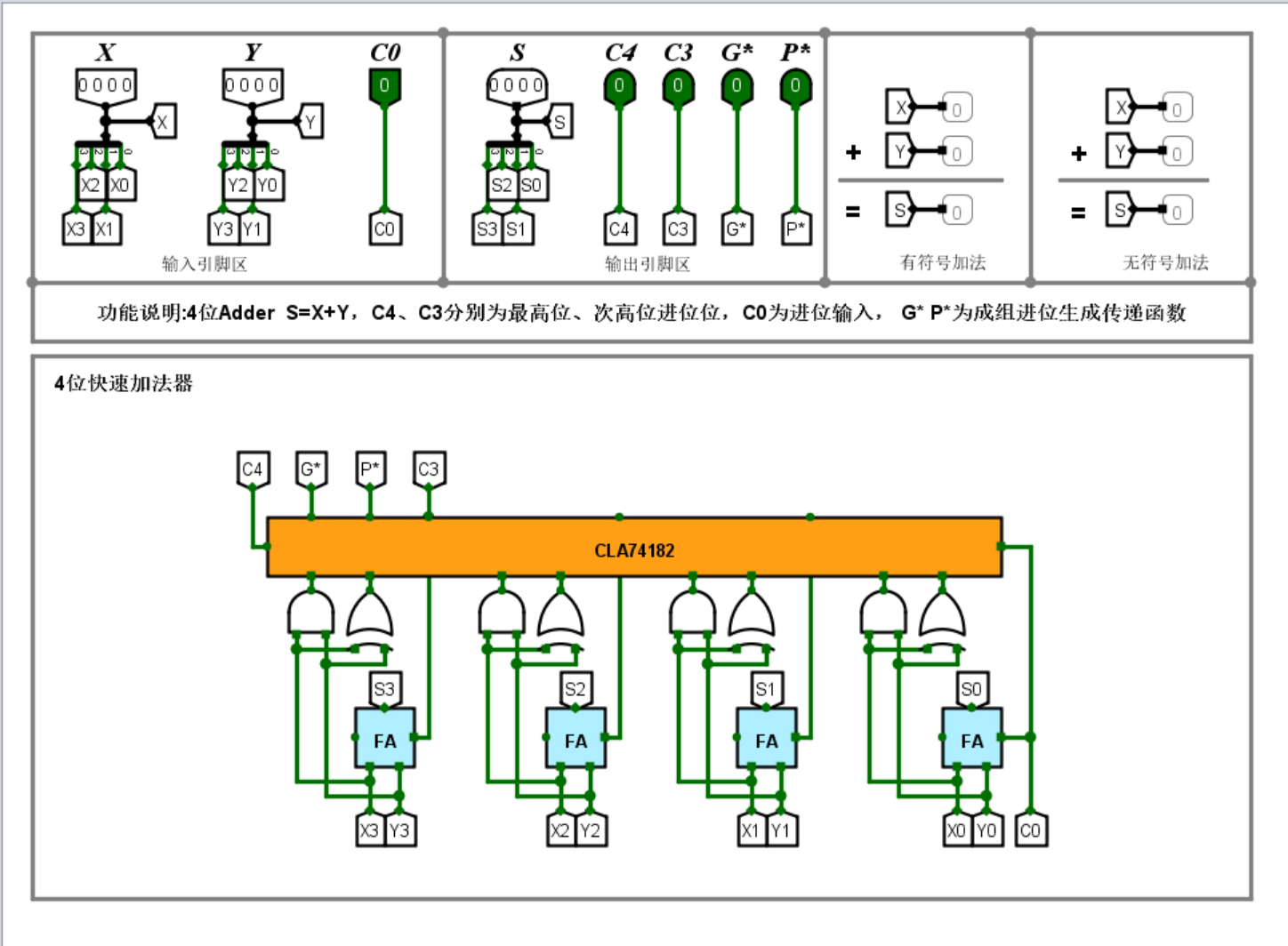
**意见和建议：无**

**附录(电路图)：**

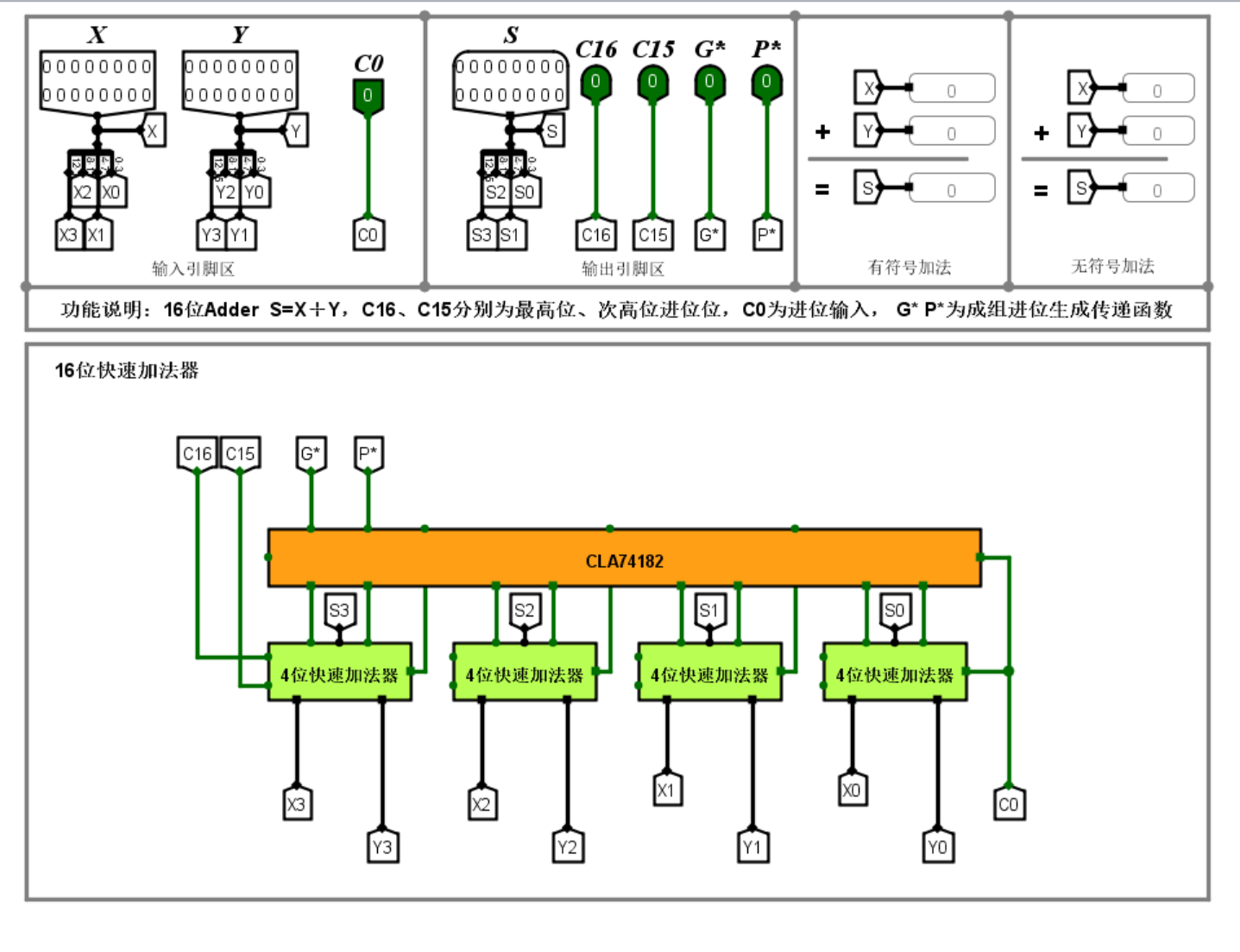
* **实验1 CLA182四位先行进位电路设计**

****

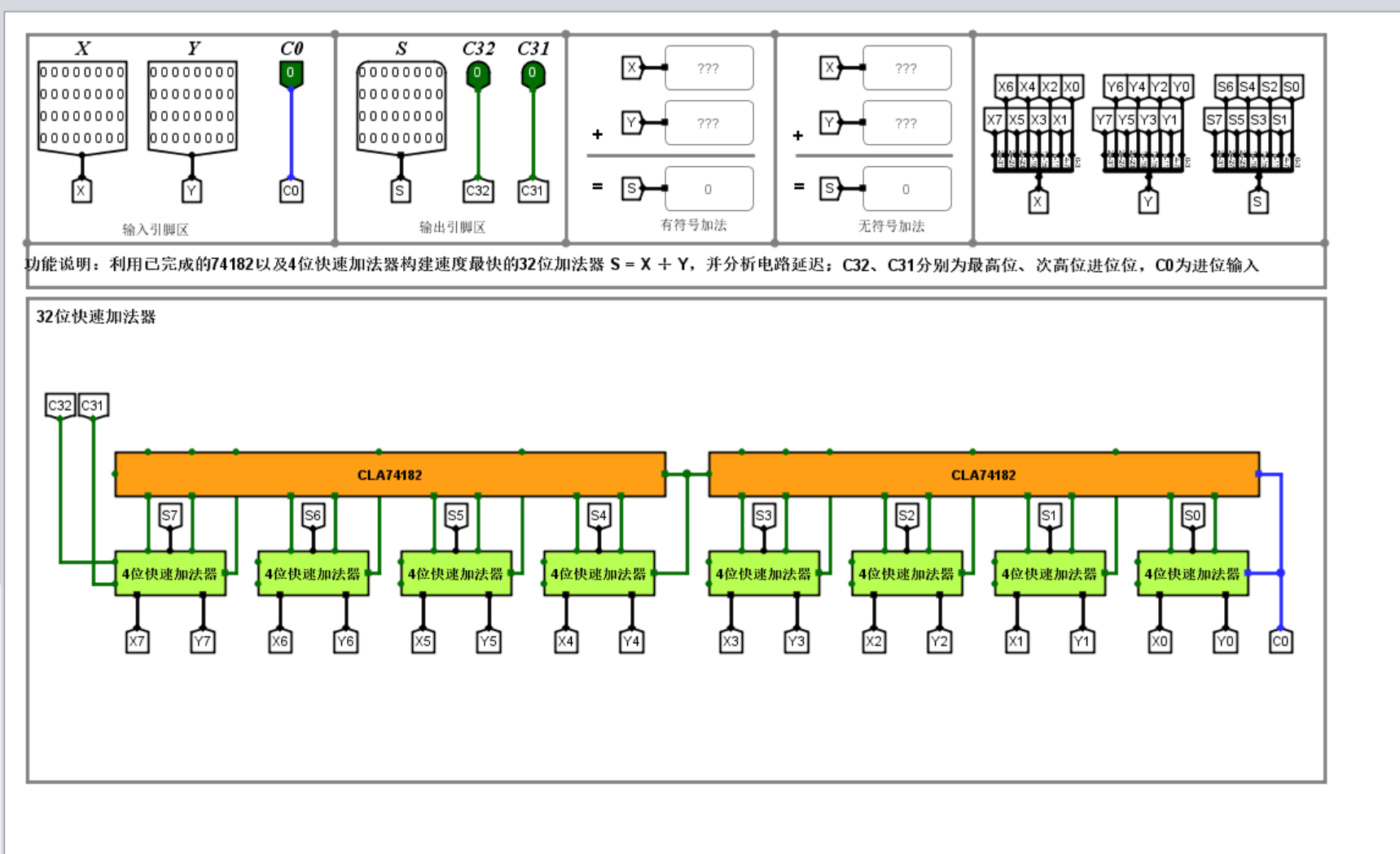
* **实验2 4位快速加法器设计**

****

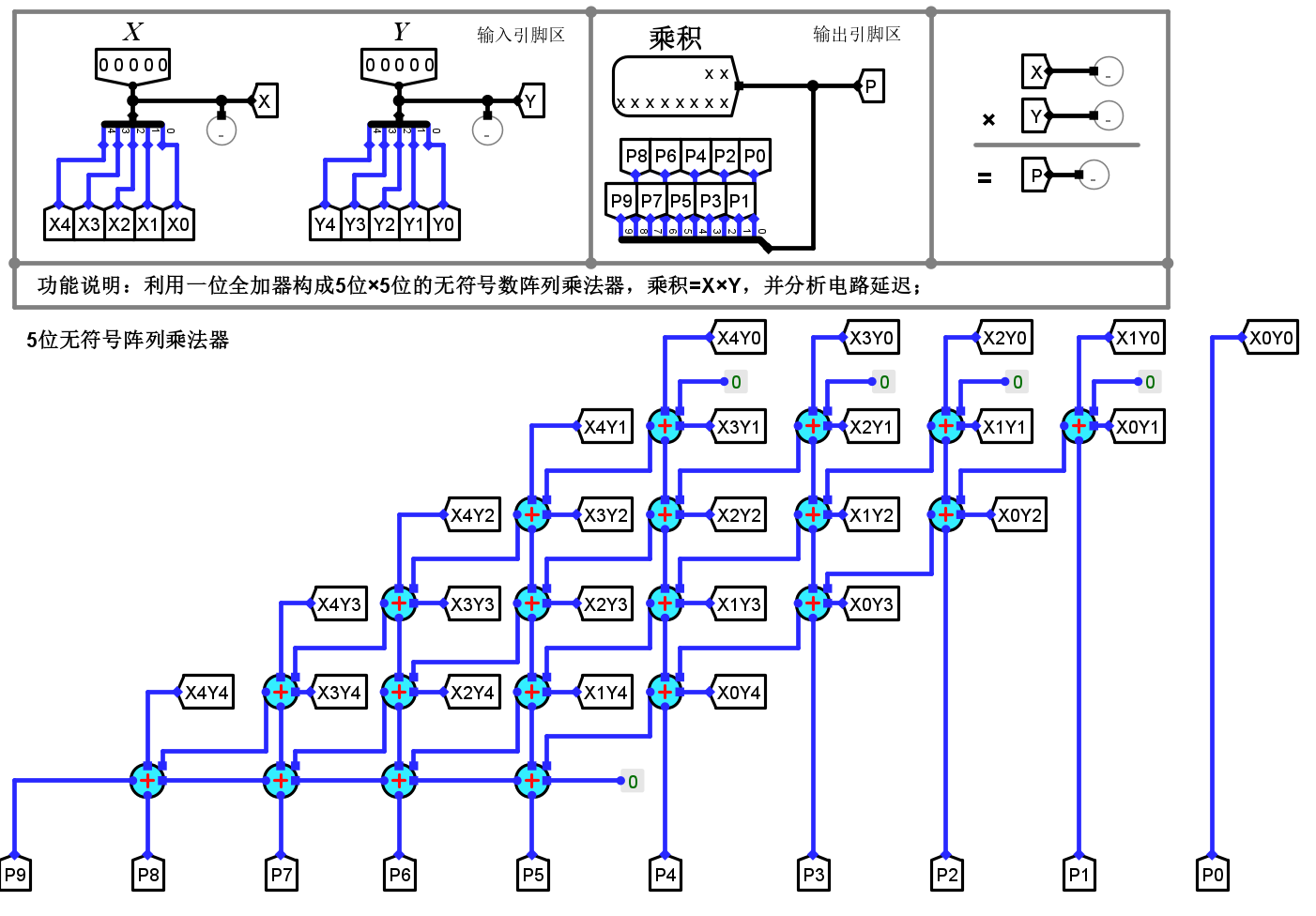
* **实验3 16位快速加法器设计**

****

* **实验四 32位快速加法器设计**

****

* **实验五 5位阵列乘法器**



* **实验六 MIPS运算器设计**

****

