学号 专业 姓名

实验开始日期**2024/5/8**  班级  实验完成日期 **2024/5/14**

实验报告

【实验名称】 实验3 Cache地址映射

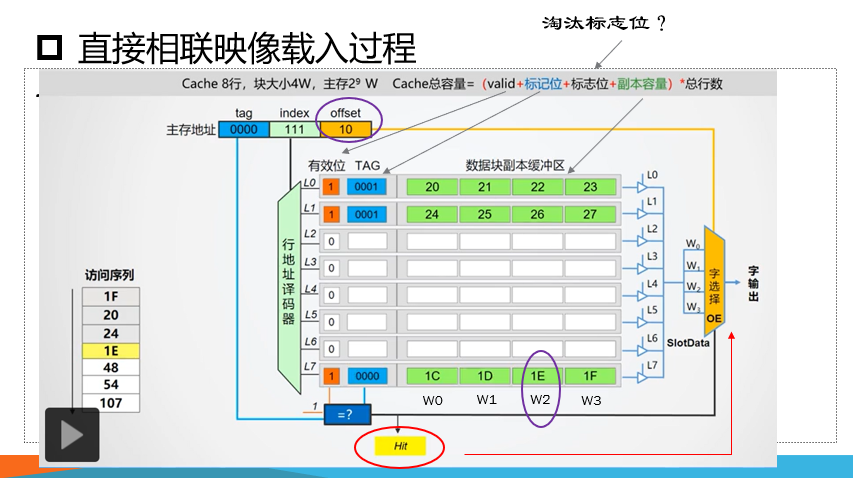
【实验内容】

**一、实验目的：**

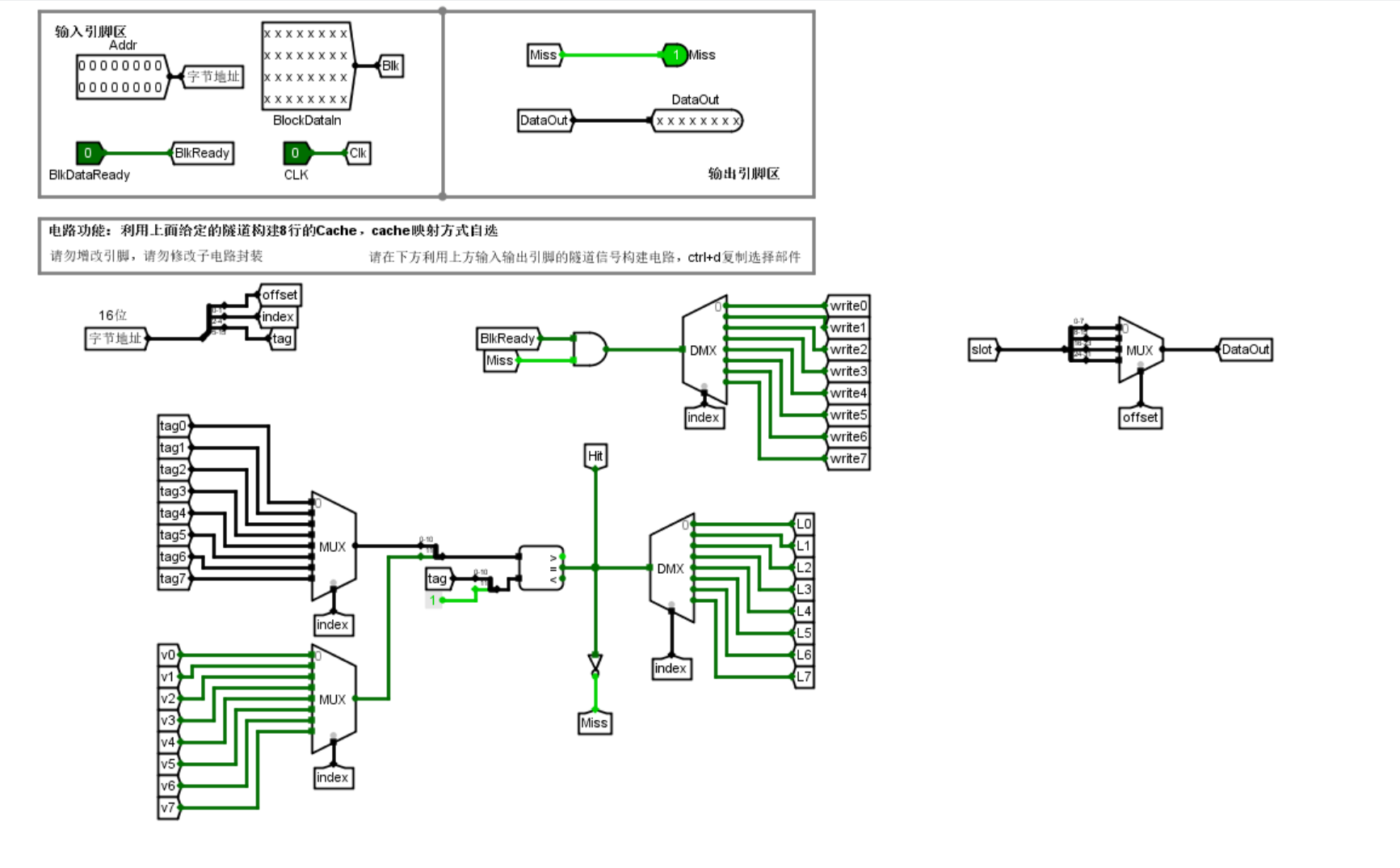
掌握 cache 实现的三个关键技术：数据查找，地址映射，替换算法，熟悉译码器，多路选择器，寄存器的使用，能根据不同的映射策略在 Logisim 平台中用数字逻辑电路实现 cache 机制。

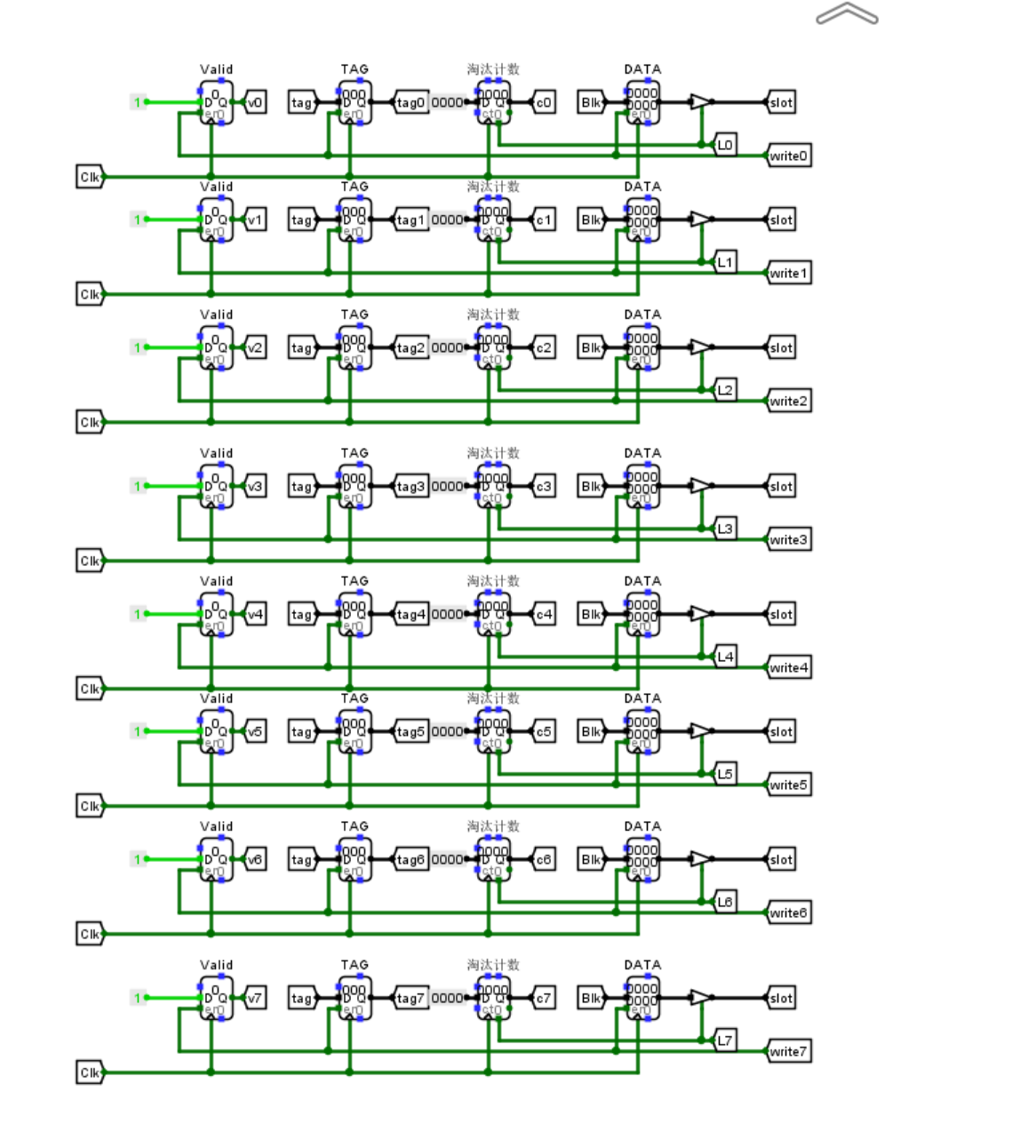
**实验1 直接相联Cache设计**

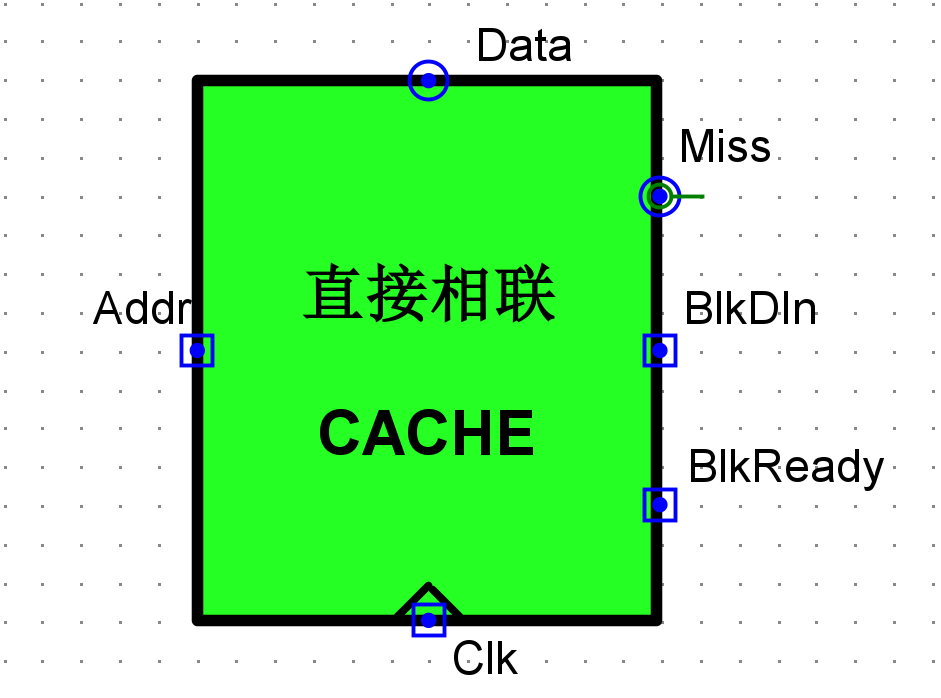
**一、设计分析：**

**二、实验步骤：**

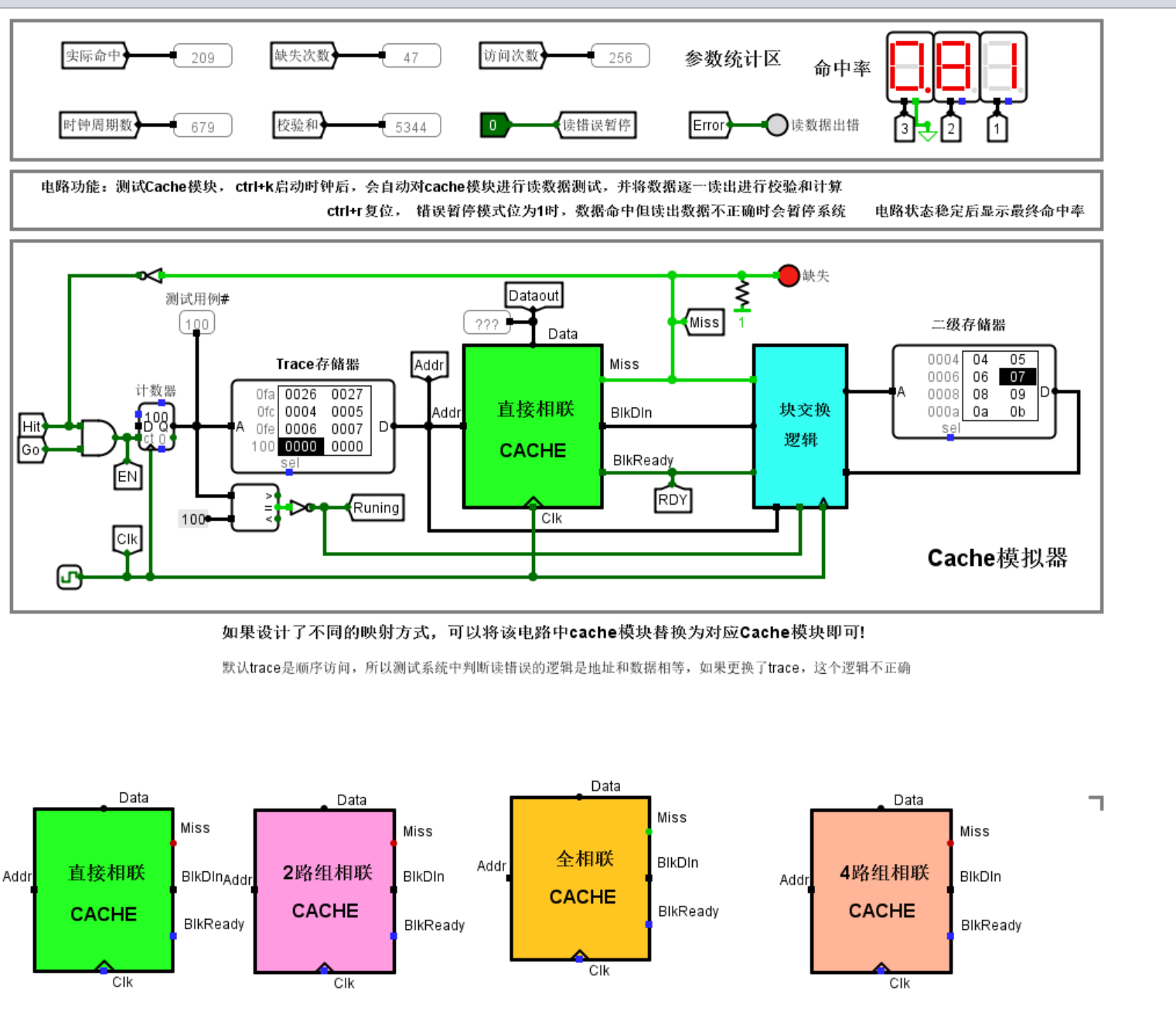
**1、电路封装如下：**







**2、该电路图封装后部分测试如下：**

****

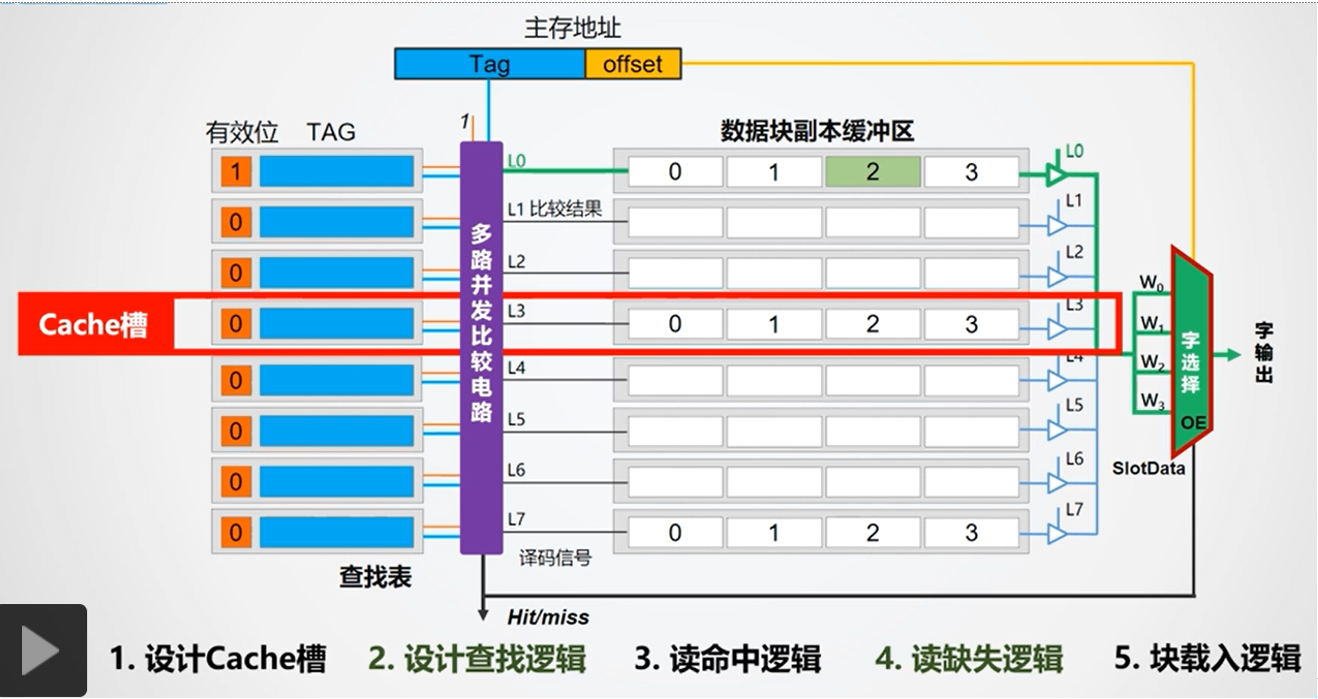
**三、设计心得：**

在本次实验中，我深入体验了直接相联Cache设计的全过程，这一经历极大地加深了我对缓存设计重要性的理解。直接相联Cache虽然在结构上较为简单，但其在系统性能优化中扮演的角色不容小觑。通过本次实验，我不仅学会了如何根据系统需求来设计Cache的大小和行数，还学习了如何通过增加缓存层级来进一步提升系统的整体性能。此外，我也认识到了在设计过程中需要仔细权衡性能提升与成本增加之间的关系，这对于实际应用中的系统设计至关重要。

**四、设计用时：20分钟**

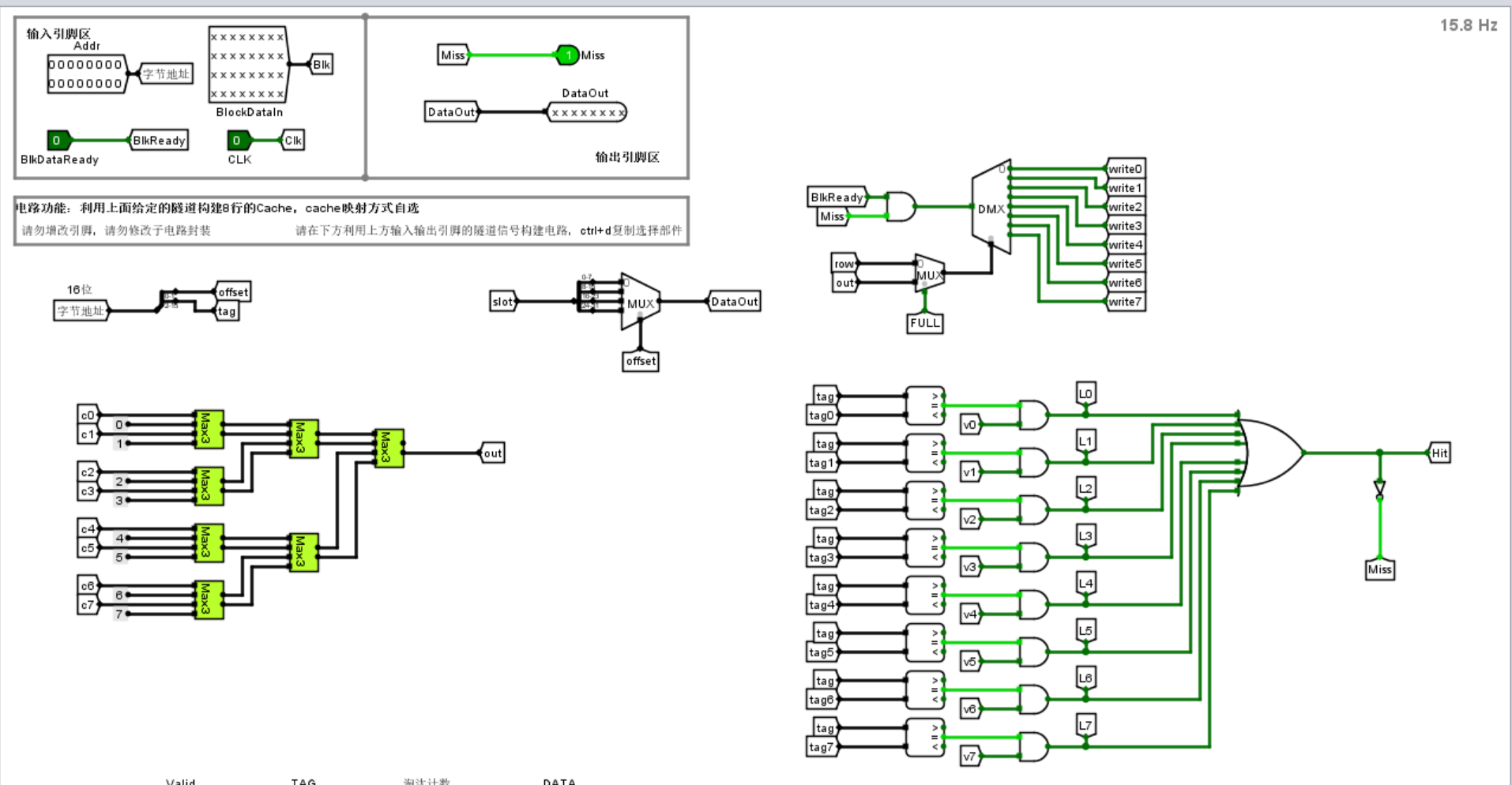
**实验2 全相联映像Cache设计**

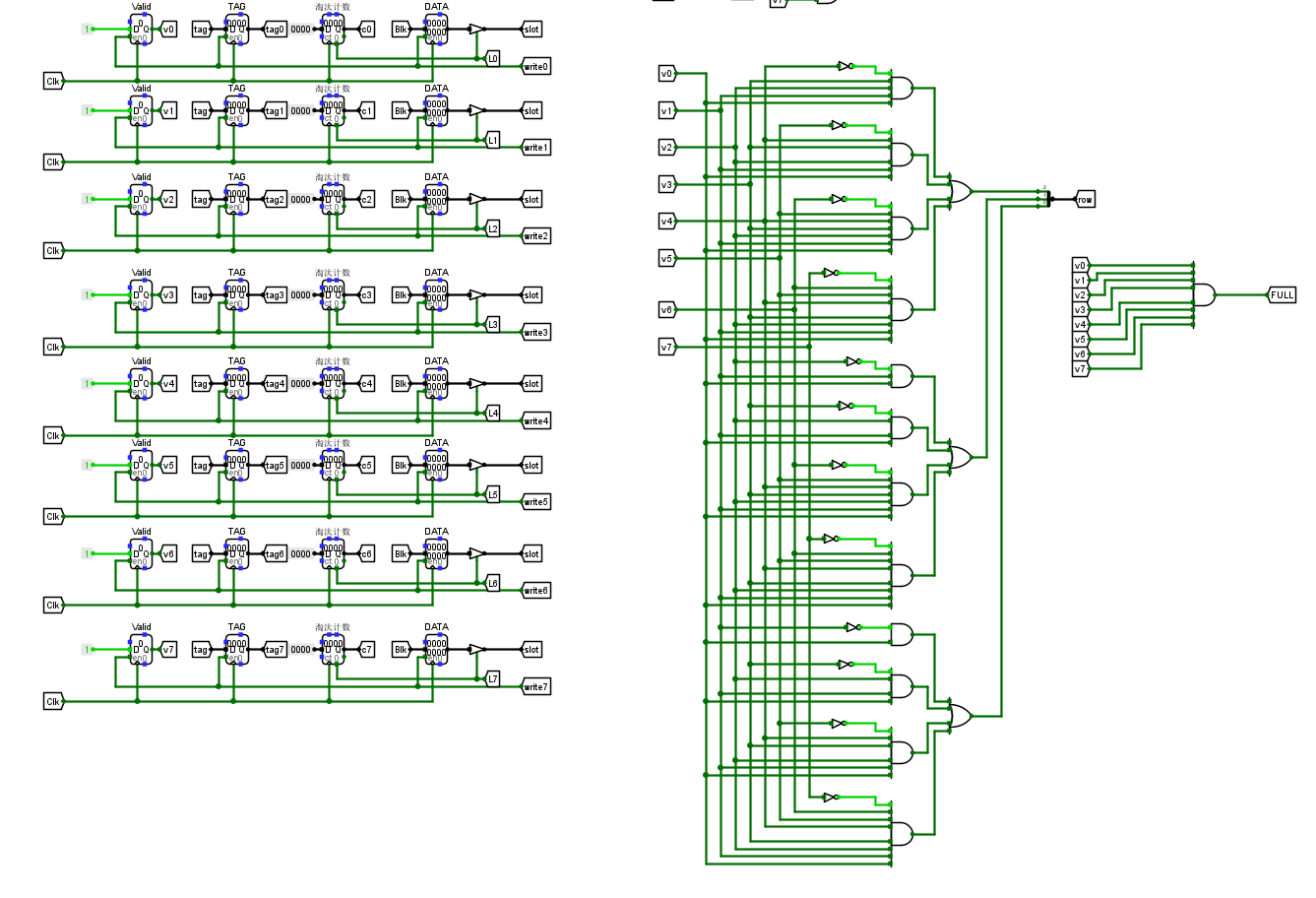
**一、设计分析：**

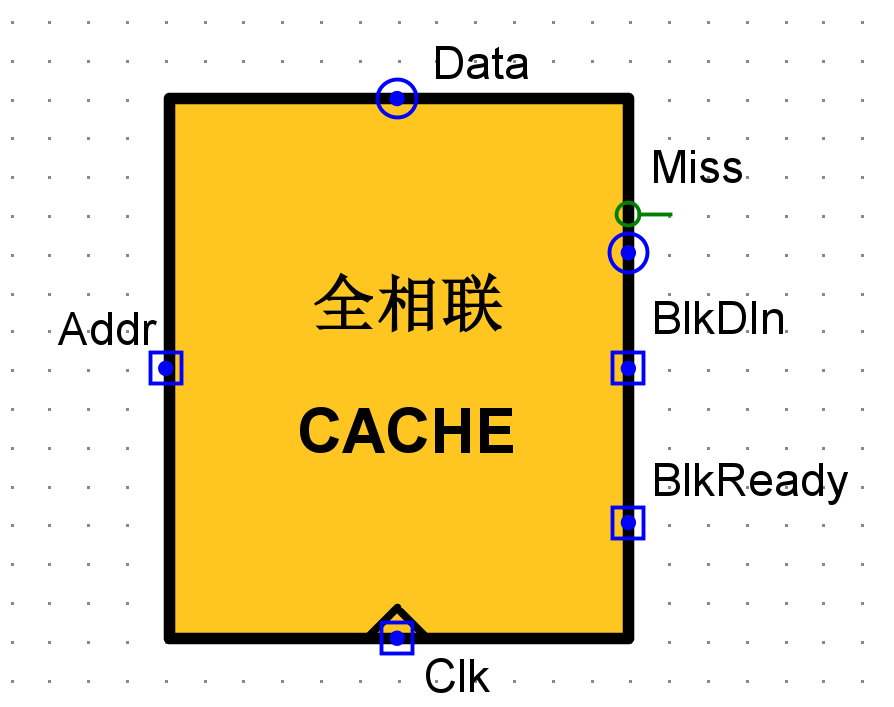
* **全相联映像中主存地址随机存储在任意的Cache行，即只要有空行就可以进行存储，没有选择；**
* **通过标记位地址和8个Cache槽中的标记位进行比较，判断是否命中，选择具体的一个Cache槽；**
* **通过字内偏移地址，选择该Cache槽中的单个字节来进行写入和写出操作。**
* 

**二、实验步骤：**

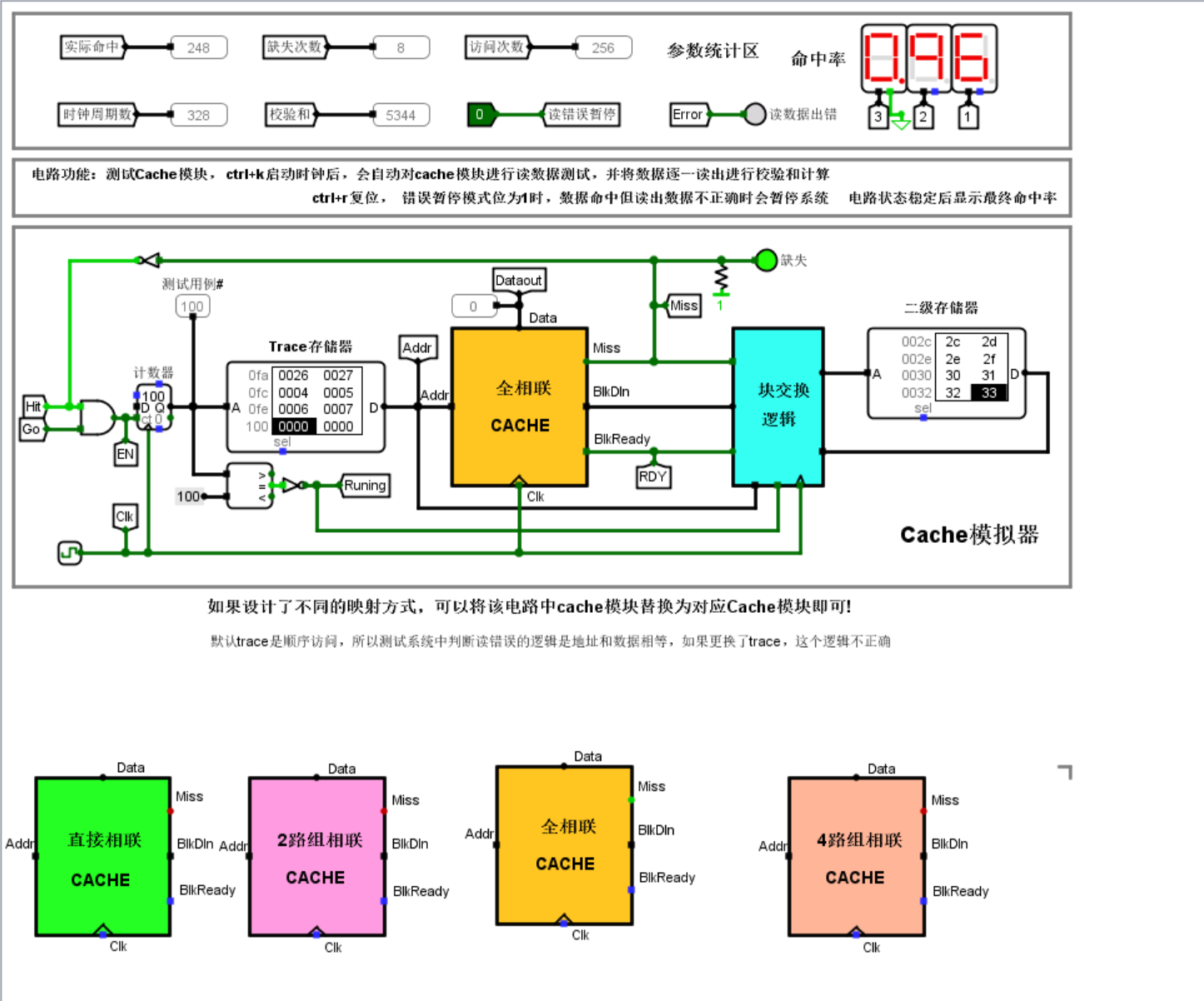
**1、逻辑图(封装图)如下：**

****





**2、测试电路如下（使用Ctrl+K自动测试）：**



**三、设计心得：**

全相联Cache设计实验让我对这种高级缓存结构的灵活性和实现的复杂性有了更深刻的体会。全相联Cache通过减少冲突失效显著提升了缓存的效率，但这种提升是以增加硬件复杂度和成本为代价的。在实验中，我学习到了如何通过比较所有Cache行的标记位来实现高效的数据查找机制，这一过程虽然复杂，但对于理解计算机体系结构中的缓存机制至关重要。此外，我也意识到了在设计全相联Cache时，需要精心选择替换策略，以在性能和成本之间找到最佳平衡点。

**四、设计用时：25分钟**

|  |
| --- |
|  |
|  |  |

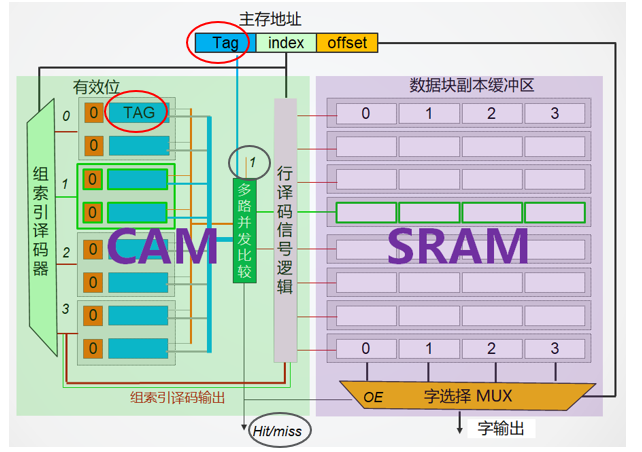
**实验3 2路组相联Cache设计**

**一、设计分析：**

组相联映射是直接相联映射和全相联映射的折中；

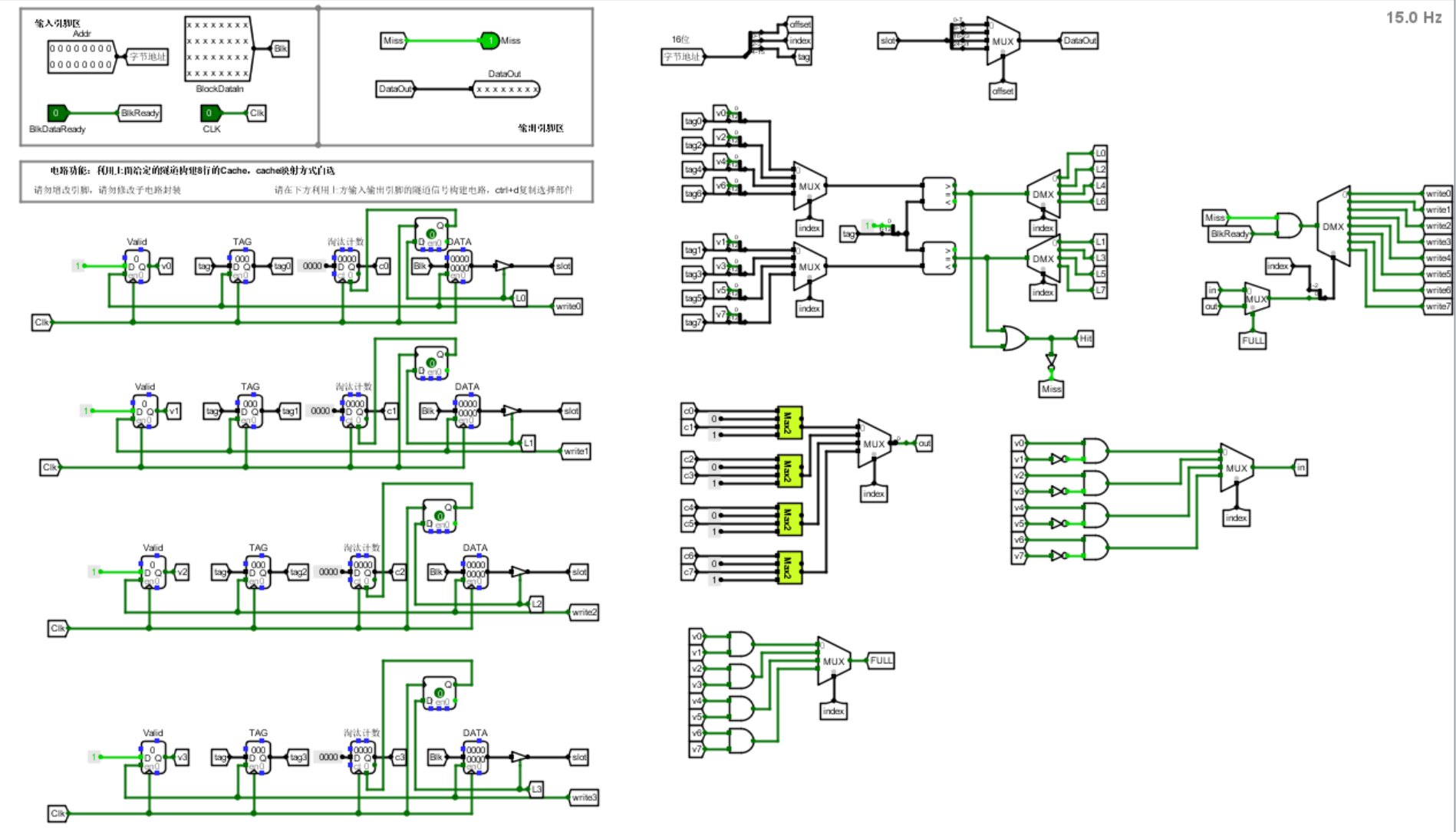
Cache仍然分为相联存储器CAM和SRAM两部分；

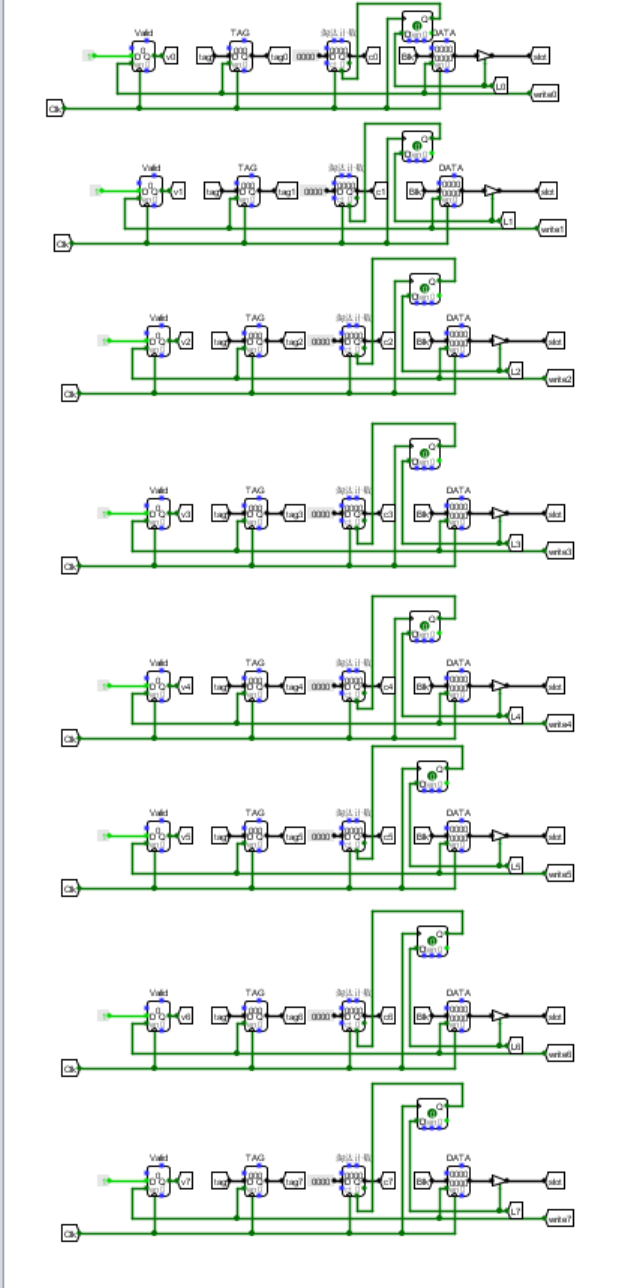
其中CAM用于存放标记信息；SRAM存放数据副本。

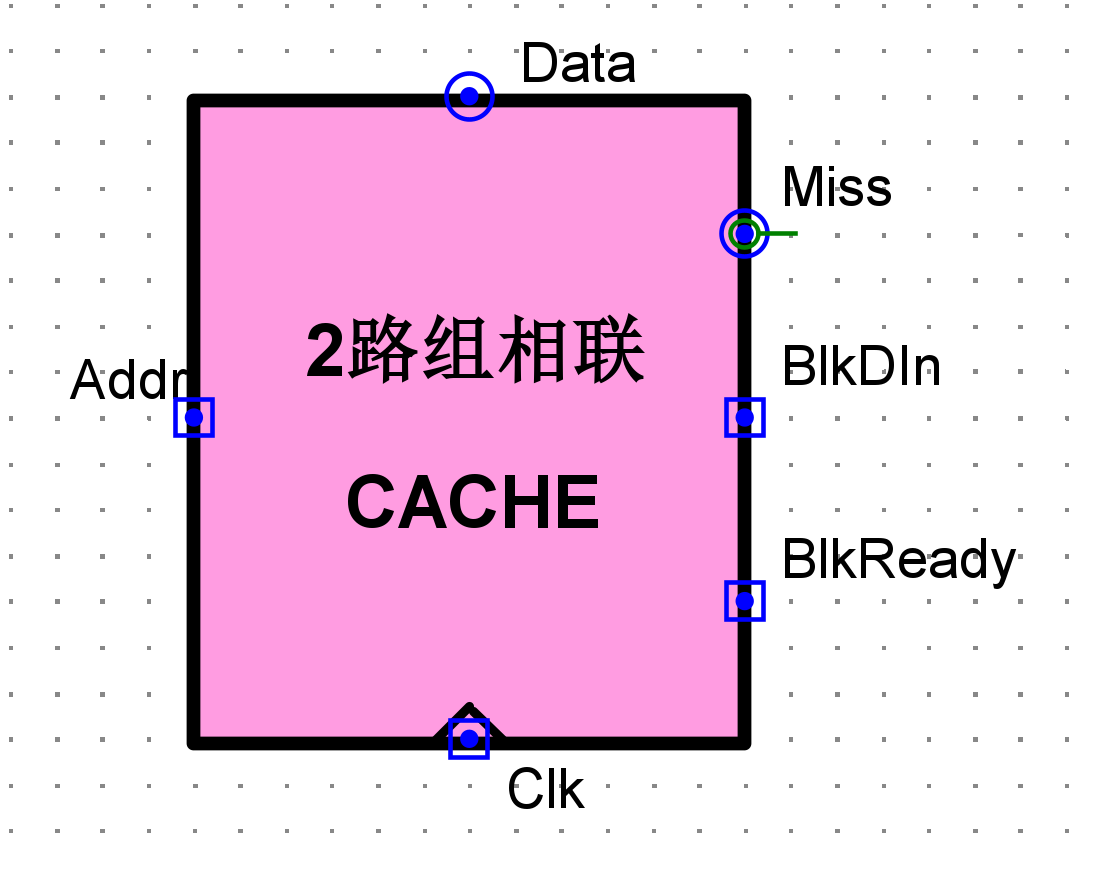


1. **实验步骤：**

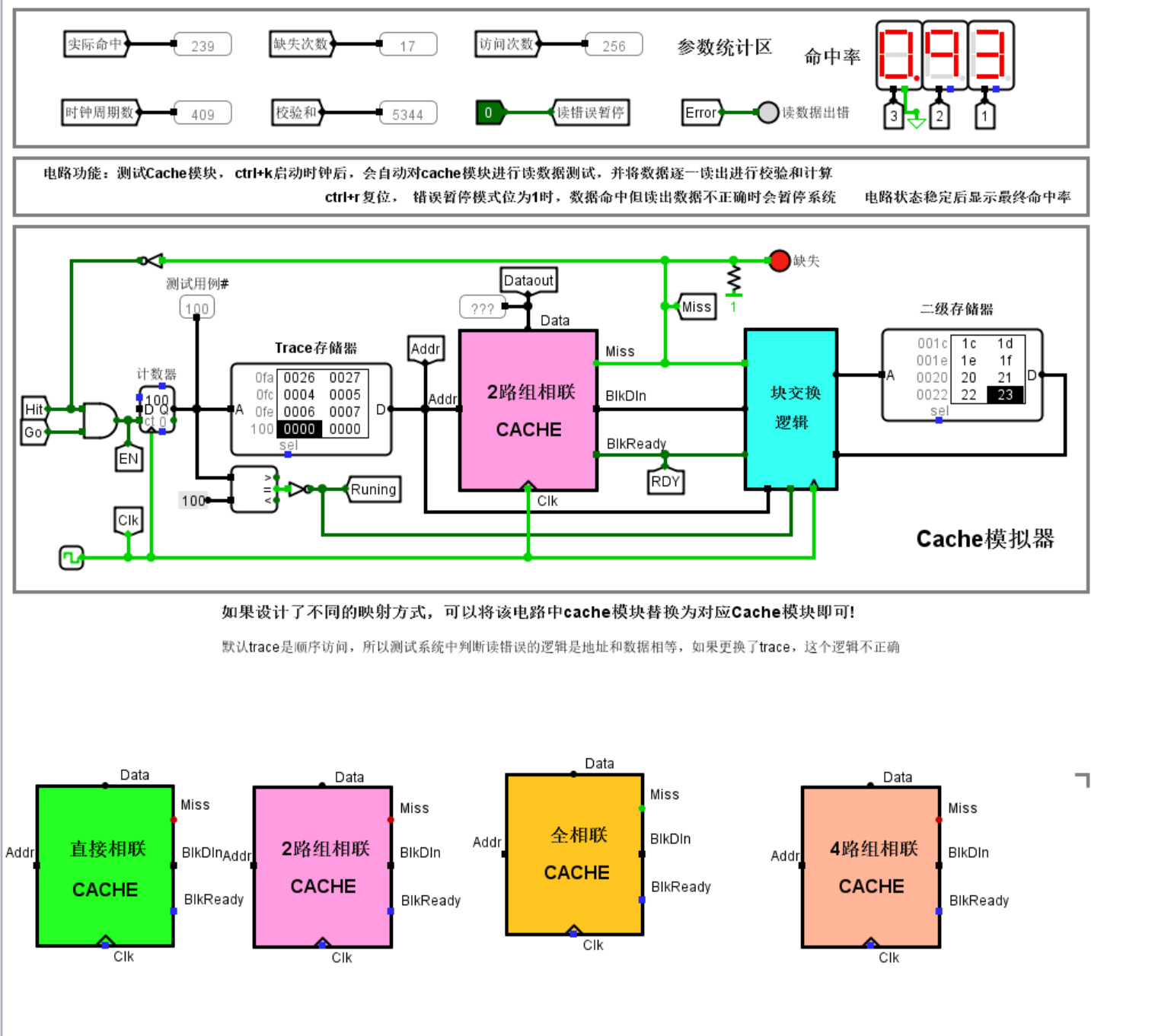
**1、设计的逻辑图(封装图)如下：**

****

****



**2、自动测试电路如下（ctrl+k自动测试）：**



1. **设计心得：**

2路组相联Cache的设计实验是一次宝贵的学习经历，它让我对缓存设计的灵活性和复杂性有了更加全面的认识。通过将Cache分为多个组，每组包含多行，这种设计巧妙地平衡了直接相联Cache的简单性和全相联Cache的高效性，有效减少了冲突失效的发生。在实验过程中，我学习了如何合理地选择替换策略，并在实际应用中如何进行性能与成本的权衡。此外，我也对缓存命中和缺失的处理机制有了更深入的理解，这对我的未来学习和研究具有重要意义，特别是通过实例分析，我对缓存命中和缺失的处理有了更深的理解。

1. **设计用时：40分钟**

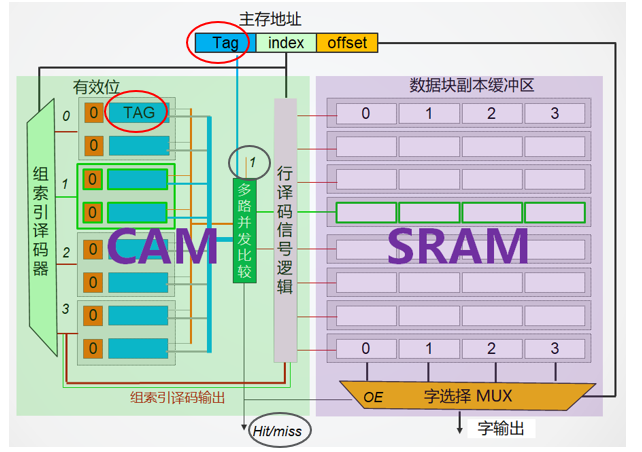
**附加实验 4路组相联Cache设计**

**一、设计分析：**

组相联映射是直接相联映射和全相联映射的折中；

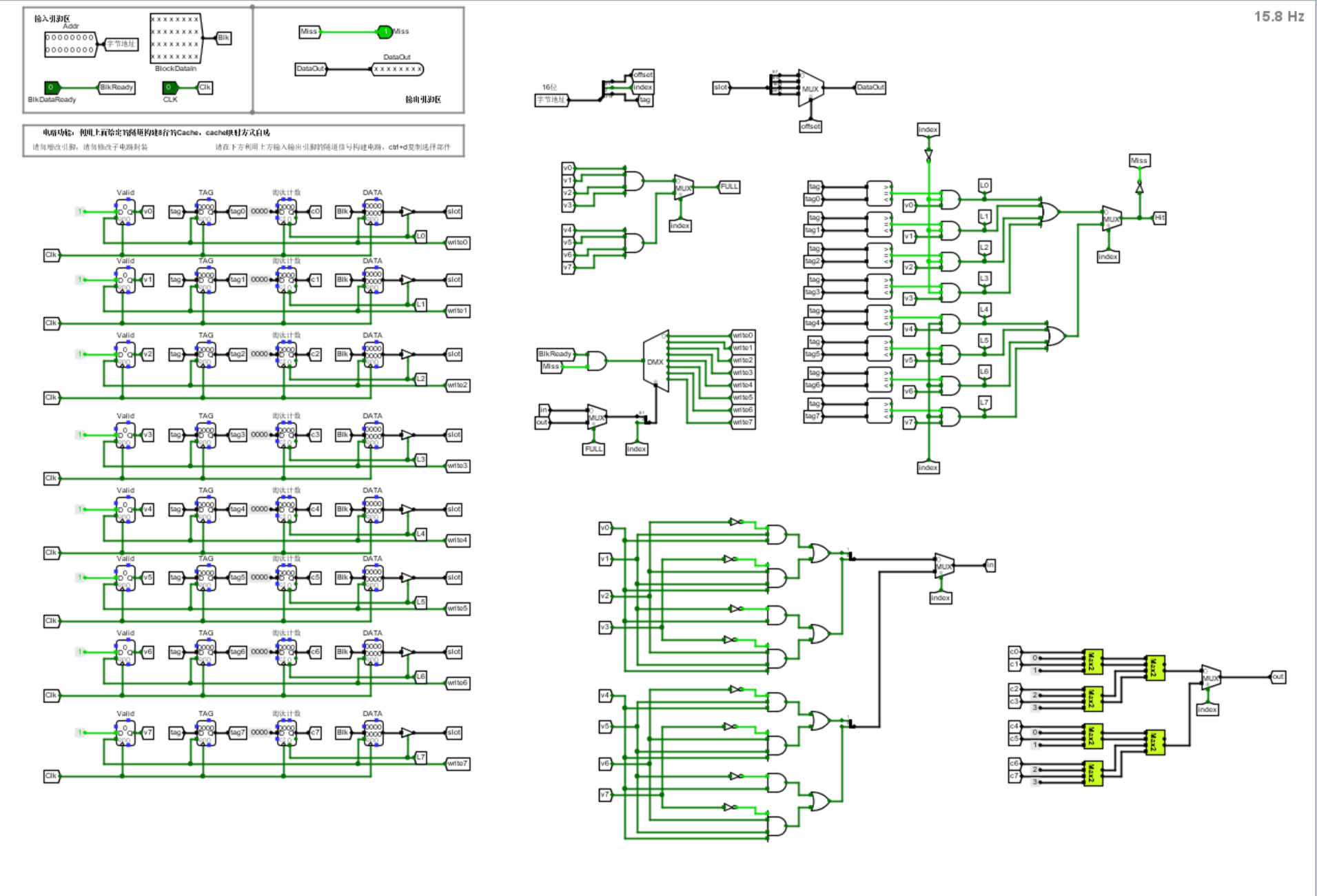
Cache仍然分为相联存储器CAM和SRAM两部分；

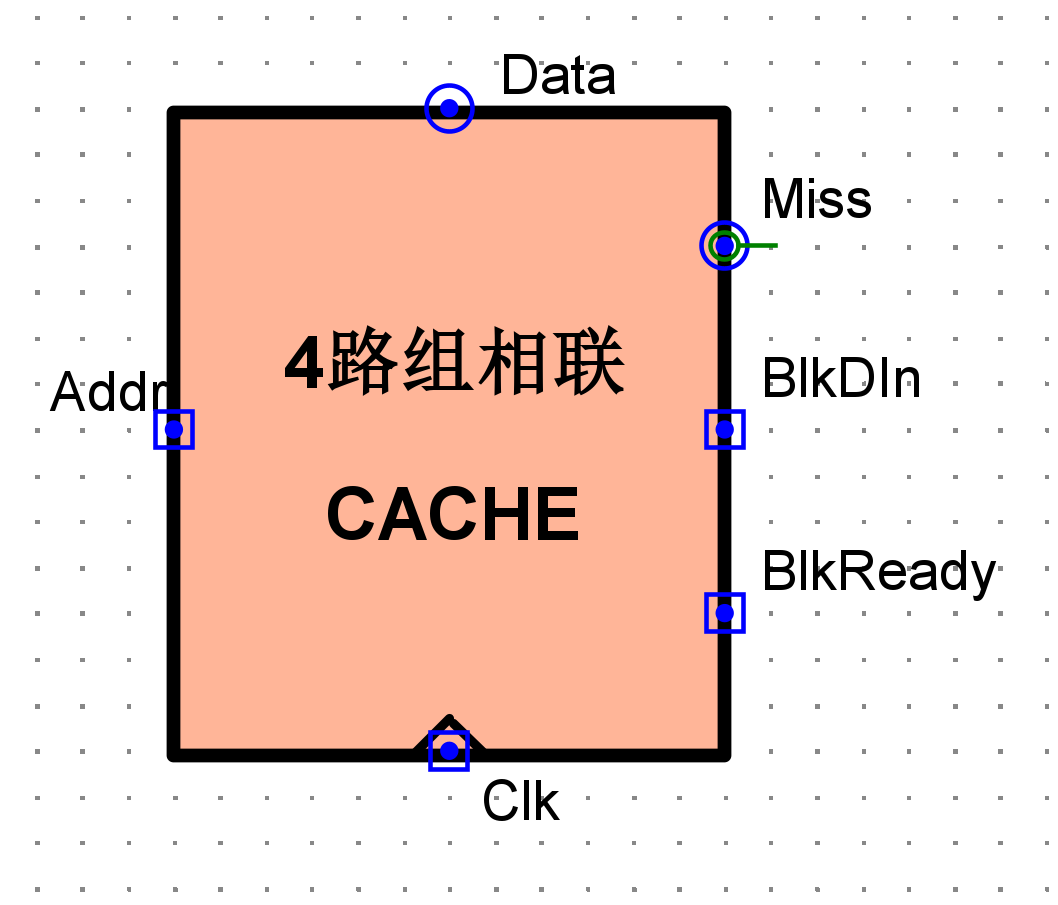
其中CAM用于存放标记信息；SRAM存放数据副本。



**二、实验步骤：**

**1、设计的逻辑图(封装图)如下：**

****



1. **自动测试电路如下（ctrl+k自动测试）：**



**三、设计心得：**

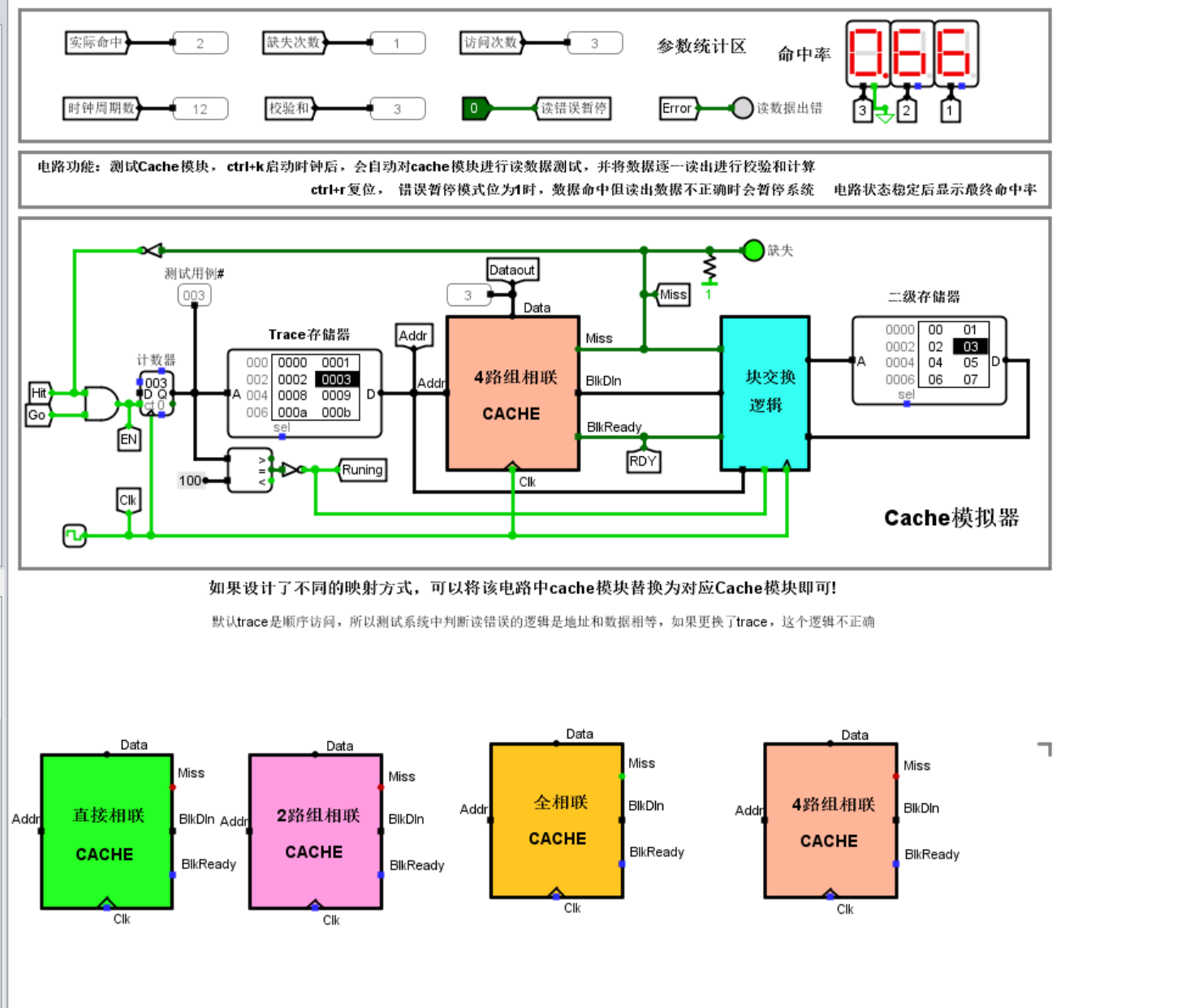
4路组相联Cache设计实验进一步加深了我对缓存结构优势和实现复杂性的认识。这种设计通过分组和多行配置，显著提高了缓存的命中率，同时减少了冲突失效的可能性。在实验中，我学习了如何管理多个比较器和替换策略，这对我的技术能力是一次挑战，也是一次提升。我意识到，虽然4路组相联Cache在硬件资源和实现复杂性上高于2路组相联Cache，但其在性能上的优势使其成为对缓存命中率要求较高的系统的理想选择。这次实验不仅增强了我的设计技能，也让我更加理解了不同缓存结构在实际应用中的优劣和适用场景，为我未来的设计工作奠定了坚实的基础。

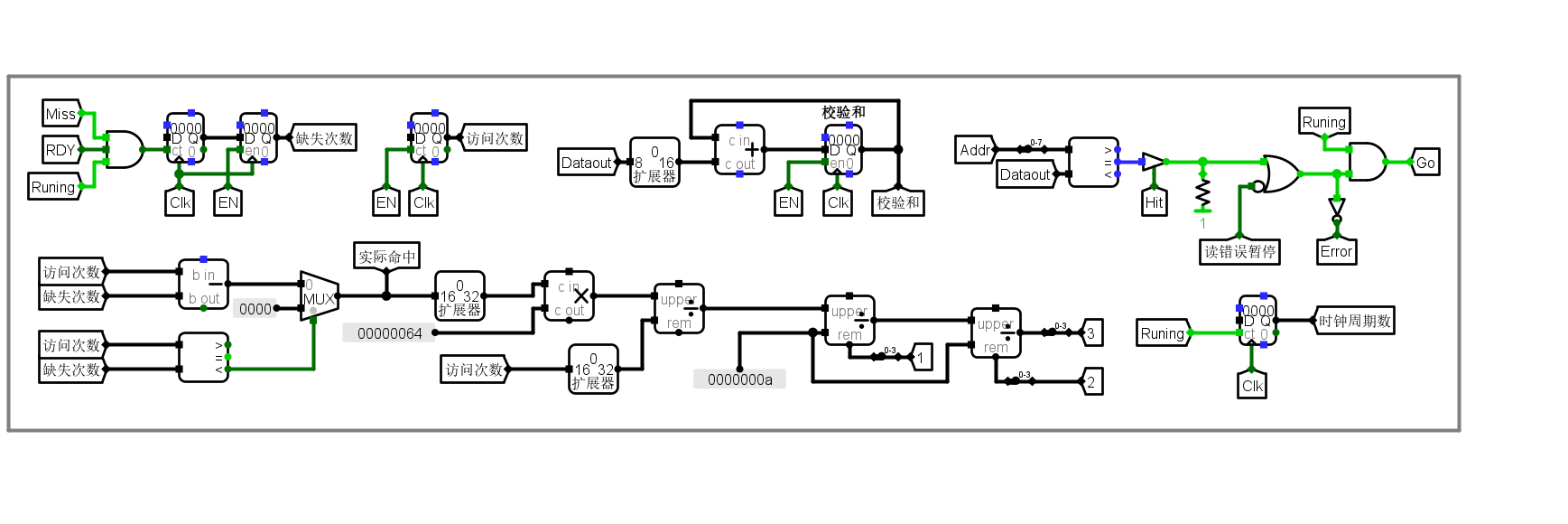
在设计过程中，我学到了如何合理选择替换策略以及在实际应用中如何权衡性能和成本。4路组相联Cache需要更多的硬件资源来实现多个比较器和替换策略的管理，相对复杂；2路组相联Cache硬件实现较为简单，只需管理两行的数据和标签比较器，硬件复杂性低于4路组相联Cache。通过与2路组相联Cache的对比，我更加理解了不同缓存结构在实际应用中的优劣和适用场景。4路组相联Cache在性能上优于2路组相联Cache，适用于对命中率要求较高的系统，但实现成本较高。。

**四、设计用时：40分钟**

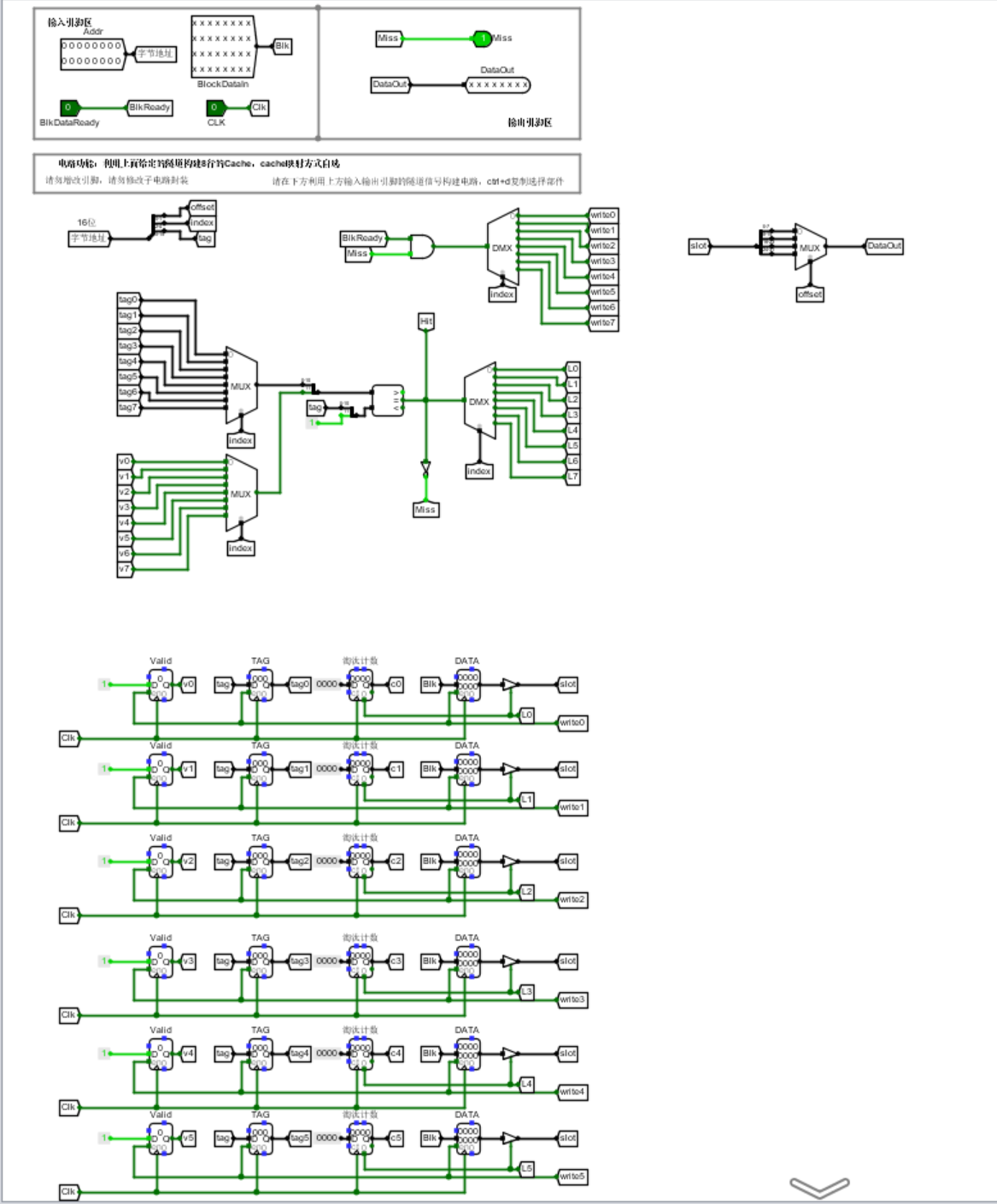
**意见和建议：无**

**附录(电路图)：**

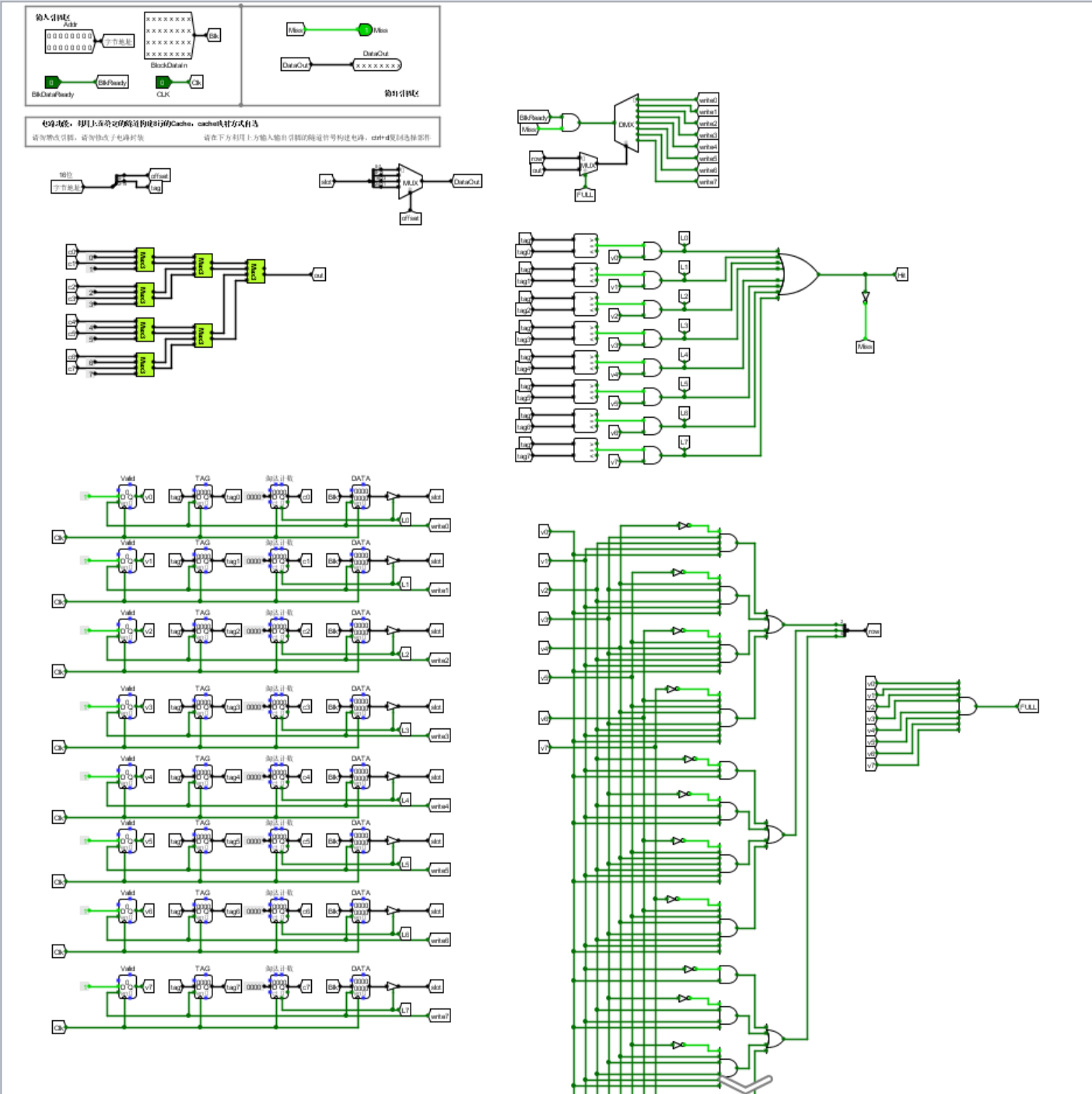
1. **cache自动测试**



**2.直接相连**

****

**3. 全相联**

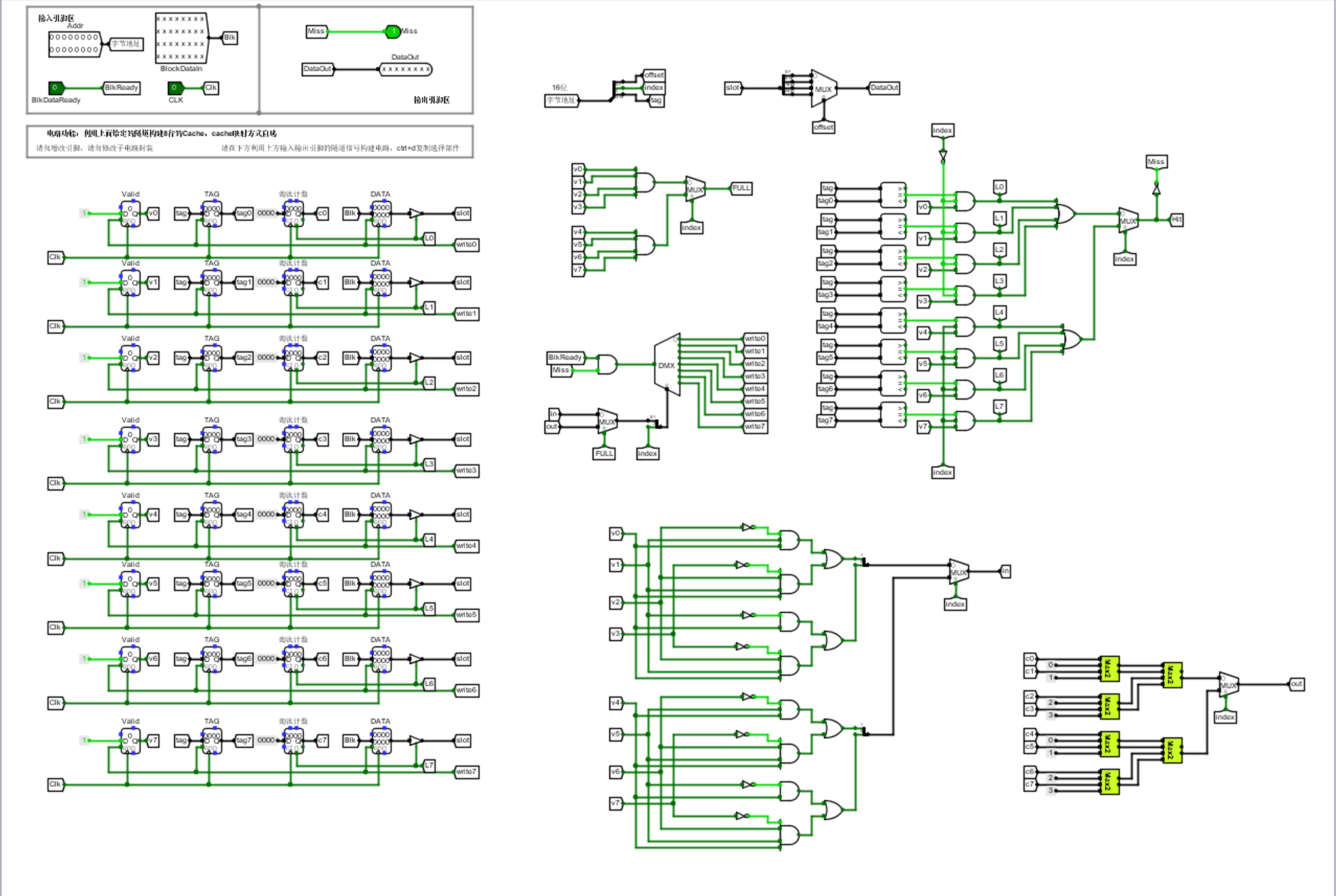
****

**4. 2路组相联**

****

****

**5. 4路组相联**

****