**Digital Logic Circuit Design Lab**

Combinational Logic Circuit Lab

Name/ID: 안견힐/21900416

Partner Name/ID: 진가람/21900727

Date: 2023-05-29

# **Problem 1**

Design and make a circuit for 2-bit up-down counter and display the output with a 7- segment display.

텍스트, 스크린샷, 폰트, 라인이(가) 표시된 사진

자동 생성된 설명

* The clock period is 1 second. Use Arduino to generate the clock.
* There are 2 modes for the counter:

- Up-counting mode, Down-counting mode

* Use one push button to control the counter mode. See Table 1
* Display the output decimal number ‘0’~’3’ with a 7-Segment Display
* Use 7-segment decoder chip(SN74LS47N) to control 7-Segment Display
* Design the circuit and check the results in the simulation program.
* Implement the circuit on a breadboard and demonstrate the result.

|  |  |
| --- | --- |
| **Input X** | **Counter mode** |
| X = 0 | UP\_Counting |
| X=1 | DOWN\_Counting |

## Design Process

**Table 1. Electrical Components**

|  |  |
| --- | --- |
| 텍스트, 영수증, 폰트, 화이트이(가) 표시된 사진  자동 생성된 설명 | *도표, 평면도, 라인, 기술 도면이(가) 표시된 사진  자동 생성된 설명* |
| D-FFs (74LS74) | 7-segment decoder (SN74LS47N) |
| 텍스트, 도표, 기술 도면, 평면도이(가) 표시된 사진  자동 생성된 설명 |  |
| XOR gate (74HC86) |

* State Table & State Graph (Mealy)

원, 일렉트릭 블루, 그래픽, 폰트이(가) 표시된 사진

자동 생성된 설명

**Fig 1. State Graph**

State Definition

**Table 2. State Table**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Present State** | **U=0 U=1** | | **Output(Z)** | |
|  |  |  | (01) | (11) |
|  |  |  | (10) | (00) |
|  |  |  | (11) | (01) |
|  |  |  | (00) | (10) |

* Truth table & Boolean expression

**Table 3. Truth Table**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Input** | | **Next State (, )** | | | |
| **B** | **A** | **U=0** | | **U=1** | |
| 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 |

**Table 4. D-FF Truth Table**

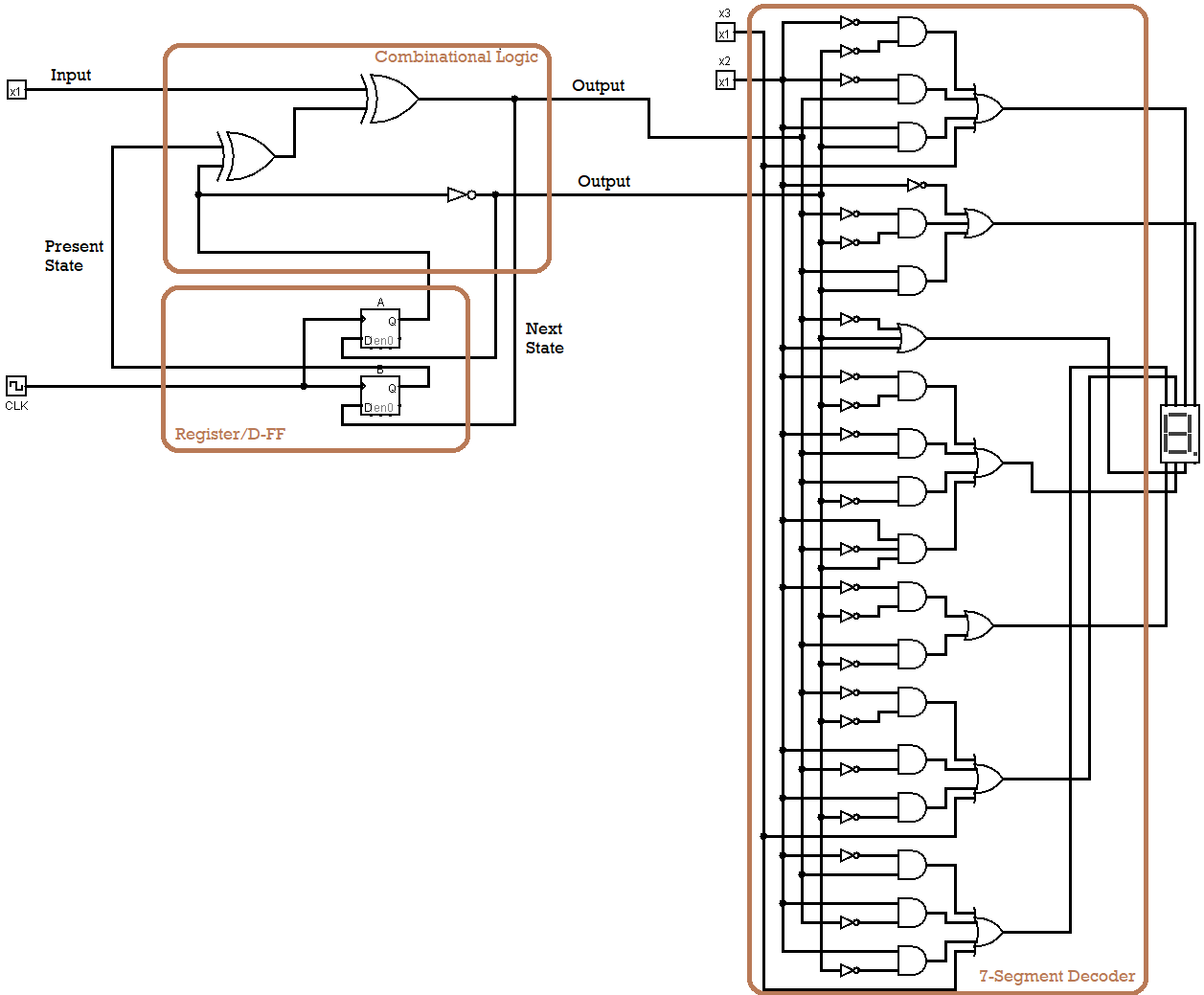
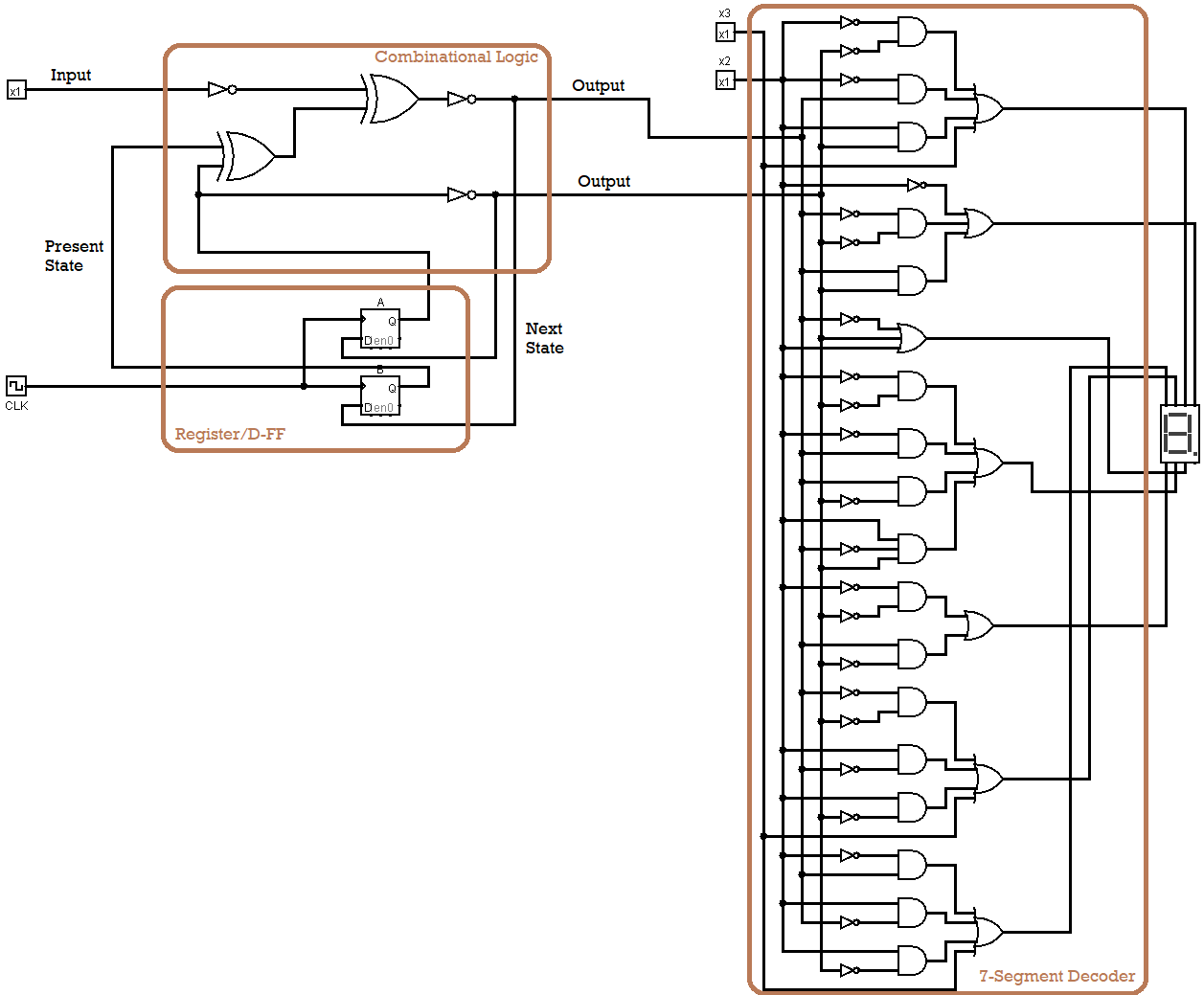
|  |  |  |  |
| --- | --- | --- | --- |
| **FF Inputs (,)** | | | |
| **U=0** | | **U=1** | |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 |

텍스트, 번호, 도표, 스크린샷이(가) 표시된 사진

자동 생성된 설명

**Table 5. K - Map**

**SOPs:**

* Draw the circuit

**Fig 2. Design Circuit**

* Simulation Circuit Design

|  |  |
| --- | --- |
|  |  |
| U=0(Up-counter), CLK: 0, OUTPUT: 0 | U=0(Up-counter), CLK: 1, OUTPUT: 1 |
|  |  |
| U=0(Up-counter), CLK: 2, OUTPUT: 2 | U=0(Up-counter), CLK: 3, OUTPUT: 3 |
|  |  |
| U=1(Down-counter), CLK: 0, OUTPUT: 3 | U=1( Down-counter ), CLK: 1, OUTPUT: 2 |
|  |  |
| U=1(Down-counter), CLK: 2, OUTPUT: 1 | U=1(Down-counter), CLK: 3, OUTPUT: 0 |

**Figure 3.Circuit Output**

Logisim을 이용해서 다음과 같은 Up-Down Counter 7-Segment를 구현하였다. 위의 Circuit은 0부터 3까지 출력되는 2-bit 7-Segment이다. Input (U)에 0을 주면 Up-Counter를, Input (U)에 1을 주면 Down-Counter의 역할을 한다. 이후 CLK에 신호가 들어오고 나갈 때마다 Counting이 진행된다. XOR gate 2개와 D-FF 2개를 이용하였으며 7-Segment는 LAB#1에서 구현한 것을 활용하였다.

## Results and Discussion

### Demo Video

<https://youtu.be/rsQgcMQciZw>

### Results

전자제품, 전자 공학, 회로 구성요소, 전자 부품이(가) 표시된 사진

자동 생성된 설명

**Fig 4. Actual Circuit**

|  |  |
| --- | --- |
|  |  |
| U=0(Up-counter), CLK: 0, OUTPUT: 0 | U=0(Up-counter), CLK: 1, OUTPUT: 1 |
|  |  |
| U=0(Up-counter), CLK: 2, OUTPUT: 2 | U=0(Up-counter), CLK: 3, OUTPUT: 3 |
|  |  |
| U=1(Down-counter), CLK: 0, OUTPUT: 3 | U=1( Down-counter ), CLK: 1, OUTPUT: 2 |
|  |  |
| U=1(Down-counter), CLK: 2, OUTPUT: 1 | U=1(Down-counter), CLK: 3, OUTPUT: 0 |

**Fig 5. Circuit Result**

### Discussion

Logisim에서 구현한 Simulation을 기반으로 BreadBoard와 아두이노를 사용하여 위와 같은 Up-Down Counter 7-Segment 회로를 구현하였다. LAB#2 Design Problem에 적힌 Counter Mode Condition을 고려하여 U에 0이 입력되었을 때 Up-Counting을, 1이 입력되었을 때 Down-Counting이 진행되도록 Circuit을 구현하였다. XOR Gate 구현을 위한 소자는 74HC86로 4개의 XOR Gate가 내장되어 있다. D-FF은 74LS74을 사용하였으며 이는 2개의 D-FF이 내장되어 있다. 1번 핀에는 가, 2번 핀에는 가 입력된다. 그리고 CLK 신호는 D-FF 소자에 입력하였다. CLK 신호는 아두이노를 사용하여 입력하였으며 사용한 코드는 Appendix에 기재하였다. 신호와 신호는 Decoder로 입력되며 와 신호는 2-bit Display를 위해 Ground로 입력하였다.

# Appendix

*텍스트, 스크린샷, 폰트, 번호이(가) 표시된 사진

자동 생성된 설명*

Source Code