

Experimento 7

Latches e Flip-Flops: RS e JK

Ana Caroline da Rocha Braz, 21/2008482
Kalew Silva Piveta, 18/0104071
Grupo G20

¹Dep. Ciência da Computação – Universidade de Brasília (UnB)
CIC0231 - Laboratório de Circuitos Lógicos

braz.ana@aluno.unb.br, kalew.silva@aluno.unb.br

Abstract. *This corresponds to the Experiment 7 report on Latches and Flip-Flops: RS and JK. The purpose of this is to present the bistable multivibrators: Latch and Flip-flop, being the RS latch, RS latched latch, RS Master-Slave Flip-flop and JK Flip-flop, as a memory unit. Also, present your concepts, truth tables and temporal diagrams. As a result, we were successful in all experiments performed.*

Resumo. *Este corresponde ao relatório do Experimento 7 sobre Latches e Flip-Flops: RS e JK. O objetivo deste é apresentar os multivibradores biestáveis: Latch e Flip-flop, sendo eles o latch RS, latch RS engatilhado, Flip-flop RS Mestre-Escravo e Flip-flop JK, como uma unidade de memória. Além disso, apresentar seus conceitos, tabelas da verdade e diagramas temporais. Como resultado, obtivemos sucesso em todos os experimentos realizados.*

1. Introdução

Durante o semestre 2021/2, diversos experimentos da disciplina de Laboratório de Circuitos Lógicos (CIC0231) serão realizados com o intuito de apresentar os recursos e ferramentas básicas para a construção e testes de circuitos digitais, além de introduzir conceitos e métodos utilizados para circuitos digitais modernos [Lamar and Mandelli 2022b].

Um latch é um tipo de dispositivo de armazenamente temporário que possui dois estados estáveis (bistável). Apesar de serem similares à flip-flops, os latches são considerados um circuito sensível ao nível. Um exemplo é o Latch RS, o qual o estado de SET ou RESET da entrada determina o estado da saída, que será utilizado nos experimentos seguintes [Floyd 2009, Lamar and Mandelli 2022a].

Um flip-flop são dispositivos biestáveis síncronos, conhecidos também como multivibradores biestáveis. Nesse circuito, a saída muda de estado apenas no momento especificado pela entrada de disparo do *clock*. Sendo assim, o circuito é considerado sensível à borda. Um exemplo é o Flip-flop JK, sendo o mais versátil, amplamente utilizado e com funcionalidade parecida com um flip-flop RS, que também será utilizado nos experimentos a seguir [Floyd 2009, Lamar and Mandelli 2022a].

Sendo assim, o objetivo principal desse trabalho é apresentar os multivibradores biestáveis: Latch e Flip-flop, sendo eles o latch RS, latch RS engatilhado, Flip-flop RS Mestre-Escravo e Flip-flop JK, como uma unidade de memória. Além disso, apresentar

seus conceitos, tabelas da verdade e diagramas temporais. Para isso, o software *Deeds* foi usado para a implementação dos circuitos e criação dos diagramas temporais.

Esse relatório está organizado da seguinte forma. Na seção 2, serão apresentados os procedimentos de cada item da parte experimental e, logo em seguida, os links para assistir o funcionamento dos circuitos. Na seção 3, serão apresentados as análises dos resultados encontrados durante os procedimentos. Na seção 4, a conclusão. E, por fim, as referências e a auto-avaliação.

2. Procedimentos

Nessa seção serão apresentados os resultados dos experimentos.

2.1. Latch RS com NANDs

Para o primeiro experimento, foi construído o circuito como apresentado na figura 1, com o intuito de entender, de forma básica, como funciona um circuito *Latch RS* mais comum. O circuito foi construído no simulador de circuito *Deeds-DcS*. Em sua construção foram usadas 2 portas NAND's, terminais de input e output e LED's, para ajudar na averiguação dos resultados.

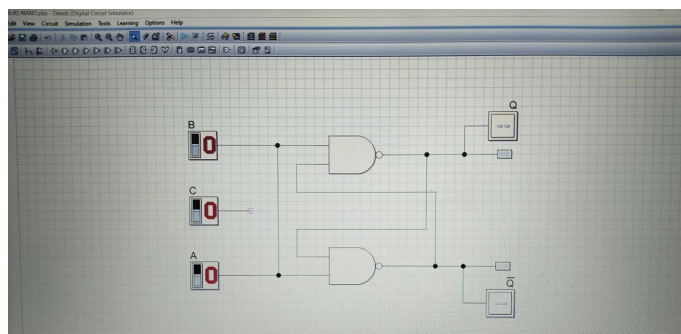


Figura 1. Latch RS com NANDs.

Foi observado a congruência do circuito quando ele obteve os mesmos resultados com a tabela verdade 1, podendo ser constatado no vídeo postado 2.5

Tabela 1. Tabela verdade do Latch RS com portas NAND's

ENTRADAS		SAÍDAS	
S	\bar{R}	Q_{n+1}	\bar{Q}_{n+1}
0	0	1	1
0	1	1	0
1	0	0	1
1	1	Q_n	\bar{Q}_n

Observe-se que durante a mudança entre 11-00-11 do circuito acima, acontece um loop infinito o que gera um erro na simulação. Utilizando o diagrama temporal (Figura 2), pode ser melhor observado. A saída $\bar{S}\bar{R} = 00$ da tabela 1 é conhecida como estado proibido. Sendo assim, a saída dependerá apenas dos atrasos inerentes de cada porta.

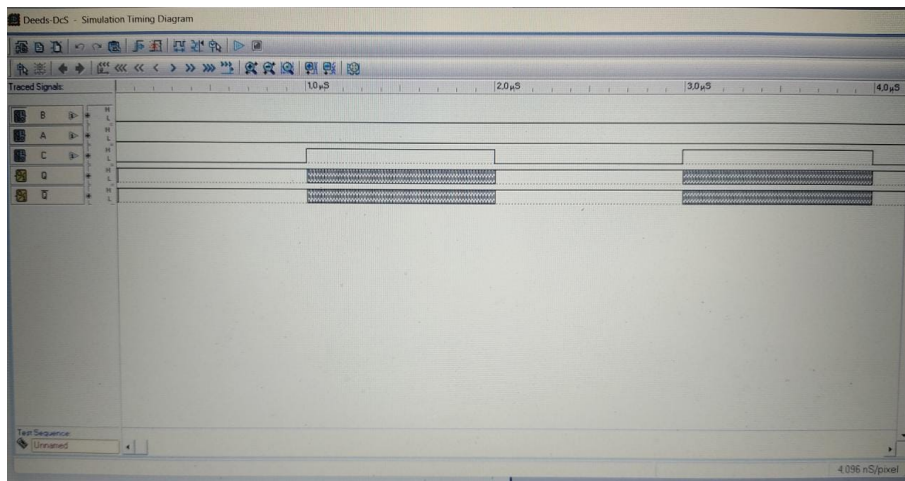


Figura 2. Diagrama temporal da sequência 11-00-11

2.2. Latch RS engatilhado

Para o segundo experimento, foi construído o circuito como apresentado na figura 3, com o intuito de entender e exemplificar, como funciona um circuito *Latch RS engatilhado*. O circuito foi construído no simulador de circuito *Deeds-DcS*. Em sua construção foram usadas 4 portas NAND's, terminais de input e output e LED's, para ajudar na averiguação dos resultados.

O *Latch RS engatilhado* define uma sincronia ao circuito, uma vez que, em circuitos Latch RS (comum), toda variação da entrada, salvo o tempo de resposta, gera uma imediata saída do circuito, podendo gerar diversas ocorrências de pulso indesejáveis e assincronia de operações. Ao obter-se um gatilho (T), pode-se controlar a mudança de estado, determinando requerimento de tempo de forma precisa, tornando um circuito síncrono.

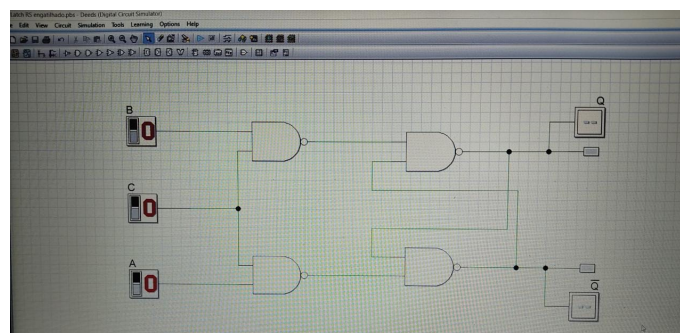


Figura 3. Latch RS engatilhado

A tabela verdade exemplifica como deve ser a resposta do circuito abordado. Pode-se averiguar a congruência do circuito no link de vídeos 2.5

Tabela 2. Tabela verdade do Latch RS engatilhado

ENTRADAS			SAÍDAS	
T	S	R	Q_{n+1}	\overline{Q}_{n+1}
0	X	X	Q_n	\overline{Q}_n
1	0	0	Q_n	\overline{Q}_n
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

A figura 4 demonstra o diagrama temporal do circuito, quando se trata das transições tidas como proibidas, o circuito exibe diversos pulsos, denotando a inconsistência do resultado. Resultados, os quais, não são viáveis para fins que exigem precisão.

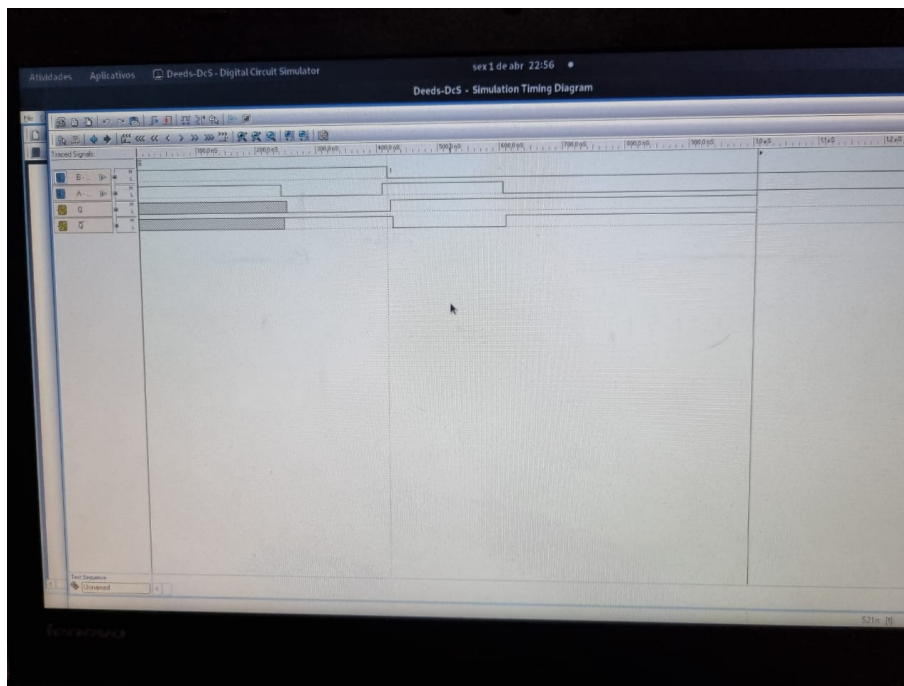


Figura 4. Latch RS engatilhado

2.3. Flip-Flop RS Mestre-Escravo

Para o terceiro experimento, foi construído o circuito como apresentado na figura 5, de forma que, demonstre visualmente como funciona um circuito *Flip-Flop RS Mestre-Escravo*. O circuito foi construído no simulador de circuito *Deeds-DcS*. Em sua construção foram usadas 8 portas NAND's, uma porta NOT, terminais de input e output e LED's, para ajudar na averiguação dos resultados.

Circuito Flip-flop demonstra mudança de estado quando há mudança em sua borda, ou seja, diferente dos circuitos latch's que aceitam mudança durante a borda de subida ou decida, os flip-flops mudam assim que um ciclo completo do clock acontece.

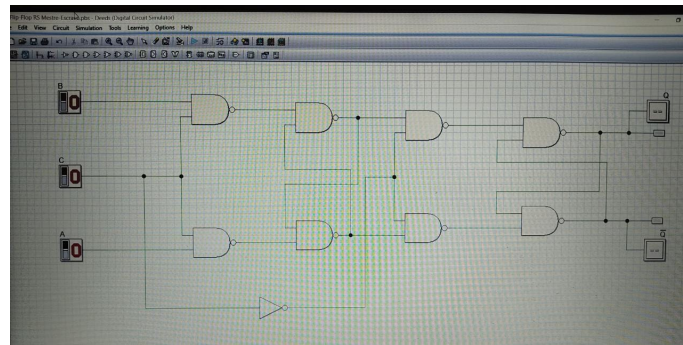


Figura 5. Flip-Flip RS Mestre-Escravo

A tabela verdade [3](#) exibe como deve ser a resposta do circuito abordado. A averiguação dos resultados pode ser observada no respectivo vídeo da listagem [2.5](#).

Tabela 3. Tabela verdade do Flip-flop RS MESTRE-ESCAVO

ENTRADAS			SAÍDAS	
T	S	R	Q_{n+1}	\bar{Q}_{n+1}
0	X	X	Q_n	\bar{Q}_n
1	0	0	Q_n	\bar{Q}_n
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

2.4. Flip-Flop JK

Para o quarto experimento, foi construído o circuito como apresentado na figura [6](#), sendo ele o circuito padrão de *Flip-flop JK*. O circuito foi construído no simulador de circuito *Deeds-DcS*. Em sua construção foram usadas 8 portas NAND's, uma porta NOT, um gerador clock, terminais de input e output e LED's, para ajudar na averiguação dos resultados.

Esse Flip-flop tem como característica não ter o resultado indeterminado, uma vez que, em sua construção há uma realimentação da saída para a entrada.

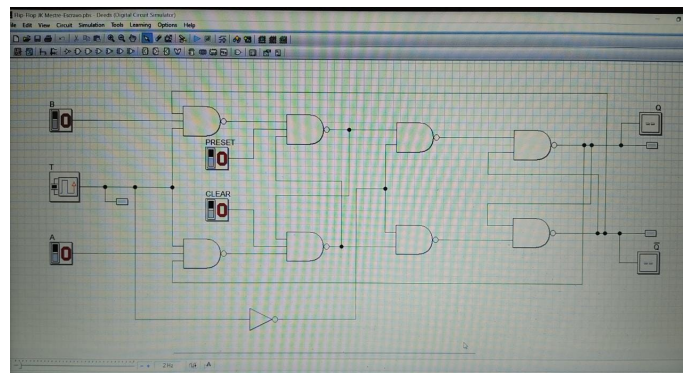


Figura 6. Flip-Flop JK

Foram usados os dados da tabela verdade 4 para averiguar a congruência do circuito com o que é esperado. Pode-se verificar os resultados a partir do respectivo vídeo na listagem em questão 2.5.

Tabela 4. Tabela verdade do Flip-flop JK MESTRE-ESCRAVO

ENTRADAS			SAÍDAS	
T	J	K	Q_{n+1}	\overline{Q}_{n+1}
0	X	X	Q_n	\overline{Q}_n
1	0	0	Q_n	\overline{Q}_n
1	0	1	0	1
1	1	0	1	0
1	1	1	\overline{Q}_n	Q_n

A figura 7 demonstra a característica principal do flip-flop JK, apesar da alta frequência do gerador de clock, sendo ela $200MHz$, o diagrama temporal exhibe a enorme variação de saída quando é analisado a resposta diante do "Estado proibido". Visto que $J = 1$, $K = 1$, $\overline{PRESET} = 1$ e $\overline{CLEAR} = 1$. Reitera-se que a saída não é indeterminada, seu comportamento é conhecido e sua visualização depende apenas do da frequência do clock

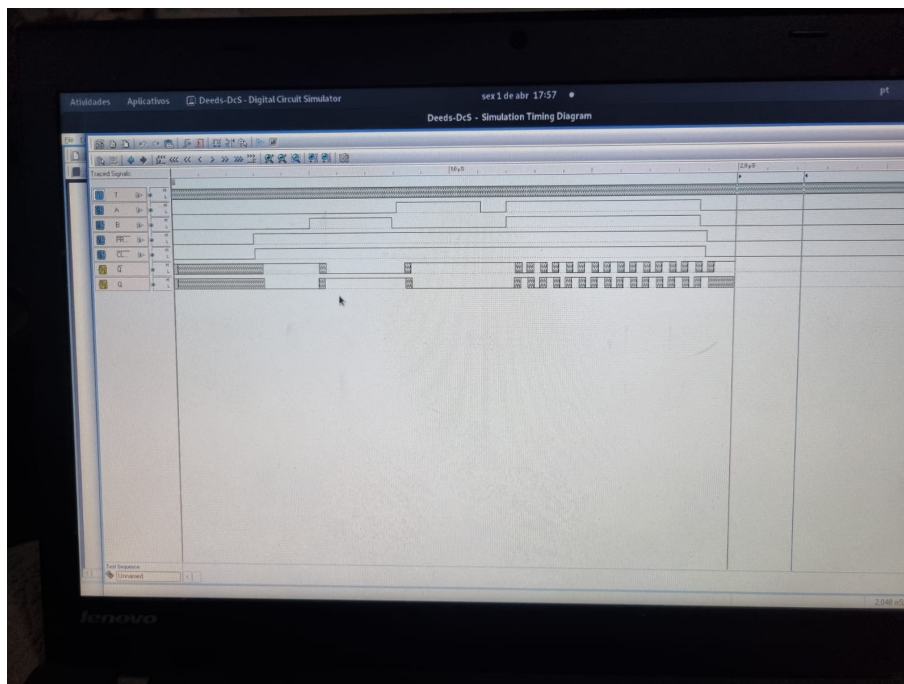


Figura 7. Diagrama temporal do flip-flop JK com clock de 200MHz

2.5. Links para vídeo no Youtube

Para assistir o funcionamento dos circuitos desse relatório, basta clicar nos seguintes links:

- Link para assistir o funcionamento do Latch RS com NANDs (Figura 1): [Latch RS com NANDs](#)

- Link para assistir o funcionamento do Latch RS engatilhado (Figura 3): [Latch RS engatilhado](#)
- Link para assistir o funcionamento do Flip-Flop RS Mestre-Escravo (Figura 5): [Flip-Flop RS Mestre-Escravo](#)
- Link para assistir o funcionamento do Flip-Flop JK (Figura 6): [Flip-Flop JK](#)

3. Análise dos Resultados

Analisando os resultados separadamente, encontramos que:

- Experimento 1 - A elaboração dos circuitos e obtenção dos resultados tiveram êxito. Foi observado a inconsistência do "estado proibido" tanto por simulação interativa como por simulação de ondas, de modo geral, todas as saídas foram obtidas.
- Experimento 2 - A elaboração dos circuitos e obtenção dos resultados tiveram êxito. Foi trivial observar o papel do gatilho T no circuito, deixando claro as diferenças entre o circuito em questão e o anterior. De modo geral, todas as saídas foram obtidas.
- Experimento 3 - A elaboração dos circuitos e obtenção dos resultados tiveram êxito. De modo geral, os resultados estão de acordo com o previsto, constatou-se a diferença entre o flip-flop e o latch e o entendimento de mudança de estado dos circuitos flip-flop.
- Experimento 4 - Obtivemos êxito na elaboração dos circuitos e obtenção dos resultados. Por fim, ficou claro a diferença do Flip-flop RS para o JK, uma vez que, é possível conhecer o comportamento de saída do Flip-flop JK, apesar das grandes variações de resultados, obtivemos o resultado esperado.

4. Conclusão

Nesse trabalho foi apresentado os resultados e análises dos exercícios propostos do Experimento 7 da matéria de Laboratório de Circuitos Lógicos - CIC0231.

Como resultado obtivemos os seguintes circuitos: Latch RS com NANDs, Latch RS engatilhado, Flip-Flop RS Mestre-Escravo e Flip-Flop JK. Em todos os circuitos foram apresentados seus conceitos, no caso do Latch os circuitos funcionam de acordo com o nível, já Flip-Flops funcionam de acordo com à borda do *clock*, suas tabelas-verdades e, em alguns casos, o diagrama temporal mostrando que ao entrar no "estado proibido" o circuito entra em um loop temporal, causando uma interrupção no funcionamento do circuito. Posto isso, todos os objetivos do trabalho foram atingidos.

Referências

- Floyd, T. (2009). *Sistemas digitais: fundamentos e aplicações*. Bookman Editora.
- Lamar, M. V. and Mandelli, M. G. (2022a). Laboratório de circuitos lógicos - 7º experimento.
- Lamar, M. V. and Mandelli, M. G. (2022b). Plano de ensino 2021/2.

Auto-Avaliação

1. D
2. A
3. D
4. A
5. C
6. D
7. D