

Experimento 8

Latches e Flip-Flops “D”

Ana Caroline da Rocha Braz, 21/2008482

Kalew Silva Piveta, 18/0104071

Grupo G20

¹Dep. Ciência da Computação – Universidade de Brasília (UnB)
CIC0231 - Laboratório de Circuitos Lógicos

braz.ana@aluno.unb.br, kalew.silva@aluno.unb.br

Abstract. *This corresponds to the Experiment 8 report on Latches and Flip-Flops “D”. the purpose of this is to describe and implement “D” Latches and Flip-Flops using logic gates or JK flip-flops, in addition to checking the setup time. For this, the Latch D, Flip-flop D and Flip-flop D-pet circuits were built. As a result, all circuits worked according to their theoretical concepts.*

Resumo. *Este corresponde ao relatório do Experimento 8 sobre Latches e Flip-Flops “D”. O objetivo deste é descrever e implementar o Latches e Flip-Flops “D” usando portas lógicas ou flip-flops JK, além de verificar o tempo de setup. Para isso, foram construídos os circuitos Latch D, Flip-flop D e Flip-flop D-pet. Como resultado, todos os circuitos funcionaram de acordo com seus conceitos teóricos.*

1. Introdução

Durante o semestre 2021/2, diversos experimentos da disciplina de Laboratório de Circuitos Lógicos (CIC0231) serão realizados com o intuito de apresentar os recursos e ferramentas básicas para a construção e testes de circuitos digitais, além de introduzir conceitos e métodos utilizados para circuitos digitais modernos [Lamar and Mandelli 2022b].

Um latch é um tipo de dispositivo de armazenamente temporário que possui dois estados estáveis (biestável). Apesar de serem similares à flip-flops, os latches são considerados um circuito sensível ao nível. Um exemplo é o Latch D que consiste de um latch RS em que o DADO entra em S e o \overline{DADO} entra em R, sendo assim permitindo que a saída acompanhe a entrada de dados sempre que o *clock* estiver em 1 [Floyd 2009, Lamar and Mandelli 2022a].

Um flip-flop são dispositivos biestáveis síncronos, conhecidos também como multivibradores biestáveis. Nesse circuito, a saída muda de estado apenas no momento especificado pela entrada de disparo do *clock*. Sendo assim, o circuito é considerado sensível à borda. Um exemplo é o Flip-flop D que permite que o dado seja transferido da entrada para a saída apenas durante a transição positiva do pulso do relógio [Floyd 2009, Lamar and Mandelli 2022a].

Durante os experimentos, além da construção dos circuitos, também é medido o tempo de *setup*, ou seja, o intervalo de tempo que é necessário para os níveis de controle serem colocados nas entradas do circuito antes da borda de disparo de um pulso de *clock*.

O tempo de *setup* típico para os flip-flops da família TTL é de 20 ns antes da transição positiva do relógio [Floyd 2009, Lamar and Mandelli 2022a].

Sendo assim, o objetivo principal desse trabalho é descrever e implementar o Latch e Flip-Flops “D” usando portas lógicas ou flip-flops JK, além de verificar o tempo de *setup*. Para isso, foram construídos os circuitos Latch D, Flip-flop D e Flip-flop D-pet. Para isso, o software *Deeds* foi usado para a implementação dos circuitos e criação dos diagramas temporais.

Esse relatório está organizado da seguinte forma. Na seção 2, serão apresentados os procedimentos de cada item da parte experimental e, logo em seguida, os links para assistir o funcionamento dos circuitos. Na seção 3, serão apresentados as análises dos resultados encontrados durante os procedimentos. Na seção 4, a conclusão. E, por fim, as referências e a auto-avaliação.

2. Procedimentos

Nessa seção serão apresentados os resultados dos experimentos.

2.1. Latch D

Para o primeiro experimento, foi construído o circuito Latch-D como mostra na Figura 1, com o intuito de entender, o funcionamento e mostrar a característica básica de um latch que podem ser vistos no vídeo corresponde na seção 2.5.

Em sua construção foram usadas 4 portas NAND’s e 1 porta NOT, terminais de input para D e *clock*, terminais de output e LED’s, para ajudar na averiguação dos resultados.

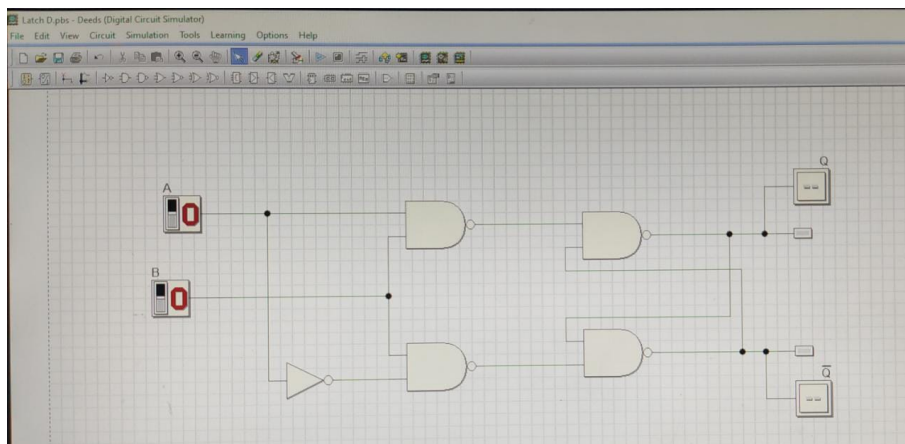


Figura 1. Latch D

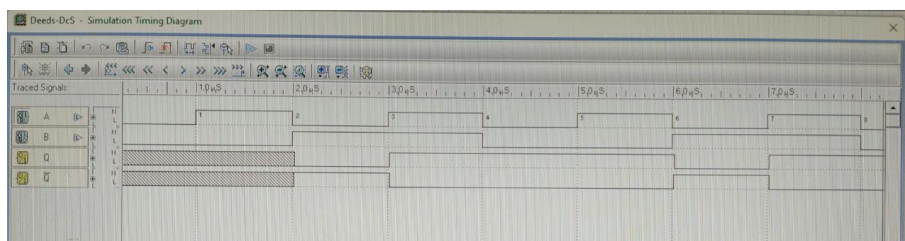


Figura 2. Diagrama Temporal do Latch D

Durante a execução do circuito, pode-se perceber a característica básica de um latch: a sensibilidade ao nível (Figura 2), ou seja, enquanto o *clock* está no nível lógico 1, a saída irá sempre acompanhar a entrada mostrando o mesmo resultado. E quando o clock está no nível lógico 0, quando alterado a entrada, a saída não será modificada. Pela tabela-verdade abaixo, Tabela 1, é possível encontrar os resultados obtidos no circuito implementado.

Tabela 1. Tabela verdade do Latch D.

CLK = B	D = A	Q_{n+1}
0	0	Q_n
0	1	Q_n
1	0	0
1	1	1

2.2. Flip-Flop D

Para o segundo experimento, foi construído o circuito Flip-flop D como mostra na Figura 3, com o intuito de entender, o funcionamento e mostrar a característica básica de um flip-flop que podem ser vistos no vídeo corresponde na seção 2.5.

Em sua construção foram usadas 6 portas NAND's, terminais de input para D e *clock*, terminais de output e LED's, para ajudar na averiguação dos resultados.

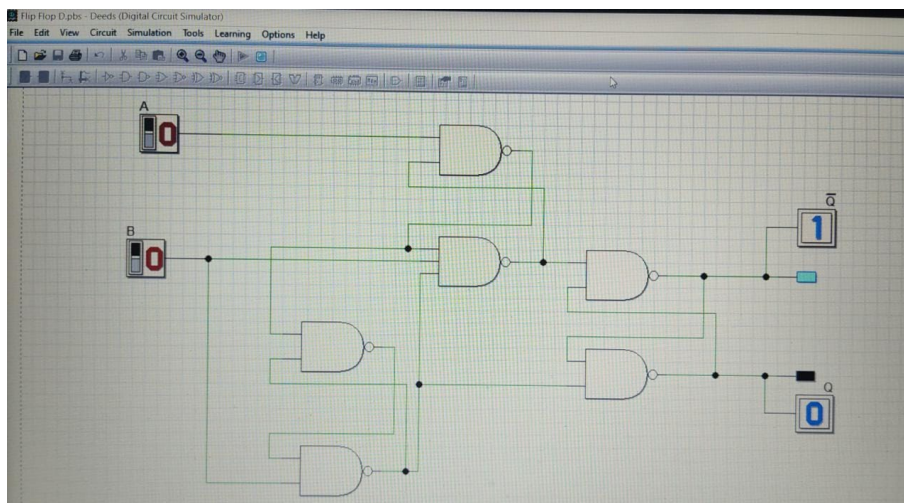


Figura 3. Flip-Flop D

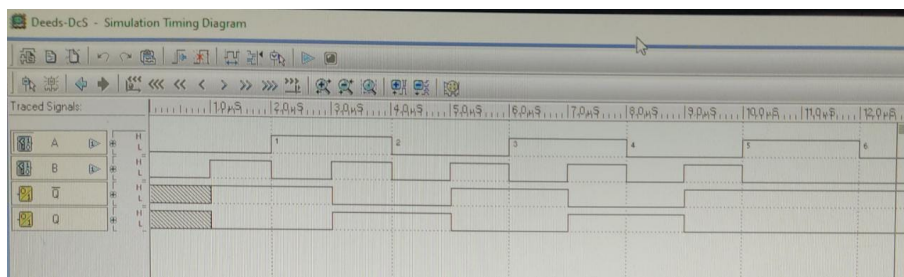


Figura 4. Diagrama Temporal do Flip Flop D

Durante a execução do circuito, pode-se perceber a característica básica de um flip-flop: a sensibilidade ao bordo de subida (Figura 4), ou seja, o dado só será armazenado no momento em que há a transição do *clock* de 0 para 1, após esse momento pode mudar a entrada, mas a saída permanecerá a mesma, ela só irá mudar quando houver outra transição 0 para 1. Pela tabela-verdade abaixo, Tabela 2, é possível encontrar os resultados obtidos no circuito implementado.

Tabela 2. Tabela verdade do flip-flop D.

CLK = B	D = A	Q_{n+1}
↓	X	Q_n
↑	0	0
↑	1	1

2.3. Flip-Flop D-pet

Para o terceiro experimento, utilizando o Flip-flop D-pet, já implementado do Deeds, como mostra na Figura 5, com o intuito de entender, o funcionamento e mostrar a atuação dos pinos \overline{PR} e \overline{CLR} que podem ser vistos no vídeo corresponde na seção 2.5.

Em sua construção foram usadas o flip-flop D-pet, do próprio Deeds, terminais de input para D e *clock*, terminais de output e LED's, para ajudar na averiguação dos resultados.

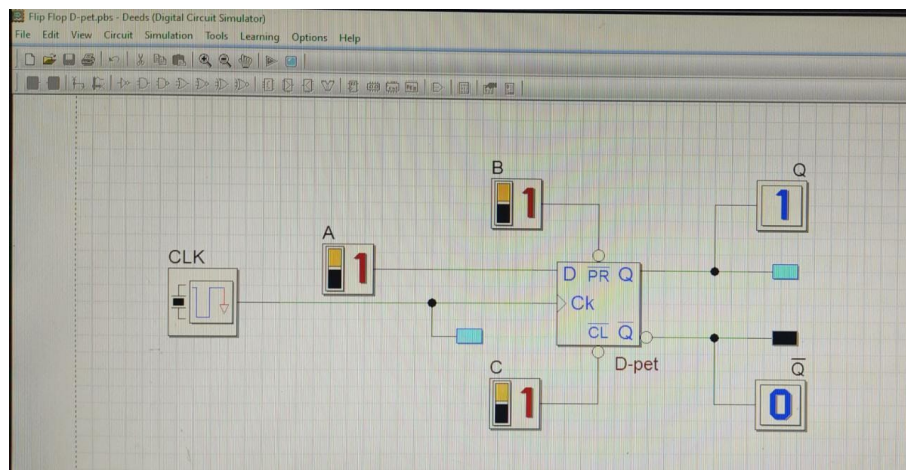


Figura 5. Flip-Flop D-pet

Observa-se que para o funcionamento do circuito os pinos \overline{PR} e \overline{CLR} precisam estar ligados, ou seja, nível lógico 1. Como se trata de um flip-flop, apenas quando houver a transição do nível lógico 0 para 1 que o valor de entrada será armazenado na saída, demonstrando novamente sua característica básica de sensibilidade ao bordo de subida.

2.4. Verificação experimental do tempo de *setup*

Para o quarto experimento, foram construídos os circuitos da Figura 6, Figura 8, Figura 10 com o intuito de entender, o funcionamento e mostrar como funciona o tempo de *setup* de cada circuito que podem ser vistos no vídeo corresponde na seção 2.5.

Em suas construções foram usadas o flip-flop D construído no experimento 2.2, um input, no caso o sinal *clock* e LED's, para ajudar na averiguação dos resultados.

De acordo com os experimentos feitos no simulador *Deeds*, mais especificamente na seção 2.4, podemos verificar na imagem 7 que o *Flip-Flop D* de clock e entrada iguais, gerou uma notória inconsistência nos resultados de seu diagrama temporal, visto que no simulador não há atraso de ciclo devido aos fios, portanto, há uma falha no estado do circuito causando um loop infinito de resultados.

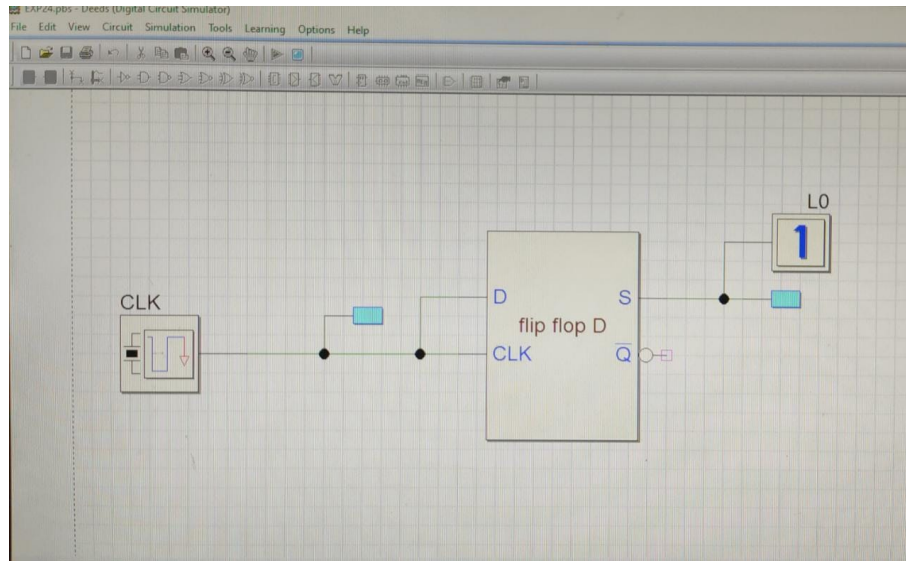


Figura 6. Flip-Flop D com apenas uma entrada *clock*

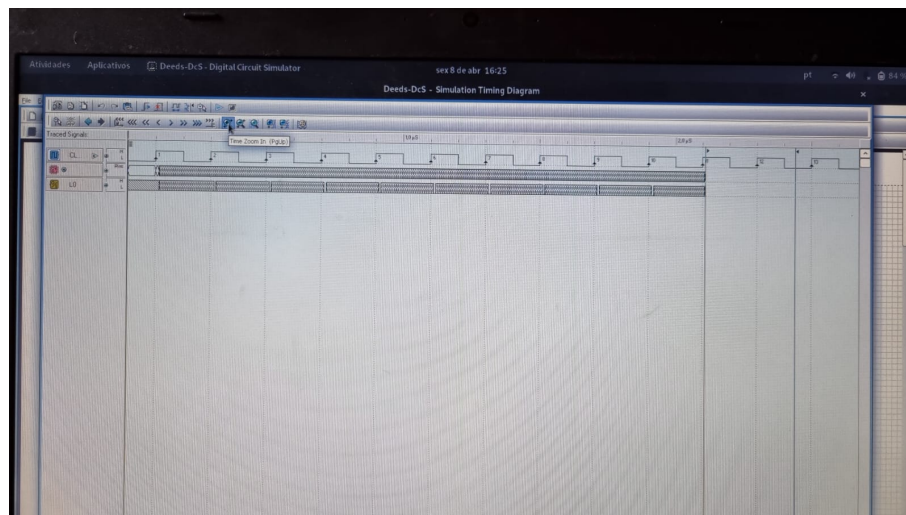


Figura 7. Diagrama temporal do Flip-Flop D com apenas uma entrada *clock*

Logo na imagem 8 podemos observar um *Flip-Flop D* construído da maneira mais correta. A sequência de portas *NOT* gera um atraso na entrada da porta *clock* fazendo com que a borda da entrada D sempre esteja estável para que a borda do *clock* possibilite a mudança de estado do circuito, esse padrão de construção deve-se ao *SETUP TIME*, que

consiste em um tempo necessário para que a entrada se estabilize e o *clock* possa efetuar com segurança as mudanças de estado. Esse tempo consiste, no mínimo, em 20ns. E por a entrada *D* e o *clock* terem o mesmo gerador de entrada, isso faz com que a saída *S* do circuito seja constante e igual a 1.

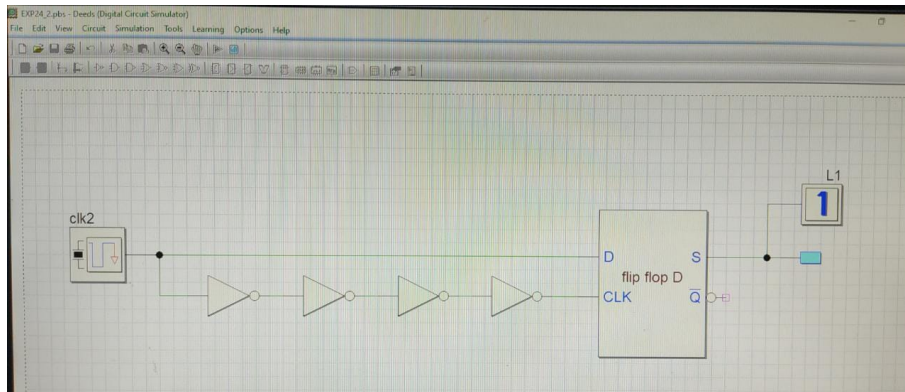


Figura 8. Flip-Flop D com apenas uma entrada *clock* e 4 portas NOT ligadas a *clock*

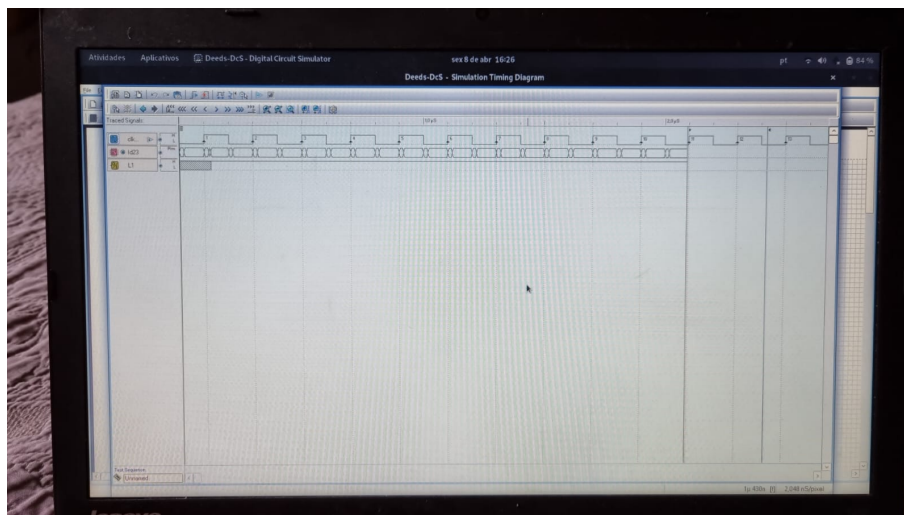


Figura 9. Diagrama temporal do Flip-Flop D com apenas uma entrada *clock* e portas 4 portas NOT ligadas a *clock*

No último circuito construído (imagem10), pode-se observar que o atraso está na entrada *D* do *Flip-Flop D*, o mesmo foi feito para averiguar a necessidade do *SETUP TIME* e o resultado contrário ao circuito anterior. Na imagem11 observa-se a saída do circuito como constante e igual a 0.

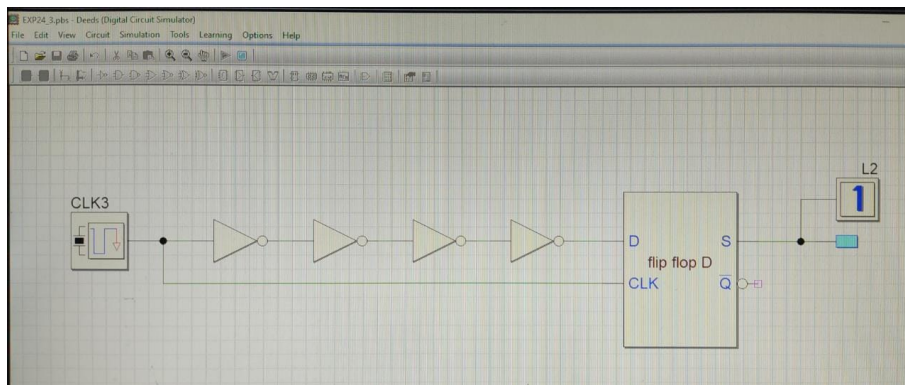


Figura 10. Flip-Flop D com apenas uma entrada *clock* e 4 portas NOT ligadas a D

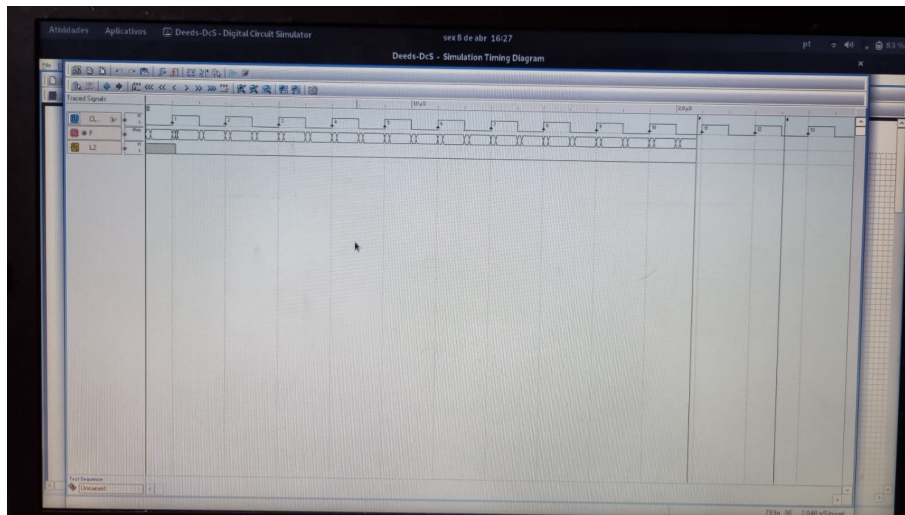


Figura 11. Diagrama temporal do Flip-Flop D com apenas uma entrada *clock* e portas 4 portas NOT ligadas a D

2.5. Links para vídeo no Youtube

Para assistir o funcionamento dos circuitos desse relatório, basta clicar nos seguintes links:

- Link para assistir o funcionamento do Latch D (Figura 1): [Latch D](#)
- Link para assistir o funcionamento do Flip-Flop D (Figura 3): [Flip-Flop D](#)
- Link para assistir o funcionamento do Flip-Flop D-pet (Figura 5): [Flip-Flop D-pet](#)
- Link para assistir o funcionamento da Verificação experimental do tempo de *setup* (Figura 6, Figura 8 e Figura 10): [Verificação experimental](#)

3. Análise dos Resultados

Analisando os resultados separadamente, encontramos que:

- Experimento 1 - Foi apresentado o latch D que possui como característica básica a sensibilidade ao nível. Durante o experimento foi verificado junto a tabela verdade da seção 2.1 que o circuito funcionou perfeitamente como é apresentado os conceitos teóricos.

- Experimento 2 - Foi apresentado o Flip-flop D que possui como característica básica a sensibilidade a borda de subida. Durante o experimento foi verificado junto a tabela verdade da seção 2.2 que o circuito funcionou perfeitamente como é apresentado os conceitos teóricos.
- Experimento 3 - Foi apresentado o Flip-Flop D-pet. Este flip-flop possui mais dois pinos: o \overline{PR} e o \overline{CL} . Para que o circuito funcione é necessário que ambos os pinos estejam ligados, sendo assim se pelo menos um dos pinos estiver desligado o circuito não mudará. Isso é mostrado perfeitamente no vídeo da seção 2.5.
- Experimento 4 - Foi apresentado o Flip-Flop D. Esse circuito tem como diferença dos outros um gerador único de entradas/sinais, que se liga tanto na entrada D como no *clock* do flip-flop em questão. Com isso foi objeto de teste e análise o termo *SETUP TIME* juntamente com a importância das subsequências de portas (NOT) no circuito e referente a análise do termo. Toda a análise é mostrada perfeitamente no vídeo da seção 2.5.

4. Conclusão

Nesse trabalho foi apresentado os resultados e análises dos exercícios propostos do Experimento 8 da matéria de Laboratório de Circuitos Lógicos - CIC0231.

Como resultados obtivemos os seguintes circuitos: Latch D, Flip-flop D, Flip-flop D-pet, Flip-flop D com a chegada do dado simultaneamente nas entradas, Flip-flop D com a chegada do dado atrasado por contas das portas NOT na entrada do *clock*, Flip-flop D com a chegada do dado atrasado por contas das portas NOT na entrada D . Em todos os circuitos foram apresentados seus conceitos e o funcionamento por meio dos textos do procedimentos da seção 2 e vídeos da seção 2.5. Posto isso todos os objetivos citados no relatório foram atingidos.

Referências

- Floyd, T. (2009). *Sistemas digitais: fundamentos e aplicações*. Bookman Editora.
- Lamar, M. V. and Mandelli, M. G. (2022a). Laboratório de circuitos lógicos - 8º experimento.
- Lamar, M. V. and Mandelli, M. G. (2022b). Plano de ensino 2021/2.

Auto-Avaliação

1. b
2. b
3. a
4. c
5. c
6. b
7. d
8. b
9. a
10. a