

Experimento 9

Contadores Assíncronos e Síncronos

Ana Caroline da Rocha Braz, 21/2008482

Kalew Silva Piveta, 18/0104071

Grupo G20

¹Dep. Ciência da Computação – Universidade de Brasília (UnB)
CIC0231 - Laboratório de Circuitos Lógicos

braz.ana@aluno.unb.br, kalew.silva@aluno.unb.br

Abstract. *This corresponds to the Experiment 9 report on Asynchronous and Synchronous Counters. The purpose of this counter is to design and assemble a 4-time progressive counter and an arbitrary counting progressive counter, both with JK flip-flops, to verify the occurrence of transient states, to perform a comparison with the operation of a synchronous ring. As a result, we were successful in some experiments carried out on account of the Deeds tool.*

Resumo. *Este corresponde ao relatório do Experimento 9 sobre Contadores Assíncronos e Síncronos. O objetivo deste é projetar e montar um contador assíncrono binário progressivo de 4 estágios e um contador síncrono de contagem arbitrária, ambos com flip-flops JK, verificar a ocorrência de estados transitórios e realizar a comparação com o funcionamento de um contador síncrono em anel. Como resultado, obtivemos sucesso em alguns experimentos realizados por conta da ferramenta Deeds.*

1. Introdução

Durante o semestre 2021/2, diversos experimentos da disciplina de Laboratório de Circuitos Lógicos (CIC0231) serão realizados com o intuito de apresentar os recursos e ferramentas básicas para a construção e testes de circuitos digitais, além de introduzir conceitos e métodos utilizados para circuitos digitais modernos [Lamar and Mandelli 2022b].

Os contadores são divididos em duas categorias de acordo com a forma que eles recebem os pulsos de um clock, podendo ser eles assíncronos e síncronos. Dentro de cada categoria, os contadores são classificados principalmente pelo tipo de sequência, o número de estados ou o número de flip-flops no contador. Por exemplo, um contador assíncrono de 2 bits e um contador síncrono de 2 bits [Lamar and Mandelli 2022a, Floyd 2009].

Os contadores assíncronos, também chamados de contadores ondulantes (*ripple counters*), são aqueles onde as transições dos diversos estágios não são comandadas simultaneamente por um mesmo terminal de contagem. Já os contadores síncronos, todos os estágios efetuam suas transições simultaneamente [Lamar and Mandelli 2022a, Floyd 2009].

Em termos de implementação, os contadores assíncronos em seu primeiro flip-flop recebe o clock por meio de um pulso de clock externo e cada flip-flop sucessivo recebe o

clock através da saída do flip-flop anterior. Já os contadores síncronos, a entrada de clock é conectada a todos os flip-flops de forma que eles recebem o clock simultaneamente [Lamar and Mandelli 2022a, Floyd 2009].

Sendo assim, o objetivo principal desse trabalho é projetar e montar um contador assíncrono binário progressivo de 4 estágios e um contador síncrono de contagem arbitrária, ambos com flip-flops JK, verificar a ocorrência de estados transitórios e realizar a comparação com o funcionamento de um contador síncrono em anel. Para isso, o software *Deeds* foi usado para a implementação dos circuitos.

Esse relatório está organizado da seguinte forma. Na seção 2, serão apresentados os procedimentos de cada item da parte experimental e, logo em seguida, os links para assistir o funcionamento dos circuitos. Na seção 3, serão apresentados as análises dos resultados encontrados durante os procedimentos. Na seção 4, a conclusão. E, por fim, as referências e a auto-avaliação.

2. Procedimentos

Nessa seção serão apresentados os resultados dos experimentos.

2.1. Contador binário progressivo assíncrono

Para o primeiro experimento foi contruído um contador binário progressivo assíncrono utilizando flip-flops JK (Figura 1). Nesse circuito, por ser assíncrono, os flip-flops que constituem o contador não mudam de estado exatamente ao mesmo tempo por não possuir um pulso de clock comum.

Figura 1. Contador binário progressivo assíncrono

Utilizando o diagrama de tempo do *Deeds* é possível medir o tempo de atraso das portas do circuito, sendo assim um tempo de 5 ns foi encontrado. Com esse tempo é possível calcular a frequência máxima que o circuito pode suportar por meio da fórmula:

$$F_{max} = \frac{1}{N \cdot t_{pd}} \quad (1)$$

Observa-se que na fórmula o “N” representa o número de flip-flops presentes no circuito e “ t_{pd} ” representa o tempo de atraso da porta lógica. Sendo assim, utilizando essa fórmula 1 achamos a seguinte frequência máxima para o circuito da Figura 1:

$$F_{max} = \frac{1}{4.5} = \frac{1}{20} = 0,05Hz = 50MHz \quad (2)$$

Em seguida, é pedido para verificar qual seria o número de estágios que podem ser decodificados sem erros, caso sua frequência máxima seja de 18MHz. Utilizando a fórmula 1, considerando que o tempo de atraso das portas do circuito seja 5ns e fazendo algumas manipulações algébricas, podemos obter:

$$F_{max} = \frac{1}{N \cdot t_{pd}} \Rightarrow 0,018 = \frac{1}{N \cdot 5} \Rightarrow N = \frac{1}{0,018 \cdot 5} \Rightarrow N = \frac{1}{0,09} = 11. \quad (3)$$

Portanto, são necessários 11 flip-flops para que o mesmo circuito funcione sem erros.

Foi feita uma simulação utilizando a frequência do *clock* em 10 Hz (Figura 2). Pode-se observar que em alguns momentos acontecem pulsos que representam o estado 0000, isso acontece durante as seguintes transições:

- Durante a passagem de 1 para 2
- Durante a passagem de 3 para 4
- Durante a passagem de 7 para 8

E a flutuação sempre acontece durante a passagem de *F* para 0, ou seja, de 15 para 0.

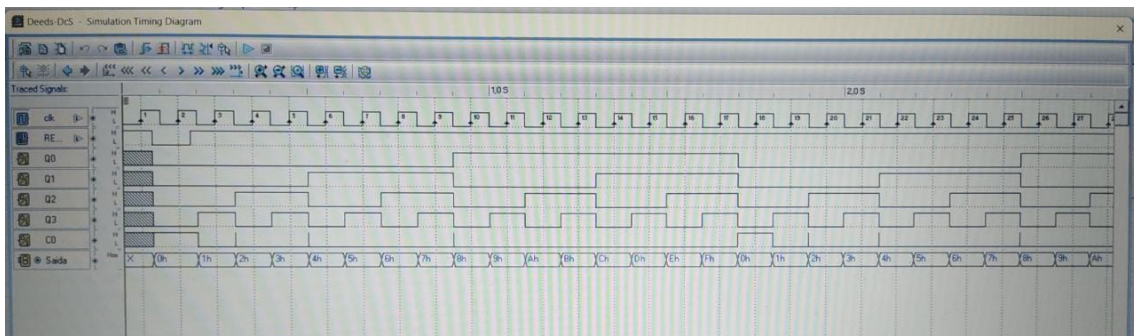


Figura 2. Diagrama Temporal com o *clock* em 10 Hz

2.2. Implementação de um Contador binário progressivo assíncrono

Para o segundo experimento, foi utilizado o circuito anterior (Figura 1) e nele adicionado uma porta NOR e um display de LED (Figura 3) para decodificar o estado 0000 e verificar se o contador está sequência correta, respectivamente. O vídeo do funcionamento do circuito pode ser visto na seção 2.5.

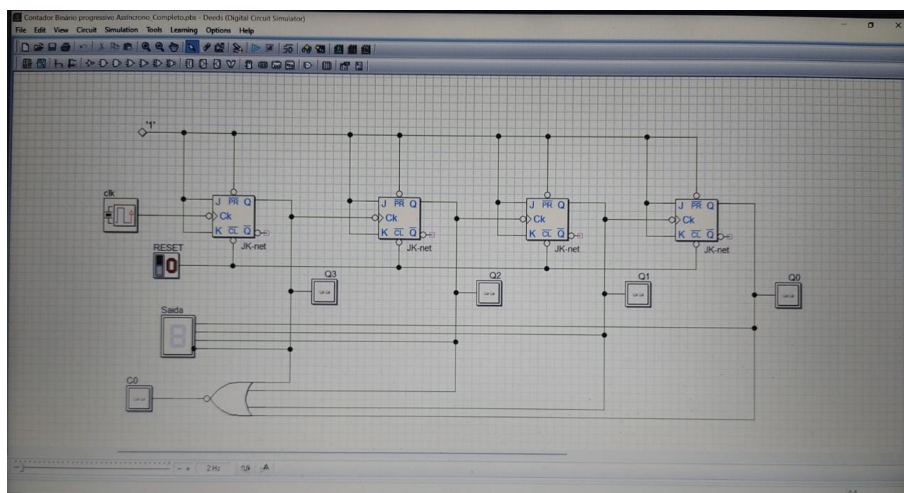


Figura 3. Contador binário progressivo assíncrono completo

Foi feita uma simulação utilizando a frequência do *clock* em 5 MHz (Figura 4). Comparando o diagrama do experimento anterior (Figura 2), pode-se observar que os pulsos acontecem no mesmo instante e que com a maior frequência fica mais claro em que momentos acontecem os pulsos dos estados 0000, sendo eles entre as seguintes transições:

- Durante a passagem de 1 para 2
- Durante a passagem de 3 para 4
- Durante a passagem de 7 para 8

E a flutuação sempre acontece durante a passagem de *F* para 0, ou seja, de 15 para 0.

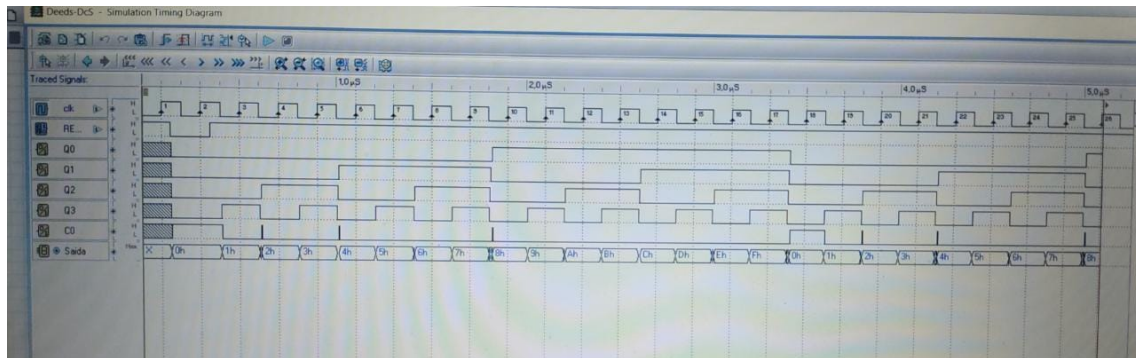


Figura 4. Diagrama Temporal com o *clock* em 5 MHz

Também foi realizado uma simulação com a frequência um pouco acima da calculada na seção 2.1. No entanto, pelo *Deeds* nenhum erro foi encontrado como é dito na teoria. O atraso cumulativo é principal desvantagem em muitas aplicações porque limita a taxa na qual o contador pode receber pulsos de *clock* e cria problemas de decodificação [Floyd 2009].

2.3. Implementação de um Contador em anel

Para o terceiro experimento, foi construído um contador em anel utilizando flip-flops D.

Um contador de anel de 4 bits (Figura 5) a cada número contado por ele, somente um dos bits, do total, que ele irá ser contado e será igual a 1. Então, inicialmente temos o circuito com 0000, assim que iniciado com o input SET, o primeiro bit será registrado na primeira saída ficando com o resultado 1000. Ao ativar o *clock* teremos o seguinte ciclo: 1000 -> 0100 -> 0010 -> 0001 -> 1000.

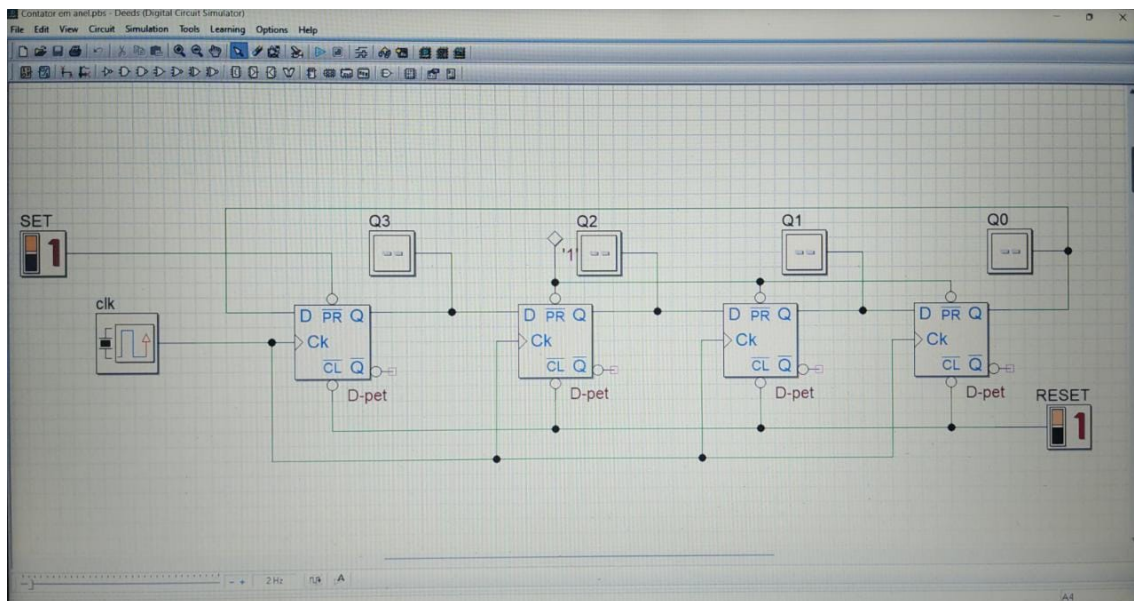


Figura 5. Contador em anel

Após a construção do circuito, o mesmo foi testado com uma frequência de 5 MHz (Figura 6). Medindo os atrasos, em todos os estágios foi obtido 5 ns de atraso entre as transições. Na Figura 6 é mostrada a medição entre o set e o Q0, momento em que é colocado 1 na primeira posição, após a primeira borda de subida o Q1 é ativado e, com o tempo de atraso 205 ns, o Q0 é desativado.

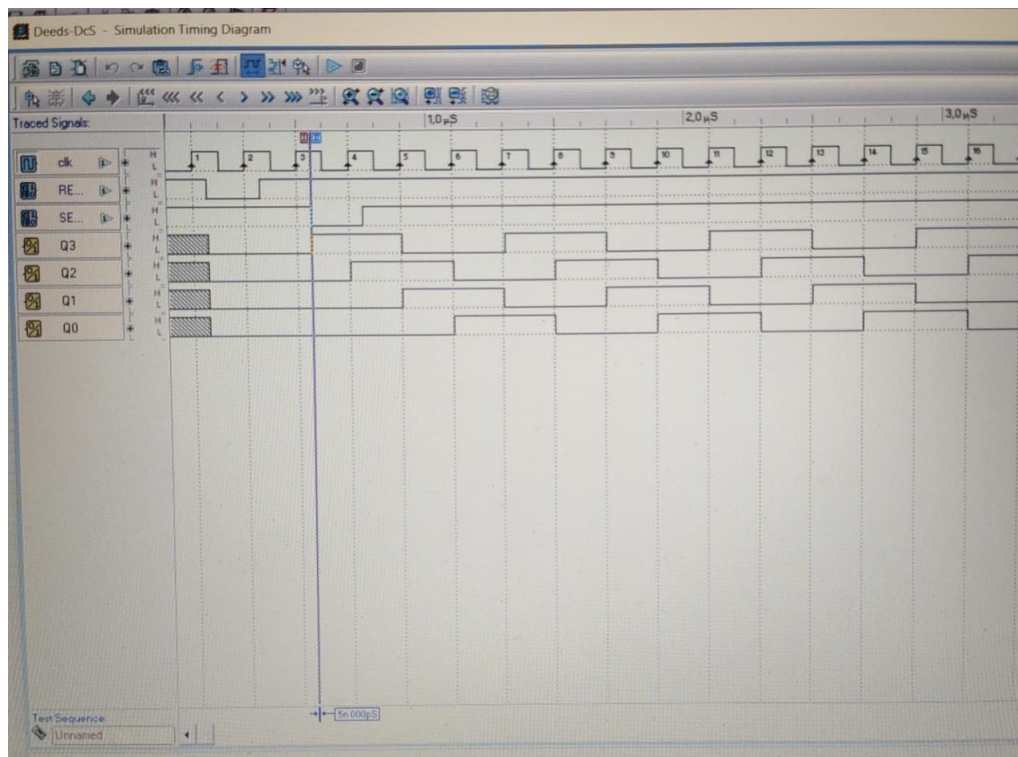


Figura 6. Diagrama temporal do contador em anel em 5 MHz

2.4. Implementação de um Contador síncrono

Para o quarto experimento, foi construído um contador síncrono utilizando flip-flops JK e portas NAND (Figura 7).

Um contador síncrono é aquele no qual todos os flip-flops recebem pulsos de clock ao mesmo tempo por meio de uma linha comum. No entanto, para esse circuito devemos seguir a sequência indicado na Tabela 1. Para isso portas NANDs foram colocadas de modo que representassem as portas AND e OR para obtenção os valores corretos nos flip-flops.

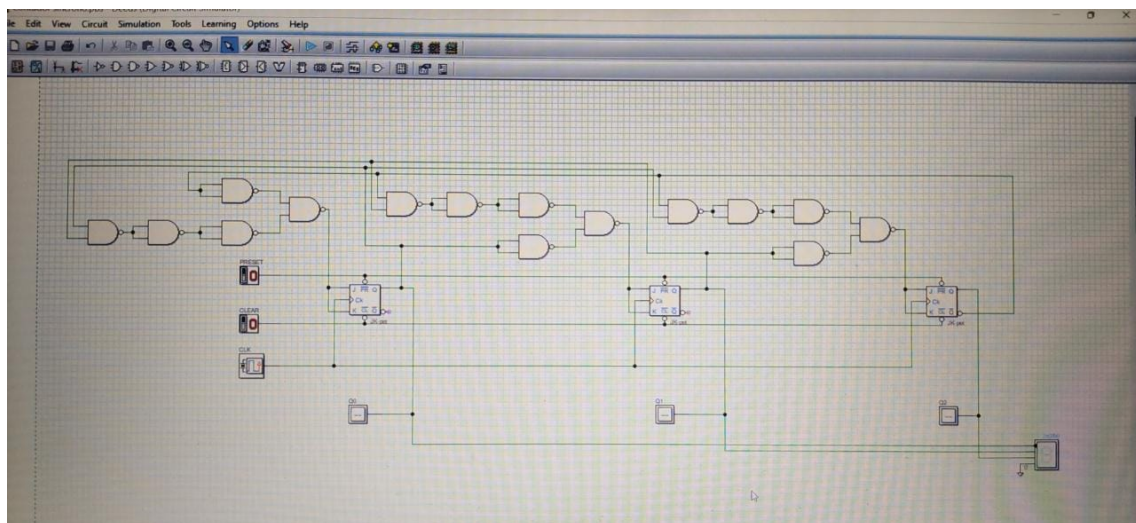


Figura 7. Contador síncrono

Tabela 1. Sequência de contagem

Sequência	Q_0	Q_1	Q_2
0	0	0	0
1	1	0	0
2	0	1	1
3	0	1	0
4	1	0	1
5	1	1	1

Nesse circuito também foi realizado o diagrama temporal utilizando a frequência de 5 MHz no *clock* (Figura 8). Pode-se observar que o diagrama segue exatamente a sequência proposta na Tabela 1.

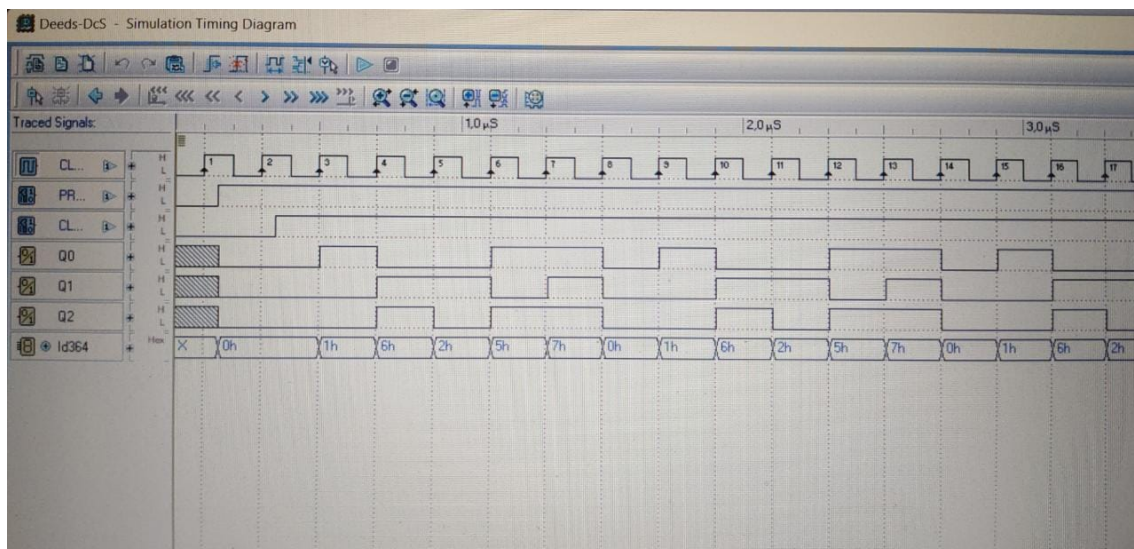


Figura 8. Diagrama Temporal do contador síncrono

2.5. Links para vídeo no Youtube

Para assistir o funcionamento dos circuitos desse relatório, basta clicar nos seguintes links:

- Link para assistir o funcionamento da implementação de um Contador binário progressivo assíncrono (Figura 3): [Contador binário progressivo assíncrono](#)
- Link para assistir o funcionamento da implementação de um Contador em anel (Figura 5): [Contador em anel](#)
- Link para assistir o funcionamento da implementação de um Contador síncrono (Figura 7): [Contador síncrono](#)

3. Análise dos Resultados

Analisando os resultados separadamente, encontramos que:

- Experimento 1 - Foi facilmente indetectável o papel dos números de estágios nos circuitos assíncronos e também os aspectos das transições e flutuações nos mesmos tipos de circuito. De forma geral, a construção dos circuitos e seus resultados tiveram êxito.
- Experimento 2 - Foi possível entender com certa facilidade a necessidade de um limitador de frequência para os circuitos assíncronos, visto que, os mesmos podem gerar muita incoerência nos resultados, como transições inesperadas e flutuações em suas saídas. Novamente, a construção do circuito foi obtido com êxito e facilidade. No entanto, apenas um dos resultados foram alcançados por conta de uma falha do *Deeds*. Quando aumentada a frequência, segundo a teoria, deveria ocorrer uma falha por conta do alto tempo de atraso, o que não veio acontecer quando feito na ferramenta.
- Experimento 3 - Foi verificado o papel dos circuitos contadores em anel e identificado sua utilidade, de forma relativamente tranquila. Não foram notados estados de transições em suas saídas, porém foi observável tempo de atraso entre seus estágios. Portanto, de forma geral, foi possível obter êxito na construção e obtenção de seus resultados.

- Experimento 4 - A obtenção desse circuito síncrono foi bastante complicada, visto que, os resultados do mesmo não são obtidos com muita trivialidade em relação aos circuitos assíncronos, porém sua construção final teve êxito e seus resultados são coerentes com o esperado. De modo geral, esse circuito propõe visualizar que pode-se escolher a sequência que o contador deve gerar.

4. Conclusão

Nesse trabalho foi apresentado os resultados e análises dos exercícios propostos do Experimento 9 da matéria de Laboratório de Circuitos Lógicos - CIC0231.

Como resultado obtivemos os seguintes circuitos: Contador binário progressivo assíncrono, Contador em anel e Contador síncrono. No primeiro circuito foi mostrado a sua implementação utilizando as portas JK e verificado a ocorrência do estado transitório 0000, além de averiguar a frequência máxima que o circuito pode funcionar. No entanto, foi nos apresentado um problema, por conta de uma falha na ferramenta *Deeds*, que não foi possível realizar, sendo ela a verificação do erro ao utilizar uma frequência maior do que o circuito suporta. Já no segundo, também foi apresentada sua implementação e mostrado os estados transitórios que ocorrem. No último circuito, além da implementação, foi apontado a Tabela 1 que mostra a sequência seguida pelo circuito, afóra seu diagrama temporal seguindo a tabela. No geral, todos os objetivos foram atingidos nesse relatório.

Referências

- Floyd, T. (2009). *Sistemas digitais: fundamentos e aplicações*. Bookman Editora.
- Lamar, M. V. and Mandelli, M. G. (2022a). Laboratório de circuitos lógicos - 9º experimento.
- Lamar, M. V. and Mandelli, M. G. (2022b). Plano de ensino 2021/2.

Auto-Avaliação

1. V
2. V
3. V
4. F
5. F
6. V
7. F
8. V
9. F
10. V
11. V
12. F
13. V
14. V
15. F
16. F
17. V
18. F
19. F
20. V
21. V
22. F
23. F
24. F
25. V
26. F
27. V
28. V
29. F
30. V
31. F
32. V