

**UNIVERSIDADE FEDERAL DO PARANÁ**

**ANA PAULA PRINCIVAL MACHADO  
MATHEUS HENRIQUE SILVEIRA SANTANA**

**RELATÓRIO 5 – CIRCUITOS DIGITAIS**

**TE332 – LABORATÓRIO DE ELETRÔNICA ANALÓGICA II  
PROFESSOR BERNARDO LEITE**

**CURITIBA**

**2022**

## 5.1. PORTAS LÓGICAS

- a) É criado o esquemático de uma porta NAND2 de duas entradas ( $\overline{AB}$ ), como mostrado na Fig. 1, enquanto seu símbolo é mostrado na Fig. 2. Então é criado o esquemático de uma porta NAND4 de quatro entradas ( $\overline{ABCD}$ ), como mostrado na Fig. 3, enquanto seu símbolo é mostrado na Fig. 4.

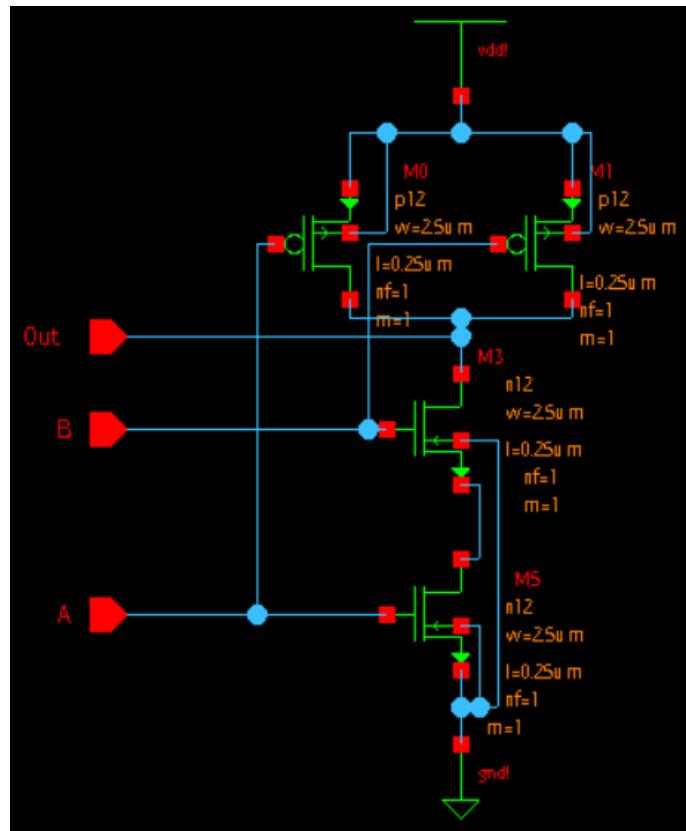


Fig. 1 – Esquemático da porta NAND2

Fonte: Os autores

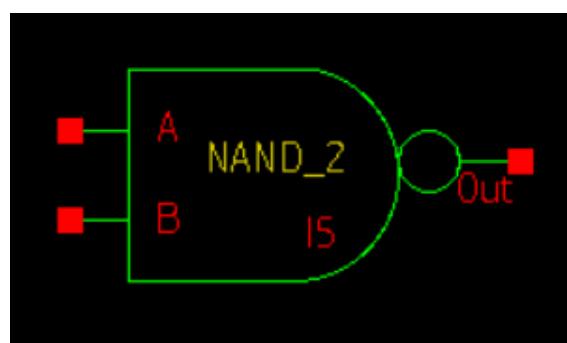


Fig. 2 – Símbolo da porta NAND2

Fonte: Os autores

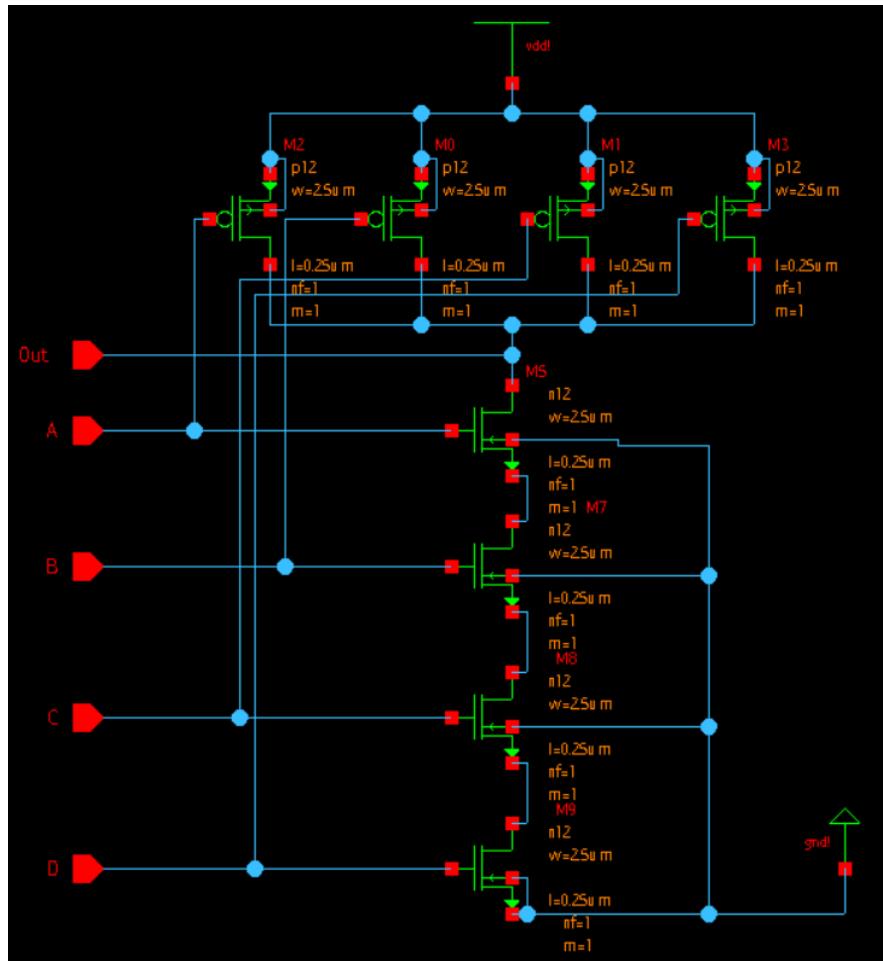


Fig. 3 – Esquemático da porta NAND4

Fonte: Os autores

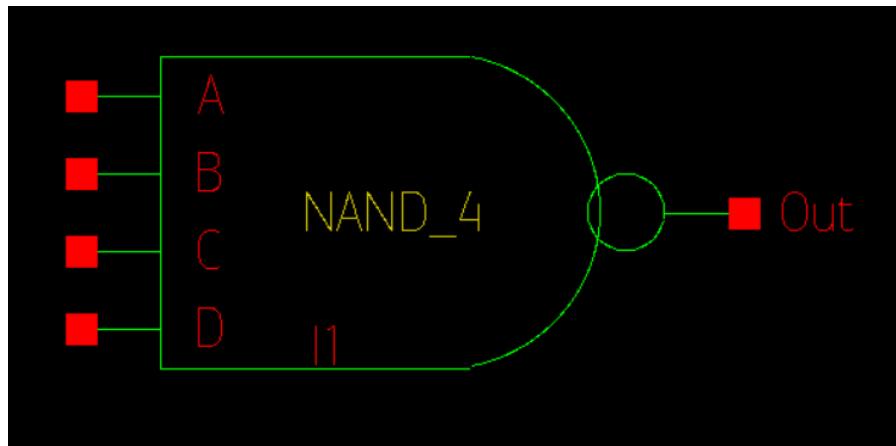


Fig. 4 – Símbolo da porta NAND4

Fonte: Os autores

Para testar a NAND2, foi criado um esquemático mostrado na Fig. 5. Foi feita um *sweep variable* em A e B, de 0 a 1,2 V, com 2 números de pontos. O resultado é mostrado na Fig. 6, e a interpretação dos resultados é mostrado na Fig. 7. Então os resultados são anotados na Tabela I, adotando como nível 0 para tensões próximas a zero e nível 1 para tensões próximas a  $Vdd$ .

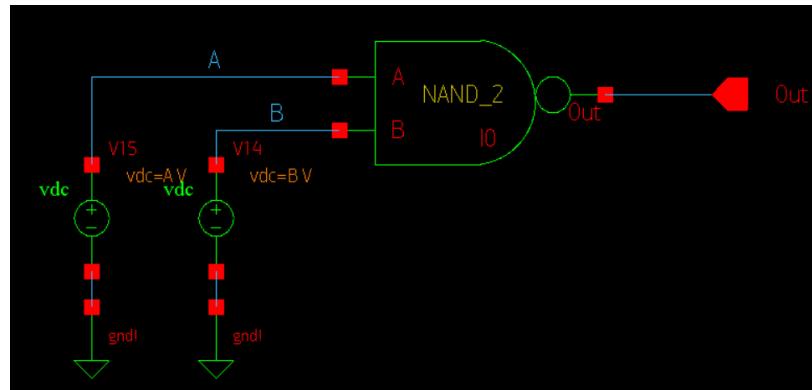


Fig. 5 – Esquemático de teste para porta NAND2  
Fonte: os autores

Testbench		Sweep Variable B		A 0		A 1.20000	
Filter	< Filter	< Filter	< Filter	< Filter	< Filter	< Filter	< Filter
default	0		1.2		1.19999		
	1.20000		1.2		46.2452u		

Fig. 6 – Resultados obtidos para porta NAND2  
Fonte: os autores

Testbench	Sweep Variable B	A 0	A 1.20000	B = 0 A = 1,2 Saída = 1,1999
Filter	< Filter	< Filter	< Filter	
default	0	1.2	1.19999	
	1.20000	1.2	46.2452u	

Fig. 7 – Interpretação dos resultados obtidos para porta NAND2  
Fonte: os autores

Tabela I – NAND2

A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

Para testar a NAND4, foi realizado o mesmo procedimento, dessa vez variando de A até D. O esquemático de teste é mostrado na Fig. 8, e a os resultados são mostrados na Fig. 9. Então os resultados são anotados na Tabela II, adotando como nível 0 para tensões próximas a zero e nível 1 para tensões próximas a  $Vdd$ .

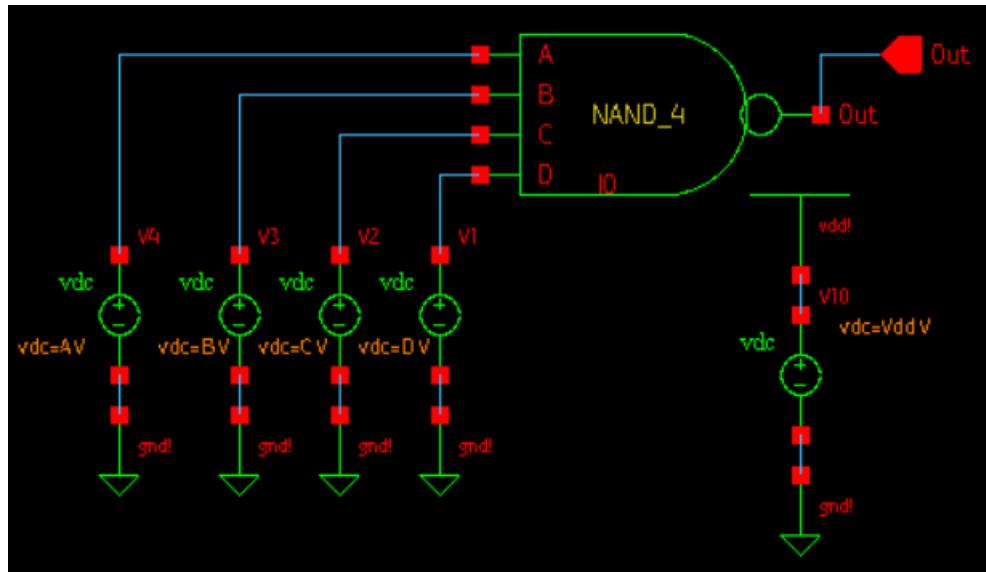


Fig. 8 – Esquemático de teste para porta NAND4

Fonte: os autores

Testbench		Sweep Variable B		Sweep Variable C		Sweep Variable D		A 0	A 1.20000
Filter	Y	< Filter	Y	< Filter	Y	< Filter	Y	< Filter	Y
default	0	0		1.20000		0		1.2	1.2
						1.20000		1.2	1.2
		1.20000		0		0		1.2	1.2
						1.20000		1.2	1.2
	1.20000	0		1.20000		0		1.2	1.2
						1.20000		1.2	1.2
		1.20000		0		0		1.2	1.2
						1.20000		1.19999	184.88u

Fig. 9 – Resultados obtidos para porta NAND4

Fonte: os autores

Tabela II – NAND4

A	B	C	D	OUT
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1

1	1	1	0	1
1	1	1	1	0

Observa-se que as portas possuem o comportamento esperado de uma NAND, onde a saída só está em nível lógico baixo quando todas as entradas estão em alta.

- b) Então é pedido para criar o esquemático de uma porta *and or inverter* de três entradas, uma AOI21 cuja saída é  $(\overline{AB} + \overline{C})$ , como mostrado na Fig. 10. O seu símbolo é mostrado na Fig. 11.

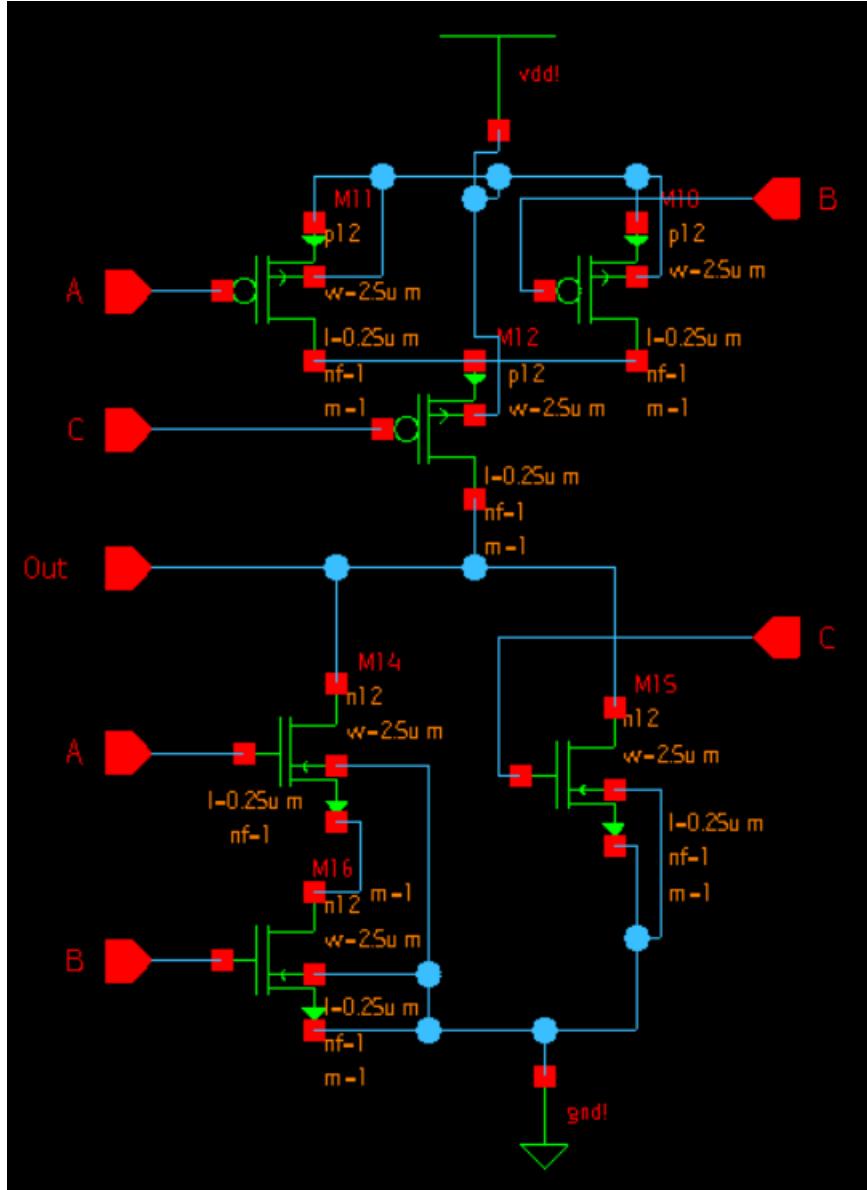


Fig. 10 – Esquemático da porta *and or inverter* (AOI21)  
Fonte: Os autores

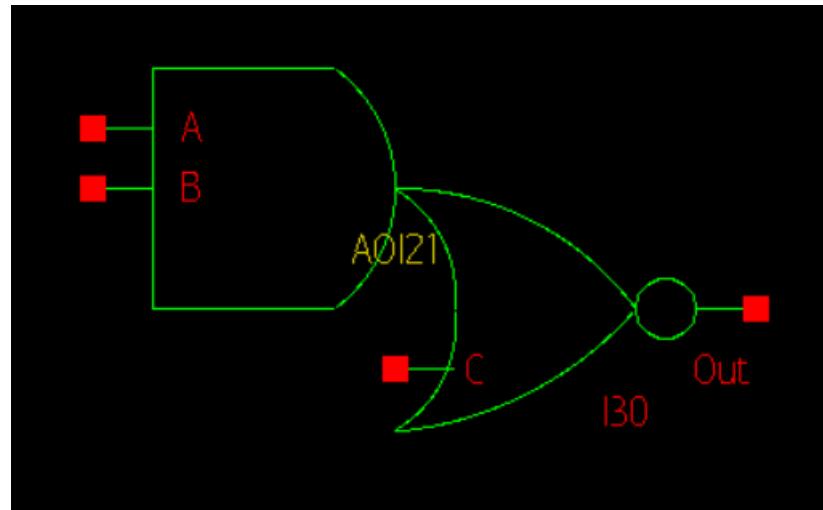


Fig. 11 – Símbolo da porta AOI21

Fonte: Os autores

- c) Neste item são testadas todas as combinações possíveis para a porta AOI21. Será testado da mesma forma que anteriormente. O esquemático de teste é apresentado na Fig. 12, enquanto os resultados obtidos são mostrados na Fig. 13.

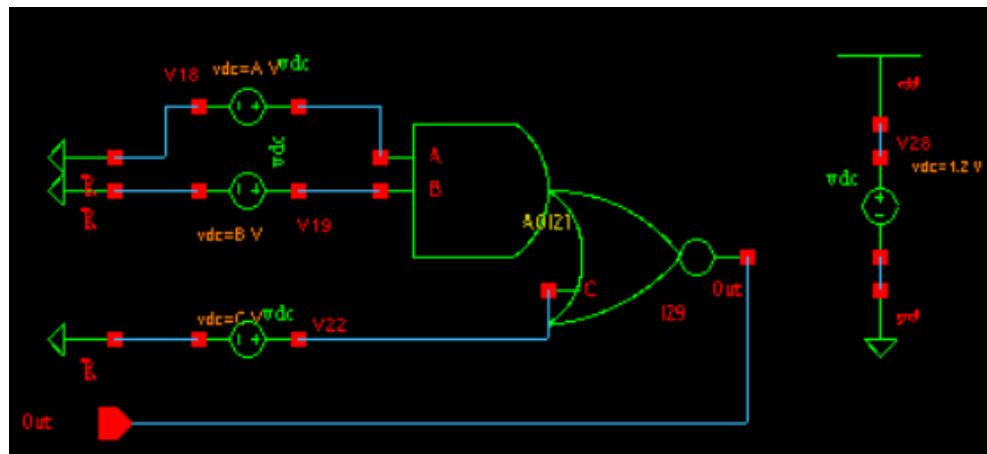


Fig. 12 – Esquemático de teste para AOI21

Fonte: Os autores

Testbench		Sweep Variable B		Sweep Variable C		A 0		A 1.20000	
Filter	Y	< Filter	Y	< Filter	Y	< Filter	Y	< Filter	Y
default	0	0	1.20000	1.19997	11.5627u	33.5643u	46.1595u	22.2488u	1.19997
	1.20000	0	1.20000	1.19996	11.5627u	33.5643u	46.1595u	22.2488u	1.19997

Fig. 13 – Resultados de teste para AOI21

Fonte: Os autores

Da mesma forma que anteriormente, adota-se valores próximos a 0 como nível 0, enquanto valores próximos de  $Vdd$  são considerados nível 1. As colunas de 1 a 3 são todas as combinações possíveis de A, B e C. As colunas tingidas de rosa são o comportamento esperado da porta, enquanto a coluna tingida de verde representa o resultado final esperado da lógica, que coincide com a saída obtida da Fig. 13. Os resultados são sintetizados na Tabela III.

Tabela III – AOI21

1 A	2 B	3 C	4 A e B	5 A e B ou C	6 <b>OUT</b> (coluna 5 negado)
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	0	1
0	1	1	0	1	0
1	0	0	0	0	1
1	0	1	0	1	0
1	1	0	1	1	0
1	1	1	1	1	0

- d) Então é pedido para criar uma porta AOI22 com quatro entradas ( $\overline{AB} + \overline{CD}$ ) usando 8 transistores. O esquemático é mostrado na Fig. 14, enquanto o símbolo da porta AOI22 é mostrado na Fig. 15.

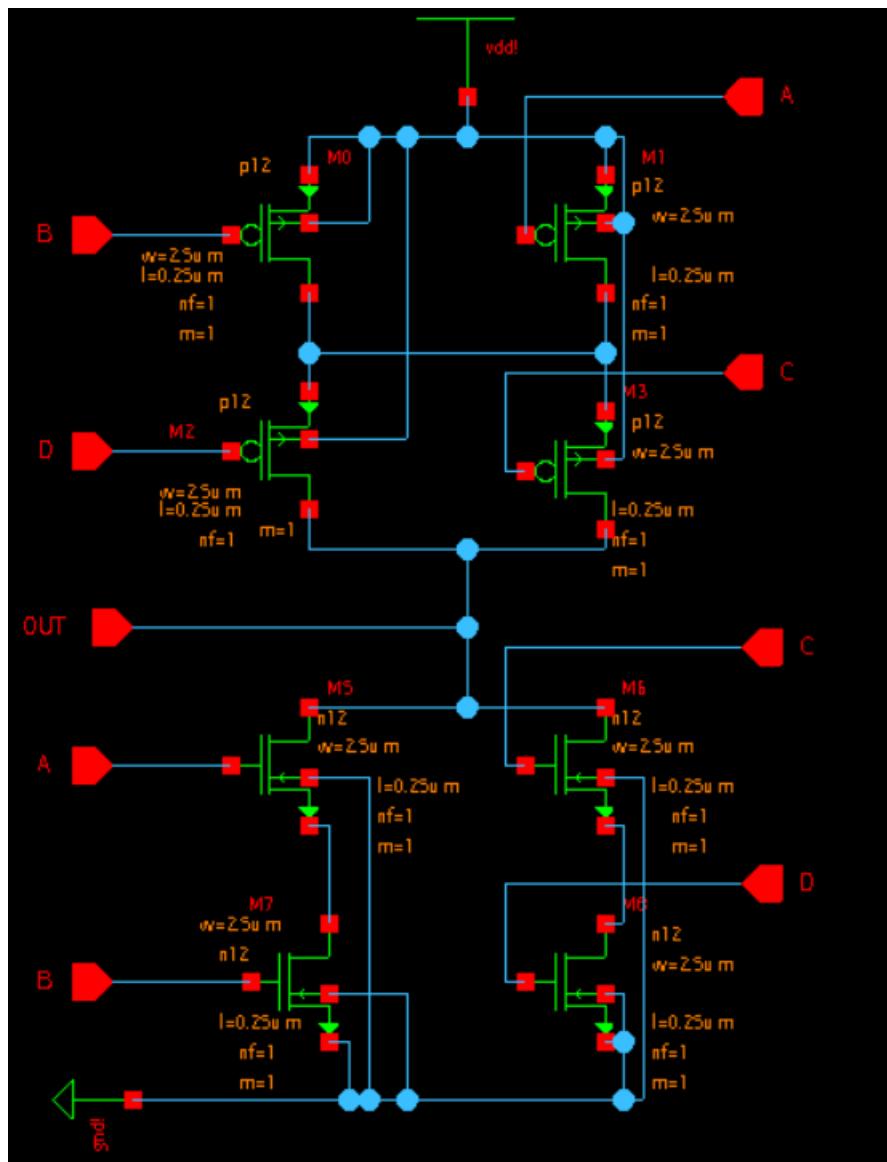


Fig. 14 – Esquemático da porta AOI22

Fonte: Os autores

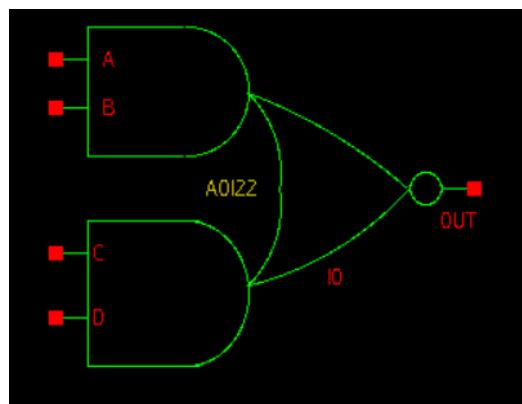


Fig. 15 – Símbolo da porta AOI22

Fonte: Os autores

Para testar o funcionamento é montado um esquemático semelhante aos anteriores, como mostrado na Fig. 16. Então é feito uma simulação, variando as tensões A, B, C e D de 0 a 1,2 V em dois pontos, juntamente a uma simulação DC (como feito nos itens anteriores). Os resultados são apresentados na Fig. 17.

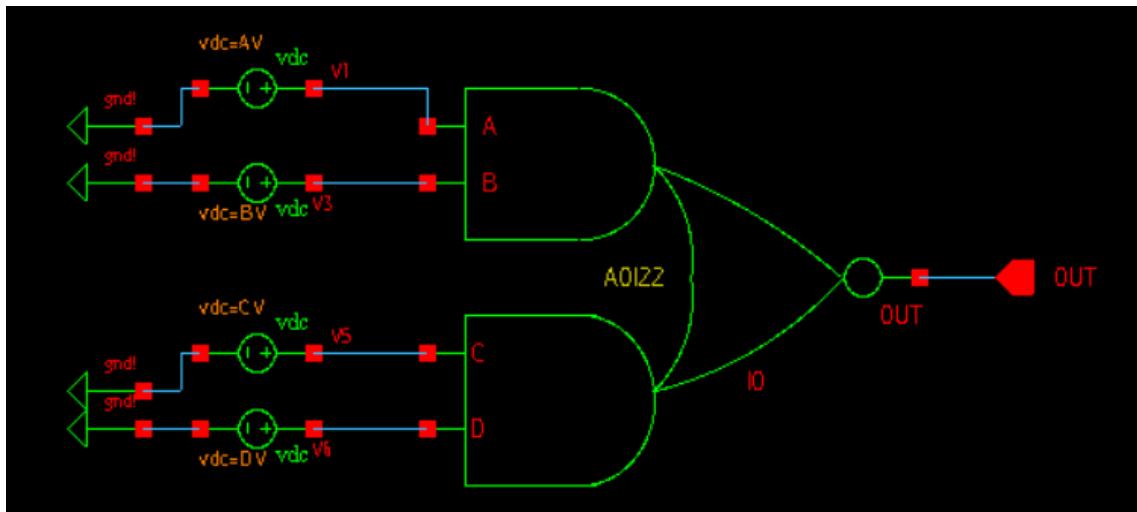


Fig. 16 – Esquemático de teste para a porta AOI22

Fonte: Os autores

Testbench		Sweep Variable B		Sweep Variable C		Sweep Variable D		A 0		A 1.20000	
Filter	Y	< Filter	Y	< Filter	Y	< Filter	Y	< Filter	Y	< Filter	Y
default	0	0	1.20000	1.20000	0	0	1.19998	1.19998	1.19998	1.19998	1.19998
					1.20000	1.20000	1.19997	1.19997	1.19997	1.19997	1.19997
					0	1.20000	1.19998	1.19998	1.19999	1.19999	1.19999
	1.20000	0	1.20000	0	0	46.2445u	46.2445u	46.2445u	46.2445u	46.2445u	46.2445u
				1.20000	1.20000	1.19997	1.19997	1.19997	1.19997	1.19997	1.19997
				0	1.20000	1.19996	1.19996	1.19996	1.19996	1.19996	1.19996
		1.20000	1.20000	0	0	1.19997	1.19997	1.19997	1.19997	1.19997	1.19997
				1.20000	1.20000	46.2441u	46.2441u	46.2441u	46.2441u	46.2441u	46.2441u
				0	1.20000	44.5535u	44.5535u	44.5535u	44.5535u	44.5535u	44.5535u

Fig. 17 – Resultados da simulação com a porta AOI22

Fonte: Os autores

Os resultados são sintetizados na Tabela IV.

Tabela IV – Tabela verdade da porta AOI22

A	B	C	D	OUT
0	0	0	0	1

0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

## 5.2. DECODIFICADOR

- a) Então é pedido para criar um esquemático e símbolo de um decodificador de código termométrico para binário. Para montar o esquemático de B0, B1 e B2 é necessário utilizar as portas anteriormente projetadas. Para auxiliar na decisão de portas, ressalta-se que:

$$\text{NAND2} = \overline{AB}$$

$$\text{NAND4} = \overline{ABCD}$$

$$\text{AOI21} = \overline{AB + C}$$

$$\text{AOI22} = \overline{AB + CD}$$

Primeiro, para a  $B_3 = T_8$  é feita uma configuração mostrada na Fig. 18.

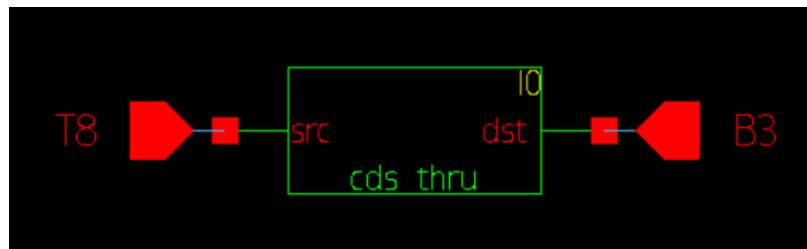


Fig. 18 – Saída B3

Fonte: Os autores

Para a saída  $B_2$ , usa-se uma porta AOI21, com  $T_8$ ,  $T_{12\_NEGADO}$  e  $T_{4\_NEGADO}$ , como mostrado na Fig. 19.

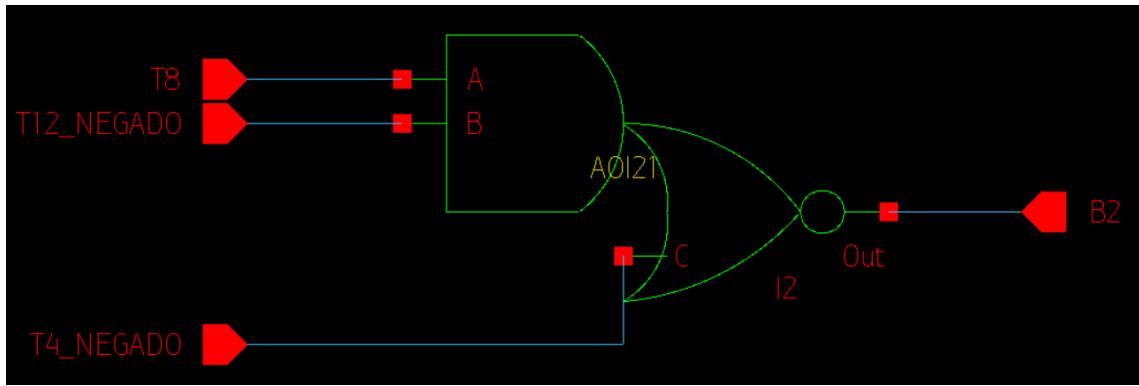


Fig. 19 – Saída B3  
Fonte: Os autores

Para criar B1, é necessária uma porta NAND2. Na primeira entrada da NAND2 colocamos uma AOI22 (usando T2, T4\_NEGADO, T6, T8\_NEGADO) e na segunda entrada usamos uma AOI21 (com T10, T12\_NEGADO, T14), como mostrado na Fig. 20.

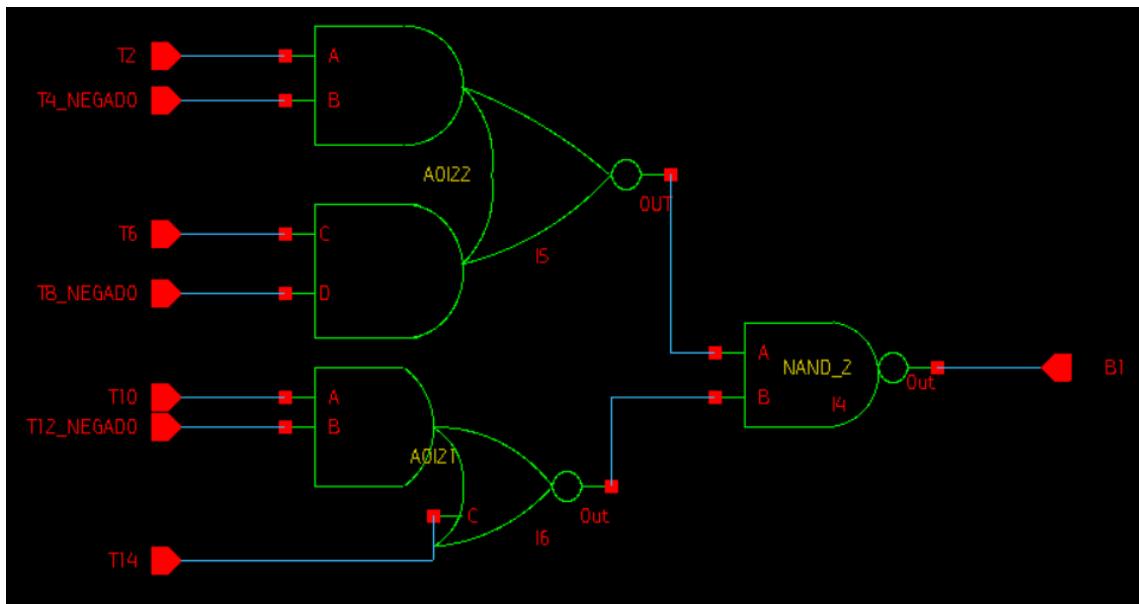


Fig. 20 – Saída B1  
Fonte: Os autores

Então para montar a saída B0 é usada uma porta NAND4, como mostrado na Fig. 21, Fig. 22 e Fig. 23.

Na primeira entrada é colocada uma AOI22 (com T1, T2\_NEGADO, T3 E T4\_NEGADO).

Na segunda entrada é colocada uma AOI22 (com T5, T6\_NEGADO, T7 E T8\_NEGADO).

Na terceira entrada é colocada uma AOI22 (com T9, T10\_NEGADO, T11 E T12\_NEGADO).

Na quarta entrada é usada uma AOI21 (com T13, T14\_NEGADO E T15).

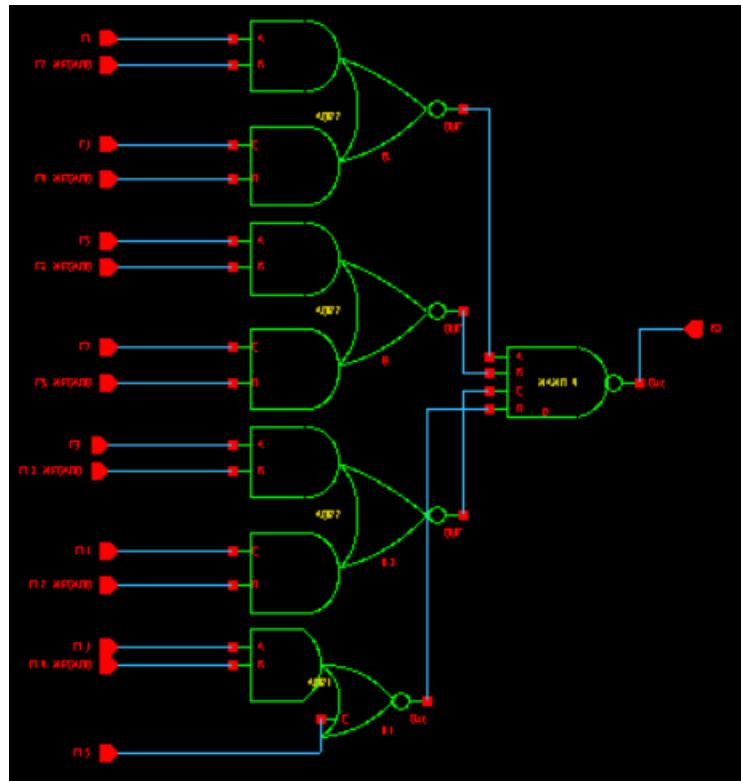


Fig. 21 – Primeira visão de B0  
Fonte: Os autores

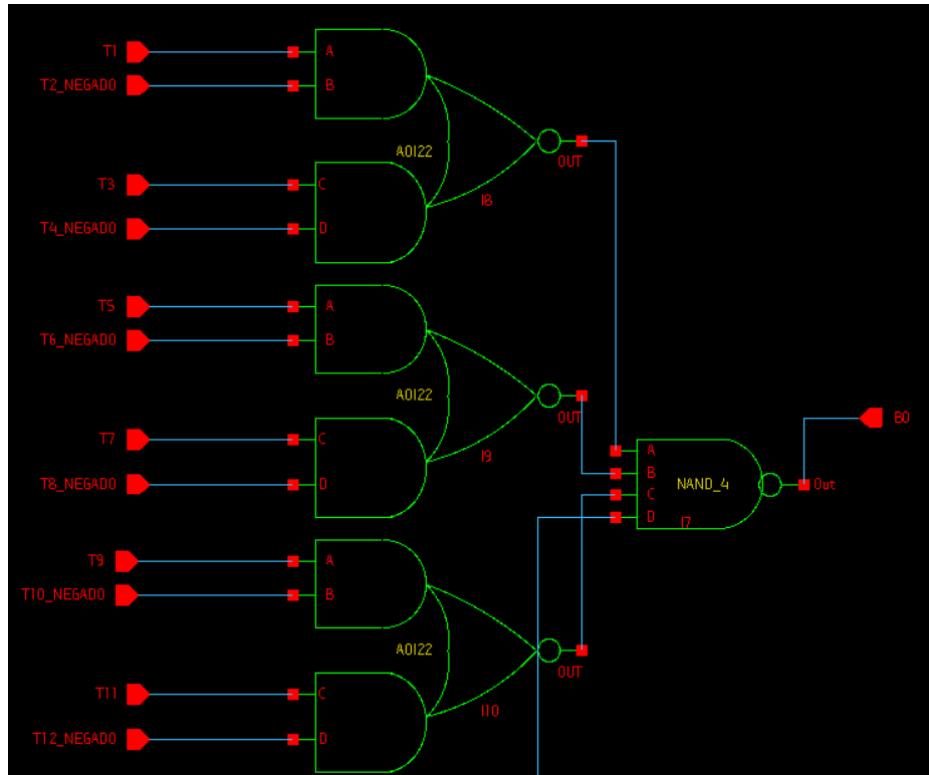


Fig. 22 – Segunda visão de B0  
Fonte: Os autores

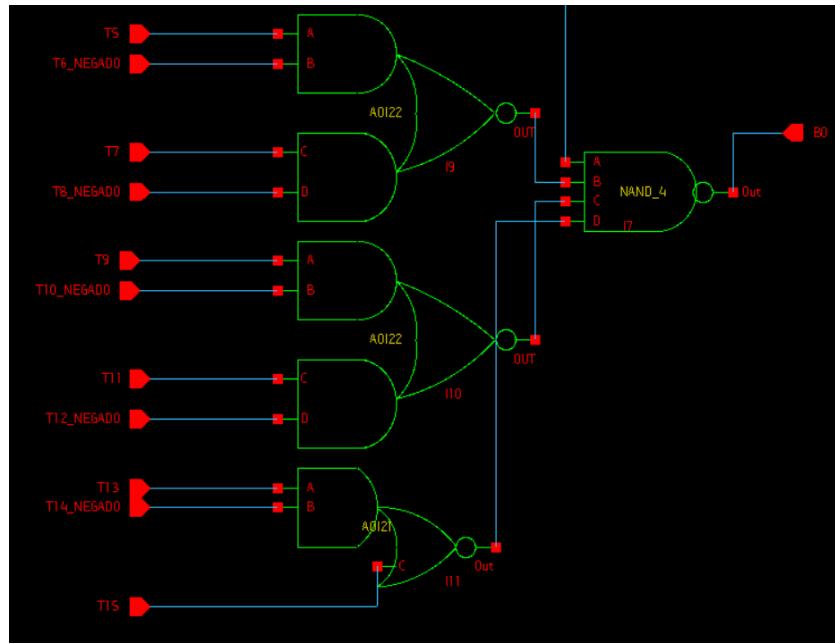


Fig. 23 – Terceira visão de B0

Fonte: Os autores

Então é criado o símbolo do Decodificador, como mostrado na Fig. 24.



Fig. 24 – Símbolo do Decodificador

Fonte: Os autores

- b) Então é pedido para descrever o código termométrico e testar para todas as combinações de entrada dentro do ADC.

De acordo com [1], cada comparador possui uma tensão de referência que equivale a 1 LSB (bit menos significativo) maior que o comparador em um nível abaixo. Para determinada tensão de entrada, todos os comparadores abaixo de uma posição terão as tensões de entrada maiores que suas respectivas tensões de referência e apresentam a saída em nível alto, 1. Já os comparadores acima dessa posição terão a tensão de entrada menor que a tensão de referência, e apresentam nível baixo, 0. As  $2^n - 1$  saídas se comportam semelhantemente a um termômetro de mercúrio, e por isso o código é denominado termométrico [1]. Ao serem processadas pelo decodificador, produzem uma saída de  $n$  bits.

É montado, então, um esquemático de teste conforme a Fig. 25 para verificar esse funcionamento, com as Referências de Corrente, o Comparador Global, as Referências de Tensão e o Decodificador.

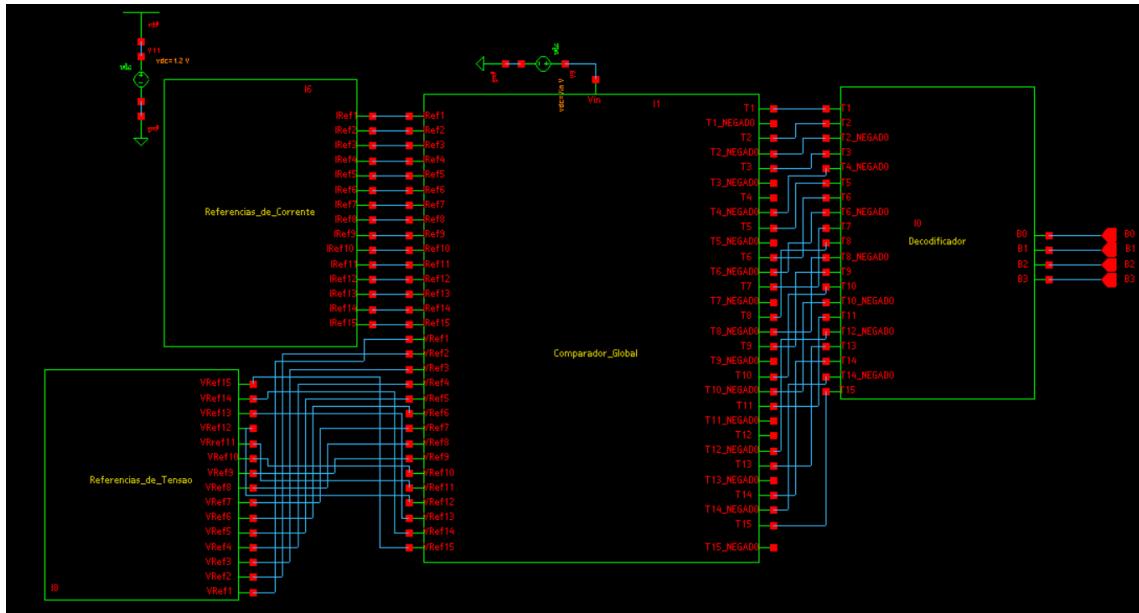


Fig. 25 – Esquemático de teste para o decodificador

Fonte: Os autores

Foram plotadas sucessivas figuras, como mostrado no conjunto de Fig. 26, fazendo uma simulação DC de 0 a 1,2 V ao passo de 1 mV. Os gráficos correspondem de B3 até B0, respectivamente, de cima para baixo. Foi marcado no gráfico de B0 (mostrado na Fig. 27) o primeiro valor de  $V_{in}$  em que há uma subida, que é a tensão de referência 75 mV, e também a segunda descida, que é a tensão de referência 300 mV (somente para mostrar que as curvas alteram de estado nas tensões de referência). Então foi montada a Tabela V, que divide a tensão de 0 a  $V_{dd}$  em passos de 75 mV (para coincidir com as tensões de referência e, portanto, as mudanças de estado) e anotado o comportamento das curvas de 0 a 1 (vista nos gráficos), indicando o comportamento dos bits.

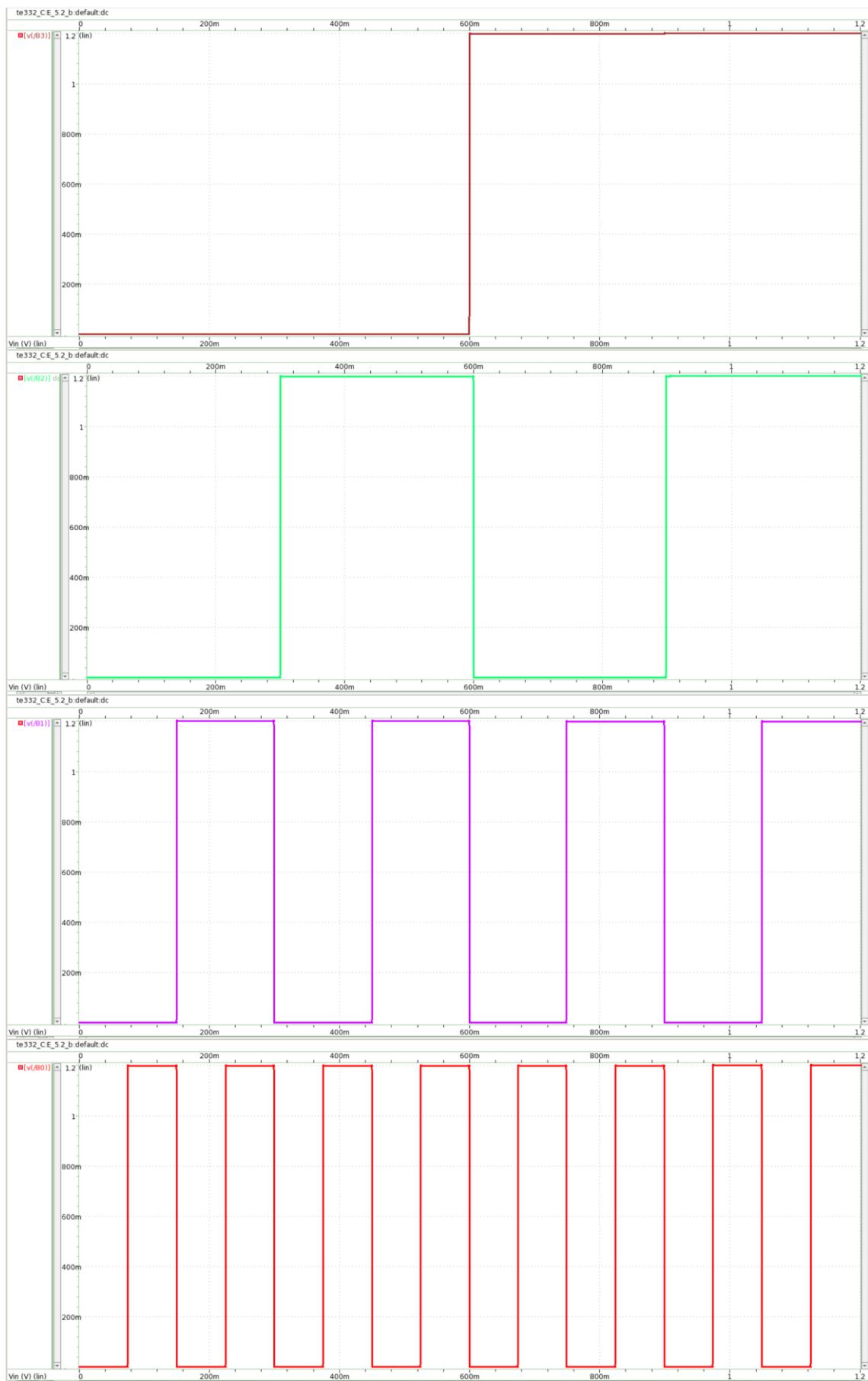


Fig. 26 – Conjunto de curvas de B3 a B0

Fonte: Os autores



Fig. 27 – Ilustração da mudança de estado na tensão de referência  
Fonte: Os autores

Tabela V – Síntese dos resultados das saídas B3 a B0

Intervalo	Intervalo de tensão (V)	B3	B2	B1	B0
1	0 – 0,075	0	0	0	0
2	0,075 – 0,150	0	0	0	1
3	0,150 – 0,225	0	0	1	0
4	0,225 – 0,3	0	0	1	1
5	0,3 – 0,375	0	1	0	0
6	0,375 – 0,450	0	1	0	1
7	0,450 – 0,525	0	1	1	0
8	0,525 – 0,6	0	1	1	1
9	0,6 – 0,675	1	0	0	0
10	0,675 – 0,750	1	0	0	1
11	0,750 – 0,825	1	0	1	0
12	0,825 – 0,900	1	0	1	1
13	0,900 – 0,975	1	1	0	0
14	0,975 – 1,05	1	1	0	1
15	1,05 – 1,125	1	1	1	0
16	1,125 – 1,2	1	1	1	1

Percebe-se, da Tabela V, que os resultados obtidos nas colunas em azul referem-se à contagem crescente em número binário. Então é feita a Tabela VI, que une a explicação do código termométrico, o valor em binário e o valor em decimal, que sintetiza de forma geral o funcionamento do decodificador.

Tabela VI – Comparação Decimal, Termométrico e Binário

<b>Decimal</b>	<b>Termométrico</b>	<b>Binário</b>
0	0000000000000000	0000
1	0000000000000001	0001
2	0000000000000011	0010
3	0000000000000111	0011
4	0000000000001111	0100
5	0000000000011111	0101
6	0000000001111111	0110
7	0000000011111111	0111
8	0000000111111111	1000
9	0000001111111111	1001
10	0000011111111111	1010
11	0000111111111111	1011
12	0001111111111111	1100
13	0011111111111111	1101
14	0111111111111111	1110
15	1111111111111111	1111

### 5.3. FLIP-FLOP E REGISTRADOR

- a) Neste item é pedido para criar o esquemático (Fig. 28) e símbolo (Fig. 29) de um *latch* do tipo D.

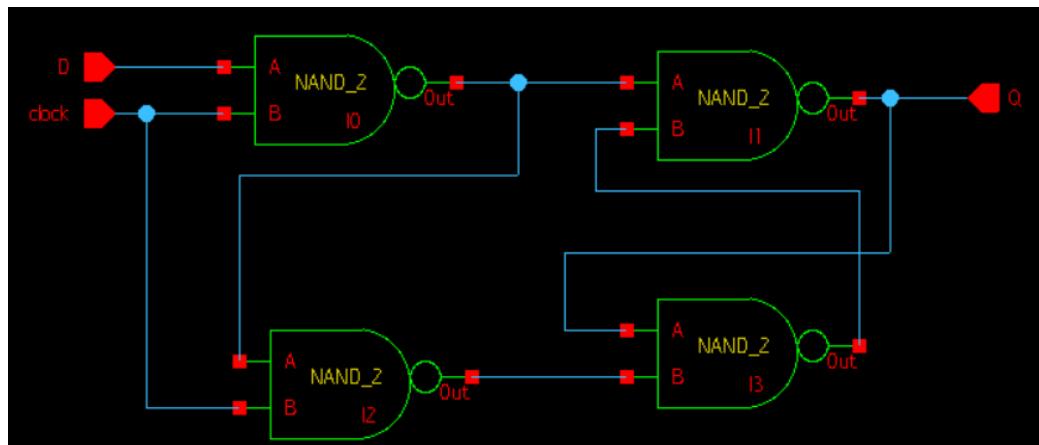


Fig. 28 – Esquemático do *Latch D*

Fonte: Os autores

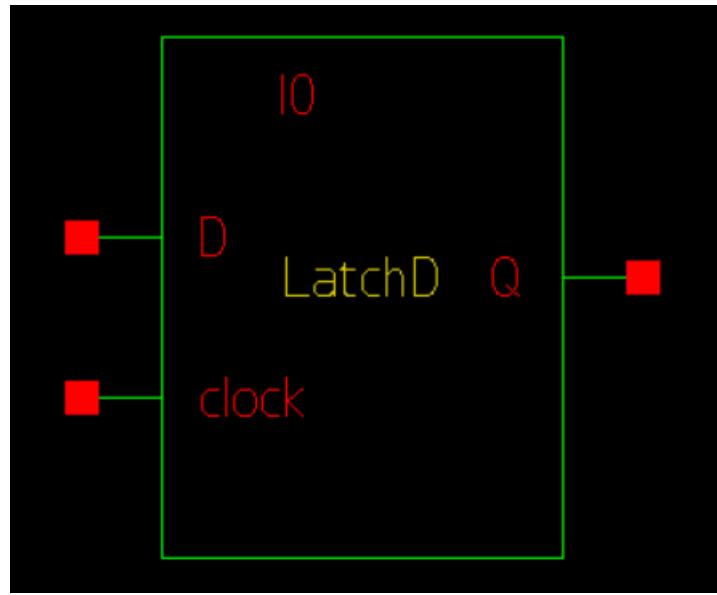


Fig. 29 – Símbolo do *Latch D*

Fonte: Os autores

Então é pedido para criar o esquemático de um Flip-Flop tipo D controlado pela borda de subida do relógio. Para criá-lo, foi consultado em [2] informações a respeito de Flip-Flops (para a montagem do esquemático). Na Fig. 30 há um exemplo de como ocorre a excitação por borda.

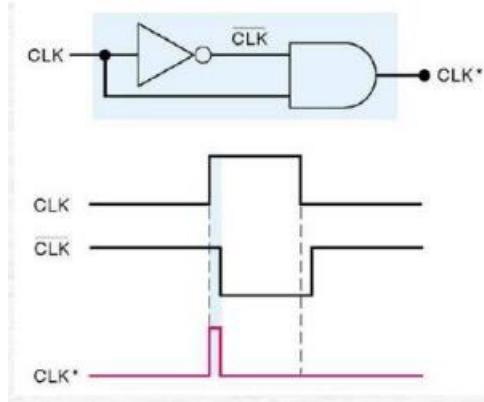


Fig. 30 – Excitação por borda no Flip-Flop

Fonte: Referência [2]

Juntamente com o auxílio do esquemático enunciado, projeta-se o Flip-Flop tipo D com dois *latches*, tipo mestre-escravo, como mostrado na Fig. 31. O seu símbolo é mostrado na Fig. 32.

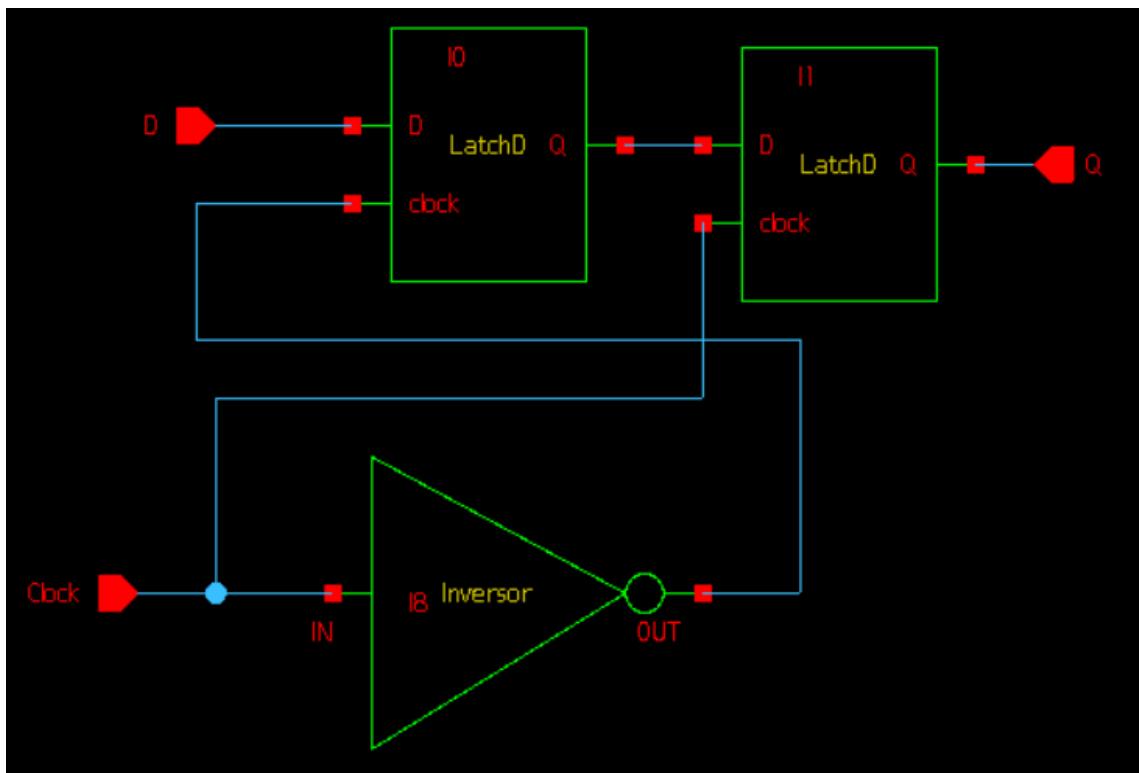


Fig. 31 – Esquemático Flip-Flop D

Fonte: Os autores

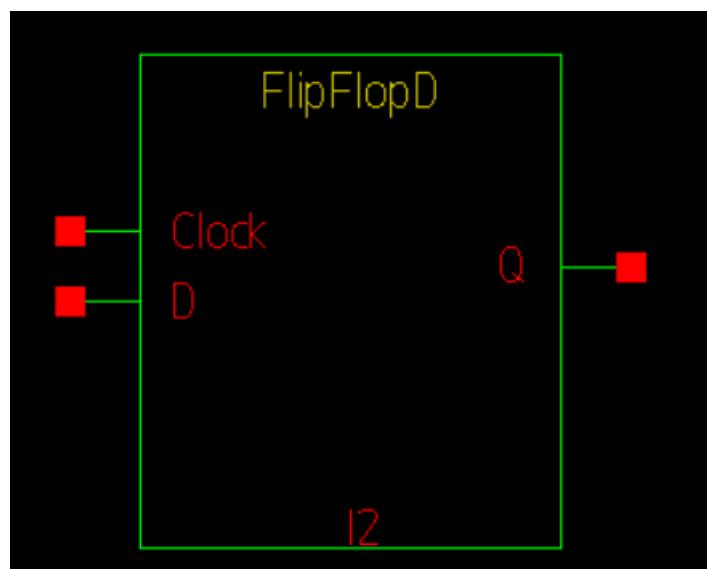


Fig. 32 – Símbolo Flip-Flop D

Fonte: Os autores

Então é pedido para criar um registrador com o Flip-Flop criado. De [2] podemos verificar o funcionamento de um registrador, exemplificado na Fig. 33, e então o tomamos como base para montar o esquemático mostrado na Fig. 34, e o símbolo é mostrado na Fig. 35.

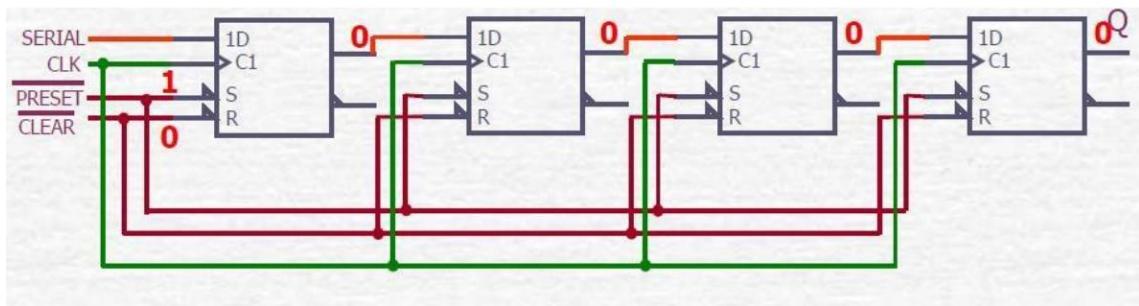


Fig. 33 – Exemplo de registrador com Flip Flop

Fonte: Referência [2]

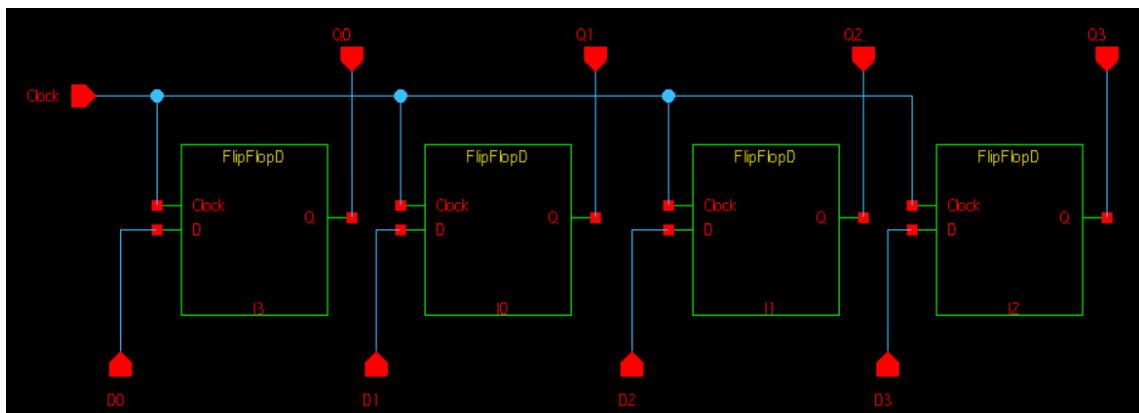


Fig. 34 – Esquemático do registrador

Fonte: Os autores

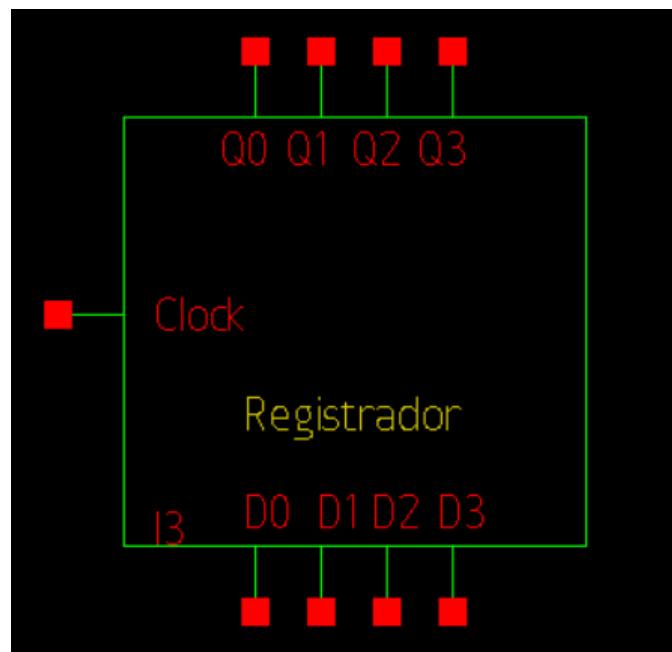


Fig. 35 – Símbolo do registrador

Fonte: Os autores

- b) Então é pedido para testar o funcionamento do Flip-Flop, aplicando um *clock* de 12 MHz. Esse procedimento é feito no esquemático da Fig. 36.

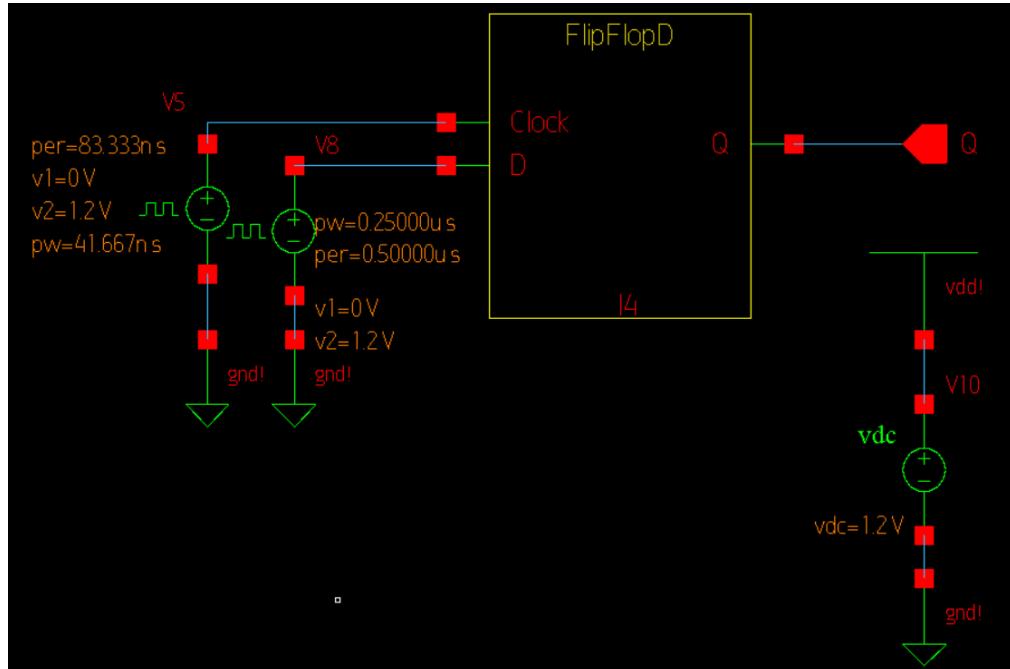


Fig. 36 – Esquemático de teste do Flip-Flop

Fonte: Os autores

Neste, a fonte *vpulse* conectada ao *clock* possui período igual ao inverso da frequência, (1/12 MHz); V1 igual a 0 V; V2 igual 1,2 V; largura de pulso como metade do período; tempo de subida e descida arbitrariamente escolhidos como 0,1 ns, como pode ser visto da Fig. 37.

Prompt	Value
DC Voltage	
Voltage1	0 V
Voltage2	1.2 V
Delay Time	
Rise Time	0.1n s
Fall Time	0.1n s
Pulse Width	41.667n s
Period	83.333n s
Period Jitter	
Seed	
AC Magnitude	

Fig. 37 – Configurações da *vpulse* conectada ao *clock*

Fonte: Os autores

Já a fonte *vpulse* conectada ao D possui o período arbitrariamente 6 vezes maior que a *vpulse* do *clock*; largura de pulso sendo a metade deste período; tempo de subida e descida também arbitrariamente como 0,1 ns. Esses e demais parâmetros são mostrados na Fig. 38.

Prompt	Value
DC Voltage	
Voltage1	0 V
Voltage2	1.2 V
Delay Time	
Rise Time	0.1n s
Fall Time	0.1n s
Pulse Width	0.25000u s
Period	0.50000u s
Period Jitter	
Seed	
AC Magnitude	

Fig. 38 – Configurações da *vpulse* ligada ao D  
Fonte: Os autores

Então é feita uma simulação de transitório com 2 us, e foram plotados o *clock*, D e a saída Q, como mostrado no conjunto de Fig. 39.

Nos gráficos é possível ver que o Flip-Flop está operando como de acordo: a saída Q é atualizada de acordo com a entrada D sempre que há uma borda de subida no sinal de *clock*. Por exemplo, se há uma borda de subida no *clock* e a entrada D está em 0, a saída Q fica em zero. Se há mais uma borda de subida e a entrada D ainda está em 0, a saída Q também permanece em 0. Se há uma alteração na entrada D, passando para 1, só será refletido na saída Q quando o *clock* passar por mais uma borda de subida, quando também assumirá 1. As oscilações no gráfico de Q ocorre devido à simulação de transitório, aparecendo sempre que o *clock* inicia uma borda de subida.

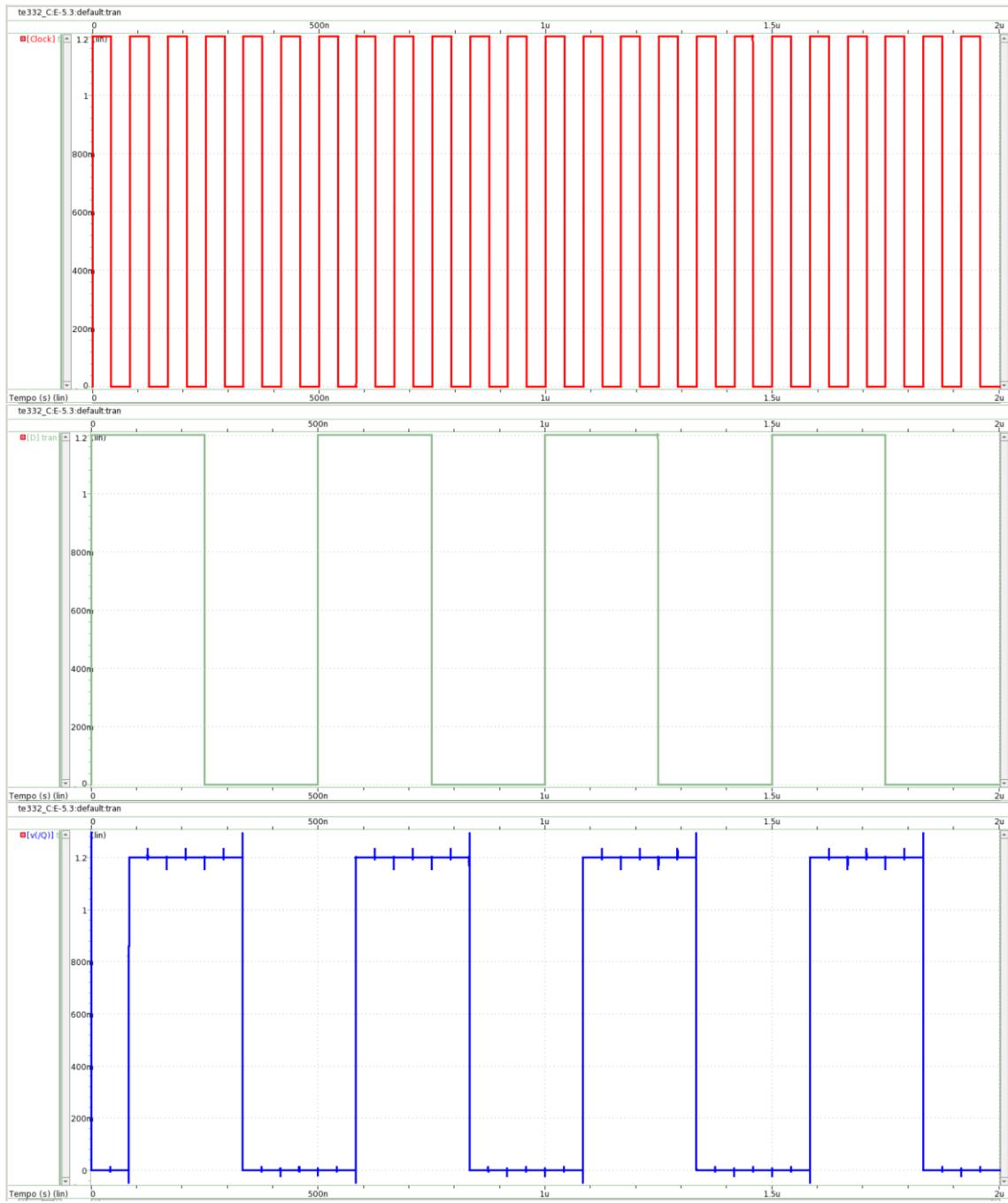


Fig. 39 – Gráficos obtidos ao simular o Flip-Flop  
Fonte: Os autores

## REFERÊNCIAS

[1] – VASCONCELLOS, R. D. **Projeto de um conversor analógico/digital por aproximações sucessivas de 12 bits.** UFMG, departamento de engenharia elétrica. Belo Horizonte, Dez/2011. Disponível em <<https://www.ppgce.ufmg.br/defesas/170M.PDF>> Acesso em 23/08/22.

[2] – RIELLA, R. J. **Flip Flops. TE314 – Eletrônica Digital 1. Sistemas Digitais – Tossi – 10<sup>a</sup> edição – Capítulo 5.** Material do professor disponível em <<https://www.youtube.com/watch?v=R7jnLDMU6nk>> Acesso em 24/08/22.