

UNIVERSIDADE FEDERAL DO PARANÁ

**ANA PAULA PRINCIVAL MACHADO
MATHEUS HENRIQUE SILVEIRA SANTANA**

RELATÓRIO 1 – CIRCUITO DE AMOSTRAGEM E RETENÇÃO

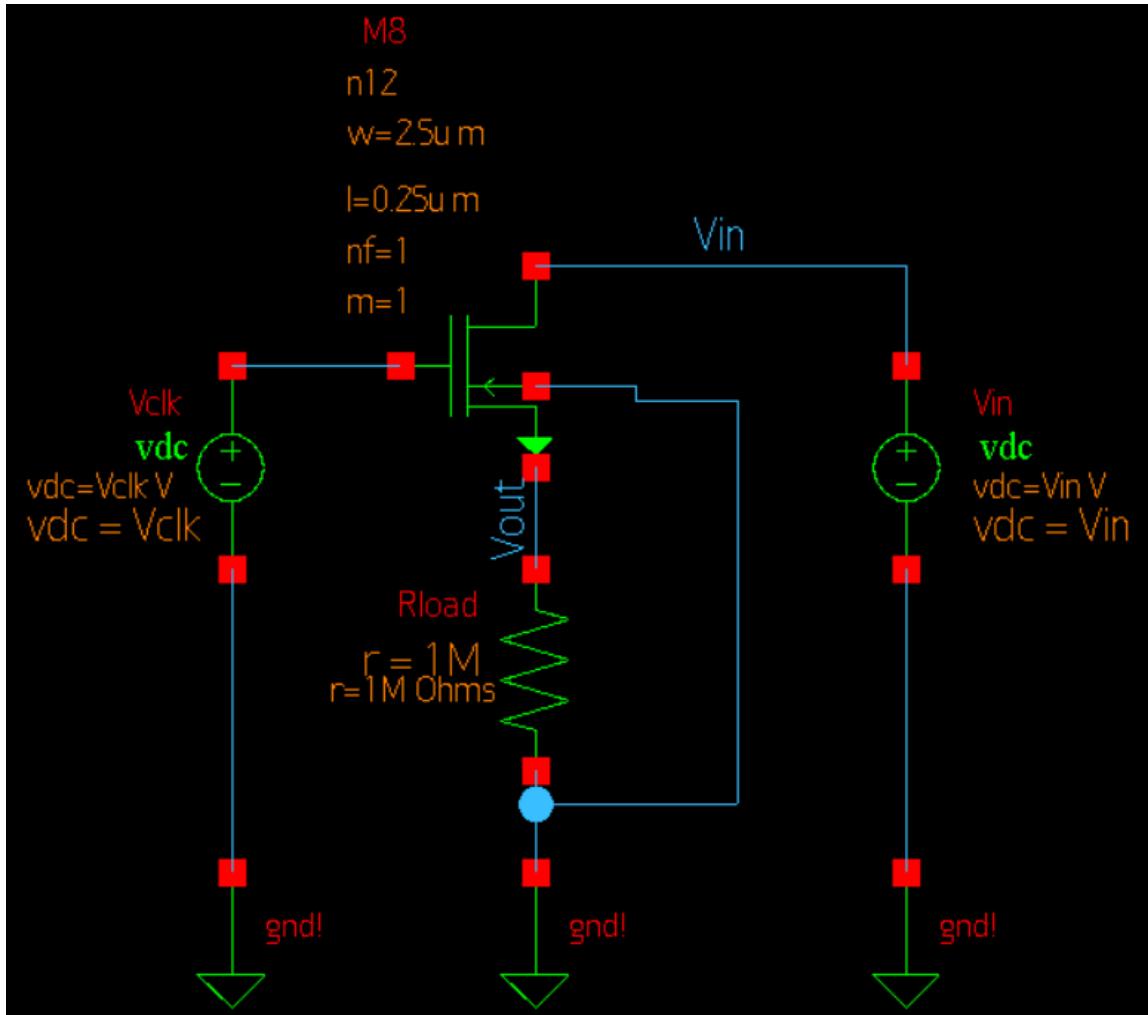
**TE332 – LABORATÓRIO DE ELETRÔNICA ANALÓGICA II
PROFESSOR BERNARDO LEITE**

CURITIBA

2022

1.1. CHAVE NMOS

a) Foi criado um esquemático com o transistor NMOS, como mostrado na Fig. 1. Conforme o enunciado, foi conectada uma fonte de tensão contínua (V_{in}) com entrada V_{in} entre o dreno e o potencial terra. Então outra fonte de tensão contínua (V_{clk}) com entrada V_{clk} foi conectada entre a fonte do transistor e o potencial terra. Por fim, uma resistência ideal R_{load} foi colocada entre a fonte e o potencial terra, com resistência 1 $M\Omega$. O L utilizado foi o anteriormente destinado para a equipe, 0,25 μm .



b) As configurações foram escolhidas no simulador de modo a traçar a curva de tensão sobre carga com V_{in} variando entre a faixa de tensão 0 V e V_{dd} (como especificado, V_{dd} vale 1,2 V), além da variável V_{clk} estar setada para 1,2 V. Então a Fig. 2 mostra o gráfico obtido ao simular.

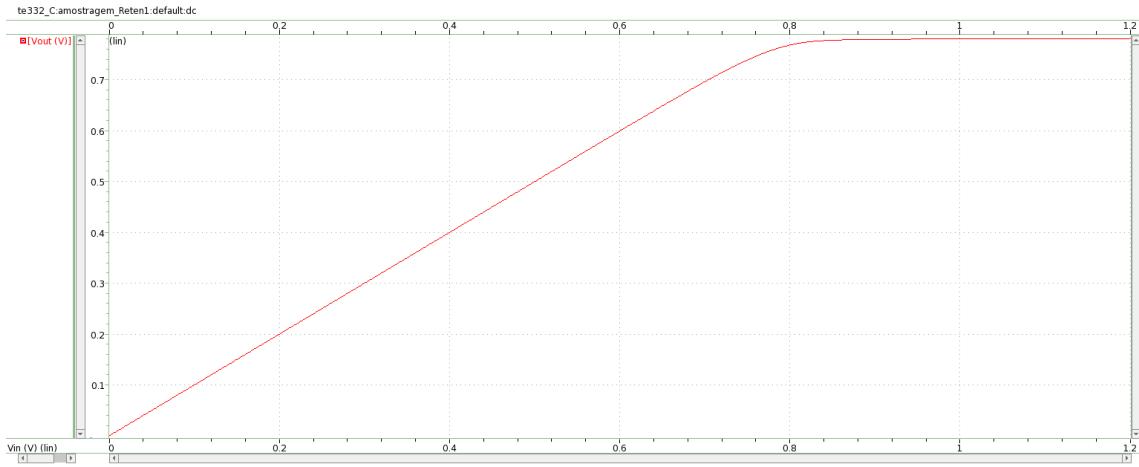


Fig. 2 – Curva tensão sobre carga com $V_{clk} = 1,2$ V

Fonte: Os autores

Então as configurações foram escolhidas no simulador de modo a traçar a curva tensão sobre carga com V_{in} variando entre a faixa de tensão 0 V e V_{dd} (como especificado, V_{dd} vale 1,2 V), além da variável V_{clk} estar setada para 0 V. Então a Fig. 3 mostra o gráfico obtido ao simular.

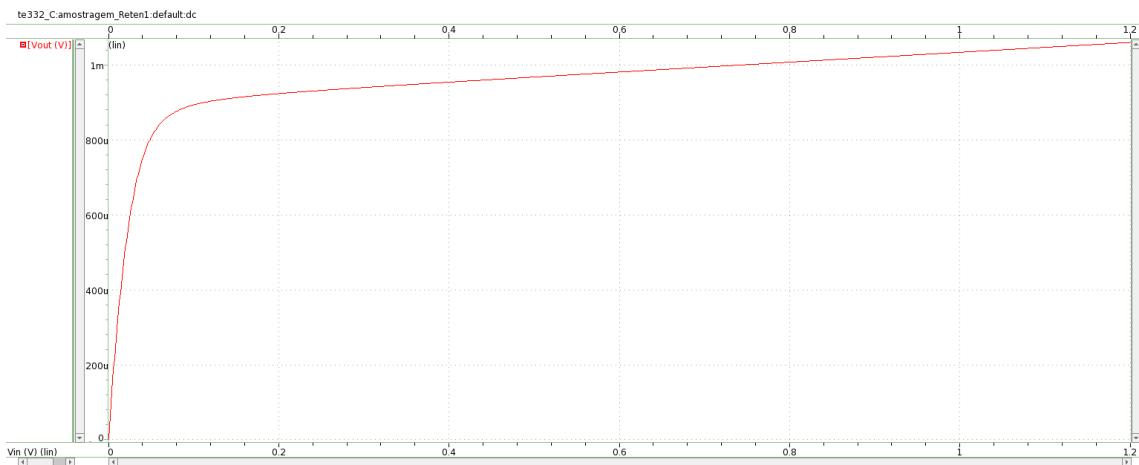


Fig. 3 – Curva tensão sobre carga com $V_{clk} = 0$ V

Fonte: Os autores

c) Ao fazer a análise das curvas obtidas, vê-se que a Fig. 2 (quando V_{clk} vale 1,2 V) assemelha-se a uma chave fechada e a Fig. 3 (quando V_{clk} vale 0 V) assemelha-se a uma chave aberta.

Em mais detalhes, observa-se que quando $V_{clk} = V_{dd}$ há um comportamento linear até a tensão de entrada valer aproximadamente 800 mV. Esse comportamento indica que há uma grande transferência de tensão (praticamente total), e ocorre quando o transistor está operando de forma polarizada e atuando numa região chamada de triodo. Então considera-se que, neste caso, o comportamento aproxima-se do ideal na variação da tensão de entrada de 0 V até aproximadamente 800 mV. A partir daí, vê-se que a curva passa por um “joelho” e o NMOS passa para o modo de saturação.

Já quando $V_{clk} = 0$ V, vê-se que a tensão de saída é extremamente pequena, tendendo a zero. Este comportamento, então, enquadra-se numa chave aberta, numa região de operação do transistor que é denominada corte (ocorre quando V_{GS} é menor ou igual a tensão de limiar, V_T). A faixa de operação mais próxima da ideal aparenta ocorrer

quando a tensão de entrada ultrapassa aproximadamente 400 mV, pois dessa forma a tensão de saída deixa de ter um ganho elevado e torna-se um pouco mais constante, tendendo a 1 mV.

d)

Região de Triodo

De acordo com [1], o transistor opera na região de triodo quando

$$V_{DS} \leq V_{GS} - V_T, \quad (1)$$

em que V_{DS} é a tensão entre *Drain* (dreno) e *Source* (fonte), V_{GS} é a tensão entre o *Gate* (porta) e *Source*, e V_T é a *Voltage Threshold* (tensão de limiar). Neste caso, a tensão entre *Drain* e *Source* é dado por $V_{in} - V_{out}$, como pode ser verificado na Fig. 1. Assim, (1) pode ser adaptada para

$$V_{in} - V_{out} \leq V_{GS} - V_T. \quad (2)$$

Como dito no item c), pode-se ver a operação na região de triodo na Fig. 2, em que o componente atua como uma chave fechada.

Região de Saturação

De acordo com [1], o transistor opera na região de saturação quando

$$V_{DS} \geq V_{GS} - V_T. \quad (3)$$

Como a tensão entre *Drain* e *Source* é dado por $V_{in} - V_{out}$, a equação (3) pode ser reescrita como

$$V_{in} - V_{out} \geq V_{GS} - V_T. \quad (4)$$

Além disso, o limiar entre a região de triodo e a região de saturação é dado por

$$V_{DS} = V_{GS} - V_T, \quad (5)$$

e pode ser reescrito, segundo os parâmetros previamente explicados, como

$$V_{in} - V_{out} = V_{GS} - V_T. \quad (6)$$

Pode-se observar o comportamento na região de saturação no gráfico de Fig. 2, após a tensão de entrada V_{in} atingir 800 mV.

Região de Corte

De acordo com [1], o transistor opera na região de corte quando

$$V_{GS} \leq V_T, \quad (7)$$

e neste caso a tensão entre o *Gate* e o *Source* é dado por $V_{clk} - V_{out}$. Assim, pode-se reescrever a equação como

$$V_{clk} - V_{out} \leq V_T. \quad (8)$$

O comportamento na região de corte é composto por todo o gráfico da Fig. 3, em que a tensão de saída atinge valores mínimos. Mais precisamente, o comportamento mais semelhante ocorre a partir de 400 mV na tensão de entrada.

Estimando V_T

Foi colocado um cursor sobre o gráfico, como mostra na Fig. 4, para estimar V_T com mais precisão.

$$V_{in} - V_{out} \leq V_{GS} - V_T, \text{ com } V_{in} = 702 \text{ mV}, V_{out} = 697 \text{ mV}.$$

$$V_{GS} = 1,2 \text{ V} - 697 \text{ mV} = 0,503$$

$$5 \text{ mV} \leq 503 \text{ mV} - V_T$$

$$V_T \leq 498 \text{ mV}.$$

Verificando para a saturação.

$$V_{in} - V_{out} \geq V_{GS} - V_T, \text{ com } V_{in} = 1 \text{ V}, V_{out} = 780 \text{ mV}.$$

$$V_{GS} = 1,2 - 0,78 = 0,42$$

$$V \geq 0,42 - V_T$$

$$V_T \geq 0,2 \text{ V}$$

E com isso,

$$0,2 \leq V_T \leq 0,498$$

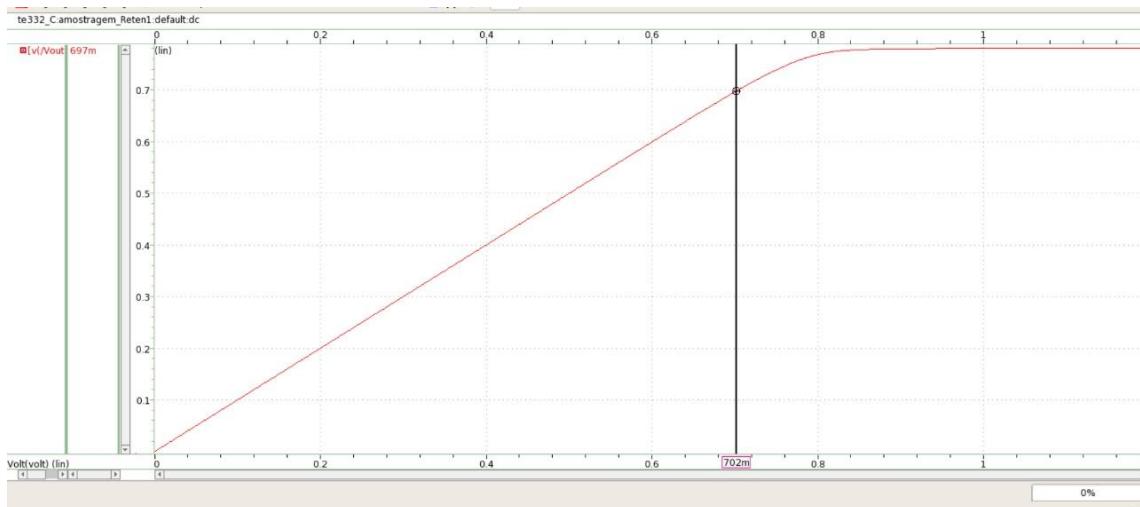


Fig. 4 – Estimando V_T

Fonte: Os autores

Para o corte, então $V_{clk} - V_{out} \leq V_T$, o que é possível notar no gráfico, uma vez que a tensão de saída não ultrapassa 2 mV, e $V_{clk} = 0$. Assim, é menor que o valor estipulado para V_T e com isso obedece $V_{GS} \leq V_T$.

- e) Então foi feito um outro esquemático, semelhante ao anterior, mas dessa vez com um sinal triangular aplicado, como mostrado na Fig. 5, e a Fig. 6 mostra o gráfico obtido ao simular. Na Fig. 6 a curva triangular, em roxo, caracteriza a tensão de entrada, enquanto a curva vermelha caracteriza a tensão de saída. Ambas estão em função do tempo, em um período (2,5 μs).

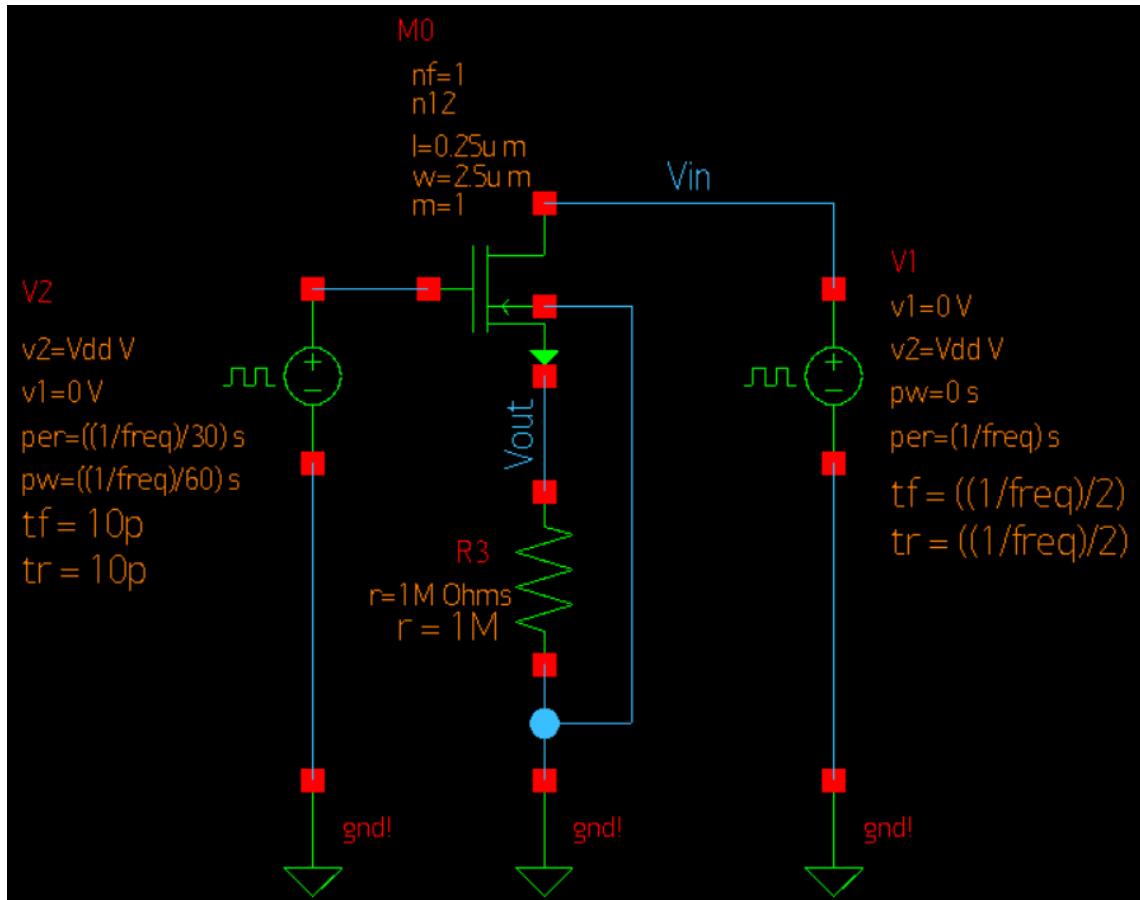


Fig. 5 – Esquemático do NMOS com sinais triângular e quadrado
Fonte: Os autores

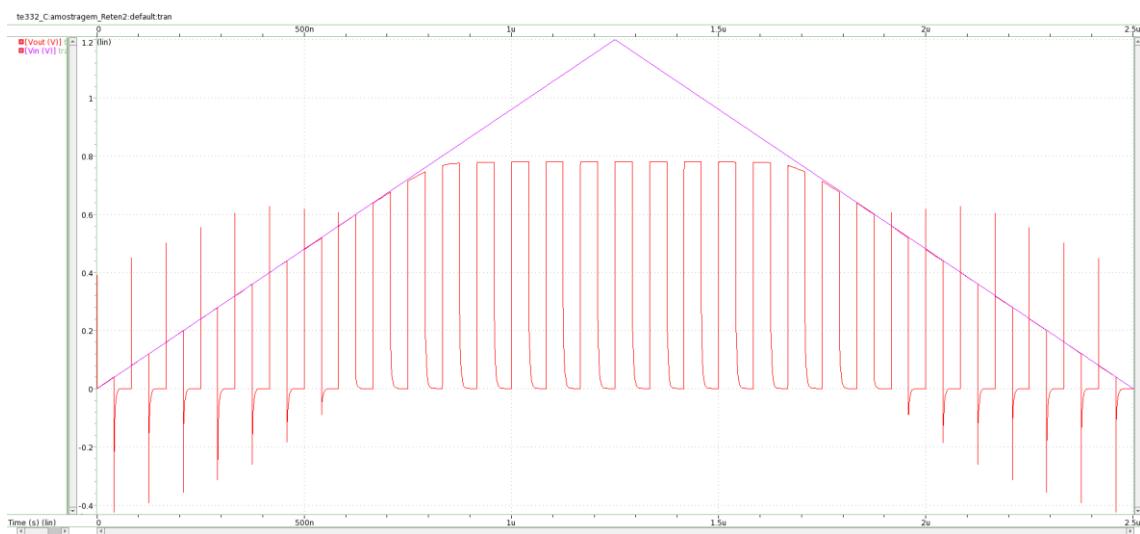


Fig. 6 – Sinais triangular e quadrado obtidos com o NMOS
Fonte: Os autores

f) O gráfico mostra as curvas de tensão de entrada e tensão de saída em função do tempo. É notável que a curva em roxo é um triângulo, ou seja, possui um comportamento linear crescente até aproximadamente 1,25 μs, quando passa a descer. A “rampa” de

subida demonstra um ganho ideal. Ela é interrompida quando o NMOS entra na região de saturação, por volta de 700 mV.

1.2. CHAVE PMOS

a) Nesta parte do relatório foi criado um esquemático para o PMOS. O L utilizado foi o anteriormente destinado para a equipe, $0,25\text{ }\mu\text{m}$. Foram usadas três fontes, cada uma com um parâmetro diferente, conectadas aos terminais do transistor, como mostrado na Fig. 7.

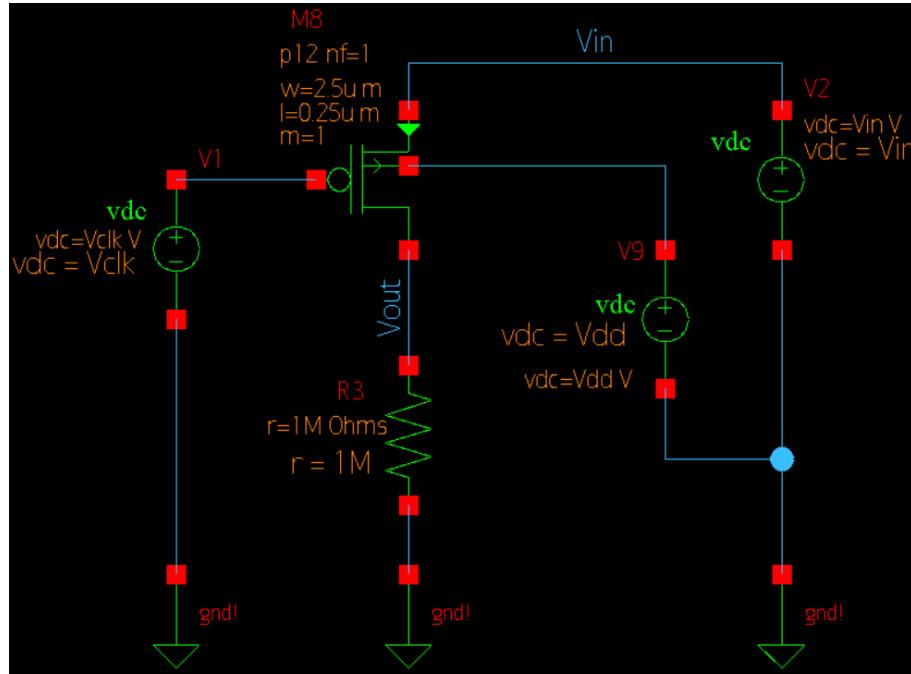


Fig. 7 – Esquemático com o Transistor PMOS

Fonte: Os autores

Então foi especificado para traçar a curva da tensão de saída. As especificações foram selecionadas no simulador para a execução (quando $V_{clk} = V_{dd}$), e a Fig. 8 mostra a curva obtida.

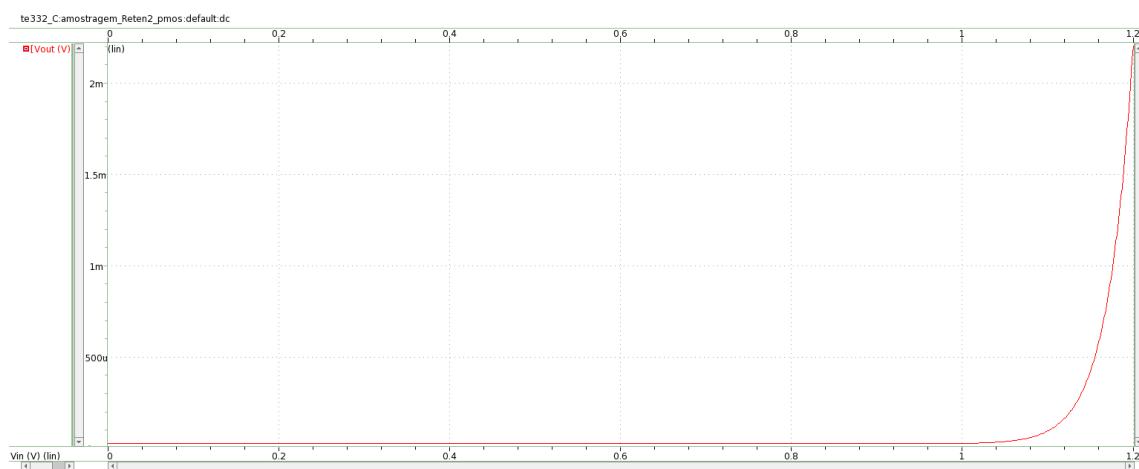


Fig. 8 – Curva da tensão sobre a carga com quando $V_{clk} = V_{dd}$

Fonte: Os autores

Então o valor de V_{clk} foi modificado para 0 V, a simulação foi refeita e obteve-se uma curva como mostrada na Fig. 9.

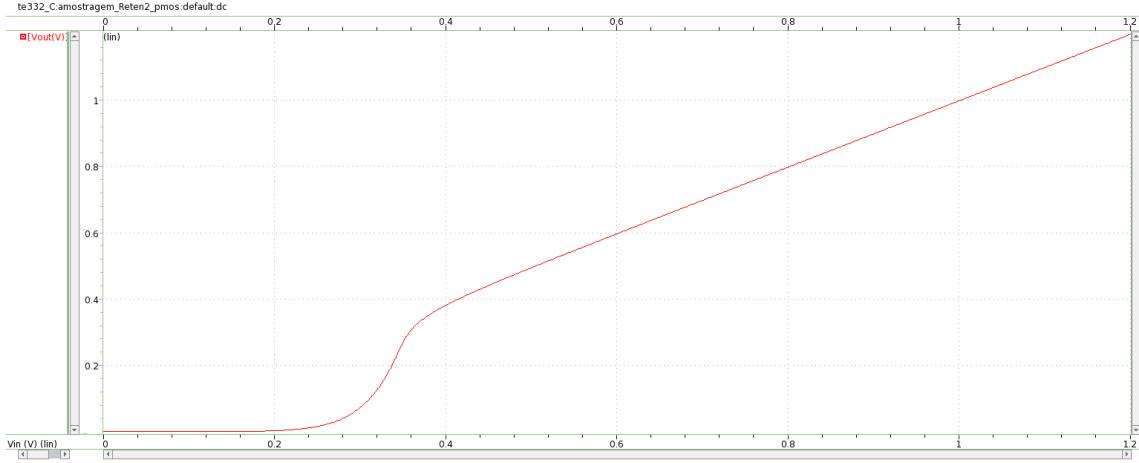


Fig. 9 - Curva da tensão sobre a carga com quando $V_{clk} = 0$ V

Fonte: Os autores

b) Vê-se na Fig. 8 que a tensão de saída possui um comportamento praticamente nulo na maior parte do gráfico, o que se assemelha a uma chave aberta. Este comportamento ocorre até aproximadamente 1 V na tensão de entrada, quando o transistor opera na região de corte.

Segundo [1], o PMOS possui tensão de limiar V_T negativa. Assim, as equações anteriormente descritas recebem agora o V_T em módulo, e os índices dos terminais são invertidos. Dessa forma, para a região de corte agora descrita pode-se escrever a equação como

$$V_{SG} \leq |V_T| \quad (9)$$

No entanto, como a tensão entre *Source* e *Gate* neste caso é dada por $V_{out} - V_{clk}$, pode-se reescrever (9) como

$$V_{out} - V_{clk} \leq |V_T|. \quad (10)$$

O comportamento de chave fechada pode ser verificado no gráfico da Fig. 9. Um pouco antes de 400 mV aplicados na tensão de entrada começa a ser notado uma configuração linear na curva da tensão de saída. Essa máxima transferência de tensão é característica da operação na região triodo, cuja equação é dada por

$$V_{SD} \leq V_{SG} - |V_T|. \quad (11)$$

No entanto, como V_{SD} é dada por pela diferença entre V_{out} e V_{in} , a equação (11) pode ser reescrita como

$$V_{out} - V_{in} \leq V_{SG} - |V_T|. \quad (12)$$

Por fim, a região de saturação é dada por

$$V_{SD} \geq V_{SG} - |V_T|, \quad (13)$$

mas pode ser reescrita em função de V_{in} e V_{out} de modo

$$V_{out} - V_{in} \geq V_{SG} - |V_T|. \quad (14)$$

Podemos estimar V_T a partir de quando o gráfico (Fig. 9) começa a ficar linear, o que está perto de 400 mV.

c) Por fim foi solicitada a simulação com sinal triangular de 400 kHz com 30 amostras por período da entrada. A Fig. 10 mostra o esquemático para essa simulação com o PMOS, e a Fig. 11 exibe o gráfico obtido ao simular.

No gráfico da simulação é visto o comportamento da tensão de entrada (em vermelho) e tensão de saída (em roxo). Para melhor compreensão, foi plotado o sinal de *clock* no gráfico, resultando na Fig. 12. Com ele, vê-se que a tensão de saída está em zero sempre que o ciclo de *clock* está na metade, o que é conhecido como região de corte. Além disso, o transistor opera em modo de saturação até a tensão de entrada chegar a aproximadamente 400 mV. A partir daí a cada vez que o *clock* está em nível baixo há uma máxima transferência de tensão, pois *Vout* está sobre a curva de *Vin*, o que chamamos na simulação DC como operação na região de triodo.

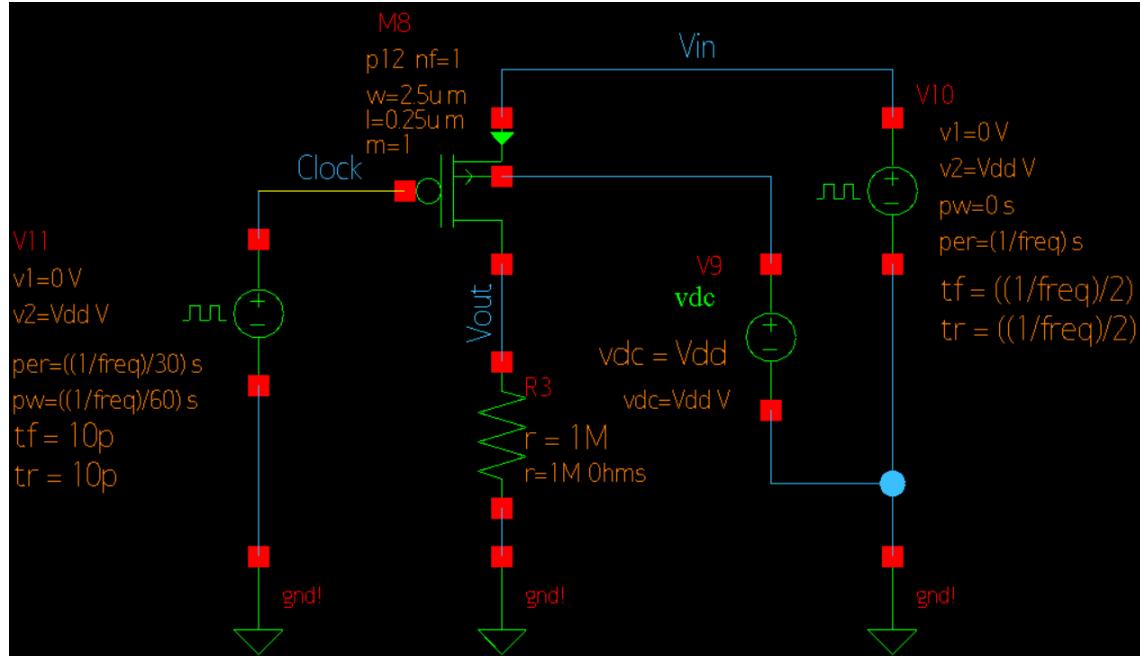


Fig. 10 – Esquemático para sinais triangular e quadrado com o PMOS
Fonte: Os autores

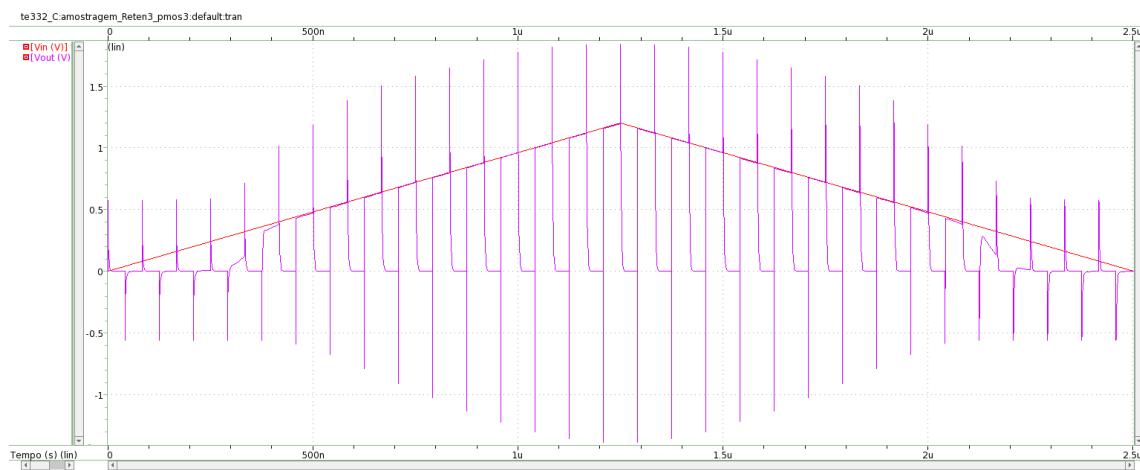


Fig. 11 – Sinais triangular e quadrado obtidos com o PMOS
Fonte: Os autores

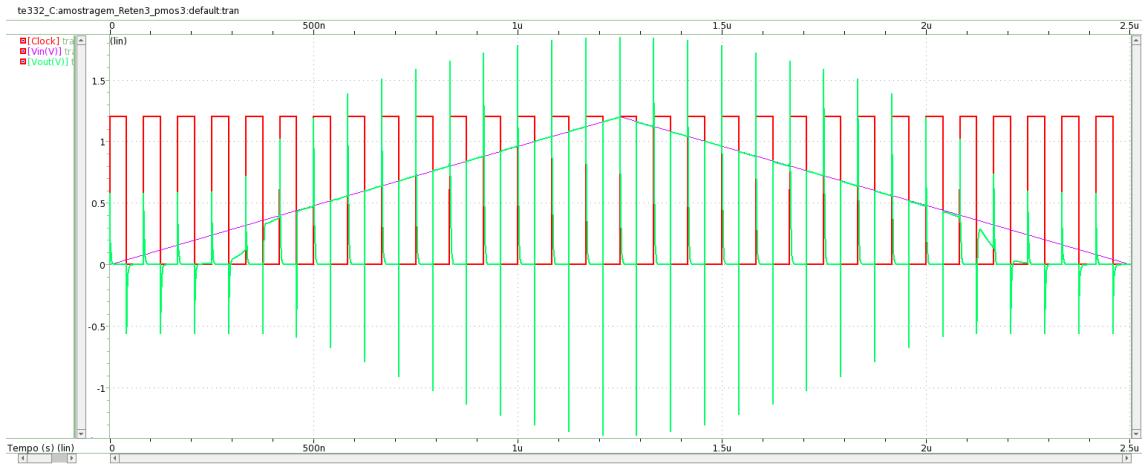


Fig. 12 – Plotagem do *clock* junto ao sinal de entrada e saída
Fonte: Os autores

1.3. CHAVE CMOS

a) Foi solicitado a criação de um esquemático conectando a chave NMOS e a chave PMOS em paralelo, de forma a obter a chave CMOS. No entanto, deve-se levar em conta que a combinação das chaves individuais também deve se comportar como chave, de forma que para um valor de relógio (*clock*) se comporte como chave aberta, e para outro valor de comporte como chave fechada.

Dessa forma, foi conectado o inversor entre os *clocks* dos transistores. Este inversor foi construído anteriormente, na aula introdutória, e teve seus parâmetros mudados para atender ao projeto atual. A Fig. 13 mostra o esquemático do inversor e a Fig. 14 mostra o esquemático da chave CMOS (com o símbolo triangular do Inversor). O símbolo da chave CMOS foi feito no formato de um retângulo vertical, como será visto nas próximas imagens.

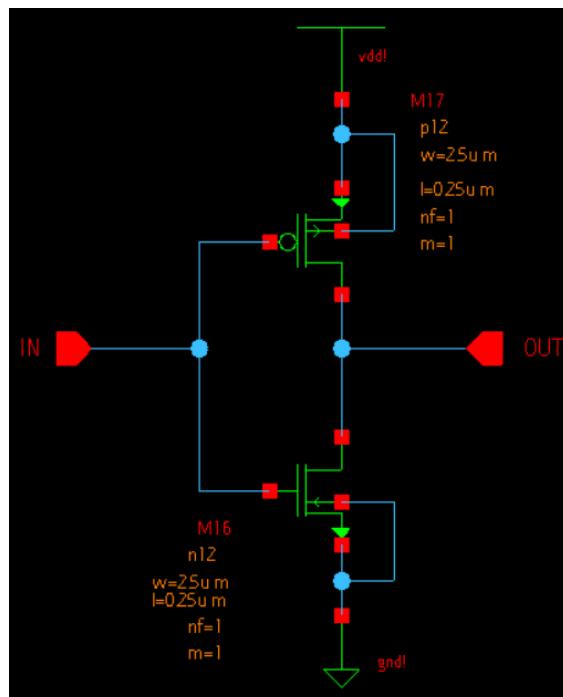


Fig. 13 – Esquemático do Inversor
Fonte: Os autores

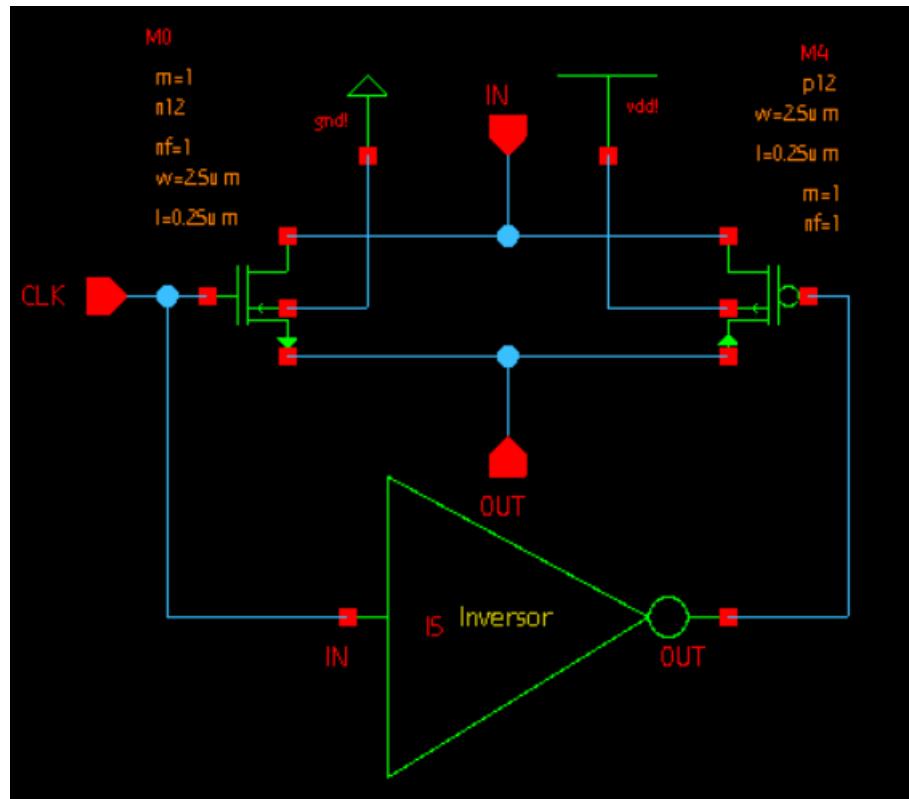


Fig. 14 – Esquemático da Chave CMOS
Fonte: Os autores

b) Então foi solicitado para criar um esquemático usando fontes de tensão contínua, como mostrado na Fig. 15.

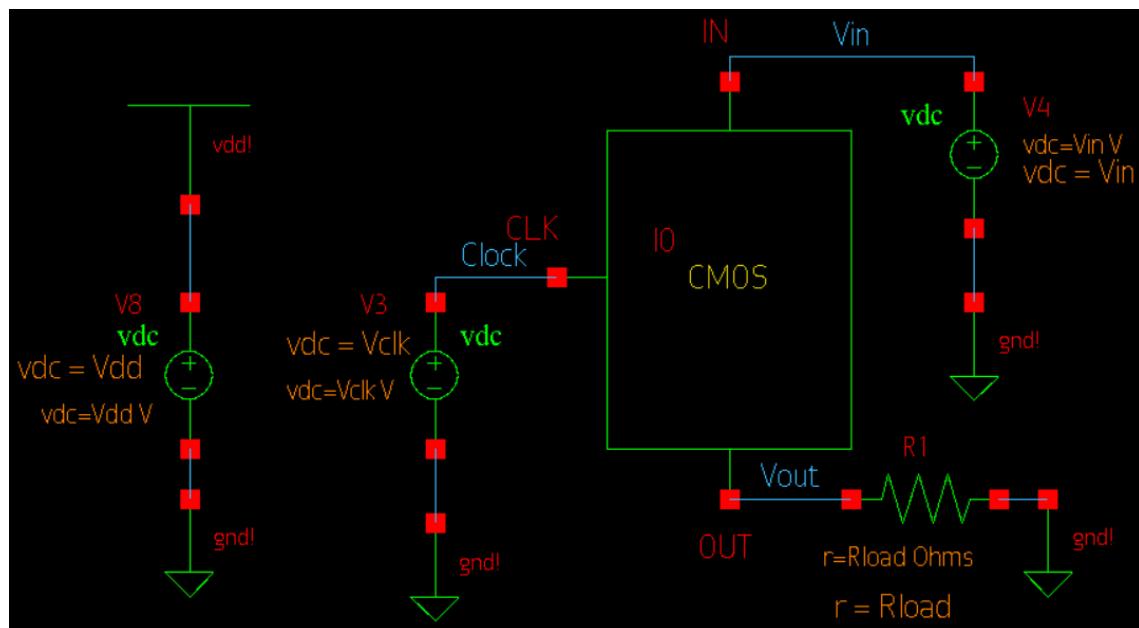


Fig. 15 – Esquemático com CMOS e fontes de tensão contínua
Fonte: Os autores

As configurações foram setadas para o início da simulação, como especificado no enunciado. Assim foi gerada a Fig. 16, e posteriormente foi alterado o valor de V_{clk} para V_{dd} para gerar a Fig. 17.

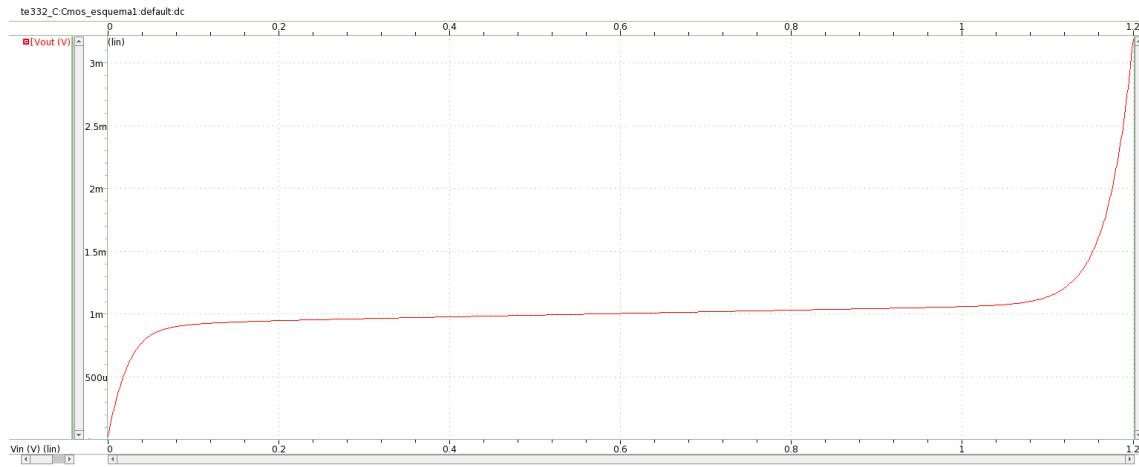


Fig. 16 – Simulação para $V_{clk} = 0$ V
Fonte: Os autores

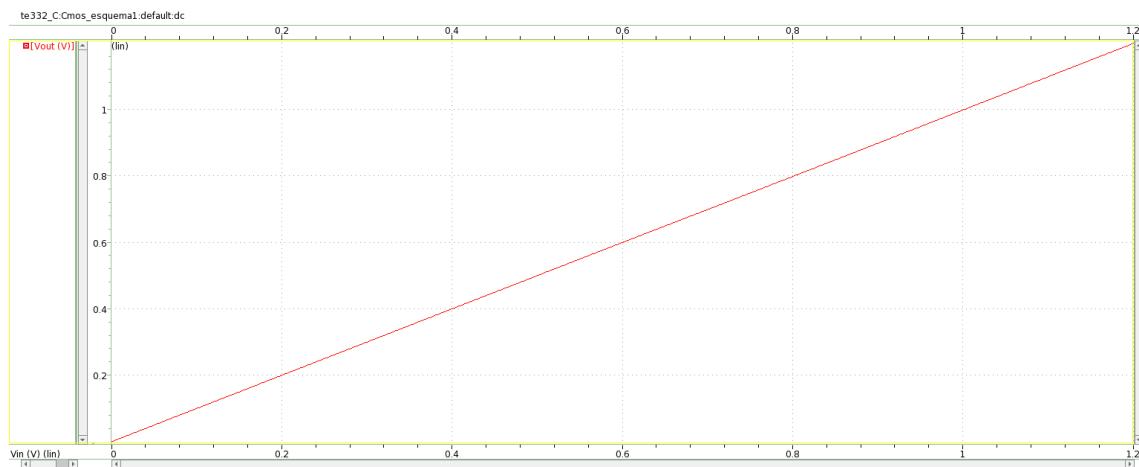


Fig. 17 – Simulação para $V_{clk} = V_{dd}$
Fonte: Os autores

- c) Como dito no enunciado, o comportamento obtido com a chave CMOS é melhor do que quando somente com o NMOS ou PMOS.

Quando os gráficos dos itens anteriores eram plotados, era necessário analisar em quais partes os dispositivos atuavam idealmente como chaves abertas ou fechadas. Agora, com os gráficos da chave CMOS é notável que esta atua predominantemente (quase que por toda a aplicação dos valores de entrada) como uma chave ideal.

A Fig. 16 mostra o comportamento de chave aberta, em que a tensão de saída é bem baixa, tendendo ao nulo. Já a Fig. 17 mostra um comportamento linear, que demonstra um ganho ideal de tensão, característica de uma chave fechada.

Devido ao fato de que as chaves PMOS e NMOS atuam idealmente somente em certas regiões de polarização, a chave CMOS é sobressalente por ter melhor performance em toda a faixa de tensão de entrada.

- d) O funcionamento como chave fechada é obtido como na Fig. 17, onde $V_{clk} =$

Vdd. Sendo assim, juntamente com as especificações do enunciado, foi variado o valor de *Rload* para os pontos solicitados, como mostra a Fig. 18.

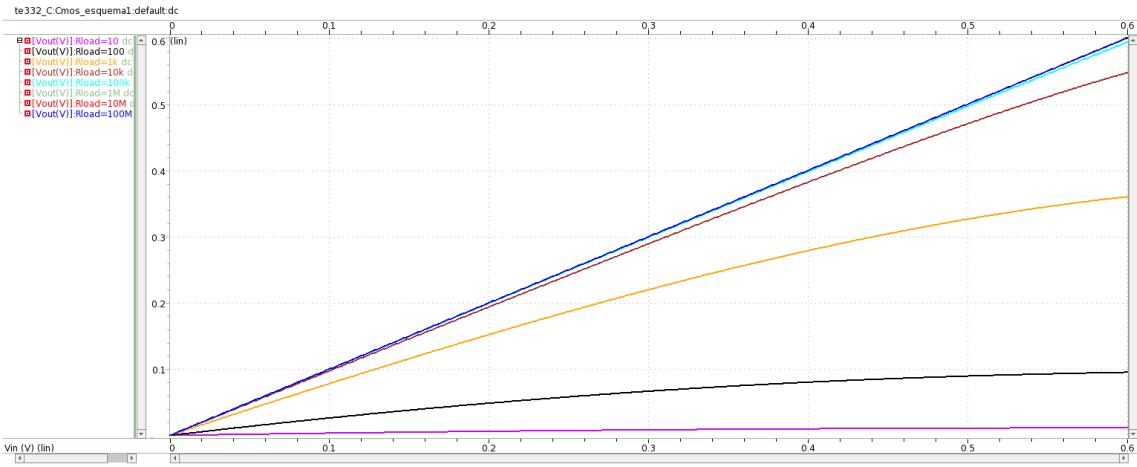


Fig. 18 – Variação da resistência para configuração chave fechada
Fonte: Os autores

Como o comportamento da chave fechada configura um gráfico linear, com máxima transferência de tensão, procura-se dentre as curvas qual mais se aproxima desse comportamento. Nessa análise constatou-se que as curvas para *Rload* com valores de 1 MΩ, 10 MΩ e 100 MΩ seguem esse comportamento (pode-se notar que estão praticamente sobrepostas). Assim, pode-se dizer que esses valores possuem performance semelhante.

Foi escolhida a curva de 1 kΩ para aplicar os cálculos de encontrar a resistência equivalente na chave CMOS. Este cálculo pode ser efetuado com a fórmula da divisão de tensão, dada por

$$V_{out} = \frac{R_2}{R_1 + R_2} * V_{in}, \quad (15)$$

em que *Vout* é a tensão de saída (obtém-se do gráfico), *R1* é a resistência da chave, *R2* é a resistência setada e *Vin* é a tensão de entrada (obtém-se do gráfico). Pode-se isolar *R1* e tem-se:

$$R_1 = \frac{R_2(V_{in} - V_{out})}{V_{out}}. \quad (16)$$

Assim, a partir da Fig. 19, onde foi colocado um cursor sobre a curva de 1 kΩ, pode-se ver o valor da tensão de entrada e a tensão de saída para um mesmo instante: 0,3 V na tensão de entrada e 220 mV na tensão de saída.

Assim, o valor de cada ponto pode ser substituído em (16), e tem-se

$$R_1 = \frac{1000(0,3 - 0,220)}{0,220}, \quad (17)$$

e assim *R1*, a resistência da chave CMOS, fica com 363,64 Ω. Neste modo de funcionamento, a resistência da chave mais se aproxima de 1 kΩ (entre os valores selecionáveis).

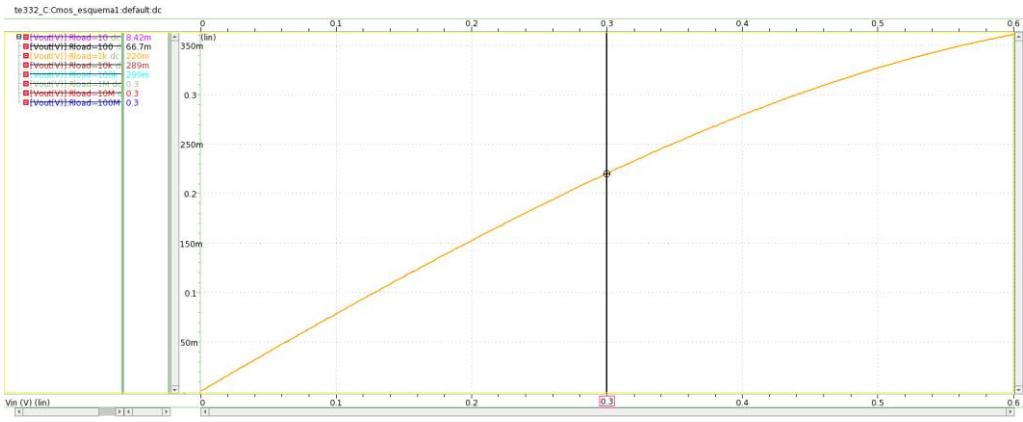


Fig. 19 – Ponto isolado na curva de $R_{load} = 1 \text{ k}\Omega$

Fonte: Os autores

- e) Então foram plotadas as curvas para os mesmos valores variados de resistência, com $V_{clk} = 0$, a fim de obter o comportamento chave aberta, conforme Fig. 20.

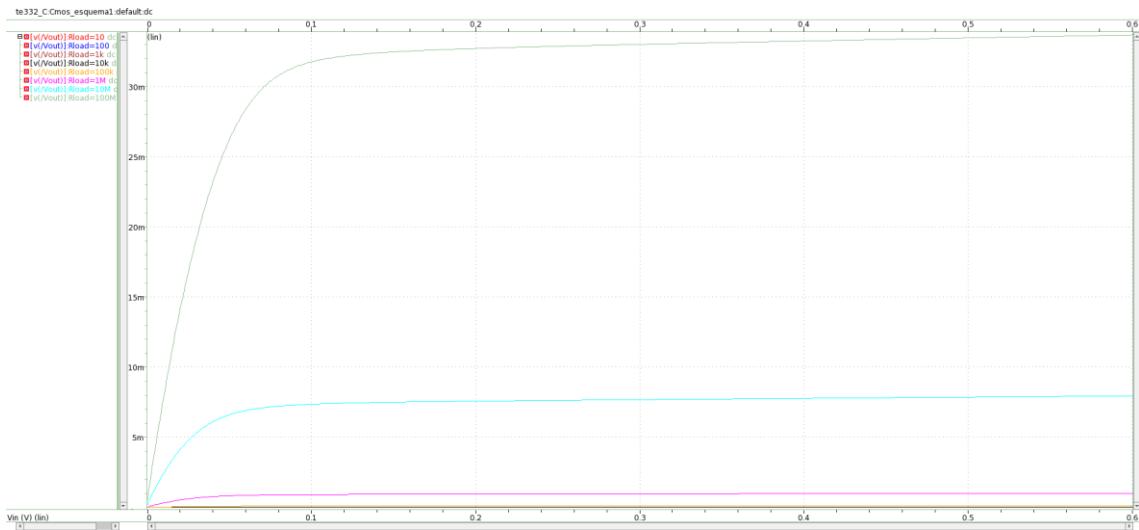


Fig. 20 - Variação da resistência para configuração chave aberta

Fonte: Os autores

A chave aberta apresenta uma performance em que a tensão de saída tende a 0, já que supostamente não permite a transferência de tensão. Nota-se, pela imagem, que as curvas plotadas quando a resistência é inferior a $10 \text{ k}\Omega$ apresentam tensões muito baixas na saída, abaixo de 1 mV, e assim passam a configurar um comportamento mais próximo de chave aberta.

Ao selecionar “*hide*” no simulador para cada curva, pode-se ver cada uma com comportamento individual. Assim, quando $R_{load} = 10 \Omega$, vê-se que é a que mais se aproxima da chave aberta, como mostrado na Fig. 21. Neste gráfico, foi colocado um cursor para indicar a tensão de entrada e a tensão de saída para um mesmo instante: 27,2 mV na tensão de entrada e 6,7 nV na tensão de saída.

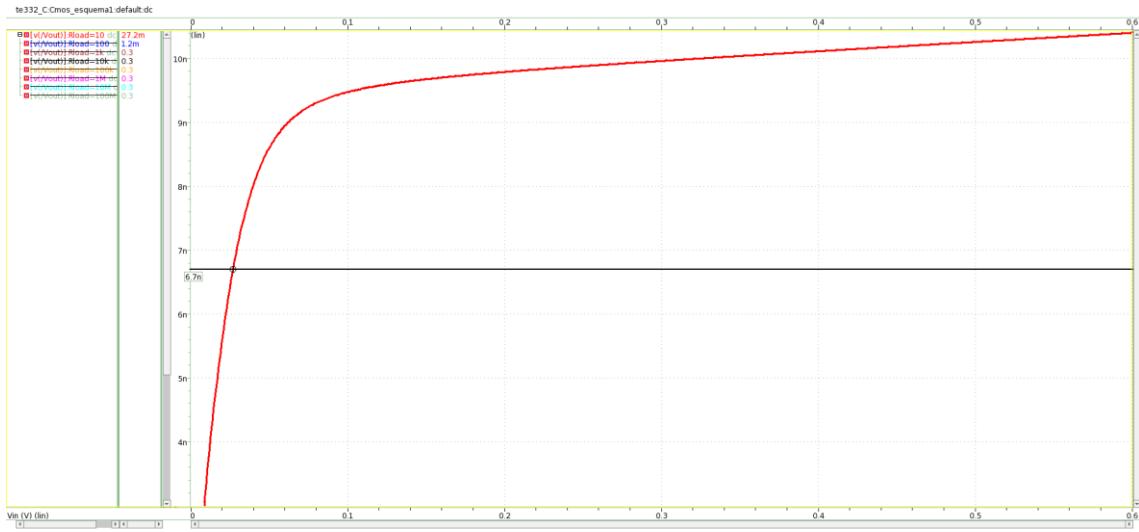


Fig. 21 – Ponto isolado na curva de $R_{load} = 10 \Omega$
Fonte: Os autores

Assim, utilizando a fórmula do divisor de tensão (16), e substituindo os valores obtidos, tem-se:

$$R1 = \frac{10((27,2 \cdot 10^{-3}) - (6,7 \cdot 10^{-9}))}{(6,7 \cdot 10^{-9})}, \quad (18)$$

o que resulta em um $R1$ de $40597004,93 \Omega$ (a resistência da chave CMOS), ou na ordem de aproximadamente $41 \text{ M}\Omega$. Neste modo de funcionamento, a resistência da chave mais se aproxima de $10 \text{ M}\Omega$ (dentre os valores selecionáveis do enunciado).

f) Então foi criado um esquemático para aplicar um sinal triangular na entrada, além das outras especificações do enunciado, conforme mostrado na Fig. 22. Já a Fig. 23 mostra a simulação do esquemático seguindo também as instruções do enunciado.

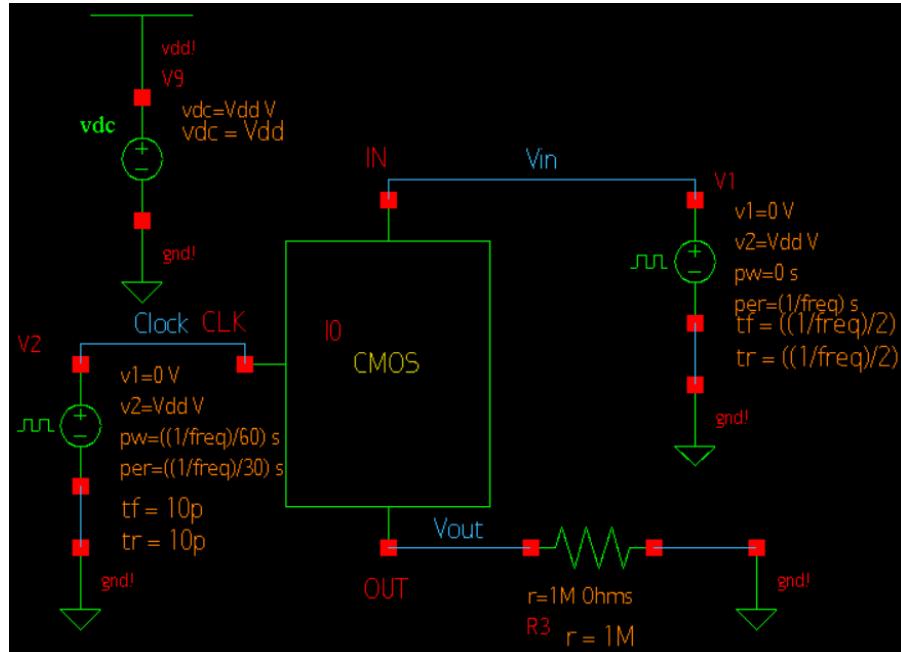


Fig. 22 – Esquemático da chave CMOS para simulação com sinal triangular
Fonte: Os autores

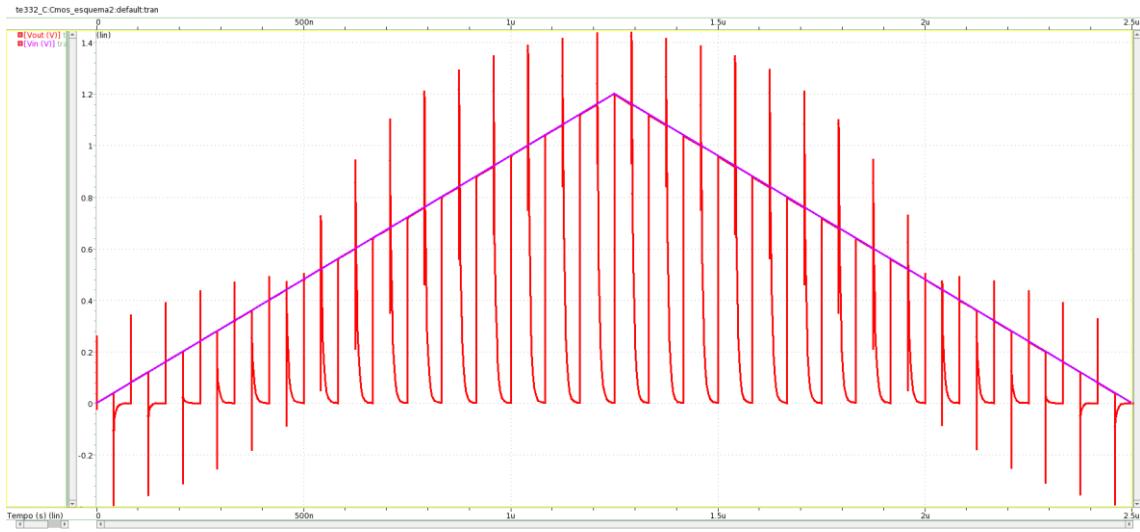


Fig. 23 – Sinal triangular da chave CMOS
Fonte: Os autores

A partir desse esquemático, foi feita mais uma simulação, apresentada na Fig. 24, que mostra o comportamento do *clock* junto com a entrada e saída. Com isso, vê-se que a chave CMOS conduz quando o *clock* está em alto (tem o valor de Vdd), e o ganho é unitário. Não conduz quando o *clock* está em baixo (tem valor 0 V), se comportando como chave aberta.

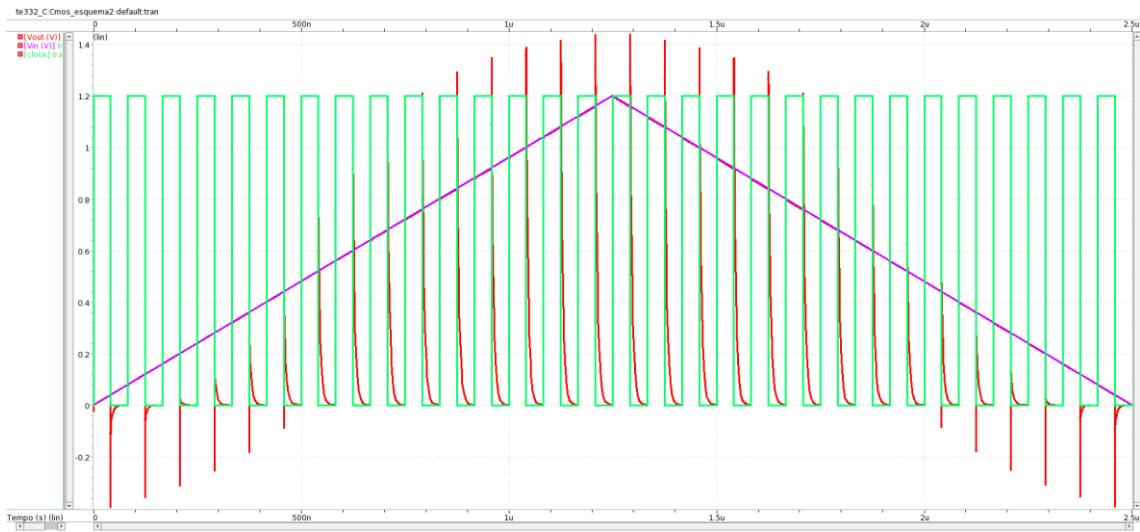


Fig. 24 – Plotagem do *clock* junto ao sinal de entrada e saída
Fonte: Os autores

1.4. AMOSTRAGEM E RETENÇÃO

- Foi criado então um esquemático com a chave CMOS e um capacitor ideal de 5 pF, conforme a Fig. 25. Posteriormente, para este esquemático foi criado um símbolo retangular, como na Fig. 26, onde é intitulado de “Amostragem_Retencao”. Na Fig. 26 também está montado um segundo esquemático conforme as especificações do enunciado.

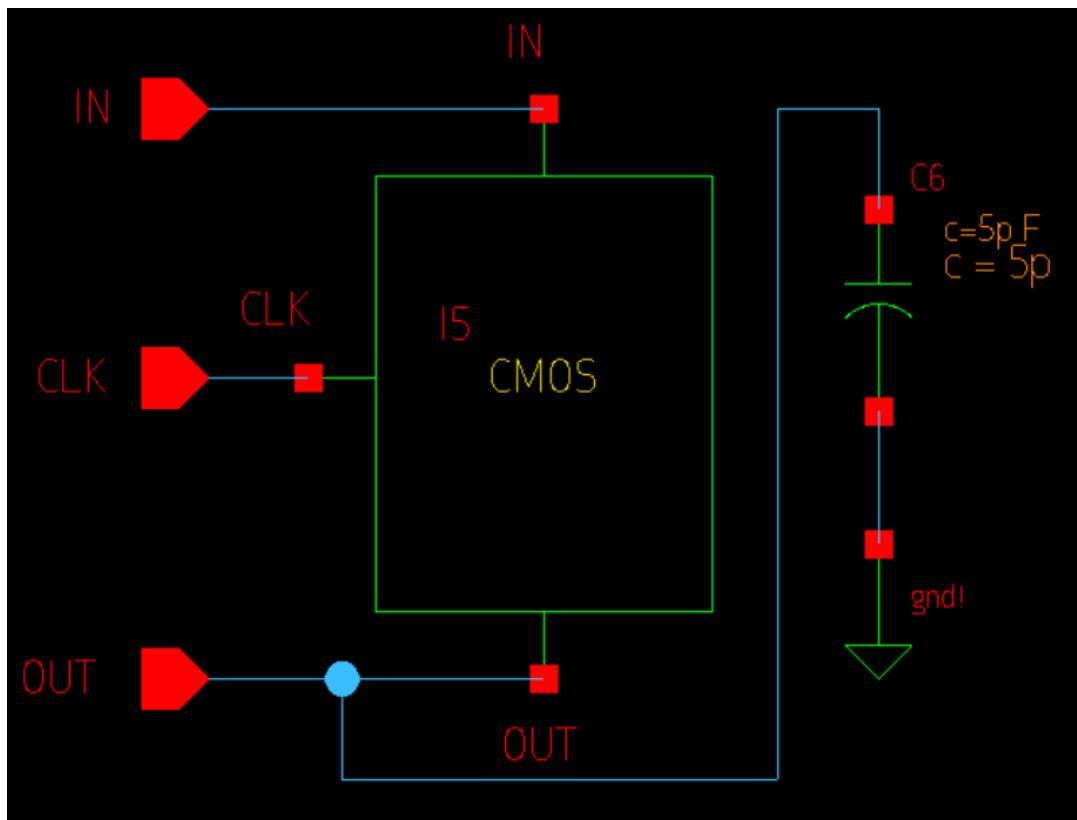


Fig. 25 – Chave CMOS com um capacitor ideal

Fonte: Os autores

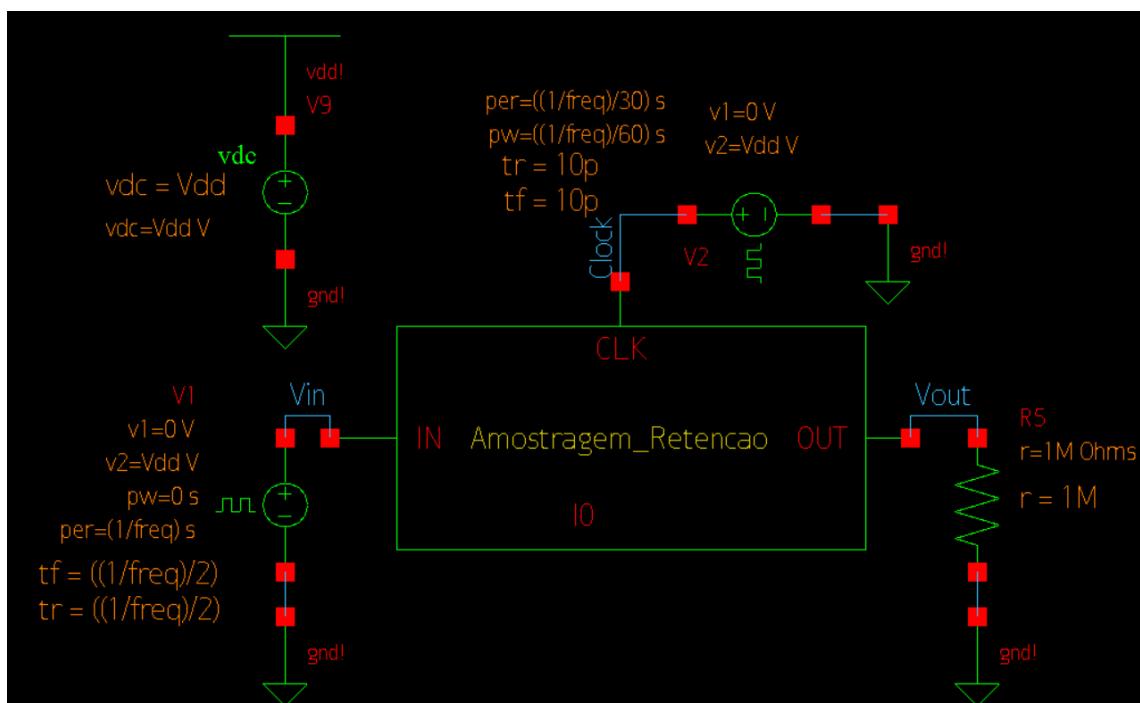


Fig. 26 – Esquemático com o bloco Amostragem e Retenção

Fonte: Os autores

A Fig. 27 mostra, então, o gráfico obtido com a simulação desse esquemático, feita com sinal triangular no *clock* e sinal quadrado na saída. Foi plotado a fim de obter 30 amostras.

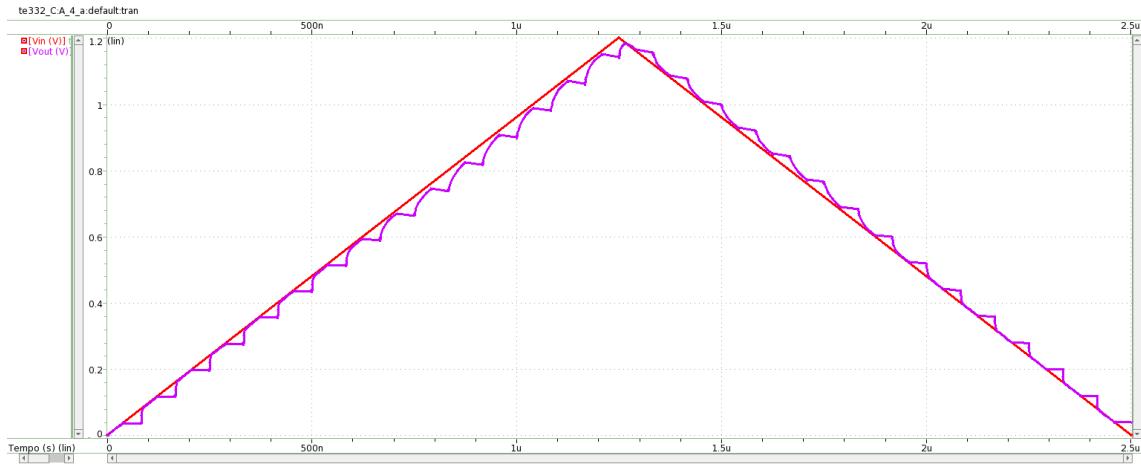


Fig. 27 – Simulação de sinal quadrado e triangular com Amostragem e Retenção
Fonte: Os autores

Com a imagem percebe-se que a tensão de saída está bem próxima da tensão de entrada. Na Fig. 28 foi plotado o sinal de *clock* também, a fim de analisar melhor a sua influência na configuração do gráfico.

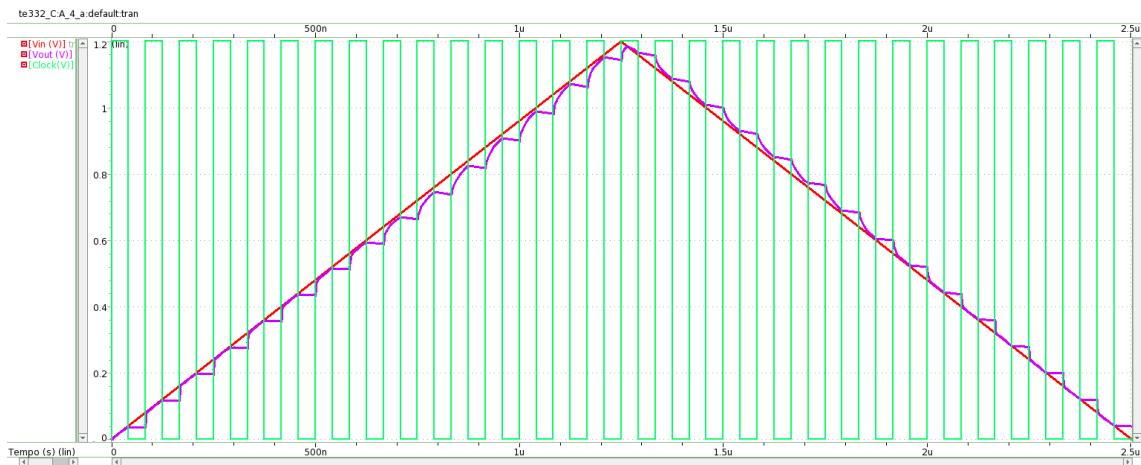


Fig. 28 - Simulação de sinal quadrado e triangular com Amostragem e Retenção, com adição de *clock*
Fonte: Os autores

Com isso, percebe-se que a tensão de saída “acompanha” os ciclos do *clock*, comportamento possibilitado pelo capacitor. Dessa forma, o capacitor está retendo a tensão de entrada por meio de uma performance chamada de amostragem e retenção (ou *sample and holding*), frequentemente utilizada em conversores analógico digitais, tal qual o presente projeto. Essa performance faz com que o capacitor armazene a amostragem de um sinal de entrada (a tensão) para a utilização em um circuito posterior.

- b) Então foi variado o valor do capacitor. A Fig. 29 mostra a simulação para o capacitor de 50 fF e a Fig. 30 mostra a simulação para o capacitor de 500 pF.

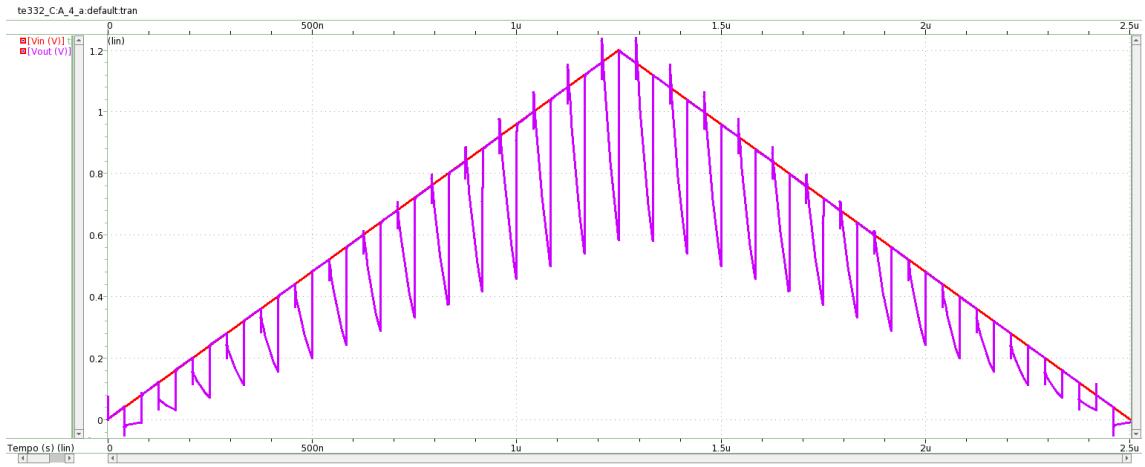


Fig. 29 – Tensão de entrada e saída com o capacitor de 50 fF
Fonte: Os autores

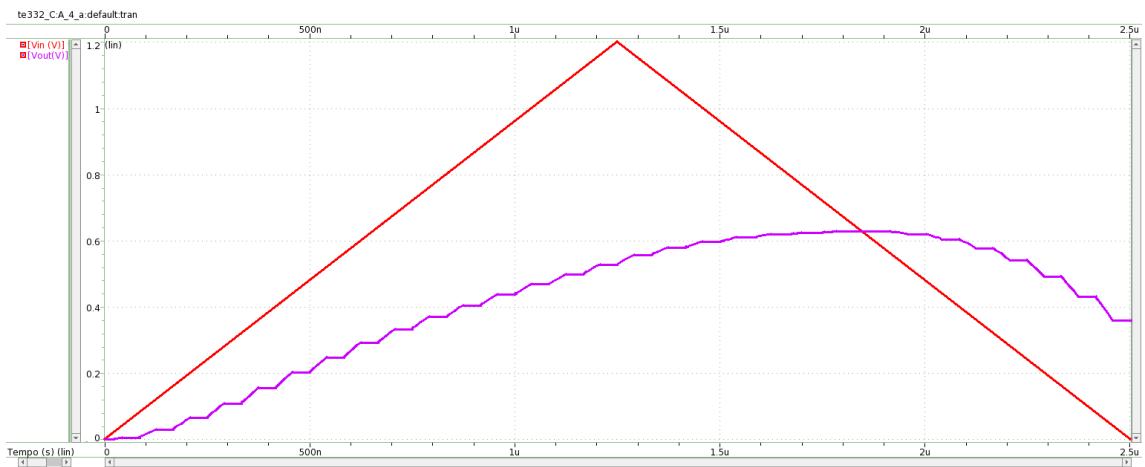


Fig. 30 – Tensão de entrada e saída com o capacitor de 500 pF
Fonte: Os autores

Pode-se notar de imediato que o capacitor de 5 pF apresenta o gráfico em qual as curvas de tensão de entrada e saída estão mais próximas uma da outra, e assim configura a melhor performance.

O capacitor de 50 fF, por sua vez, possui uma capacidade muito mais baixa em relação à situação original, e assim não consegue armazenar a tensão como desejado, configurando demasiada oscilação na tensão de saída (que não acompanha corretamente a de entrada).

Já o capacitor de 500 pF tem a capacidade 100 vezes maior que a situação original, e por ser muito mais alta também não transmite a tensão como esperado, uma vez que sua impedância passa a ser bem menor. Pela Fig. 30 vê-se que a curva da tensão de saída está atrasada e longe do formato da tensão de entrada.

REFERÊNCIAS

- [1] – SEDRA, S.; SMITH, K. Microeletrônica. 4^a. Edição, Pearson Makron Books, São Paulo, Brasil, 2005.