

**UNIVERSIDADE FEDERAL DO PARANÁ**

**ANA PAULA PRINCIVAL MACHADO  
MATHEUS HENRIQUE SILVEIRA SANTANA**

**RELATÓRIO 4 – COMPARADORES E REFERÊNCIAS DE CORRENTE**

**TE332 – LABORATÓRIO DE ELETRÔNICA ANALÓGICA II  
PROFESSOR BERNARDO LEITE**

**CURITIBA**

**2022**

#### 4.1. COMPARADOR NMOS

a) Foi inicialmente criado um esquemático como mostrado no enunciado. A Fig. 1 mostra uma visão geral do esquemático, então a Fig. 2 e Fig. 3 mostram as partes esquerda e direita com mais detalhes. A Fig. 4 mostra o símbolo criado para o comparador.

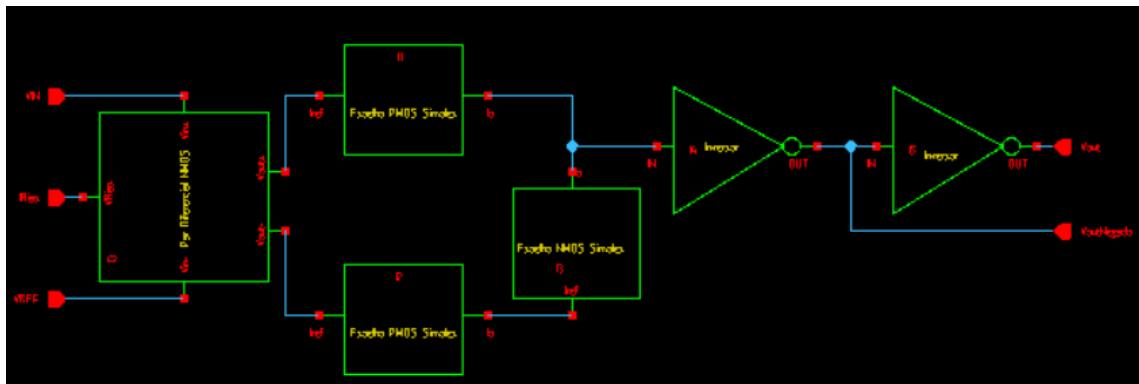


Fig. 1 – Visão geral do esquemático do comparador NMOS

Fonte: Os autores

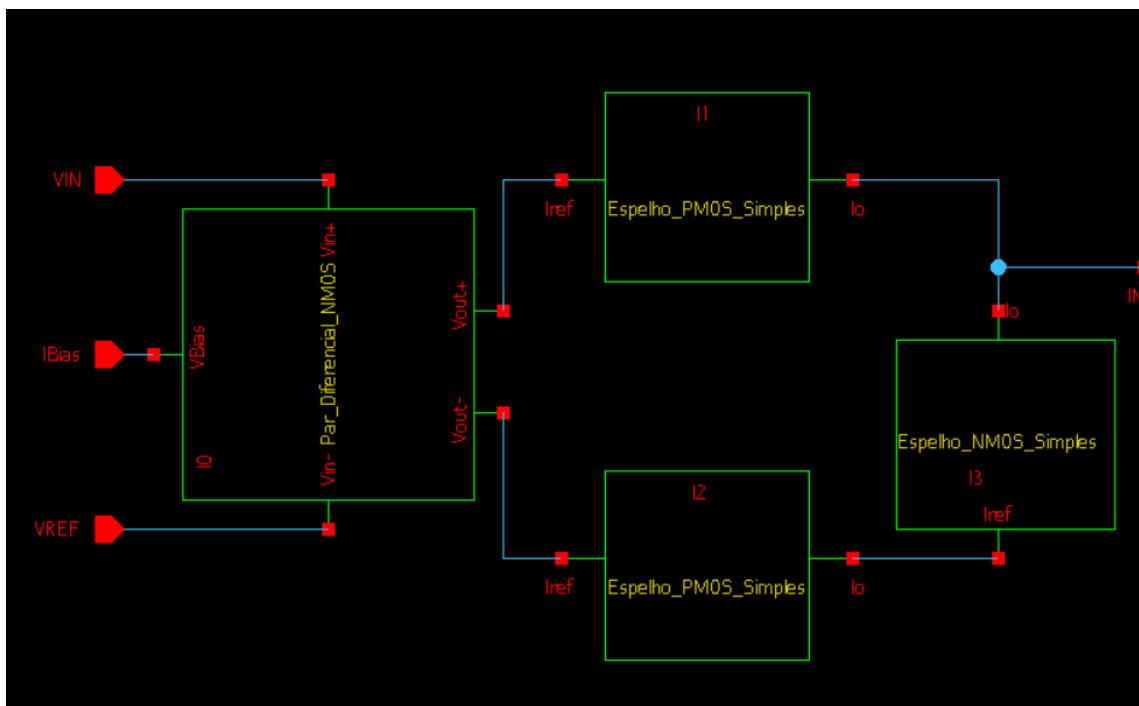


Fig. 2 – Visão esquerda do esquemático do comparador NMOS

Fonte: Os autores

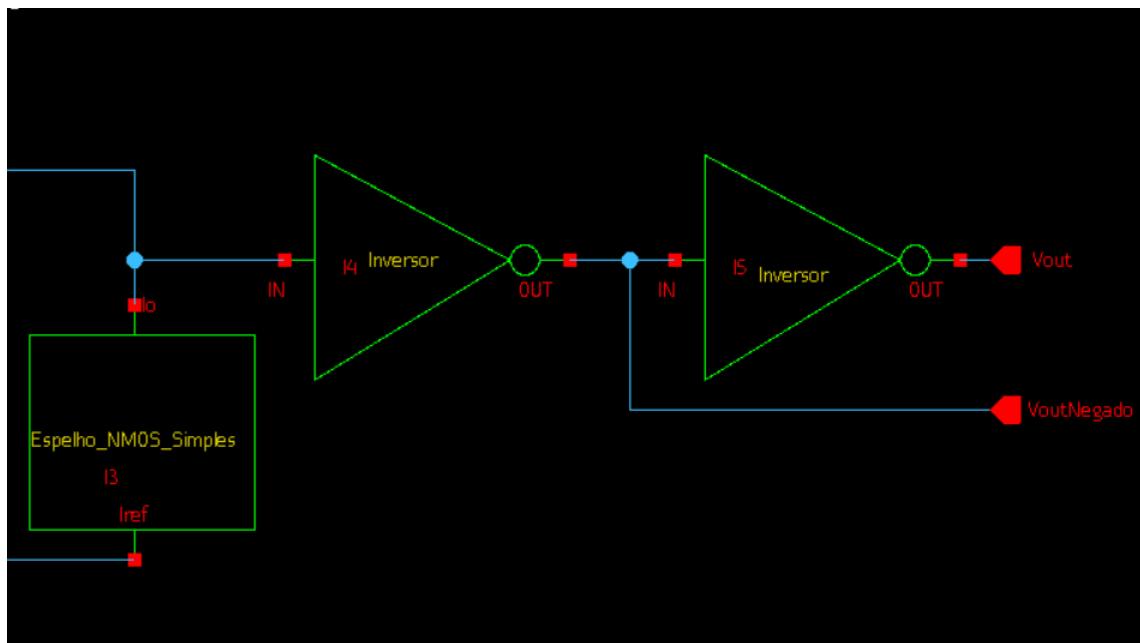


Fig. 3 – Visão direita do esquemático do comparador NMOS

Fonte: Os autores

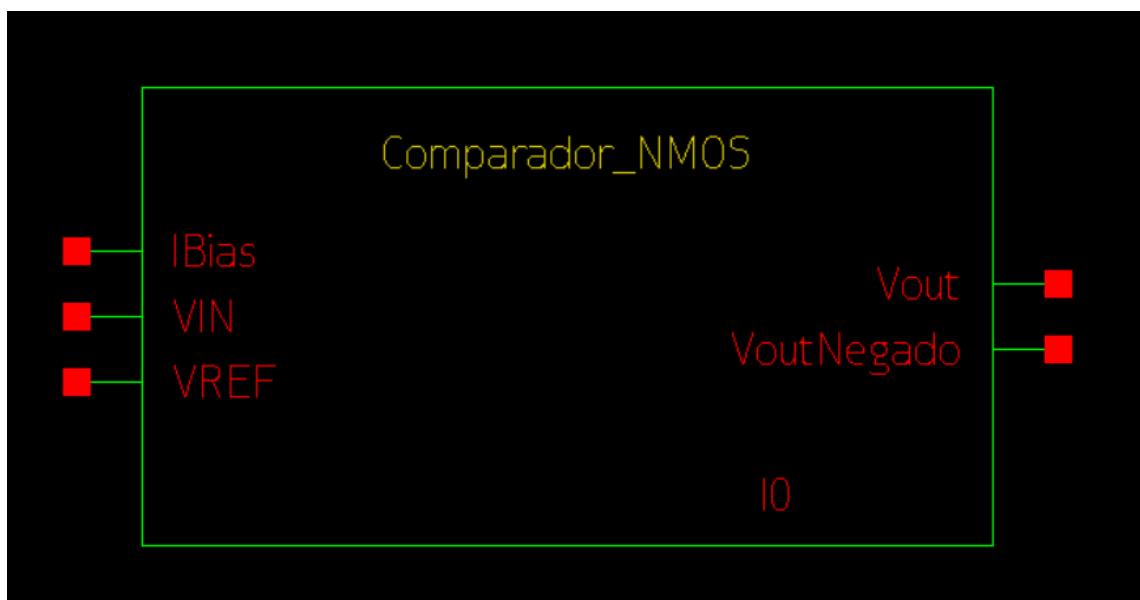


Fig. 4 – Símbolo do comparador NMOS

Fonte: Os autores

Então foi criado um esquemático para teste, conforme enunciado. Ele pode ser visto na Fig. 5.

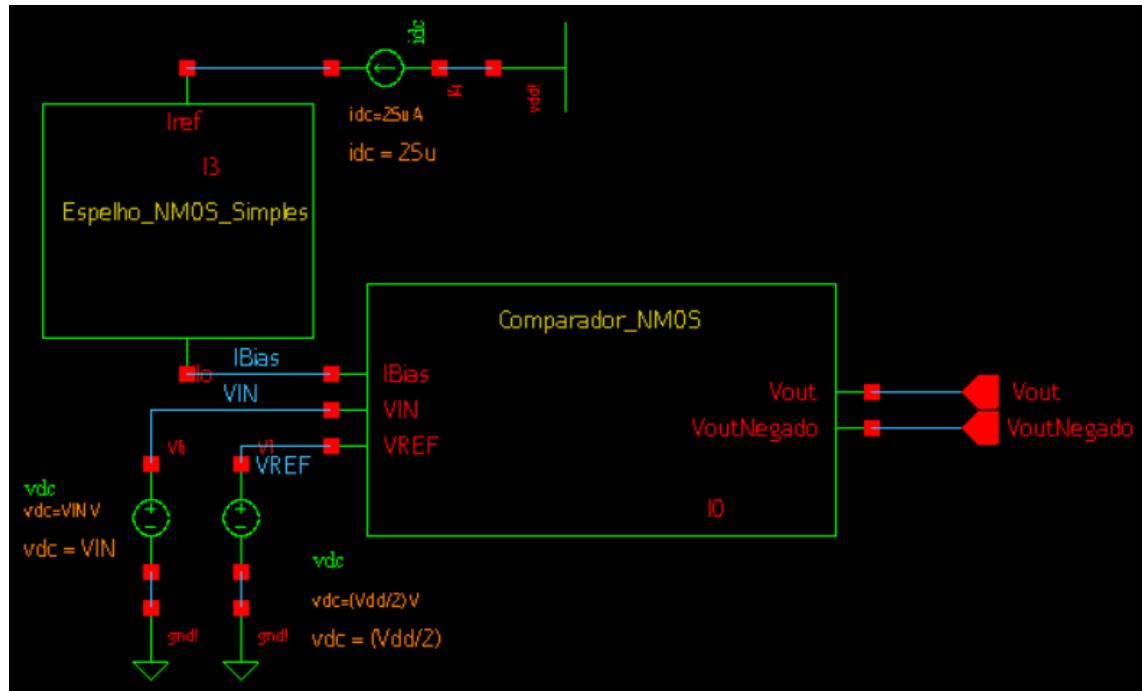


Fig. 5 – Esquemático para teste do comparador NMOS

Fonte: Os autores

Foi plotada a saída  $V_{out}$  e em função da entrada  $V_{in}$ , quando esta é variada de 0 a  $V_{dd}$ . O resultado é mostrado na Fig. 6.

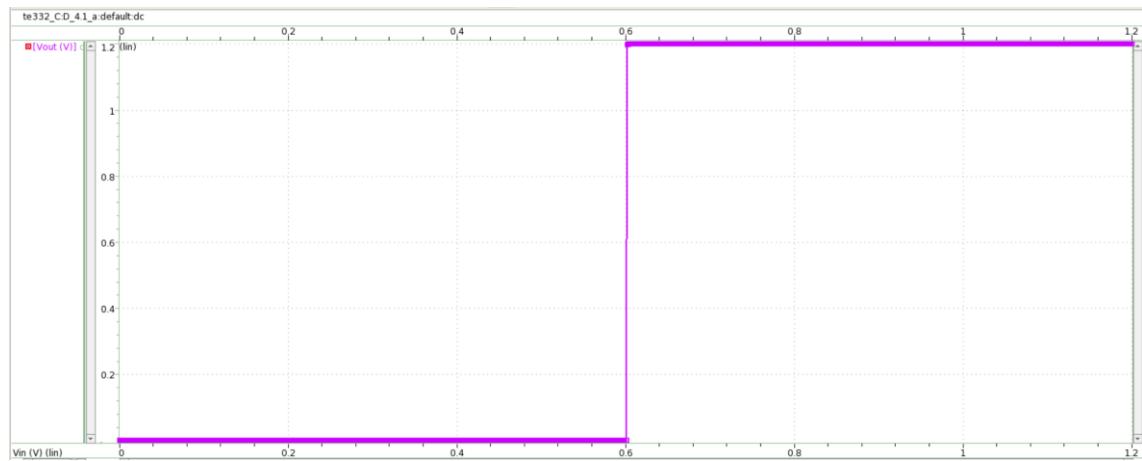


Fig. 6 – Gráfico de  $V_{out}$  em função de  $V_{in}$

Fonte: Os autores

Foi plotada a saída  $V_{outNegado}$  em função da entrada  $V_{in}$ , quando esta é variada de 0 a  $V_{dd}$ . O resultado é mostrado na Fig. 7.

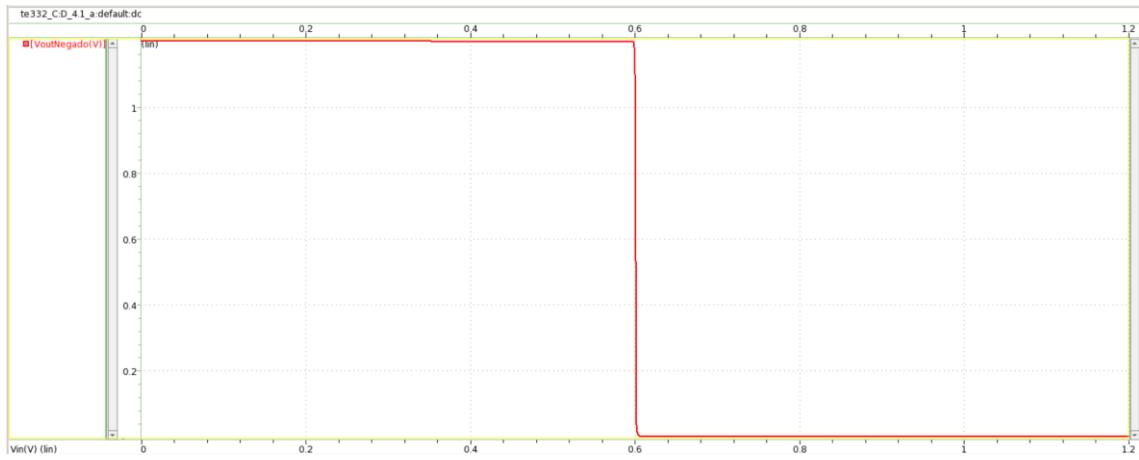


Fig. 7 – Gráfico de *VoutNegado* em função de *Vin*

Fonte: Os autores

A saída *Vout* está em 0 até *Vin* atingir  $Vdd/2$ , ou seja, 0,6 V. Após isso, atinge 1,2 V até o fim do gráfico. *VoutNegado* tem o comportamento contrário: está em alta até  $Vdd/2$  e então está em baixo até o fim do gráfico. Isso ocorre devido a função de comparador, que coloca a saída em alta ou em baixo de acordo com a comparação com a tensão de referência (600 mV, neste caso).

b) Então é pedido para plotar no mesmo gráfico as tensões na entrada do primeiro inversor e na saída do segundo inversor. O resultado é mostrado na Fig. 8, em função de *Vin*.

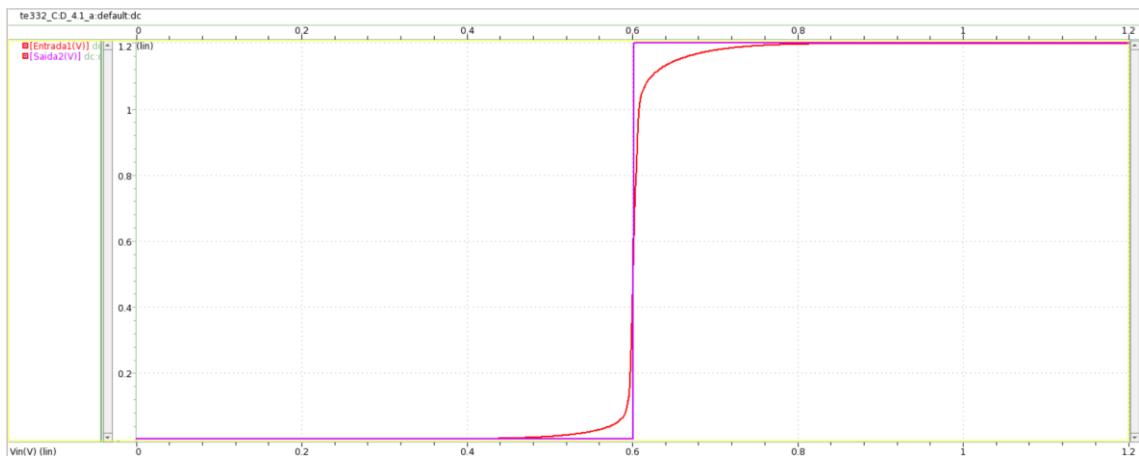


Fig. 8 – Entrada do primeiro inversor e saída do segundo inversor

Fonte: Os autores

Pode-se notar, no gráfico, que a curva que representa a tensão antes dos inversores é mais “suave” do que a outra curva, o que significa que a sua transição entre os níveis baixo e alto é mais gradual. A curva obtida após a saída dos inversores não possui essa característica, sendo mais instantânea. Dessa forma, os inversores possuem o papel de tornar a resposta mais “digital”, 0 ou 1, com mais instantaneidade na mudança.

c) Então é pedido para redimensionar o espelho de corrente N interno, sem modificar os demais espelhos. Dessa forma foi criado um *Espelho\_NMOS\_Simples\_Test*, como mostrado na Fig. 9, e inserido no comparador. Dessa forma é possível modificar o W do espelho sem alterar o de fora.

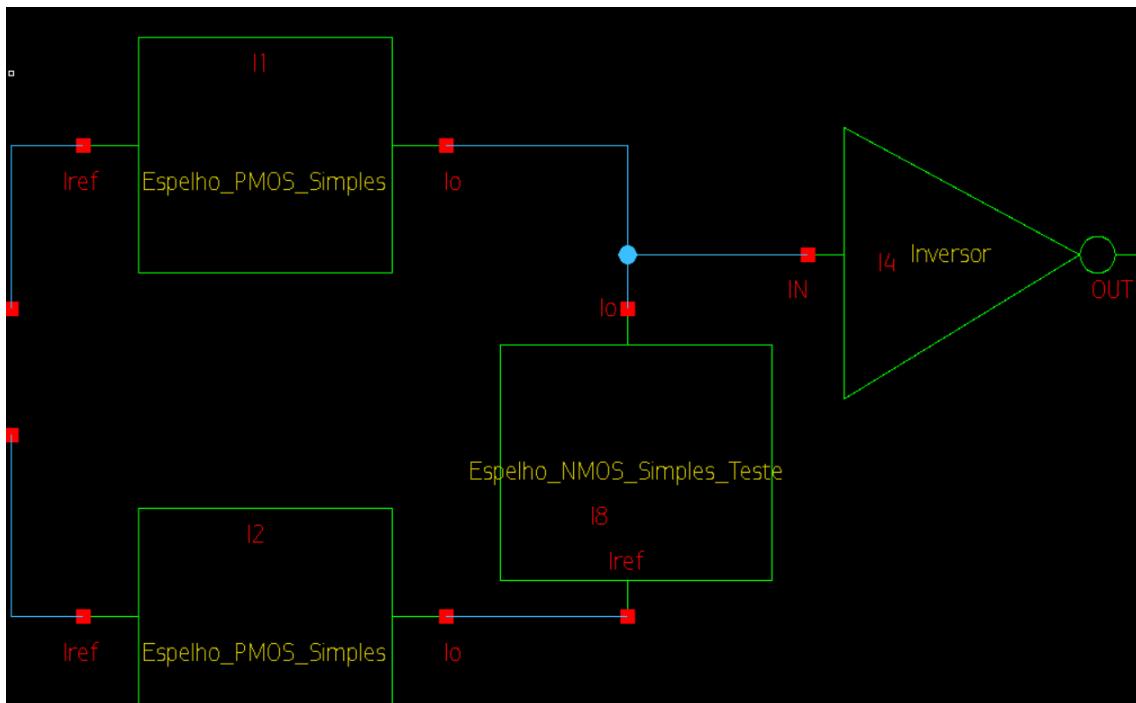


Fig. 9 – *Espelho\_NMOS\_Simples\_Test*

Fonte: Os autores

Dentro desse espelho de teste foi deixado fixo o transistor da esquerda e generalizado o da direita para  $W_a$ , como mostrado na Fig. 10. O objetivo passa a ser o dimensionamento de  $W_a$  para obter a tensão de saída em 600 mV, com tolerância de 50%, ou seja, de 300 mV a 900 mV.

Inicialmente foi feita uma simulação variando a largura de 2  $\mu\text{m}$  até 5  $\mu\text{m}$ , variando ao passo de 0,5  $\mu\text{m}$ . O gráfico obtido é mostrado na Fig. 11, onde pode-se ver que a faixa de variação escolhida foi muito grande.

Então foi mudado para variar de 2,5  $\mu\text{m}$  até 3  $\mu\text{m}$ , com variação de 0,1  $\mu\text{m}$ . O gráfico obtido é mostrado na Fig. 12. Nela, pode-se ver que o resultado mais próximo é de 681 mV, quando  $W_a = 2,6 \mu\text{m}$ .

Com isso, foi feita mais uma simulação, dessa vez fechando ainda mais o intervalo, de 2,5  $\mu\text{m}$  até 2,6  $\mu\text{m}$ , ao passo de 0,01  $\mu\text{m}$ , como mostra a Fig. 13.

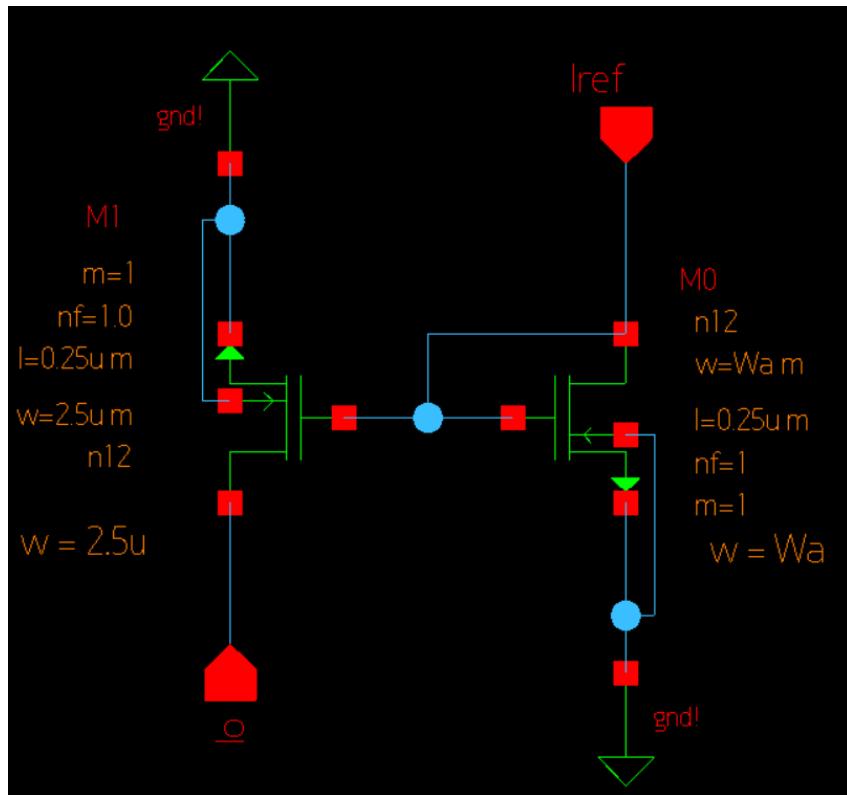


Fig. 10 – Generalização da largura do transistor

Fonte: Os autores

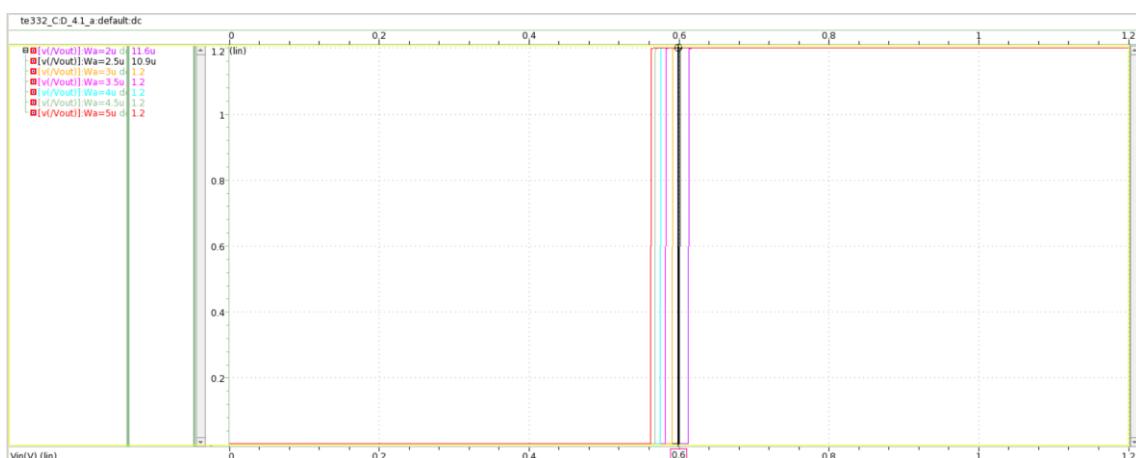


Fig. 11 – Primeira variação de  $W_a$

Fonte: Os autores

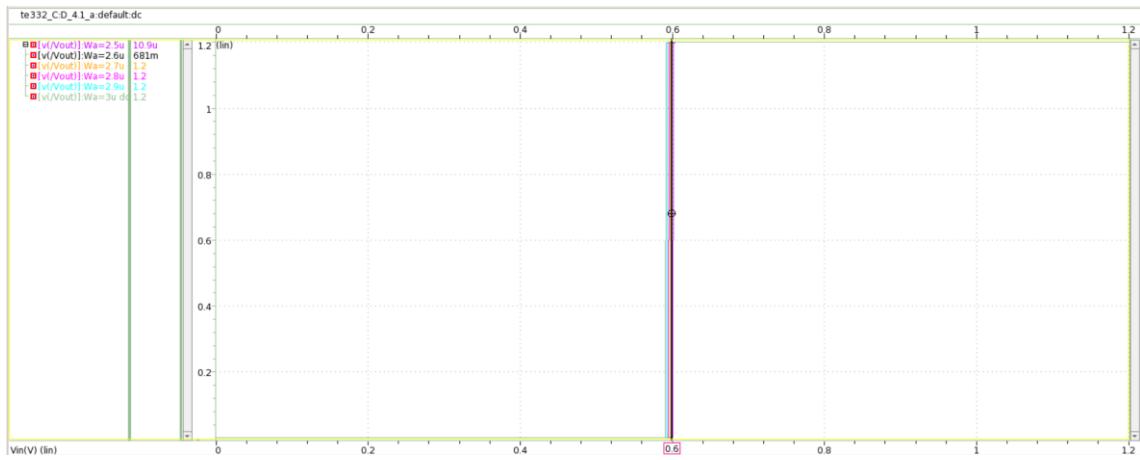


Fig. 12 – Segunda variação de  $W_a$

Fonte: Os autores

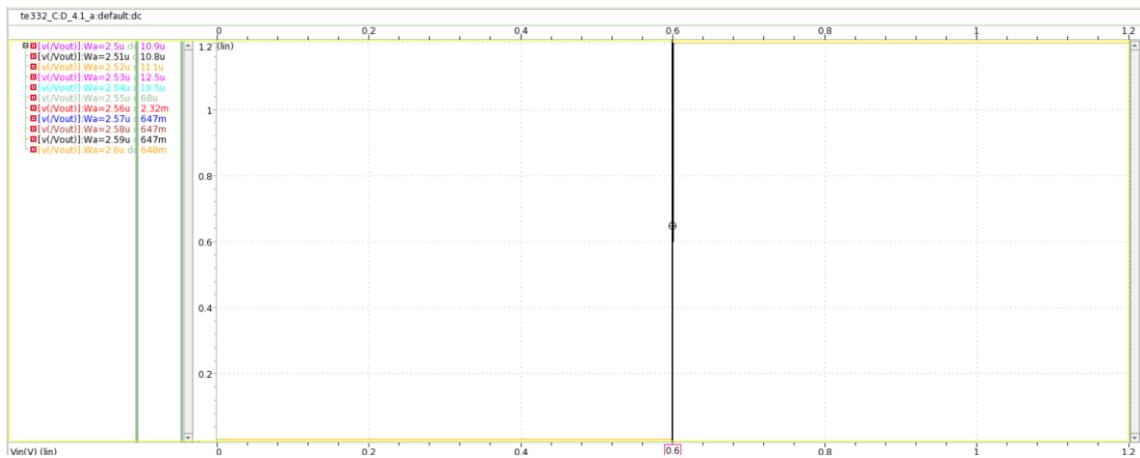


Fig. 13 – Terceira variação de  $W_a$

Fonte: Os autores

Então foi feita mais uma simulação, variando de 2,56  $\mu\text{m}$  até 2,57  $\mu\text{m}$ , ao passo de 0,001  $\mu\text{m}$ , como mostra a Fig. 14. Nela, pode-se ver que o valor mais próximo do ideal é 630 mV, quando  $W_a$  é de 2,563  $\mu\text{m}$ .

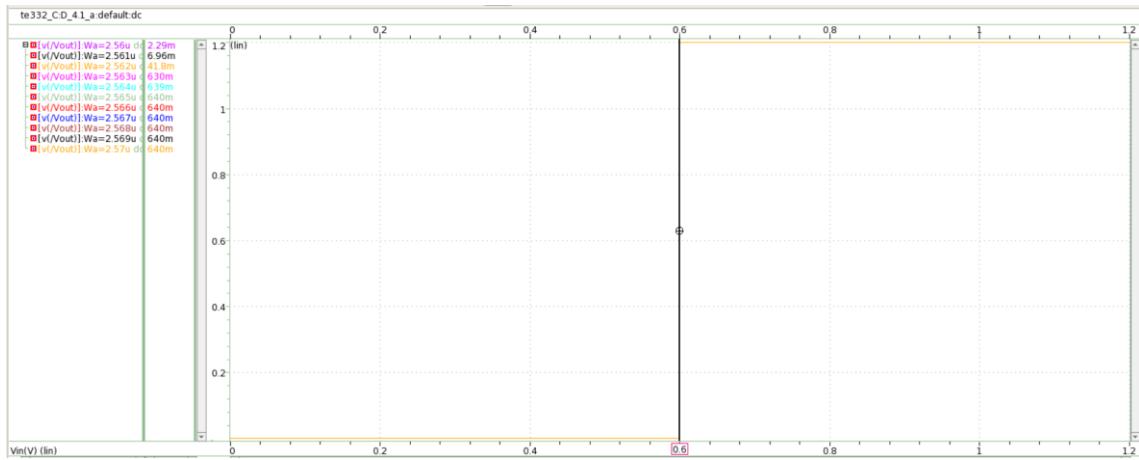


Fig. 14 – Quarta variação de  $Wa$

Fonte: Os autores

No entanto, o simulador não permite este valor e arredonda para  $2,565 \mu\text{m}$ , como mostrado na Fig. 15.

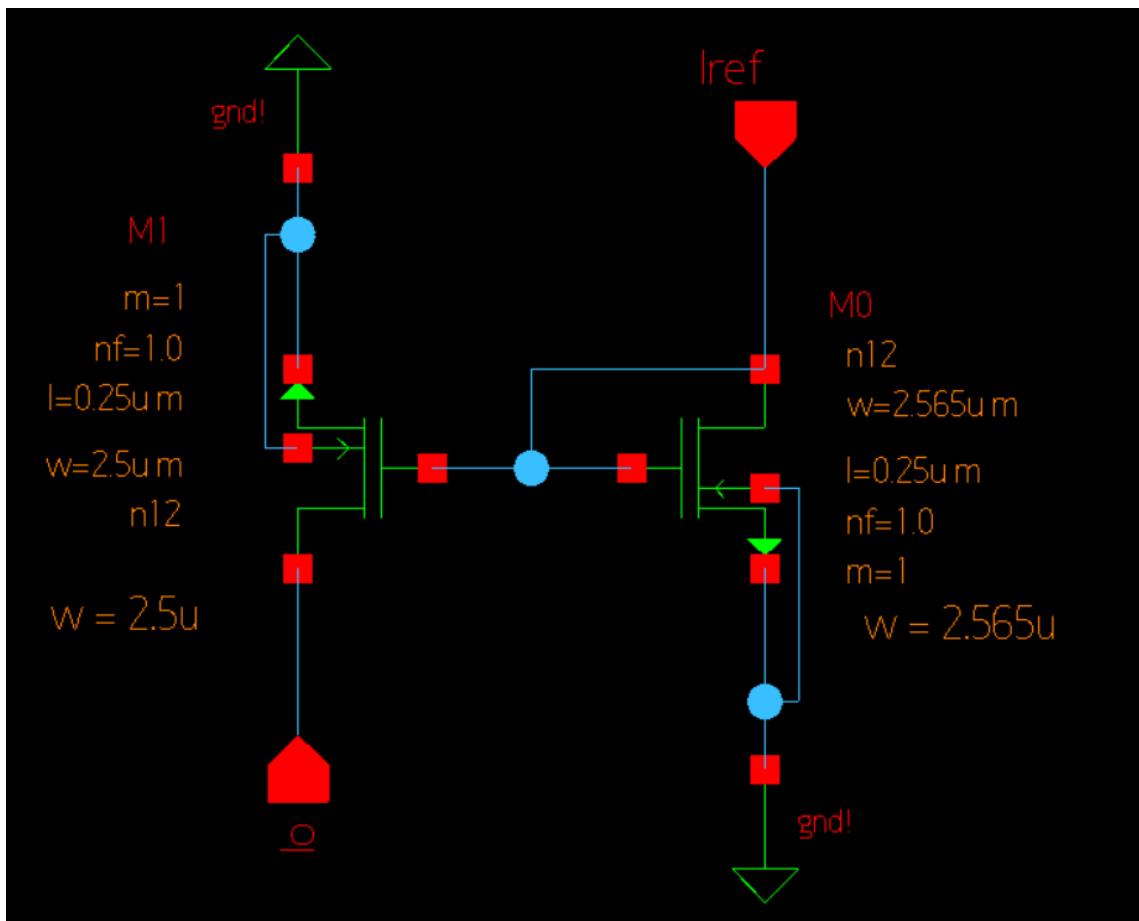


Fig. 15 – Redimensionamento do *Espelho\_NMOS\_Simples\_Test*

Fonte: Os autores

A Fig. 16 mostra o Espelho Simples PMOS interno ao comparador, e a Fig. 17 mostra o Espelho Simples NMOS usado para polarização.

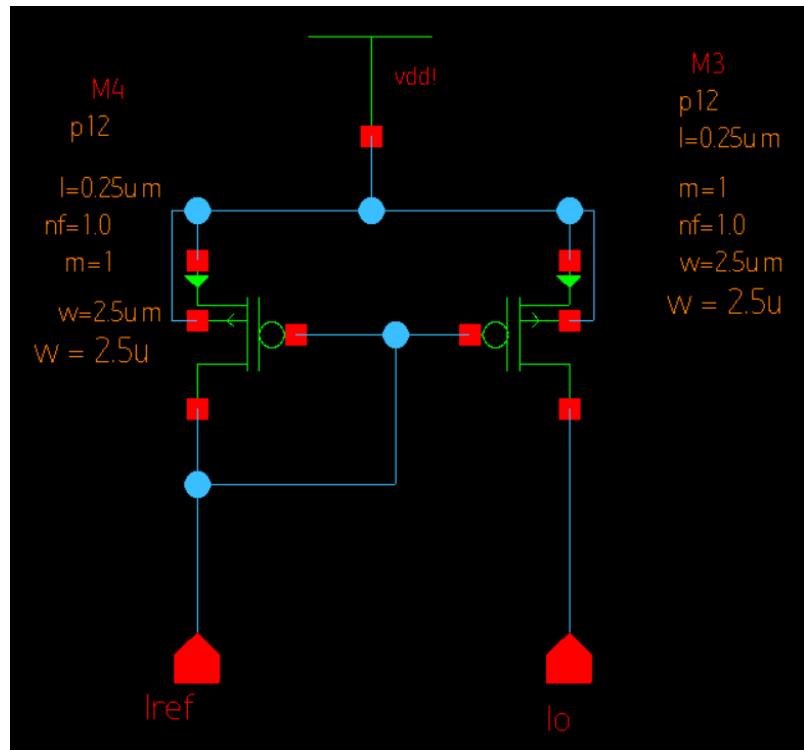


Fig. 16 – Espelhos Simples PMOS internos ao comparador

Fonte: Os autores

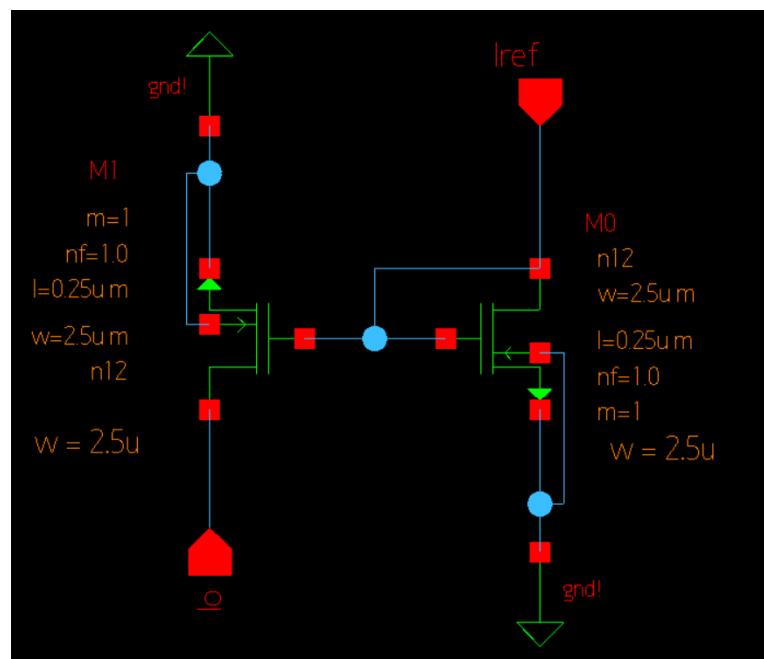


Fig. 17 – Espelho Simples NMOS usado para polarização

Fonte: Os autores

Então é traçado o gráfico de  $V_{out}$  em função de  $V_{in}$  com as respectivas dimensões, como mostrado na Fig. 18. Quando a tensão de entrada é 600 mV, a tensão de saída é 681 mV, devido ao arredondamento. Dessa forma, fica com erro de 13,5% em relação ao desejado.

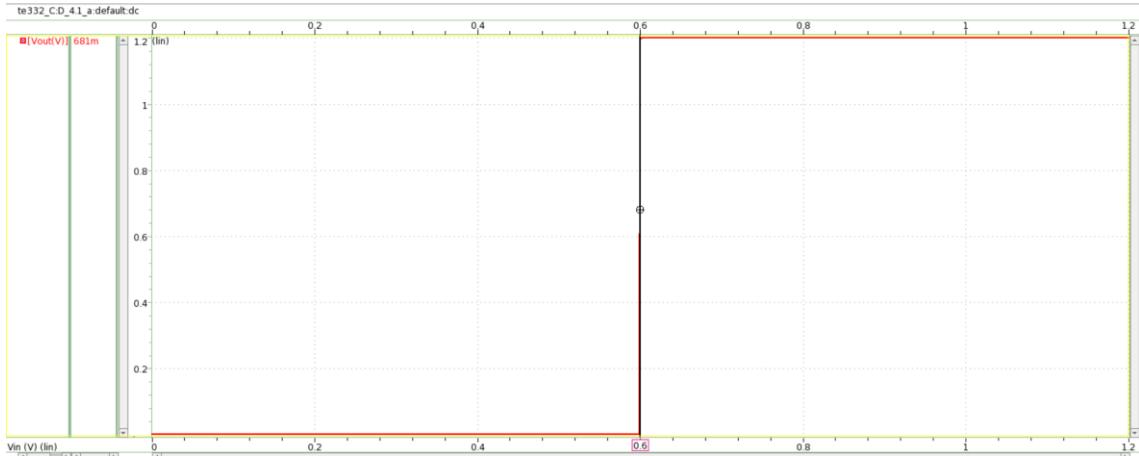


Fig. 18 –  $V_{out}$  em função de  $V_{in}$  após o redimensionamento

Fonte: Os autores

#### 4.2. COMPARADOR PMOS

a) Então é pedido para criar um esquemático e símbolo do Comparador PMOS. A Fig. 19 mostra uma visão geral do comparador, enquanto a Fig. 20 e Fig. 21 mostram mais individualmente cada parte do comparador. A Fig. 22 mostra o símbolo.

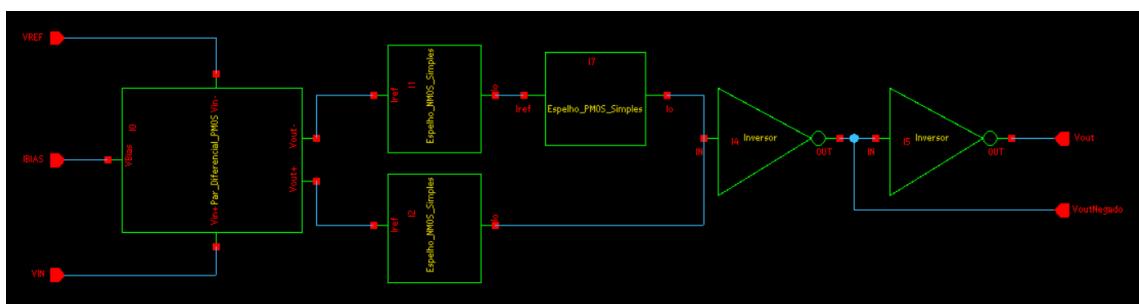


Fig. 19 – Visão geral do esquemático do comparador PMOS

Fonte: Os autores

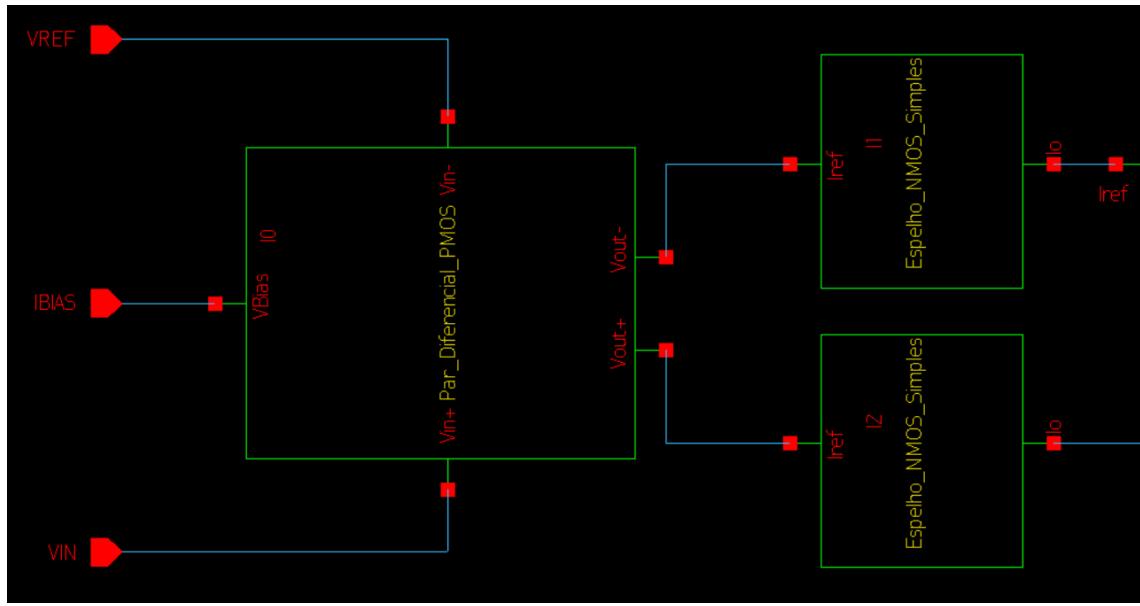


Fig. 20 – Visão esquerda do esquemático do comparador PMOS

Fonte: Os autores

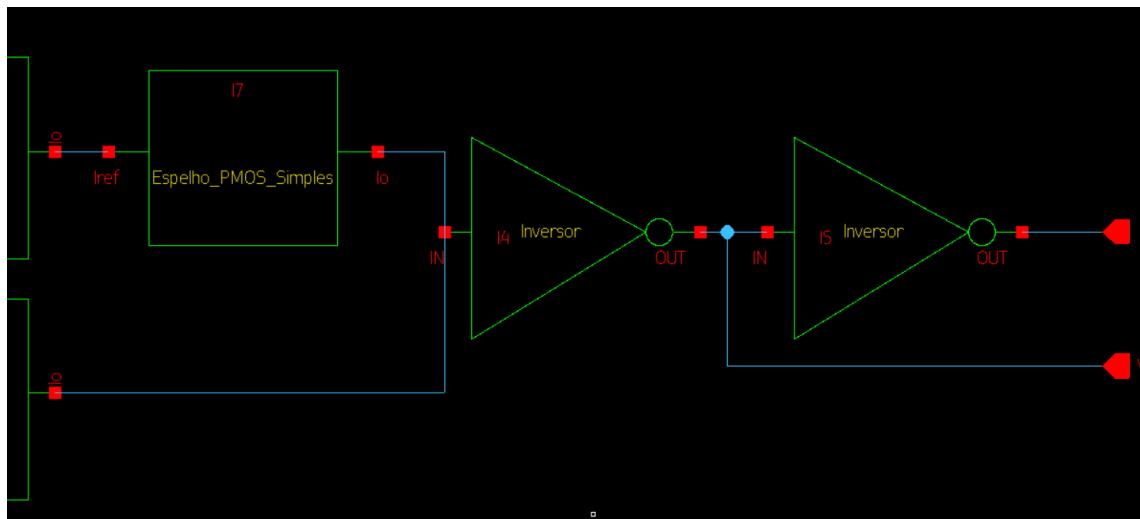


Fig. 21 – Visão direita do esquemático do comparador PMOS

Fonte: Os autores

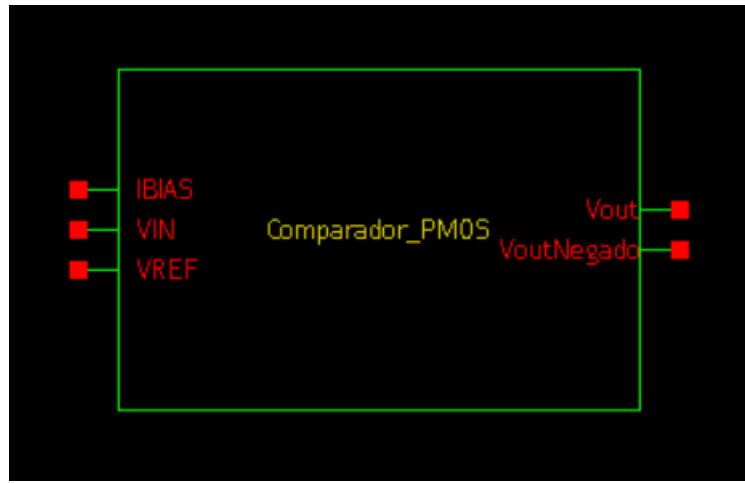


Fig. 22 –Símbolo do comparador PMOS

Fonte: Os autores

Então é pedido para criar um esquemático de teste aplicando ( $Vdd/2$ ) na entrada  $VREF$  e corrente de polarização de  $25 \mu A$ . Estas e demais especificações enunciadas são mostradas na Fig. 23.

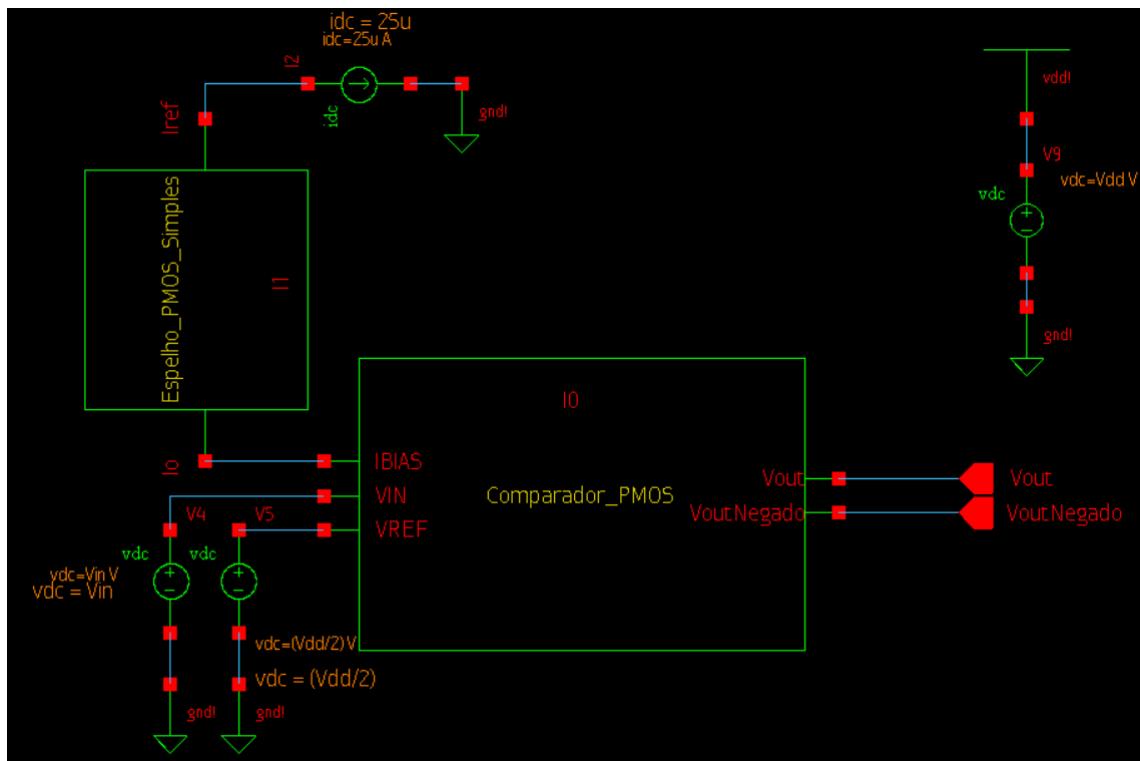


Fig. 23 – Esquemático de teste para o Comparador PMOS

Fonte: Os autores

Ao plotar  $Vout$  em função de  $Vin$ , obtém-se o gráfico da Fig. 24. Ao plotar o  $VoutNegado$  em função de  $Vin$ , obtém-se o gráfico da Fig. 25.

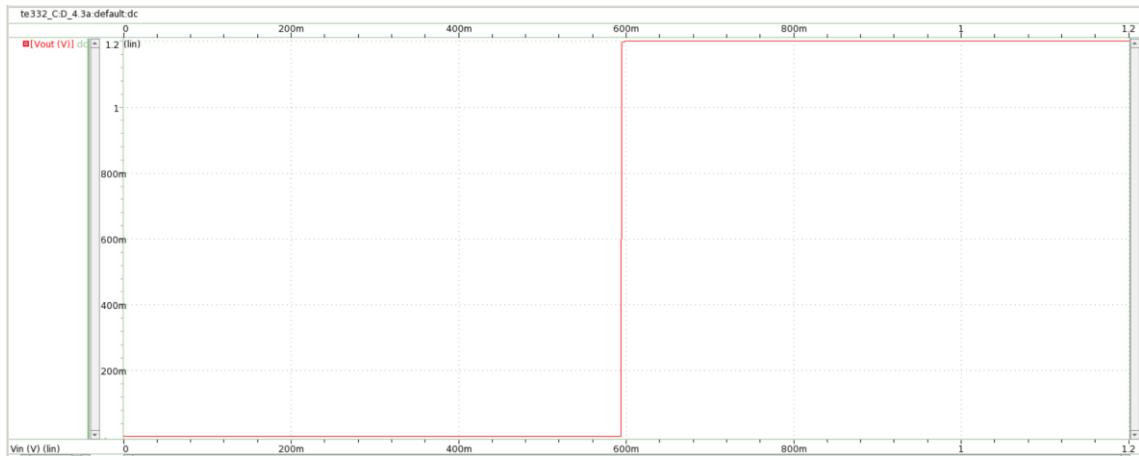


Fig. 24 –  $V_{out}$  em função de  $V_{in}$

Fonte: Os autores

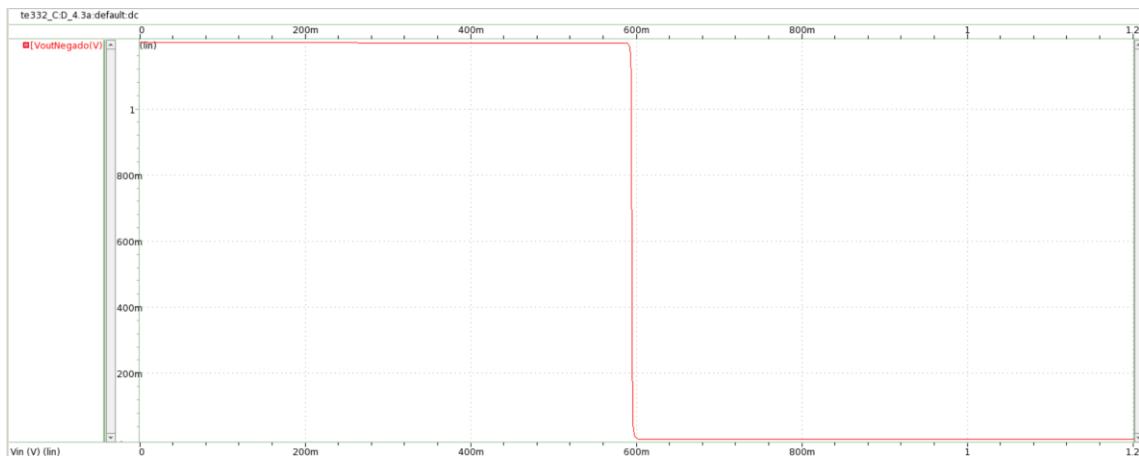


Fig. 25 –  $V_{outNegado}$  em função de  $V_{in}$

Fonte: Os autores

Pode-se observar um comportamento semelhante ao do Comparador NMOS: A saída  $V_{out}$  está em 0 até  $V_{in}$  atingir  $V_{dd}/2$ , ou seja, 0,6 V. Após isso, permanece em  $V_{dd}$  V até o fim do gráfico.  $V_{outNegado}$  tem o comportamento contrário: está em alta até  $V_{dd}/2$  e então está em baixa até o fim do gráfico. Isso ocorre devido a função de comparador, que coloca a saída em alta ou em baixo de acordo com a comparação com a tensão de referência (600 mV, neste caso).

- b) Da mesma forma que no Comparador NMOS, para o Comparador PMOS foi criado um Espelho de Corrente Simples PMOS teste, a fim de poder alterar o interno ao Comparador sem alterar o de fora, como mostra a Fig. 26.

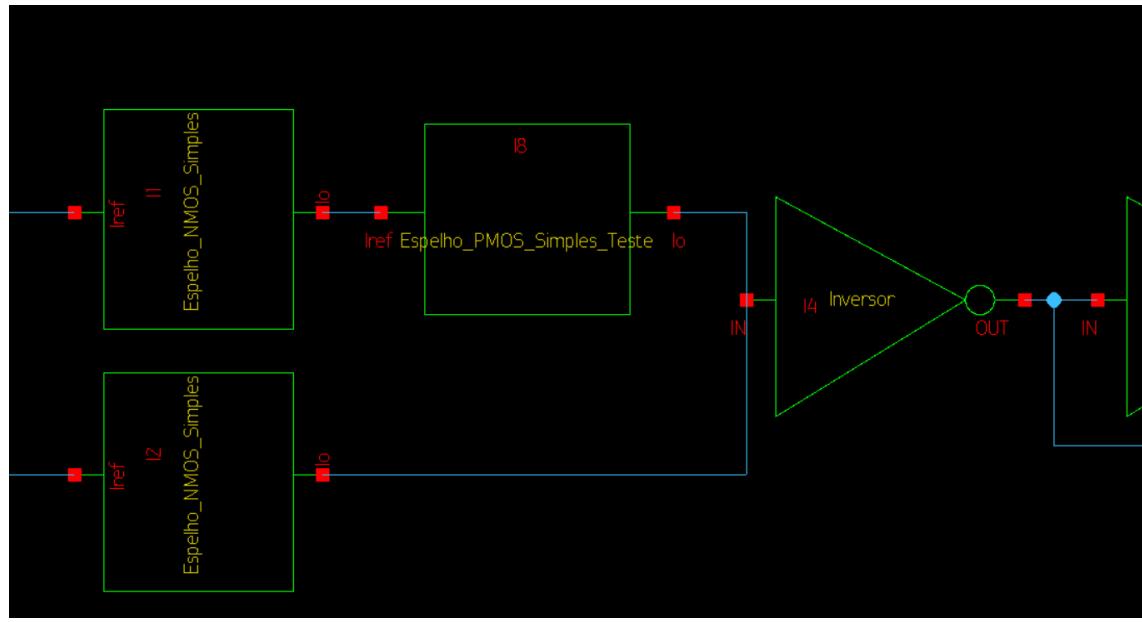


Fig. 26 – Espelho PMOS Simples de teste interior ao comparador

Fonte: Os autores

Neste espelho de teste foi deixado um  $W$  genérico para o transistor, como mostra a Fig. 27.

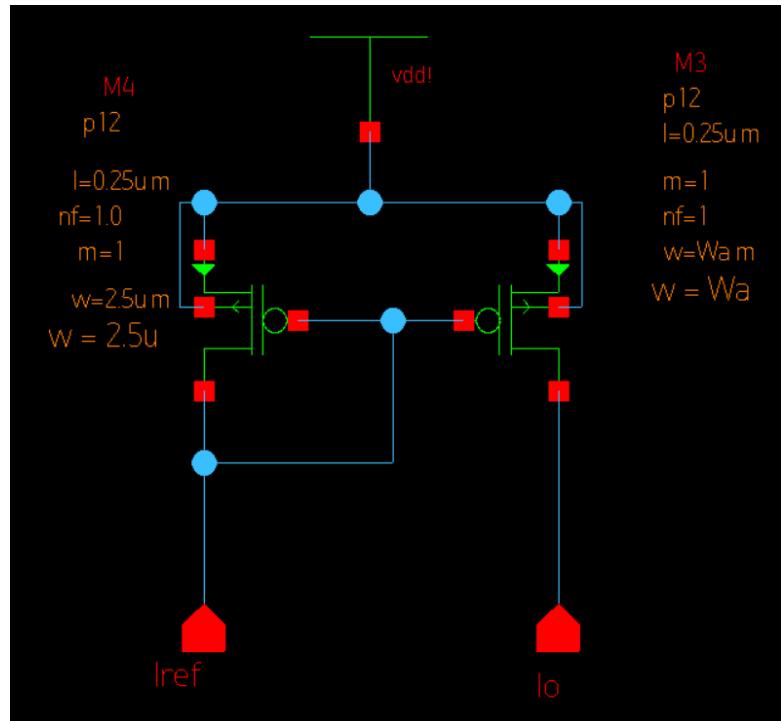


Fig. 27 –  $W$  genérico interno ao comparador

Fonte: Os autores

Foram feitas simulações, então, para dimensionar o  $Wa$  de modo que a tensão de saída fique em 600 mV, com tolerância de 50%, ou seja, de 300 mV a 900 mV, quando a tensão de entrada é exatamente 600 mV.

A primeira variação de  $Wa$  foi de 2  $\mu\text{m}$  até 3  $\mu\text{m}$ , ao passo de 0,1  $\mu\text{m}$ , como mostrado na Fig. 28.

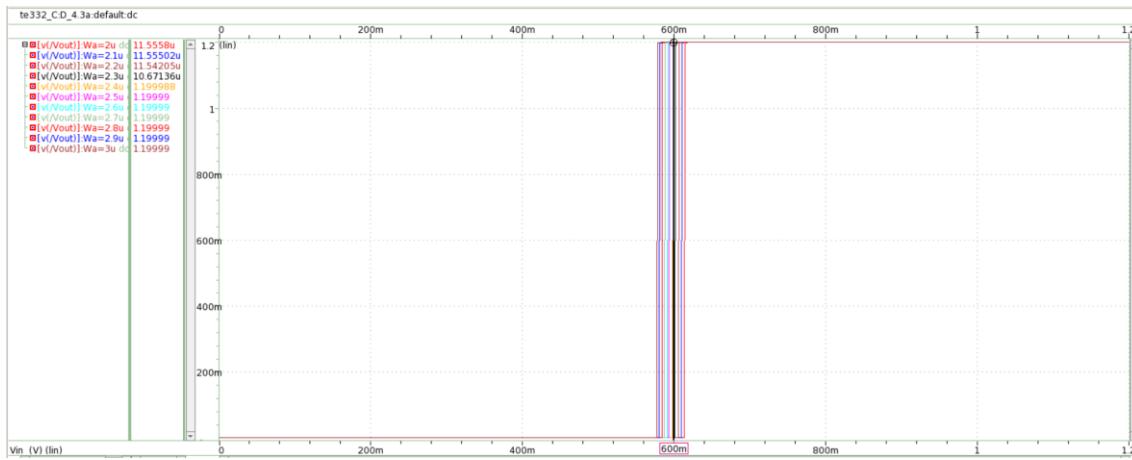


Fig. 28 – Primeira variação de  $Wa$

Fonte: Os autores

A segunda variação foi feita de 2,3  $\mu\text{m}$  até 2,4  $\mu\text{m}$ , ao passo de 0,01  $\mu\text{m}$ , como mostra a Fig. 29.

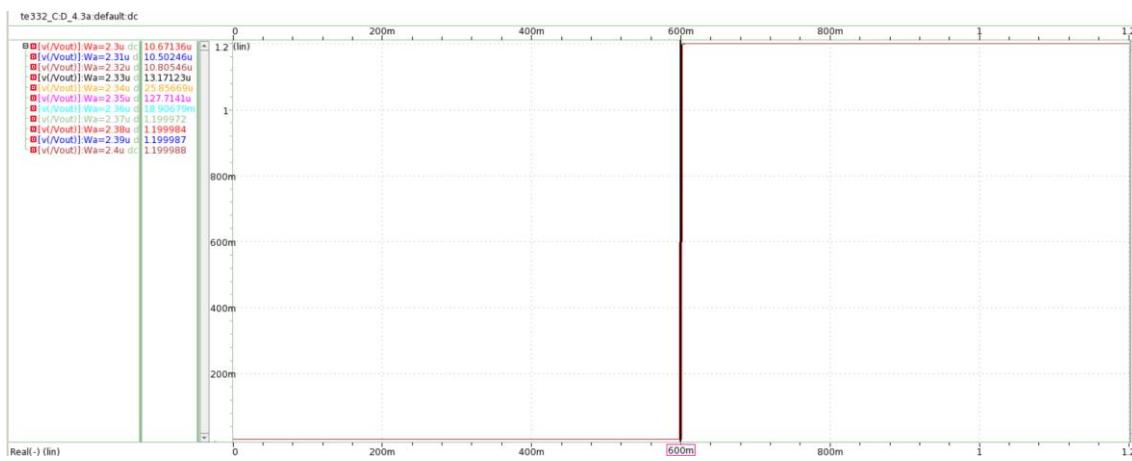


Fig. 29 – Segunda variação de  $Wa$

Fonte: Os autores

A Fig. 30 mostra a variação de  $Wa$  de 2,36 a 2,37 ao passo de 0,001  $\mu\text{m}$ . Na Figura pode-se ver que os valores estão muito distantes do desejado, e se diminuir o passo, o

simulador não irá aceitar. Assim, foi generalizado o transistor da direita para Wb, a fim de dimensioná-lo também, como mostrado na Fig. 31.

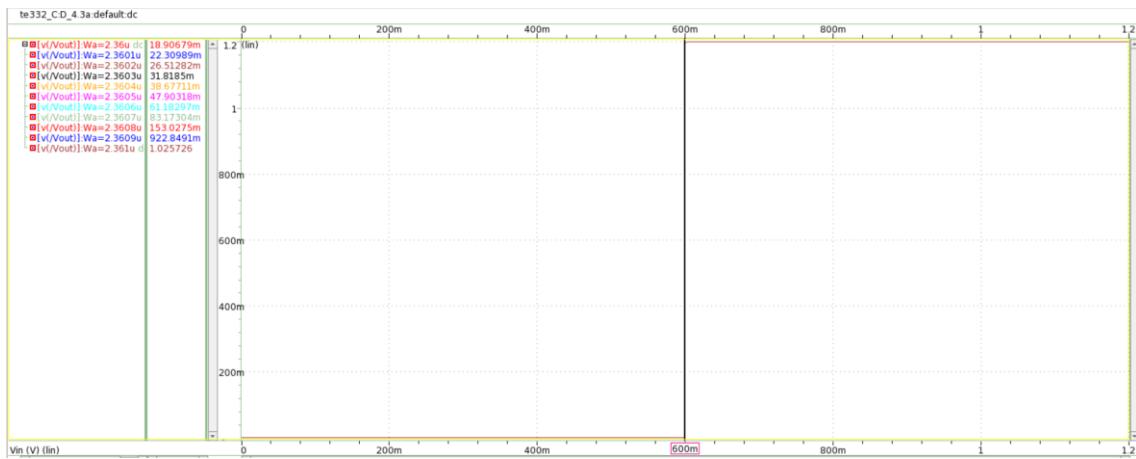


Fig. 30 – Terceira variação de  $W_a$

Fonte: Os autores

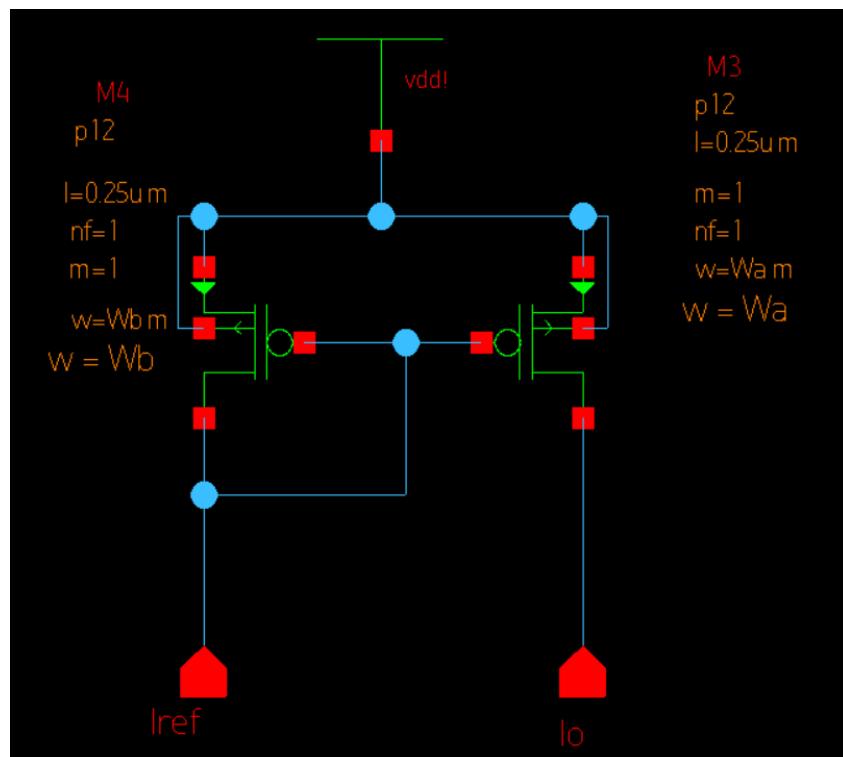


Fig. 31 – Generalização de  $W_b$

Fonte: Os autores

Então  $W_a$  foi mantido fixo em  $2,5 \mu\text{m}$ , enquanto  $W_b$  foi variado de  $2,5 \mu\text{m}$  até  $3 \mu\text{m}$  ao passo de  $0,001 \mu\text{m}$ . Os resultados são mostrados na Fig. 32, onde foram plotadas muitas curvas. Foi colocado um *panel* em  $600 \text{ mV}$  em  $V_{out}$ , e assim pode-se ver

que quando há uma faixa de valores de  $Wb$  que são compatíveis com o desejado, de 2,650  $\mu\text{m}$  até 2,655  $\mu\text{m}$ . Como o simulador aceita somente múltiplos de 5 nm, testam-se esses dois valores, como na Fig. 33 e Fig. 34.

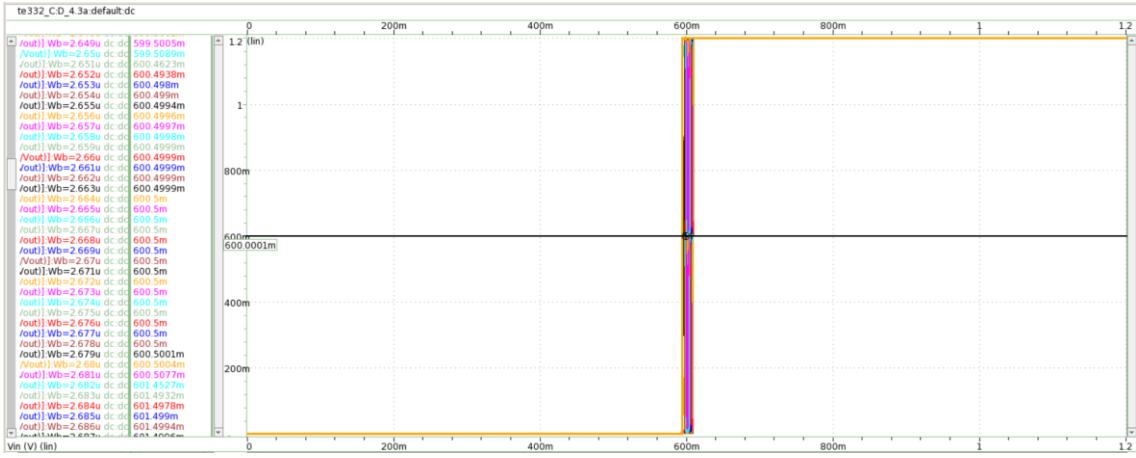


Fig. 32 – Primeira variação de  $Wb$

Fonte: Os autores

Nesta Figura pode-se ver que os valores de  $Wb$  mais próximos do desejado são 2,650  $\mu\text{m}$  e 2,655  $\mu\text{m}$ , em que as tensões de  $Vout$  são próximas de 0,6 V. No entanto, ao colocar 2,650  $\mu\text{m}$  em  $Wb$  e 2,5  $\mu\text{m}$  em  $Wa$ , como mostrado na Fig. 33, resulta em um valor distinto do desejado. Acredita-se que devido ao arredondamento do simulador, os valores não estejam exatamente como deveriam. Inicialmente, ao colocar um *panel* no gráfico, o cursor vai diretamente para 599,5674 mV, onde deveria ir para 0,6 V, e então  $Vout$  está em 668,9765 mV, como mostrado na Fig. 34. Mas ao colocar o cursor exatamente sobre 0,6 V, o valor de  $Vout$  vai para 1,178984 V, como mostrado na Fig. 35.

Foram variados outros valores de  $Wa$  e  $Wb$ , mas sempre ocorreu uma distinção muito grande entre 5 nm de diferença na largura, com  $Vout$  indo da escala de micro para perto de  $Vdd$ . Sabe-se que em algum lugar dentro dessa variação há o valor desejado, mas que não chega-se devido aos valores permitidos de W. Essas simulações podem ser vistas no Apêndice.

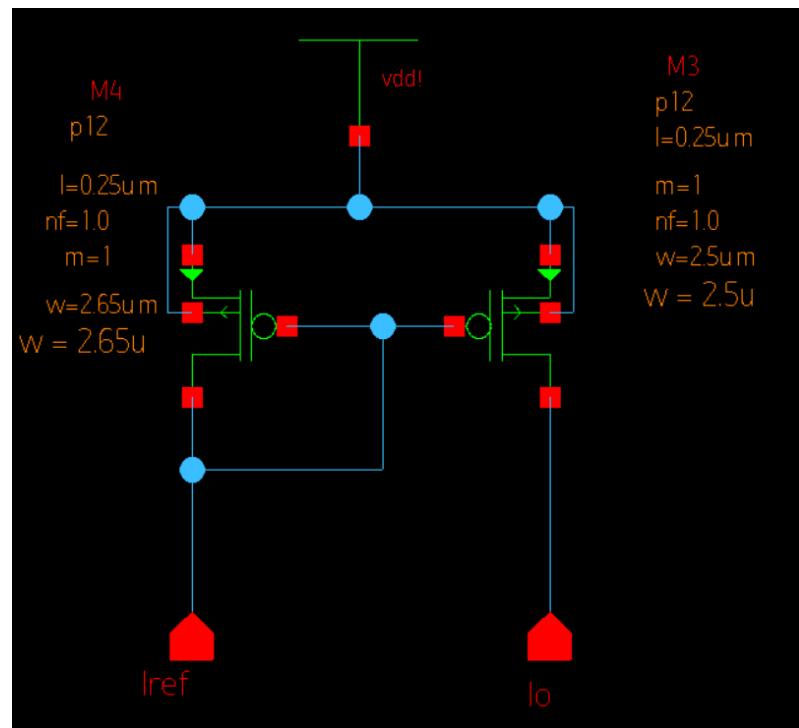


Fig. 33 – Redimensionamento do espelho interno

Fonte: Os autores

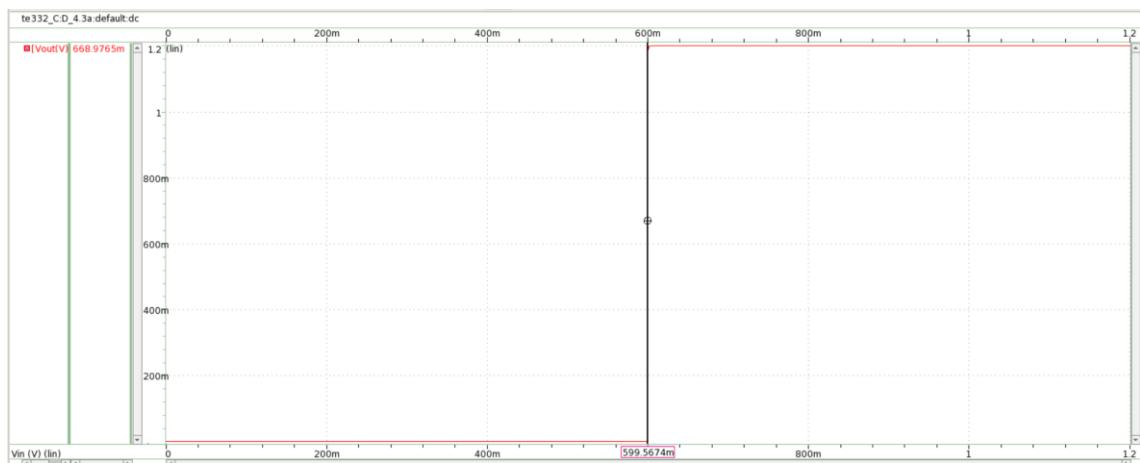


Fig. 34 – Tensão obtida sem variar o *panel*

Fonte: Os autores

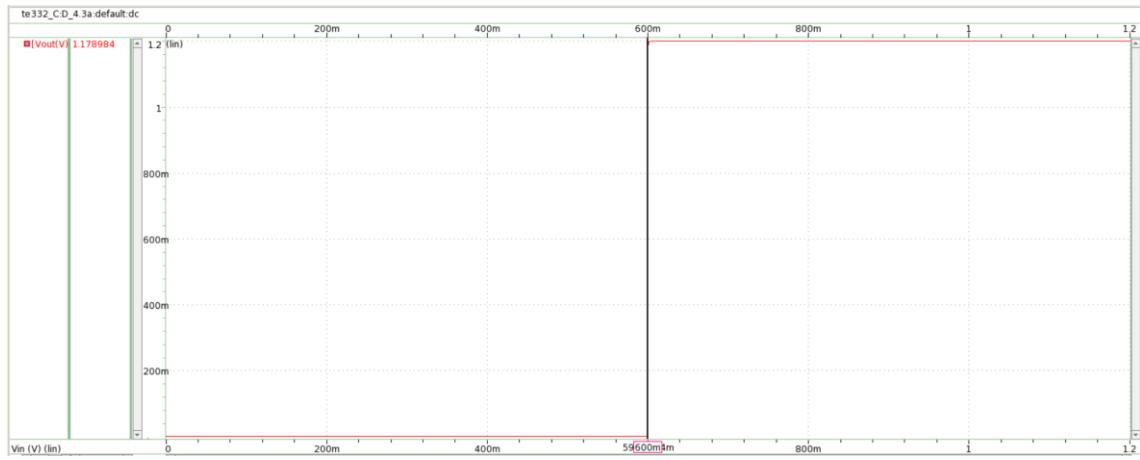


Fig. 35 – Tensão obtida ao variar o panel

Fonte: Os autores

A Fig. 36 mostra o dimensionamento interno do Espelho PMOS Simples usado para a polarização, enquanto a Fig. 37 mostra o dimensionamento dos Espelhos internos NMOS Simples.

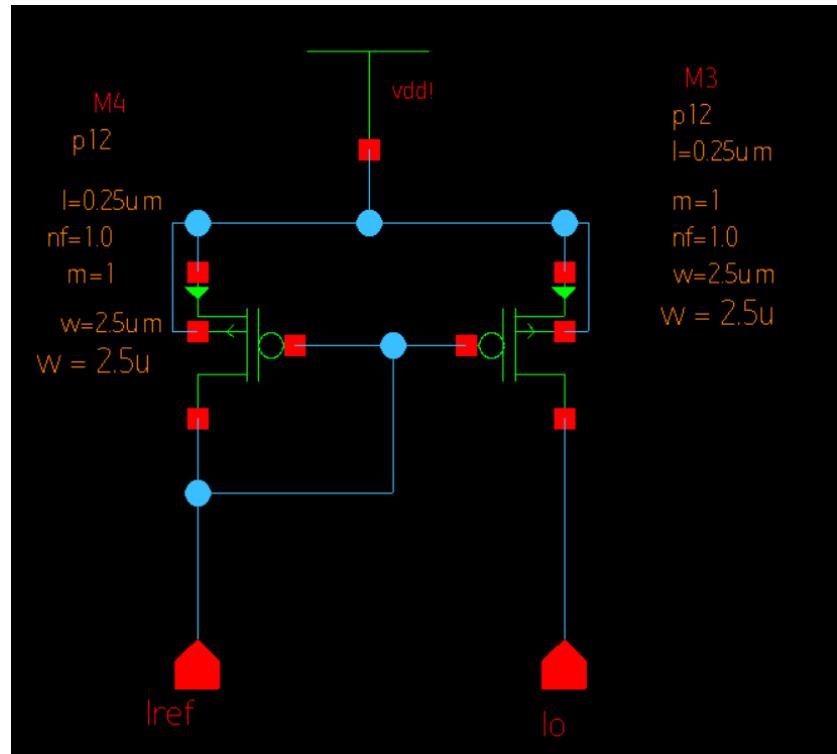


Fig. 36 – Espelho PMOS usado para polarização

Fonte: Os autores

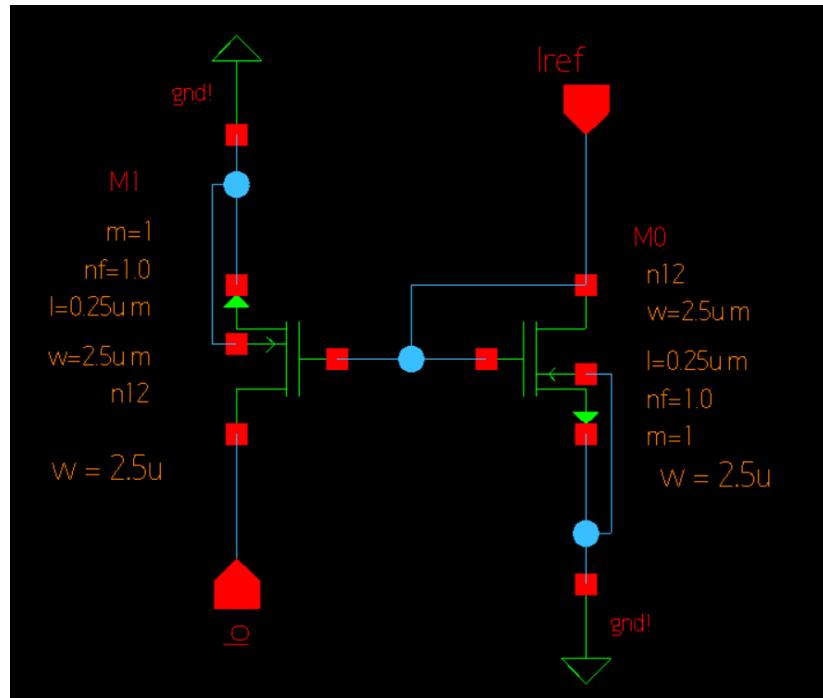


Fig. 37 – Espelhos NMOS internos ao Comparador

Fonte: Os autores

#### 4.3. BLOCO COMPARADOR E REFERÊNCIAS DE CORRENTE

- a) Neste item, é pedido para simular os comparadores N e P redimensionados para cada valor de tensão definida anteriormente.

O esquemático de teste para simular o Comparador NMOS para as 15 tensões de referência é mostrado na Fig. 38, enquanto o gráfico obtido é mostrado na Fig. 39. Para obter o gráfico,  $V_{in}$  foi variado em simulação DC, de 0 a  $V_{dd}$ . Já  $V_{REF}$  foi variado de 75 mV até 1,125 V, ao passo de 75 mV.

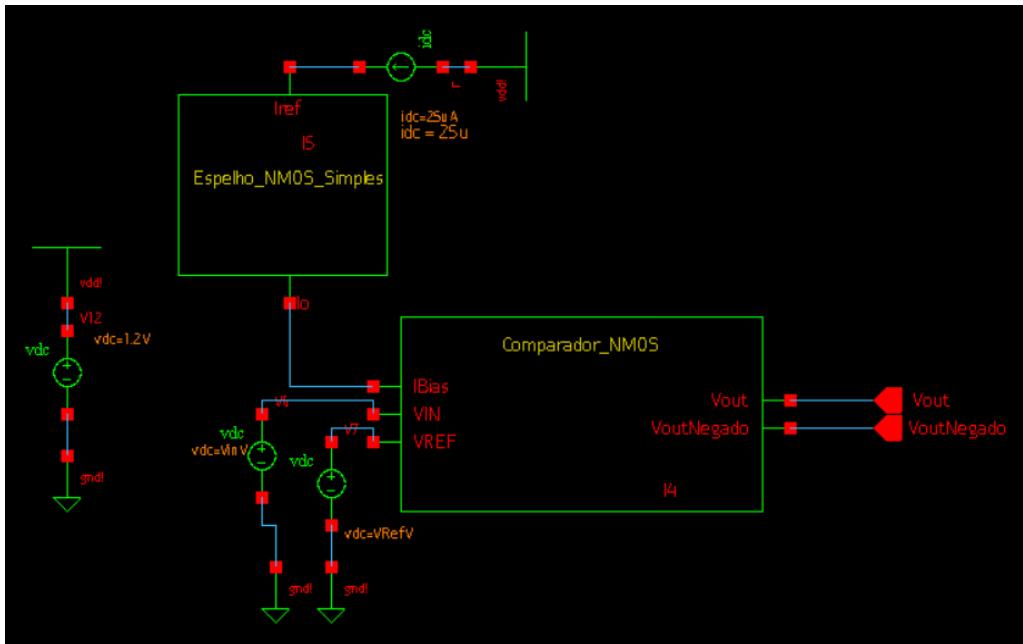


Fig. 38 – Esquemático do Comparador NMOS para simular as tensões de referência  
Fonte: Os autores

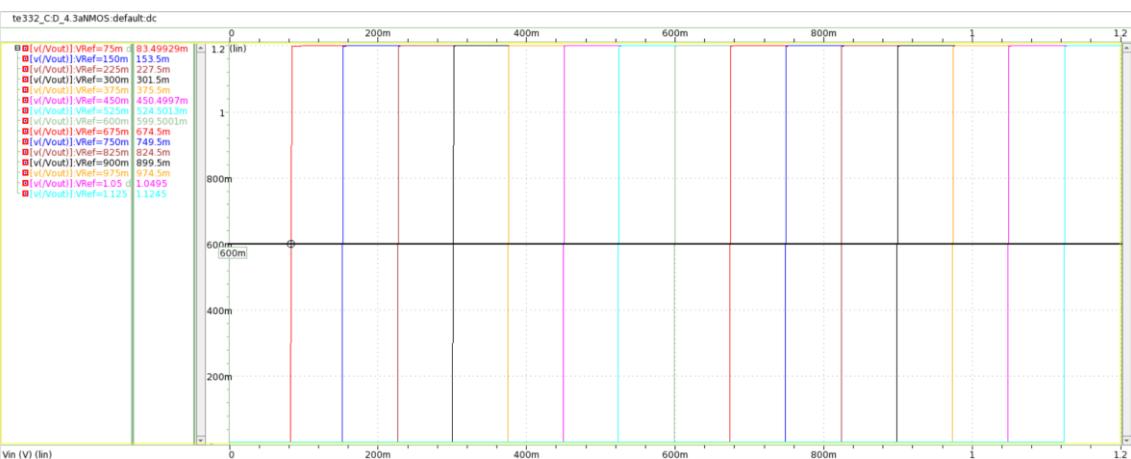


Fig. 39 – Gráfico obtido ao simular o Comparador NMOS para as tensões de referência  
Fonte: Os autores

O esquemático de teste para simular o Comparador PMOS para as 15 tensões de referência é mostrado na Fig. 40, enquanto o gráfico obtido é mostrado na Fig. 41. Para obter o gráfico,  $Vin$  foi variado em simulação DC, de 0 a  $Vdd$ . Já  $VREF$  foi variado de 75 mV até 1,125 V, ao passo de 75 mV.

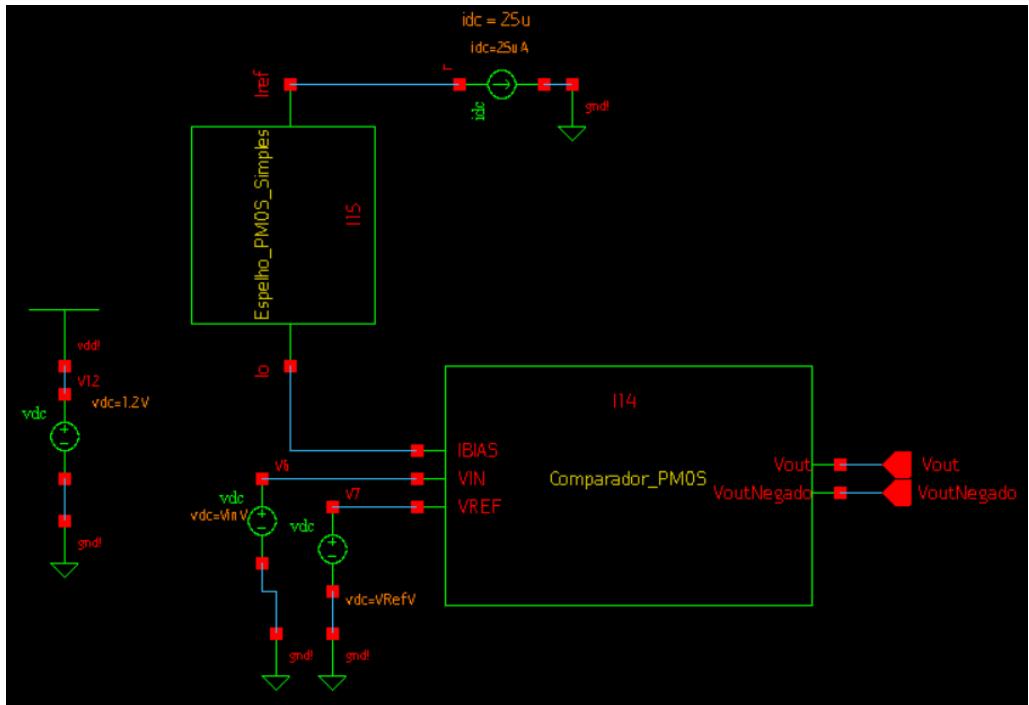


Fig. 40 – Esquemático do Comparador PMOS para simular as tensões de referência

Fonte: Os autores

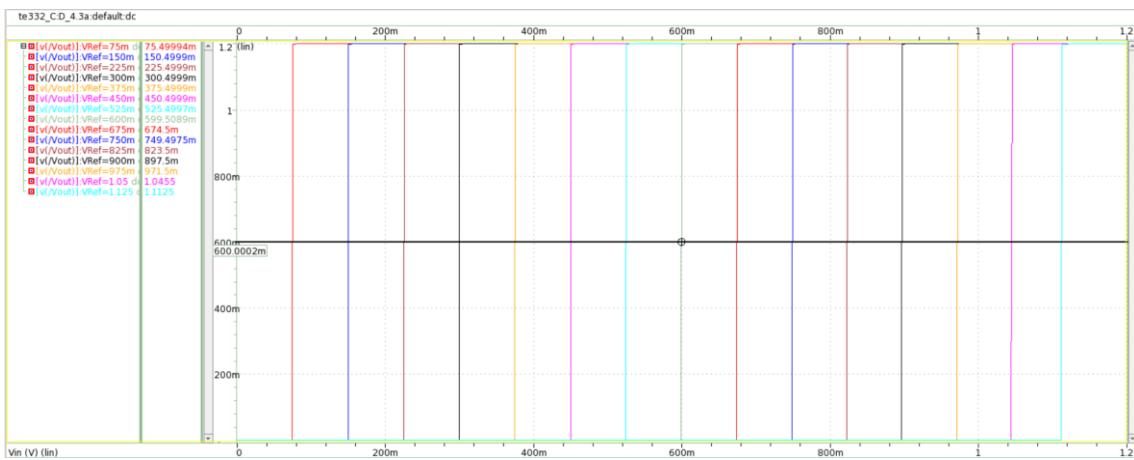


Fig. 41 – Gráfico obtido ao simular o Comparador PMOS para as tensões de referência

Fonte: Os autores

Para definir qual está atuando melhor em cada tensão de referência, pode-se analisar qual muda de estado mais próximo de cada  $VREF$ . É montada a Tabela I, onde é mostrado  $VREF$ , e a tensão  $Vin$  do Comparador PMOS e NMOS em  $Vout = 0,6$  V. É escolhido o Comparador com mudança de estado mais próxima de  $VREF$ . Se os valores forem ambos muito próximos ou de mesma distância, escolhe-se arbitrariamente.

Tabela I – Escolha de melhor comparador

VREF	Mudança de estado PMOS	Mudança de estado NMOS
75 mV	74,49994 mV	83,49929 mV
150 mV	150,4999 mV	153,5 mV
225 mV	225,4999 mV	227,5 mV
300 mV	300,4999 mV	301,5 mV
375 mV	375,4999 mV	375,5 mV
450 mV	450,4997 mV	450,4997 mV
525 mV	525,4997 mV	524,5013 mV
600 mV	674,5 mV	599,5001 V
675 mV	674,5 mV	674,5 mV
750 mV	749,4975 mV	749,5 mV
825 mV	823,5 mV	824,5 mV
900 mV	897,5 mV	899,5 mV
975 mV	971,5 mV	974,5 mV
1,050 V	1,0455 V	1,0495 V
1,125 V	1,1125 V	1,1245 V

- b) Então é pedido para criar um esquemático e símbolo comparador para 15 células comparadoras de acordo com o item a). Dessa forma, os 8 primeiros são Comparadores PMOS e, em seguida, os 7 últimos são Comparadores NMOS. A Fig. 42 mostra uma visão superficial do Comparador Global, enquanto a Fig. 43 e Fig. 44 mostram em mais detalhes.

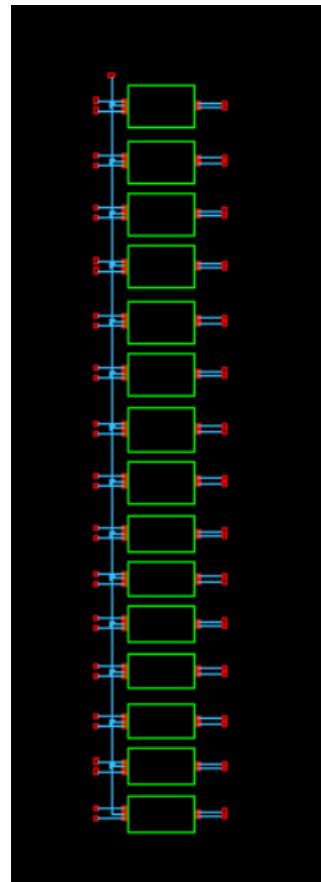


Fig. 42 – Visão superficial do Comparador Global

Fonte: Os autores

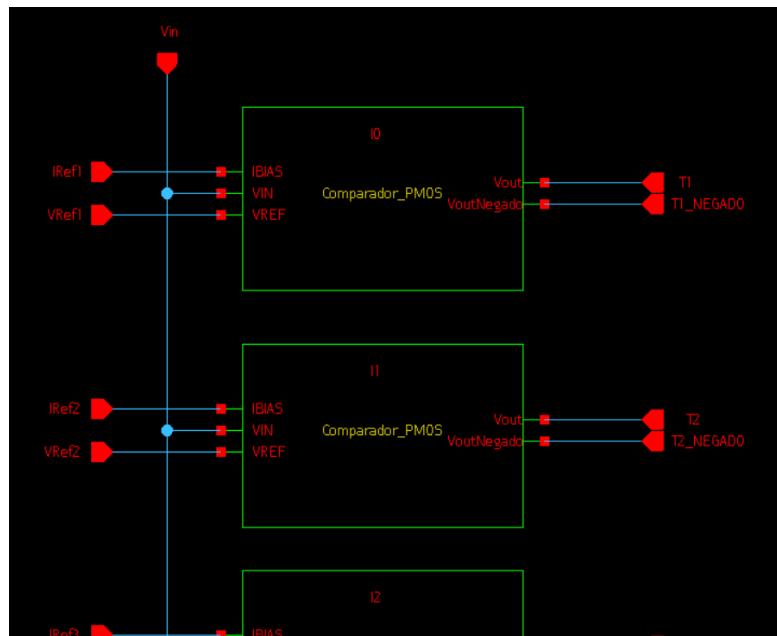


Fig. 43 – Visão do início do Comparador Global

Fonte: Os autores

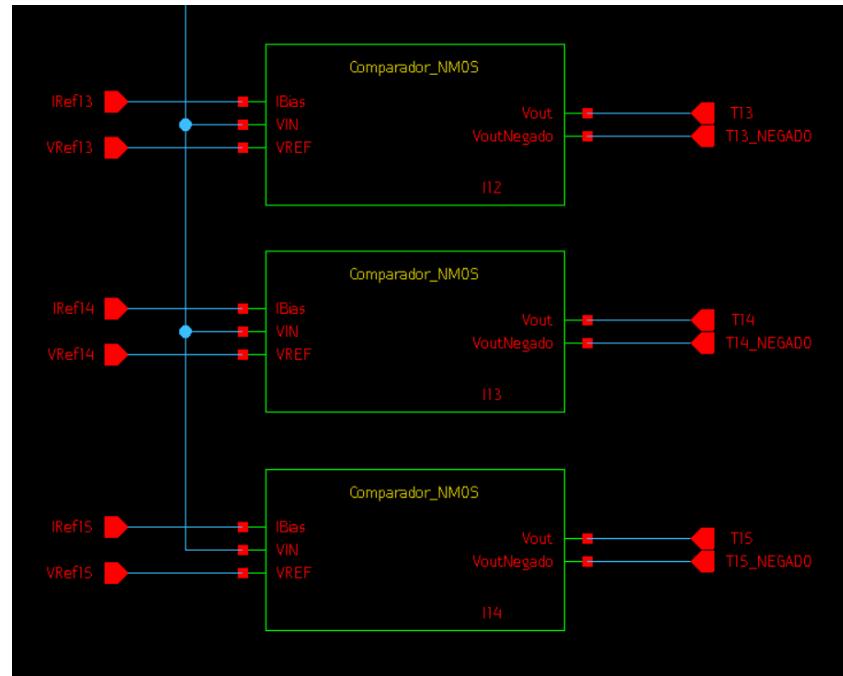


Fig. 44 – Visão do final do Comparador Global

Fonte: Os autores

Então é feito um símbolo do Comparador Global, como mostrado na Fig. 45 e Fig. 46.

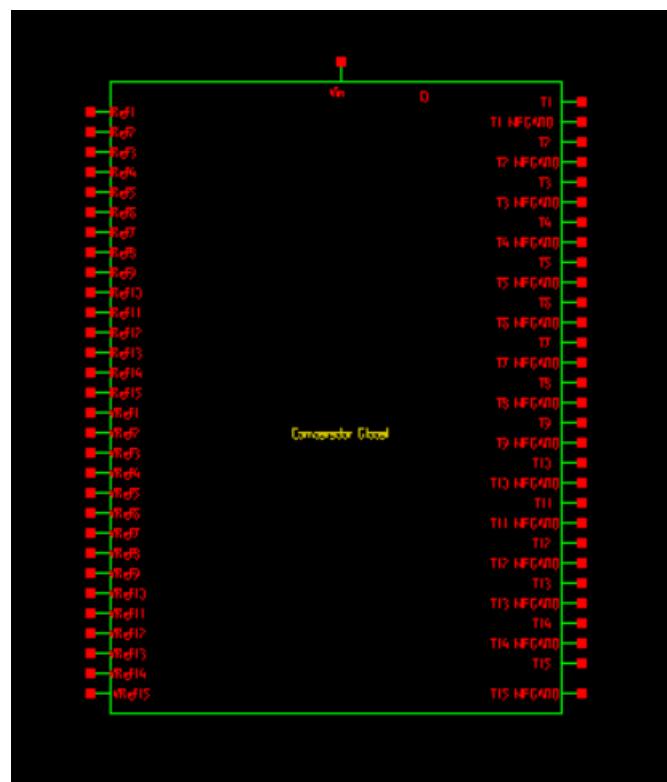


Fig. 45 – Primeira visão do Comparador Global

Fonte: Os autores

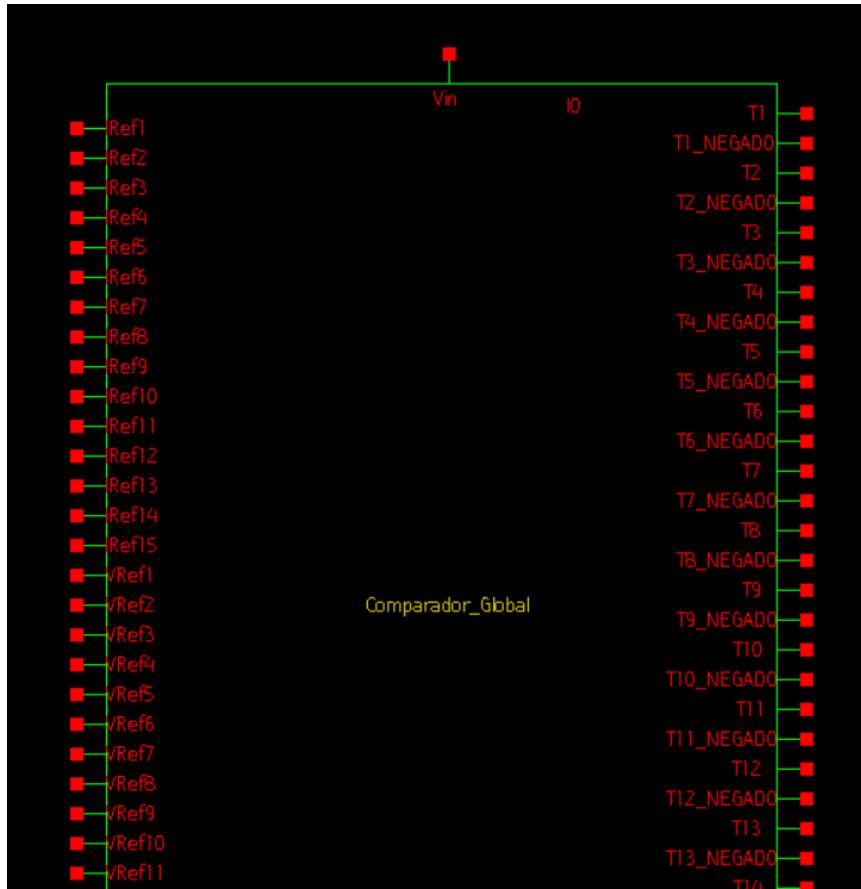


Fig. 46 – Segunda visão do Comparador Global

Fonte: Os autores

c) Então é pedido para criar o esquemático de um bloco de referências de corrente. Como base foi utilizado o bloco de referências de corrente disponibilizado no slide do professor, e então foram adicionados mais transistores em paralelo, totalizando 18 unidades. Foram usados 9 transistores NMOS e 9 transistores PMOS, criando 15 correntes de referência com base na escolha anterior de comparadores. Pode-se ver esse bloco na Fig. 47 (visão esquerda) e na Fig. 48 (visão direita). A Fig. 49 mostra, então uma aproximação da parte esquerda, onde pode-se ver o resistor  $R$  genérico, que será dimensionado para buscar uma corrente de entrada de  $25 \mu\text{A}$ .

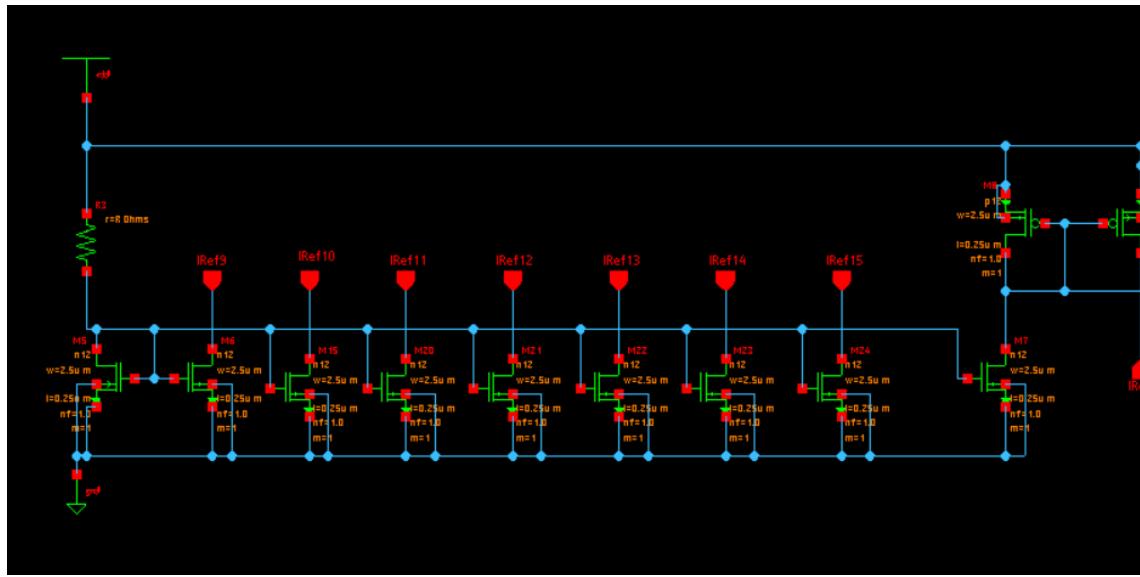


Fig. 47 – Visão da parte esquerda do bloco de referências de corrente

Fonte: Os autores

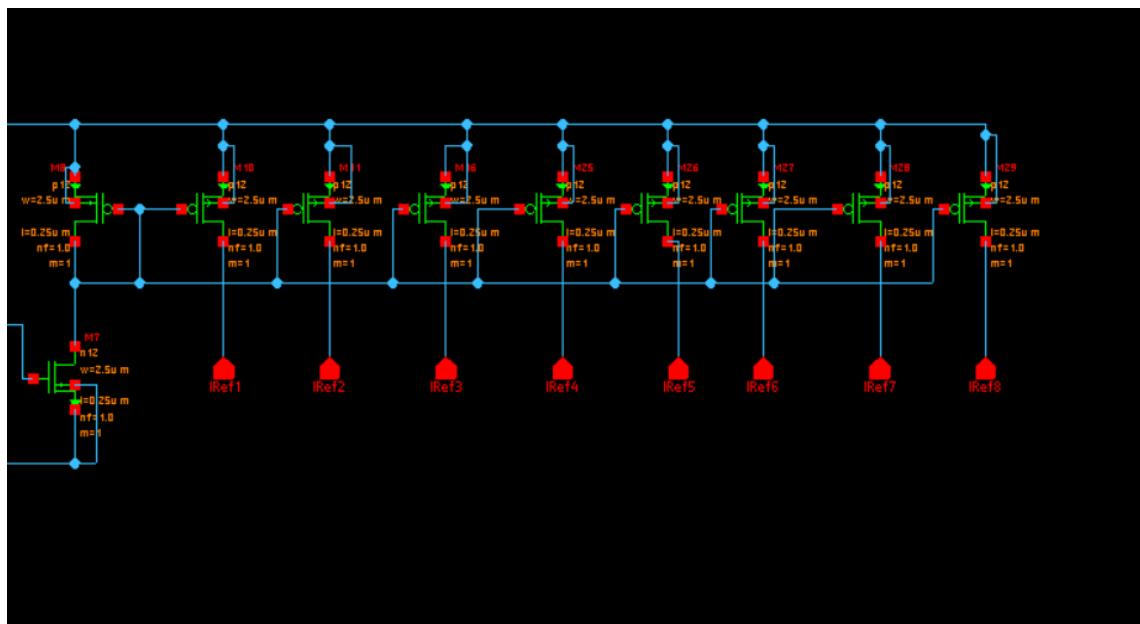


Fig. 48 – Visão da parte direita do bloco de referências de corrente

Fonte: Os autores

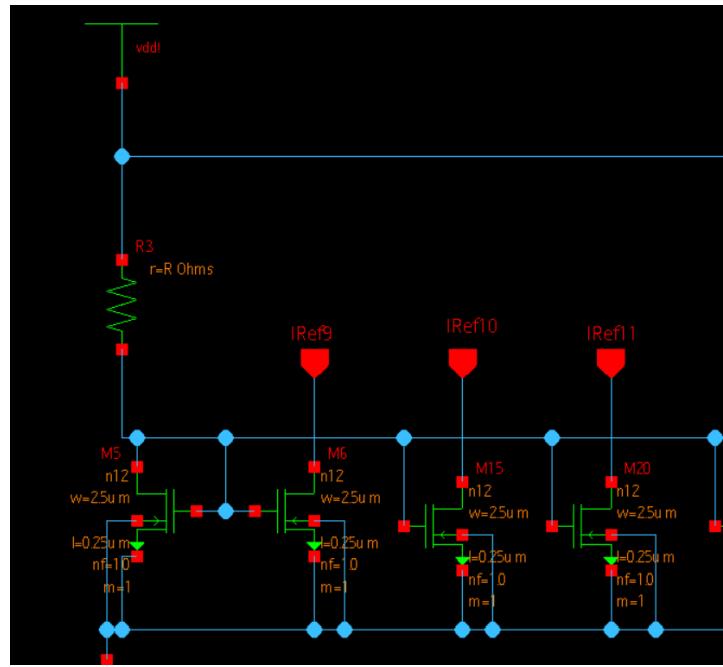


Fig. 49 – Aproximação da parte esquerda

Fonte: Os autores

Foi feita, então, uma simulação DC, variando a resistência  $R$  de  $30\text{ k}\Omega$  até  $60\text{ k}\Omega$ . O gráfico obtido é mostrado na Fig. 50. Ao inserir um *panel* horizontal, e selecionando  $25\text{ }\mu\text{A}$  no eixo y, vê-se que a resistência a que leva este valor é  $30,68159\text{ k}\Omega$ . A Fig. 51 mostra o resistor redimensionado. Ressalta-se que para os  $W_s$  dos transistores foi escolhido arbitrariamente  $2,5\text{ }\mu\text{m}$ .

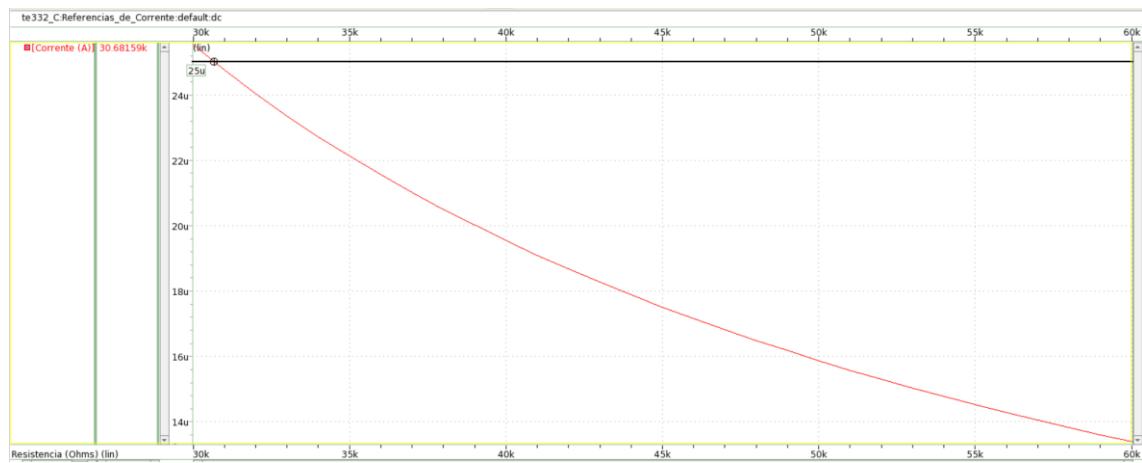


Fig. 50 – Gráfico da corrente em função da resistência

Fonte: Os autores

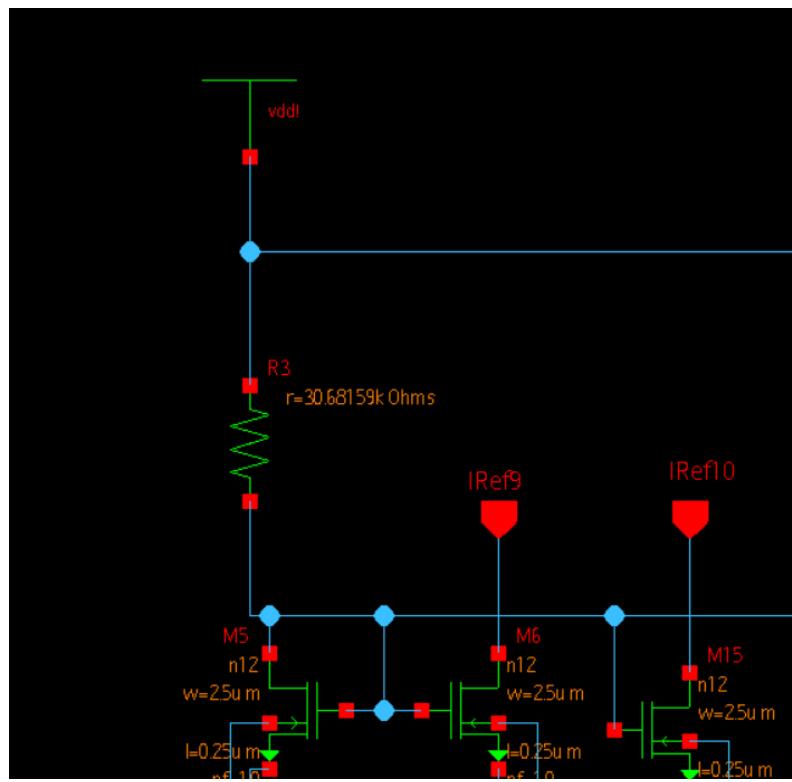


Fig. 51 – Resistor redimensionado

Fonte: Os autores

É criado, então, um símbolo para este bloco, como mostrado na Fig. 52.

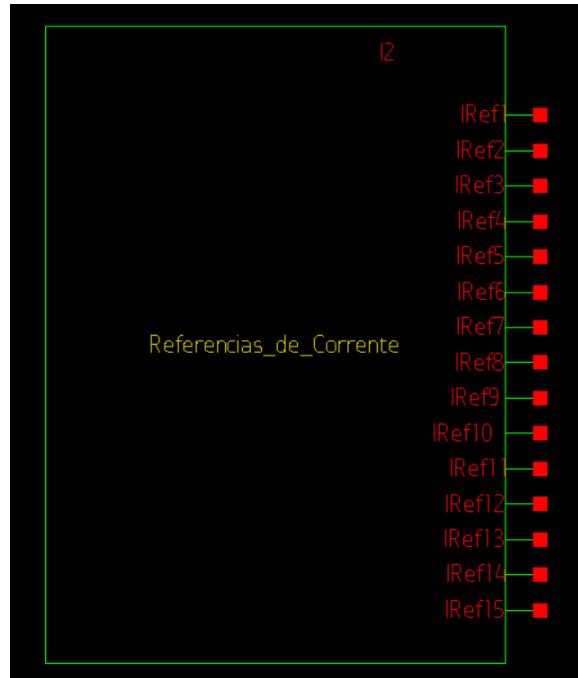


Fig. 52 – Símbolo bloco Referências de Corrente

Fonte: Os autores

Então é feita uma simulação DC, de acordo com o esquemático mostrado na Fig. 53. As fontes de tensão assumem o valor de 0,6 V (que é  $Vdd/2$ ), e então as correntes de  $IRef1$  até  $IRef15$  são mostrados na Fig. 54.

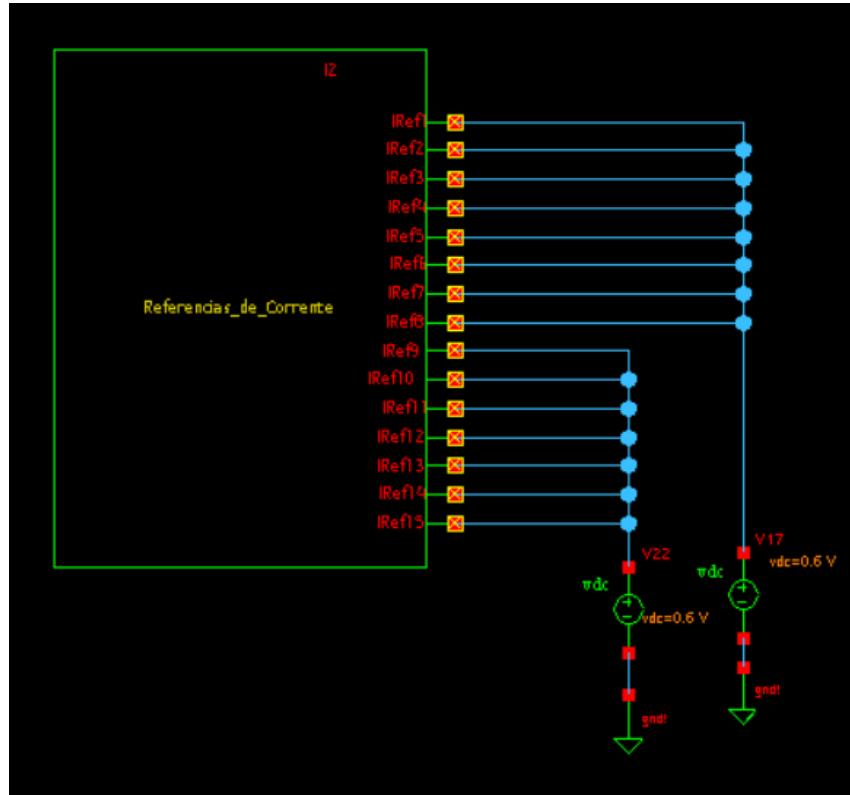


Fig. 53 – Esquemático de teste para o bloco Referências de Corrente  
Fonte: Os autores

Testbench		Equations		Results	
Filter	Filter	Filter	Filter	< Filter	> Filter
default	i(I2/IRef1):dc	-25.9193u			
	i(I2/IRef2):dc	-25.9193u			
	i(I2/IRef3):dc	-25.9193u			
	i(I2/IRef4):dc	-25.9193u			
	i(I2/IRef5):dc	-25.9193u			
	i(I2/IRef6):dc	-25.9193u			
	i(I2/IRef7):dc	-25.9193u			
	i(I2/IRef8):dc	-25.9193u			
	i(I2/IRef9):dc	25.4194u			
	i(I2/IRef10):dc	25.4194u			
	i(I2/IRef11):dc	25.4194u			
	i(I2/IRef12):dc	25.4194u			
	i(I2/IRef13):dc	25.4194u			
	i(I2/IRef14):dc	25.4194u			
	i(I2/IRef15):dc	25.4194u			

Fig. 54 – Resultados obtidos da simulação  
Fonte: Os autores

Os resultados estão como esperado, pois todas as correntes estão próximas às de entrada. De 1 até 8 está negativo, correspondendo aos transistores PMOS, enquanto de 9 até 15 está positivo, correspondendo aos transistores NMOS.

d) Então é pedido para criar um esquemático de teste do Comparador Global junto com as referências de tensão e de corrente. O esquemático é mostrado na Fig. 55.

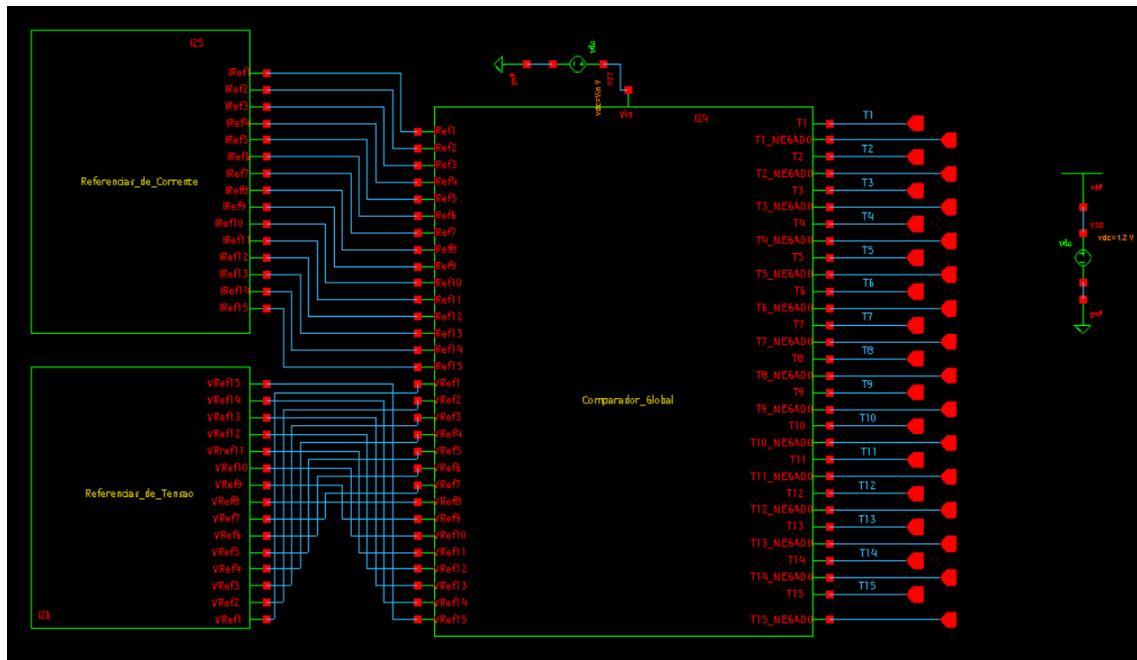


Fig. 55 – Esquemático de teste do comparador global

Fonte: Os autores

Então é feita uma simulação de todas as tensões de saída (de T1 até T15), como mostrado na Fig. 56.

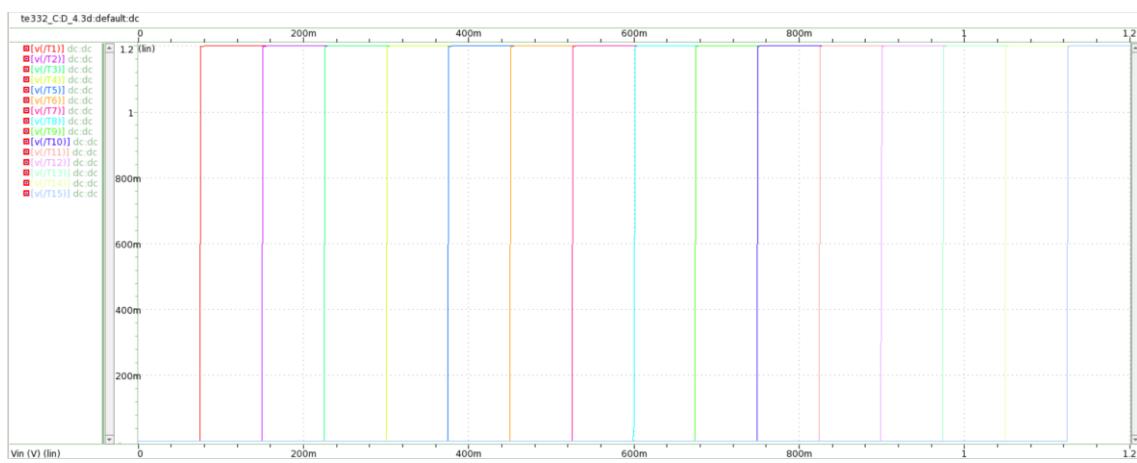


Fig. 56 – Gráfico obtido ao simular

Fonte: Os autores

Posteriormente são colocados *panels* verticais correspondentes a cada valor de referência, com mostrado na Fig. 57.

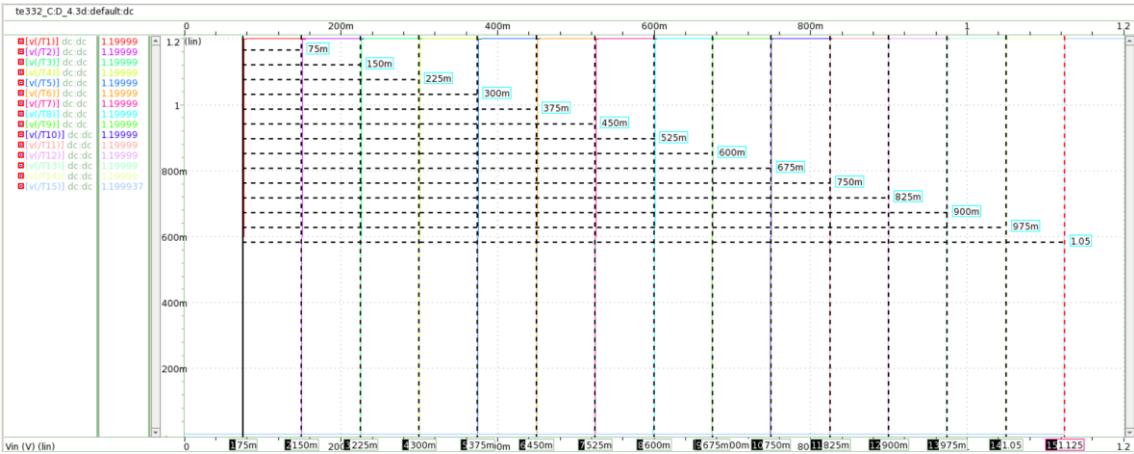


Fig. 57 – Gráfico com as tensões de referência marcadas

Fonte: Os autores

Primeiramente, (da Fig. 56) as 8 primeiras curvas correspondem ao comportamento do PMOS, enquanto as 7 últimas correspondem ao comportamento do NMOS.

Então, da Fig. 57 pode-se ver que as tensões de saída estão bem coincidentes com as tensões de referência, de forma que o problema de defasagem que havia anteriormente na mudança de estado foi resolvido.

## APÊNDICE

Usando o esquemático de teste do comparador PMOS, vamos mostrar algumas simulações feitas que mostram que não foi possível encontrar um valor preciso de  $W_a$ , dada a precisão e arredondamento do simulador.

1 – O  $W_a$  foi fixado em  $1 \mu\text{m}$ , enquanto, para:

$W_b = 1,040 \mu\text{m}$ ,  $V_{out} = 208,04 \mu\text{V}$  (Fig. 1)

$W_b = 1,035 \mu\text{m}$ ,  $V_{out} = 1,1998 \text{ V}$  (Fig. 2)

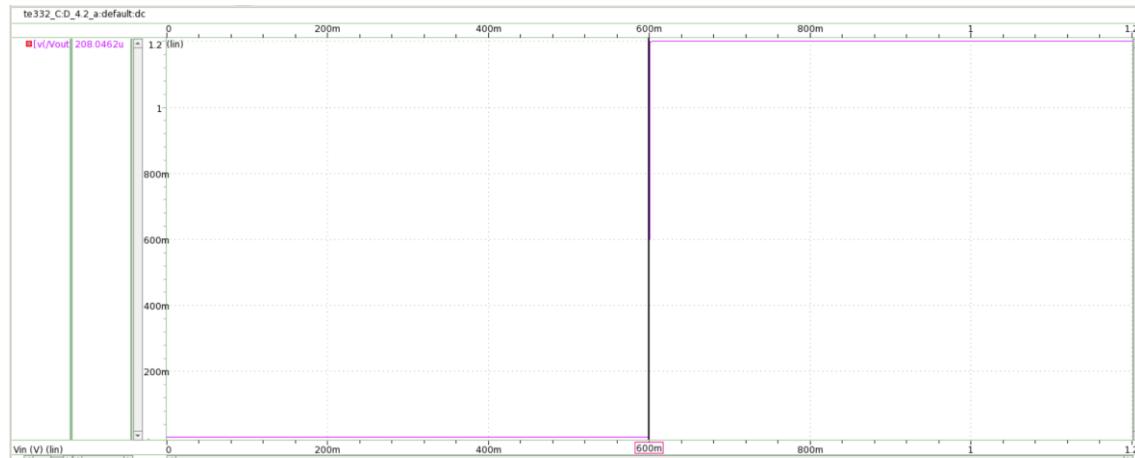


Fig. 1

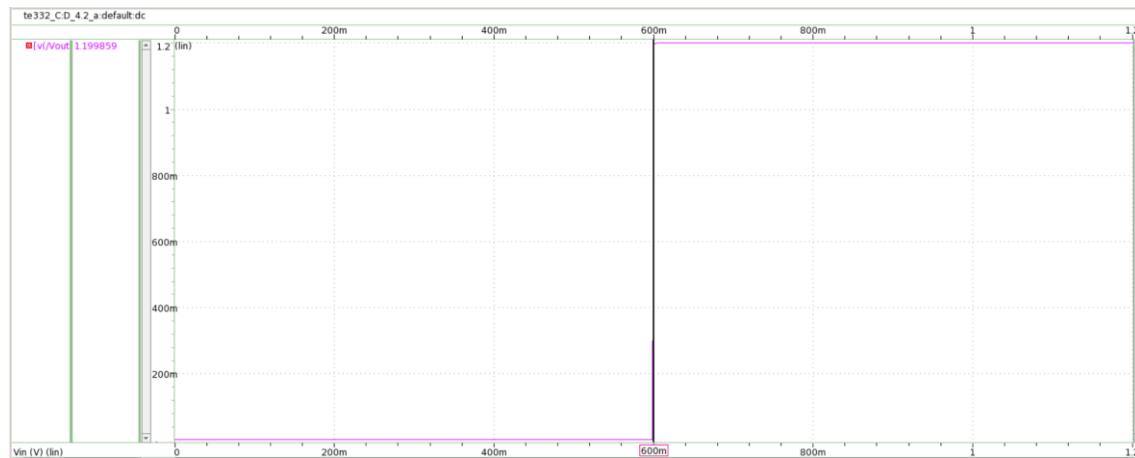


Fig. 2

Pode-se ver que foi variado o mínimo permitido pelo simulador, e os valores estão aquém do permitido.

2 – O  $W_a$  foi fixado em  $2,4 \mu\text{m}$ , enquanto para:

$W_b = 2,540 \mu\text{m}$ ,  $V_{out} = 1,199 \text{ V}$  (Fig. 3)

$W_b = 2,545 \mu\text{m}$ ,  $V_{out} = 3,2247 \text{ mV}$  (Fig. 4)



Fig. 3



Fig. 4