

UNIVERSIDADE FEDERAL DO PARANÁ

**ANA PAULA PRINCIVAL MACHADO
MATHEUS HENRIQUE SILVEIRA SANTANA**

RELATÓRIO 3 – REFERÊNCIAS DE TENSÃO E PAR DIFERENCIAL

**TE332 – LABORATÓRIO DE ELETRÔNICA ANALÓGICA II
PROFESSOR BERNARDO LEITE**

CURITIBA

2022

3.1. REFERÊNCIAS DE TENSÃO

a) Inicialmente foram colocadas 16 resistências ideais no esquemático, conectadas em série. Como a potência dissipada por esse circuito deve ser $120 \mu\text{W}$, podemos utilizar a fórmula

$$P = I * U \quad (1)$$

para isolar a corrente, uma vez que a tensão (U) é fixa em 1,2 V. Assim, obtém-se a corrente de 0,0001 A ou 100 μA . Além disso, usando a Lei de Ohm, temos que a resistência total deve ser de aproximadamente 12 k Ω . Logo, o valor da resistência de cada resistor deve ser de 0,75 k Ω ou 750 Ω (valor obtido ao dividir 12 k Ω por 16 unidades). O esquemático com todas as resistências é mostrado na Fig. 1, enquanto seu símbolo, chamado “Referencias_de_Tensao” é mostrado na Fig. 2.

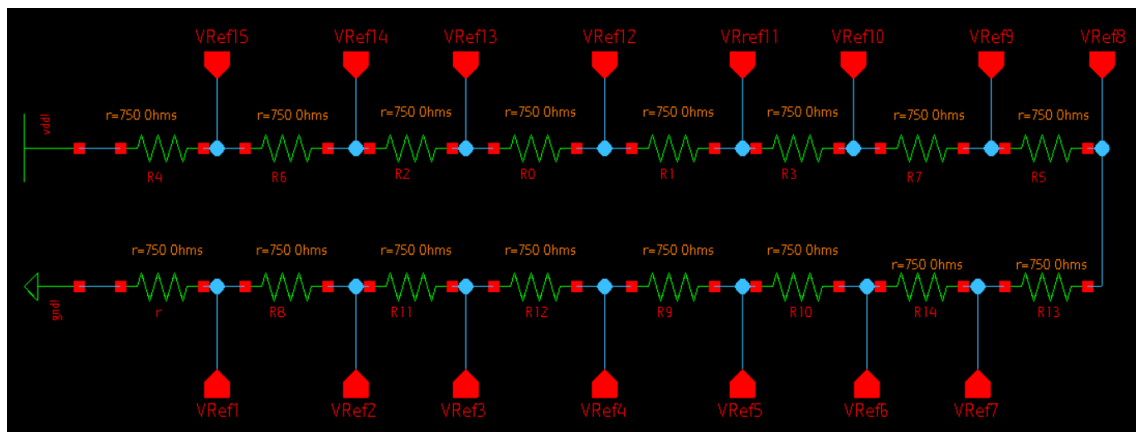


Fig. 1 – Esquemático com as 16 resistências ideais

Fonte: Os autores

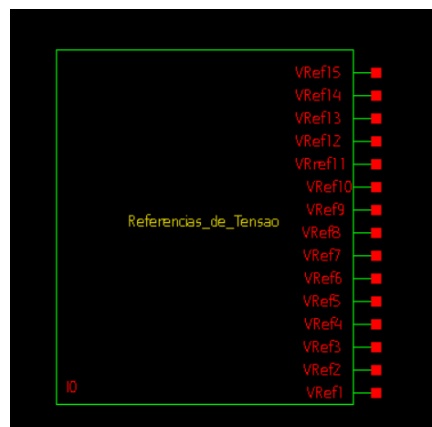


Fig. 2 – Símbolo para Referências de Tensão

Fonte: Os autores

b) Foi feita uma simulação de transitório entre 0 e 10 ms para mostrar as tensões obtidas nas referências, como mostra a Fig. 3. A Fig. 4 mostra mais de perto a parte esquerda da imagem, onde pode se ver melhor as tensões.

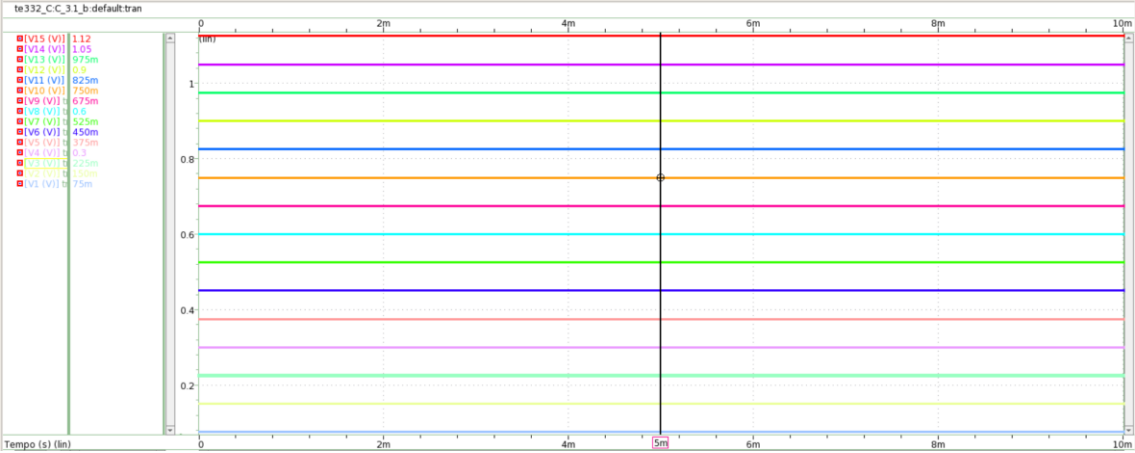


Fig. 3 – Simulação para as tensões
Fonte: Os autores

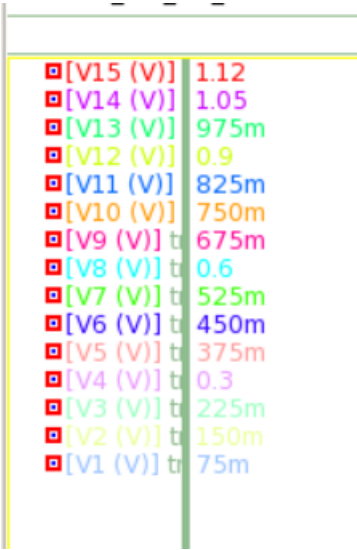


Fig. 4 – Tensões em mais detalhes
Fonte: Os autores

Foi feita mais uma simulação de transitório para encontrar a corrente consumida pelo circuito, como mostra a Fig. 5, que é de 100 μ A. A Fig. 6 mostra o esquemático utilizado para essas simulações.

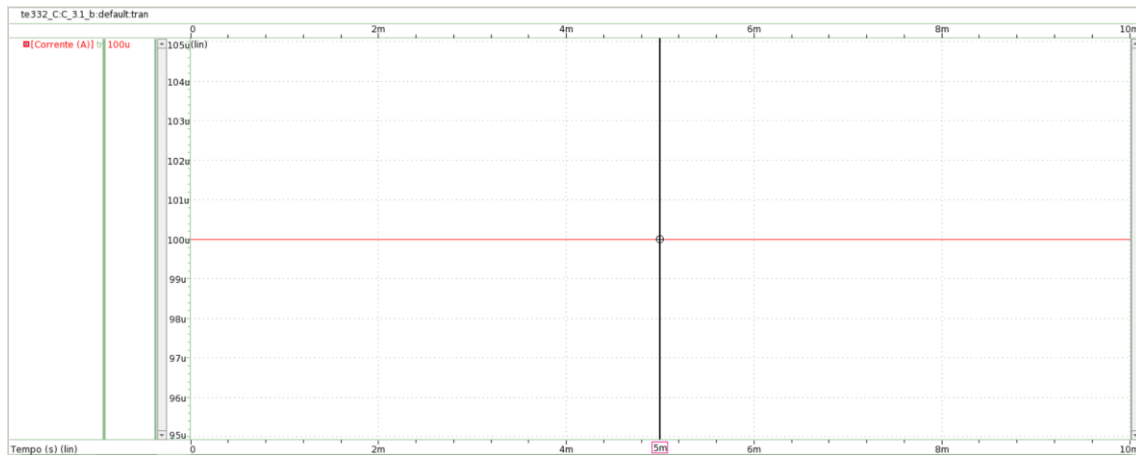


Fig. 5 – Simulação para as correntes

Fonte: Os autores

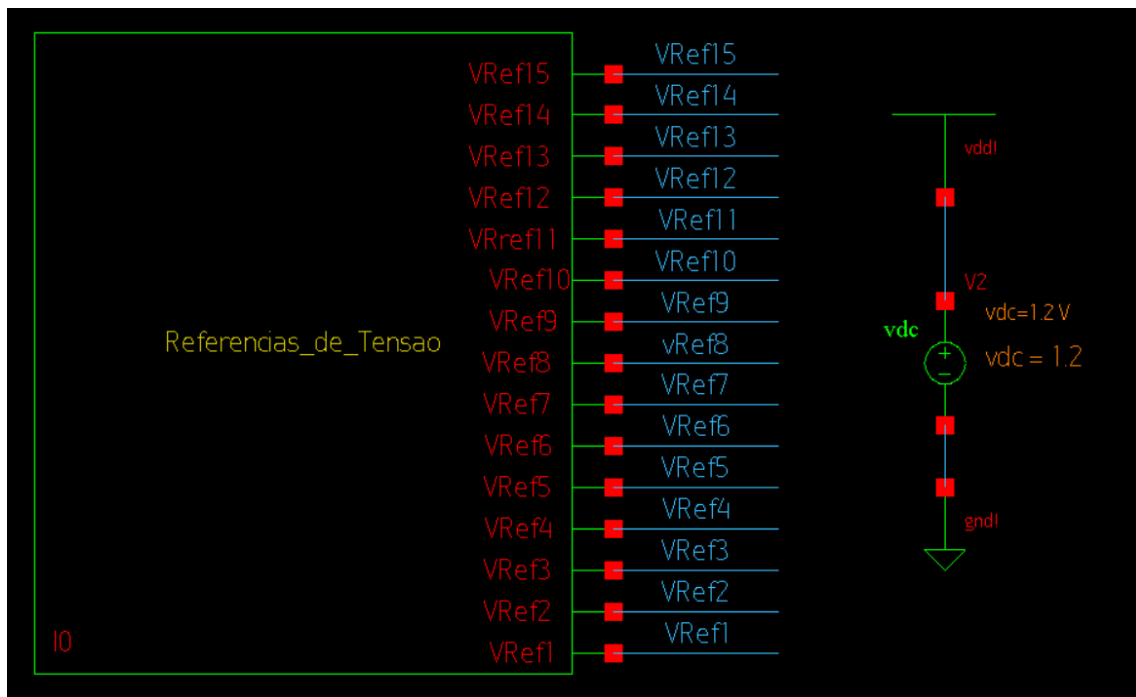


Fig. 6 – Esquemático de testes

Fonte: Os autores

3.2. PAR DIFERENCIAL NMOS

a) É pedido então para criar um esquemático e símbolo para o par diferencial NMOS. A Fig. 7 mostra o esquemático, enquanto a Fig. 8 mostra o símbolo construído.

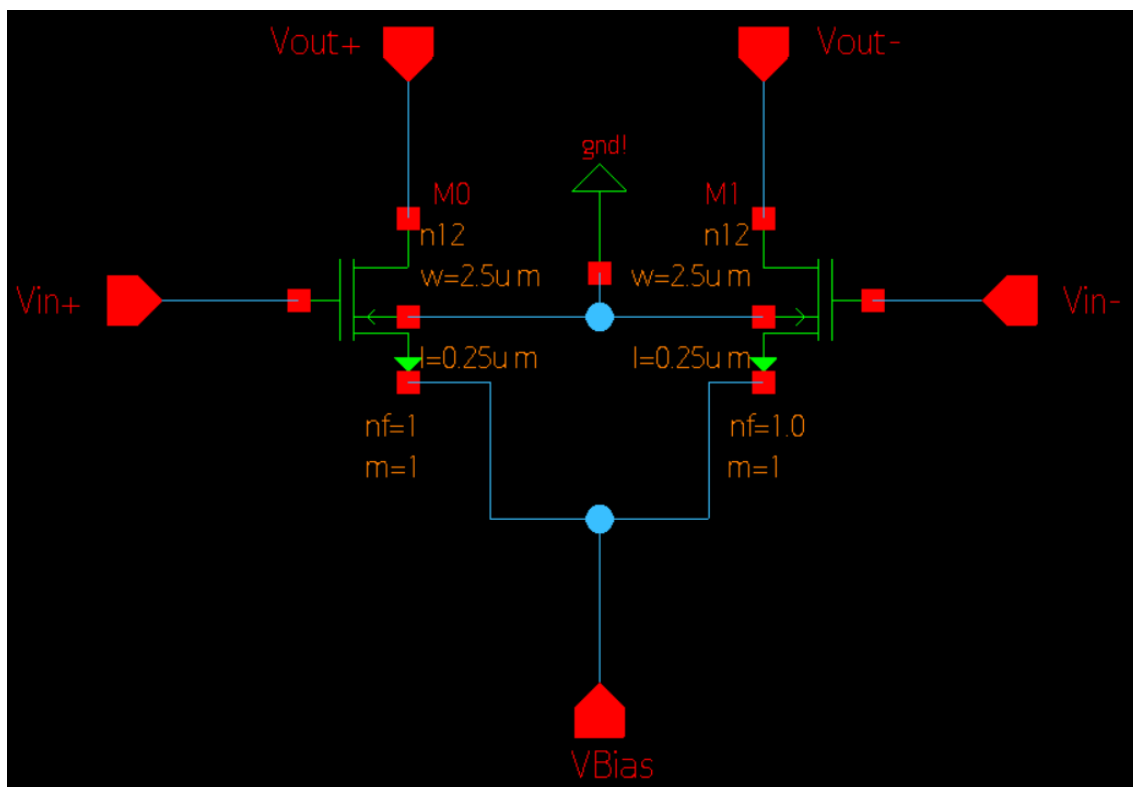


Fig. 7 – Esquemático para o Par Diferencial NMOS

Fonte: Os autores

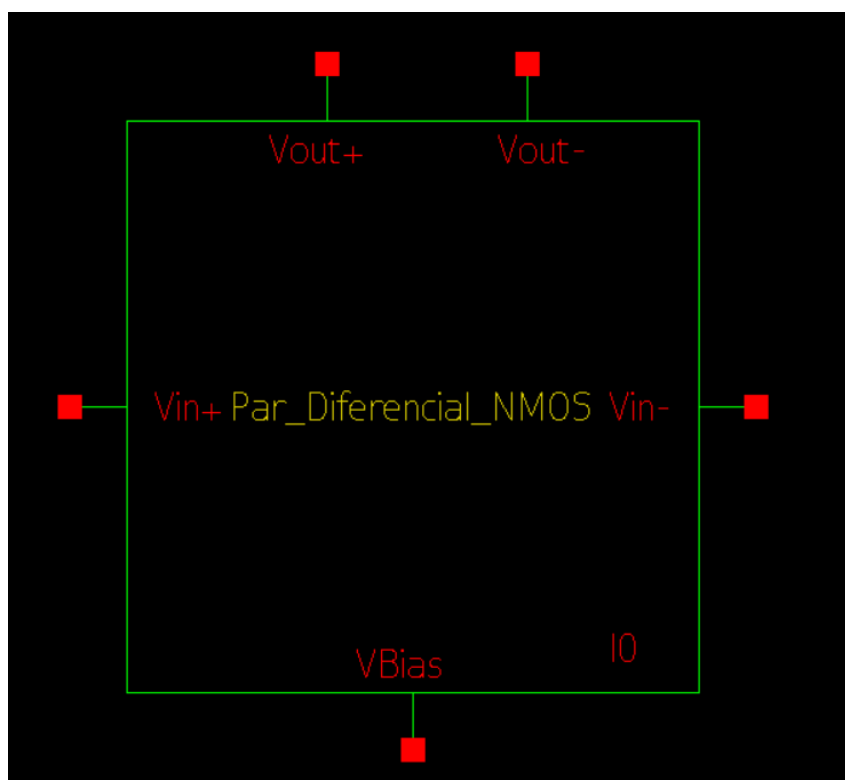


Fig. 8 – Símbolo para o Par Diferencial NMOS

Fonte: Os autores

Então são colocados os componentes conforme especificados no enunciado, como é mostrado na Fig. 9.

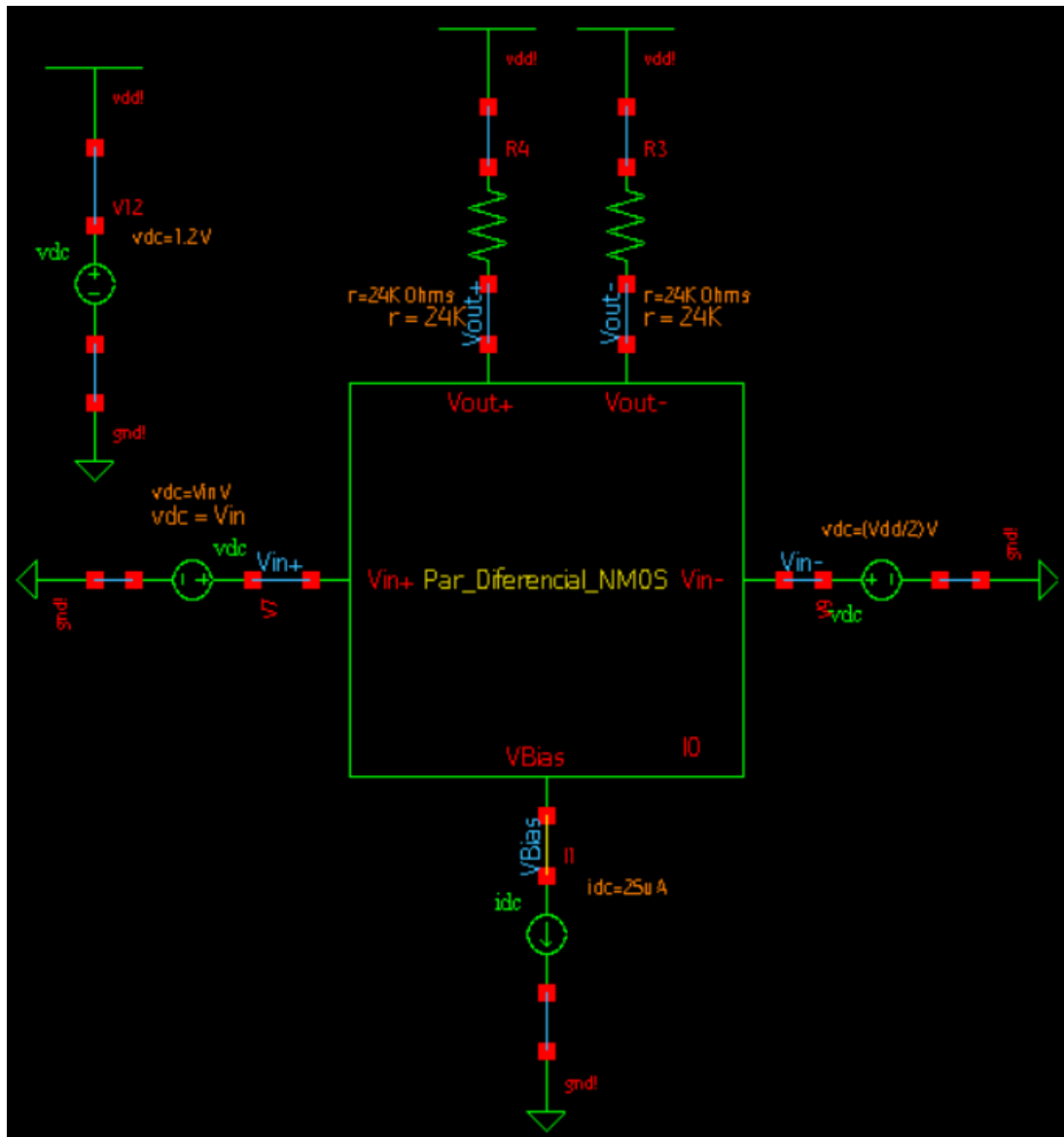


Fig. 9 – Esquemático do Par Diferencial NMOS com componentes

Fonte: Os autores

b) Então é pedido para traçar o gráfico da saída diferencial em função da tensão da entrada não fixa entre 0 e Vdd.

Inicialmente é traçado o gráfico com V_{out+} e V_{out-} plotados separadamente, como mostra a Fig. 10, Fig. 11 e Fig. 12, onde são destacados os valores das tensões em 0 V, $V_{dd}/2$ e V_{dd} , respectivamente.

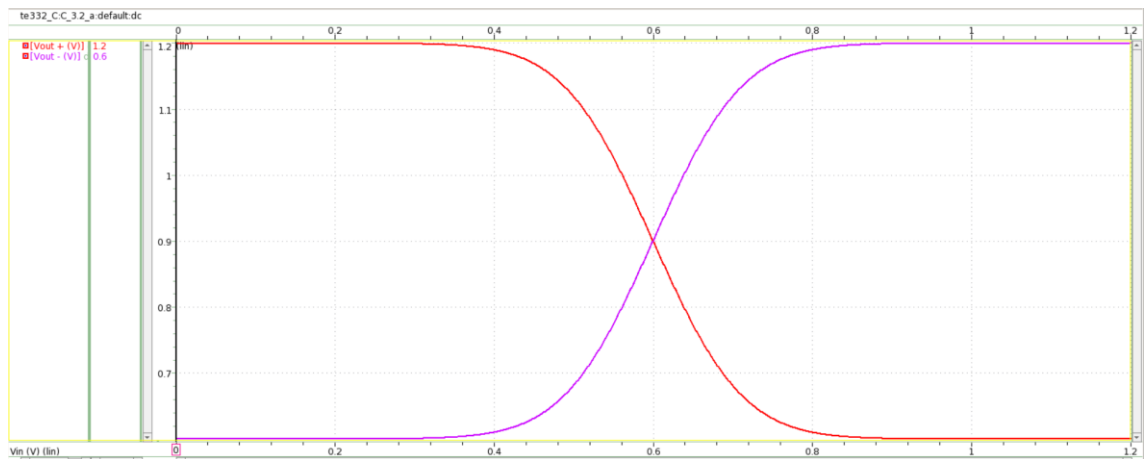


Fig. 10 – Tensões de V_{out-} e V_{out+} em $V_{in} = 0$ V

Fonte: Os autores

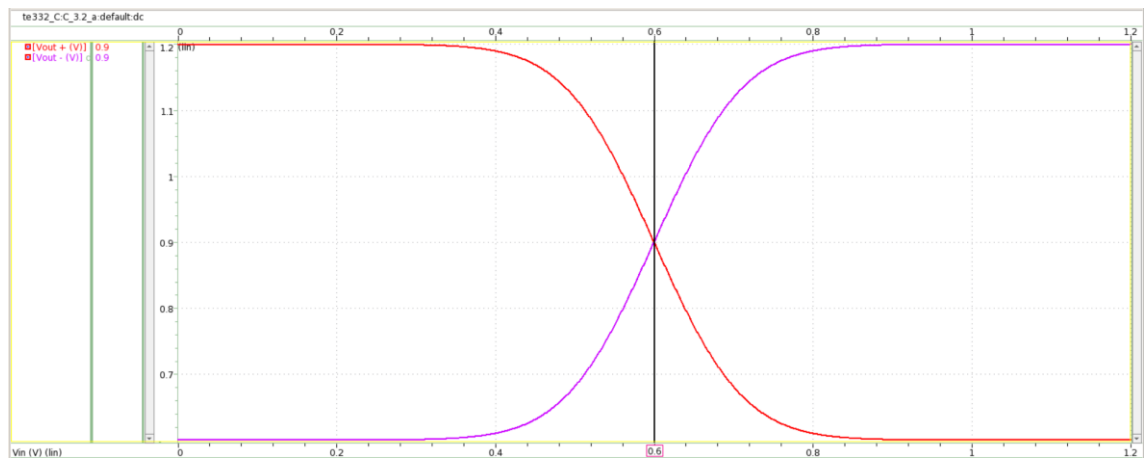


Fig. 11 – Tensões de V_{out-} e V_{out+} em $V_{in} = V_{dd}/2$

Fonte: Os autores

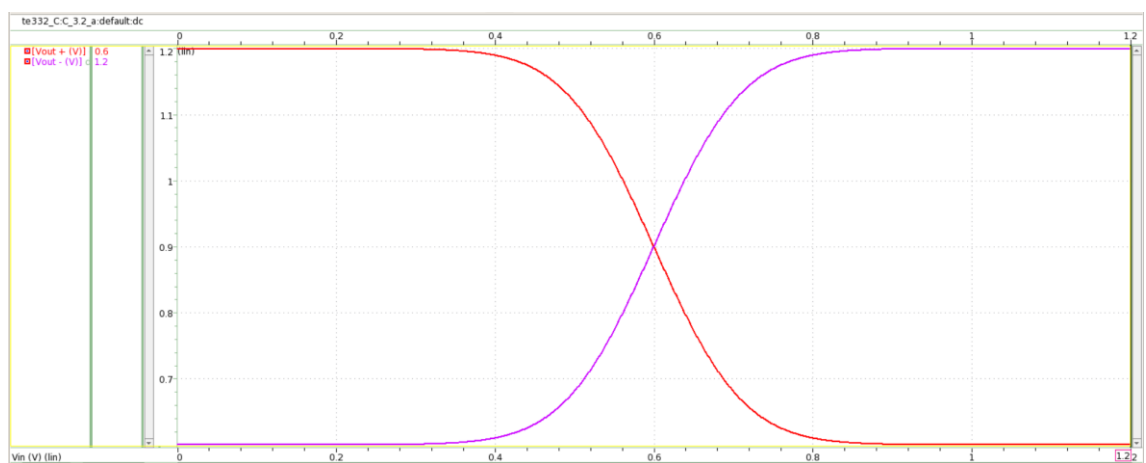


Fig. 12 – Tensões de V_{out-} e V_{out+} em $V_{in} = V_{dd}$ V

Fonte: Os autores

Já as Figuras de 13 a 15 mostram o sinal de $(V_{out+}) - (V_{out-})$ plotados, com destaque para 0 V, $V_{dd}/2$ V e V_{dd} V, respectivamente.

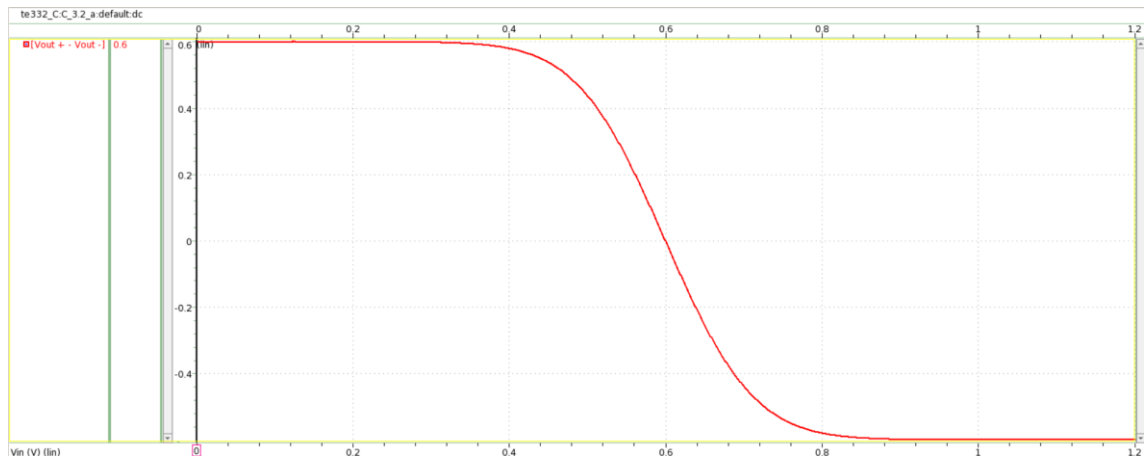


Fig. 13 – Sinal $(V_{out+}) - (V_{out-})$ quando $V_{in} = 0$ V

Fonte: Os autores

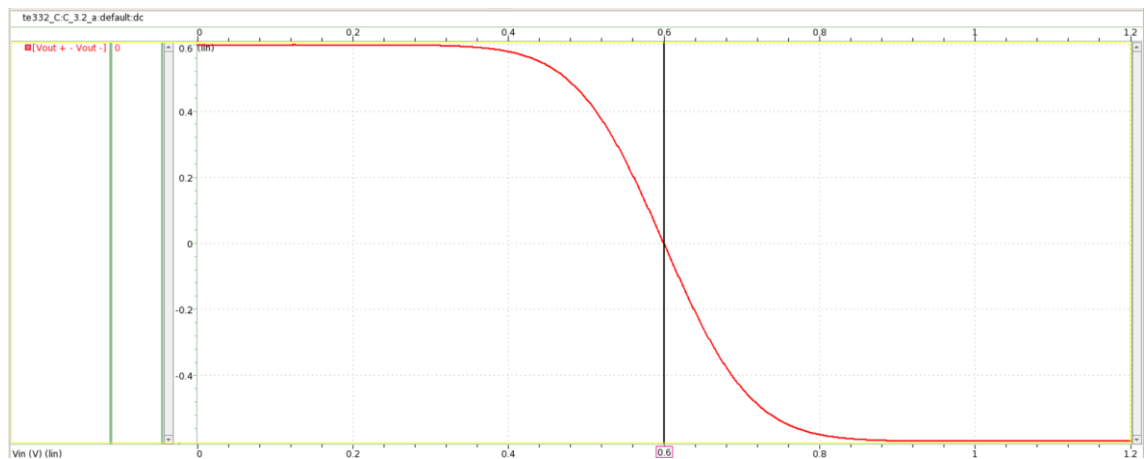


Fig. 14 – Sinal $(V_{out+}) - (V_{out-})$ quando $V_{in} = V_{dd}/2$ V

Fonte: Os autores

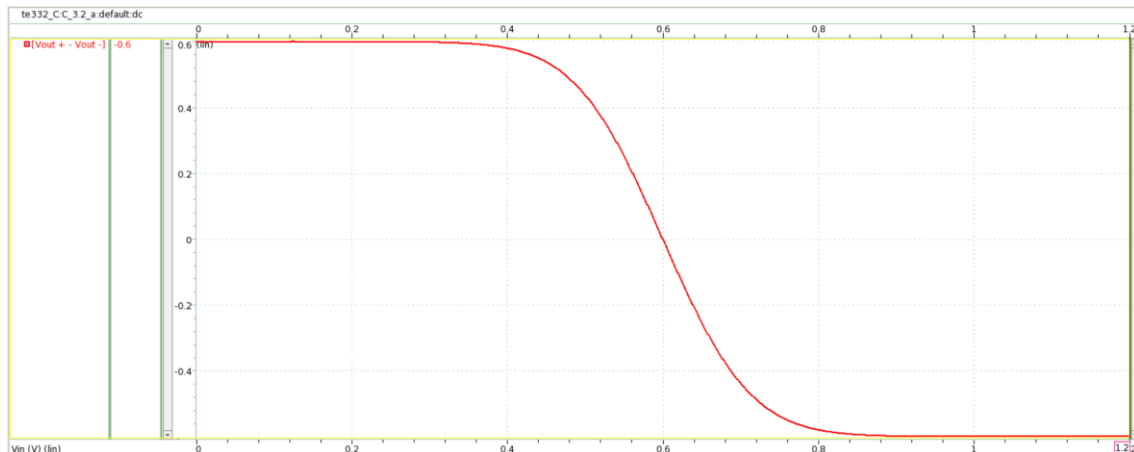


Fig. 15 – Sinal $(V_{out+}) - (V_{out-})$ quando $V_{in} = V_{dd}$ V

Fonte: Os autores

Foi feita a Tabela I para sintetizar os resultados, e posteriormente fazer a análise.

Tabela I – Síntese dos resultados obtidos com Par Diferencial NMOS

V_{in} (V)	V_{out+} (V)	V_{out-} (V)	$(V_{out+}) - (V_{out-})$
0 V	1,2	0,6	0,6
$V_{dd}/2$ V	0,9	0,9	0
V_{dd} V	0,6	1,2	-0,6

Nos gráficos das Figuras 13 a 15 pode-se observar o comportamento das duas tensões juntas. É possível ver que a tensão de saída é aproximadamente constante até V_{in} (V) chegar a 0,4 V, então há um comportamento linear decrescente de 0,4 V até 0,8 V, e então a partir deste ponto a tensão de saída volta a ser aproximadamente constante. A forma da curva aparenta ter uma simetria em relação ao ponto que V_{out} (V) é 0 V e V_{in} (V) é 0,6 V, pois é como se houvesse um espelhamento ao redor do ponto.

Quando a entrada V_{in} (V) é 0 V, o resultado do par diferencial é 0,6 V. Quando a entrada V_{in} (V) é V_{dd} V, o resultado do par diferencial é -0,6 V. Dessa forma, podemos afirmar que nesses pontos extremos as tensões de saída diferencial são opostas às tensões de entrada.

A região linear no meio do gráfico se dá pelo comportamento de amplificador diferencial, em que a tensão de saída está em função da corrente de dreno dos transistores e das resistências de cargas acopladas ao circuito. Quando se trata do transistor NMOS, a tensão de dreno é dada pela corrente de dreno multiplicada pela resistência de carga, diminuídas da tensão V_{dd} , uma vez que as resistências de carga estão conectadas ao V_{dd} .

No entanto, quando V_{in} (V) vale 0 V, não há tensão para ser amplificada, pois tanto V_{out+} como V_{in-} possuem o mesmo valor neste ponto, e a sua subtração irá resultar em 0 V.

c) Então é pedido para manter uma tensão contínua de $V_{dd}/2$ em uma das entradas e um pulso de tensão na outra entrada, de 0 a V_{dd} , com tempo de subida de 1 ns. O esquemático para essa simulação é mostrado na Fig. 16. Então foi feita uma simulação de transitório de 5 ns, selecionando a entrada V_{in+} como *output*. Então foi selecionado o atalho de *Differential Nets* para incluir a tensão de saída diferencial. O gráfico obtido é mostrado na Fig. 17. Em seguida são incluídas outras Figuras para localizar mínimos e máximos que a tensão de saída diferencial assume.

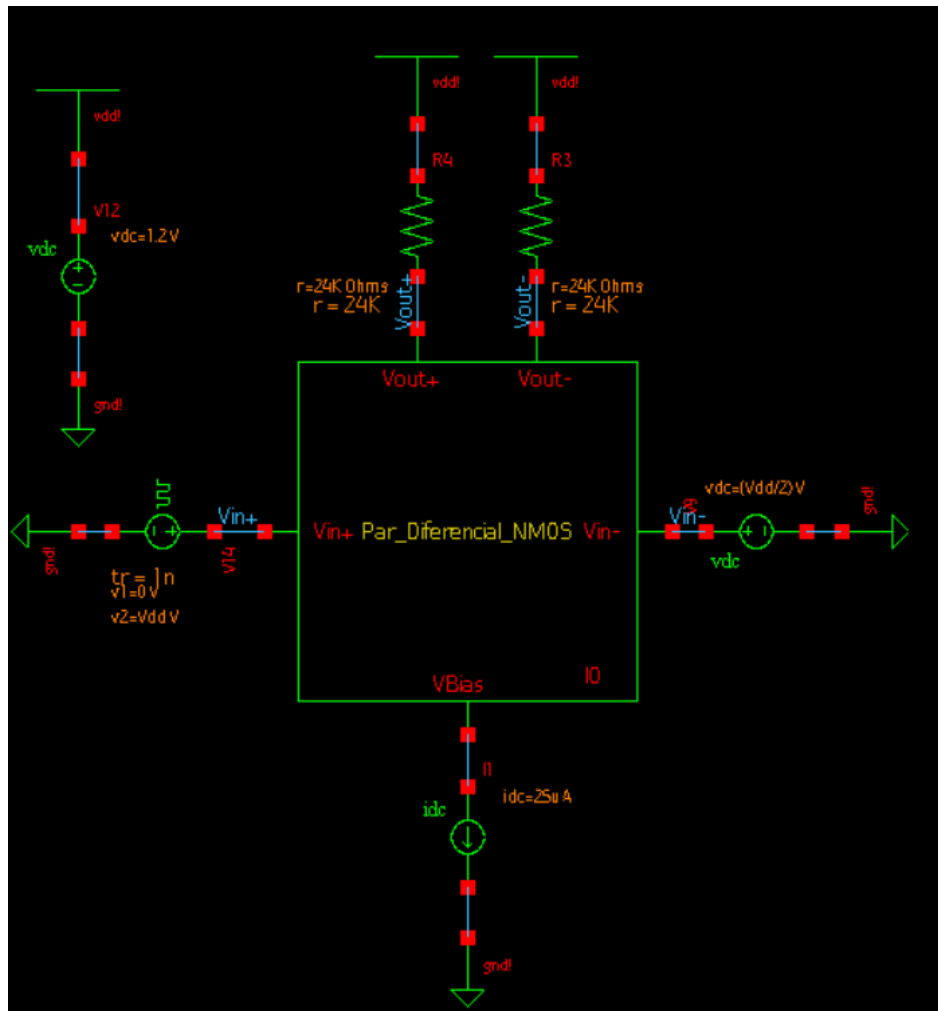


Fig. 16 – Esquemático para teste com pulso de tensão

Fonte: Os autores

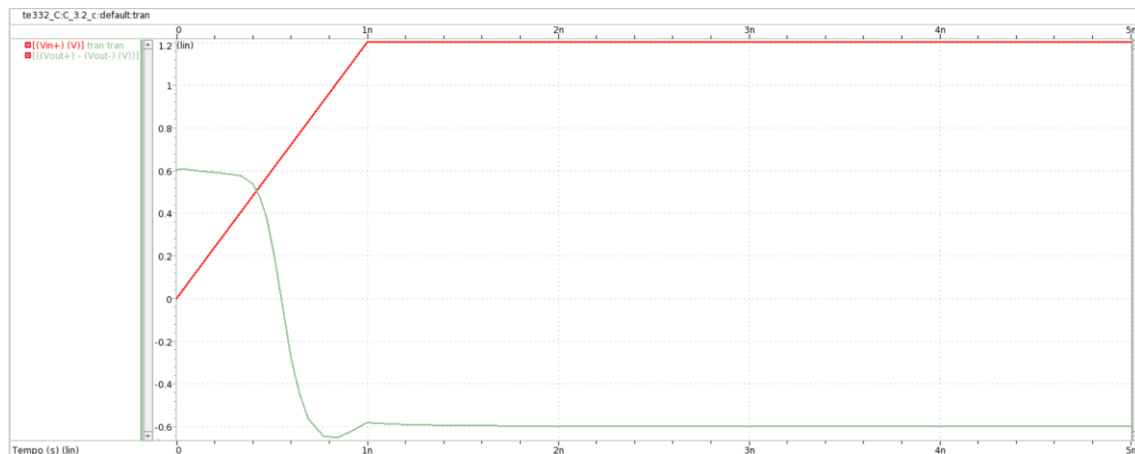


Fig. 17 – Entrada V_{in+} e tensão de saída diferencial NMOS em função do tempo

Fonte: Os autores

O primeiro pico da saída de tensão diferencial se localiza em 41 ps, quando assume 605 mV, como mostra a Fig. 18.

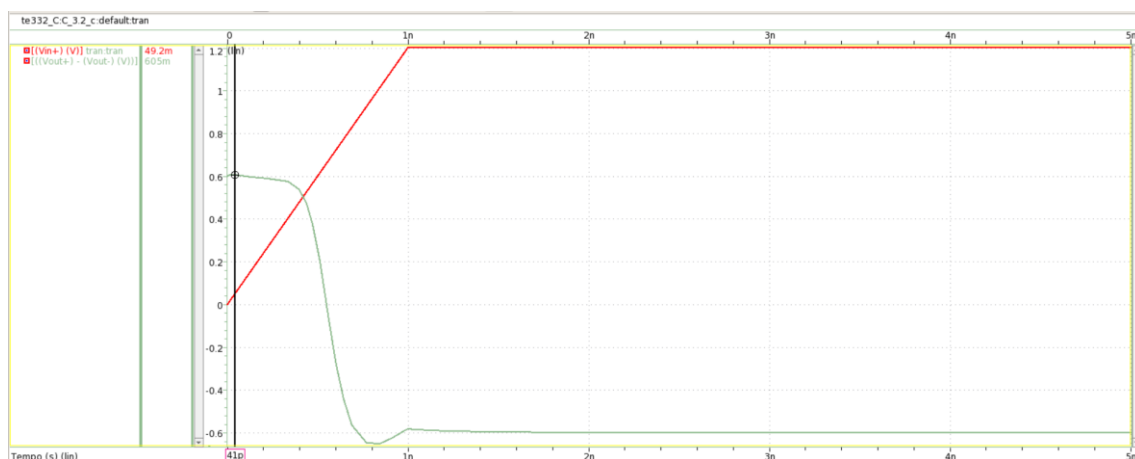


Fig. 18 – Primeiro máximo da saída diferencial NMOS

Fonte: Os autores

Após isso, há um mínimo em 836 ps, onde a saída assume -653 mV, como mostra a Fig. 19.

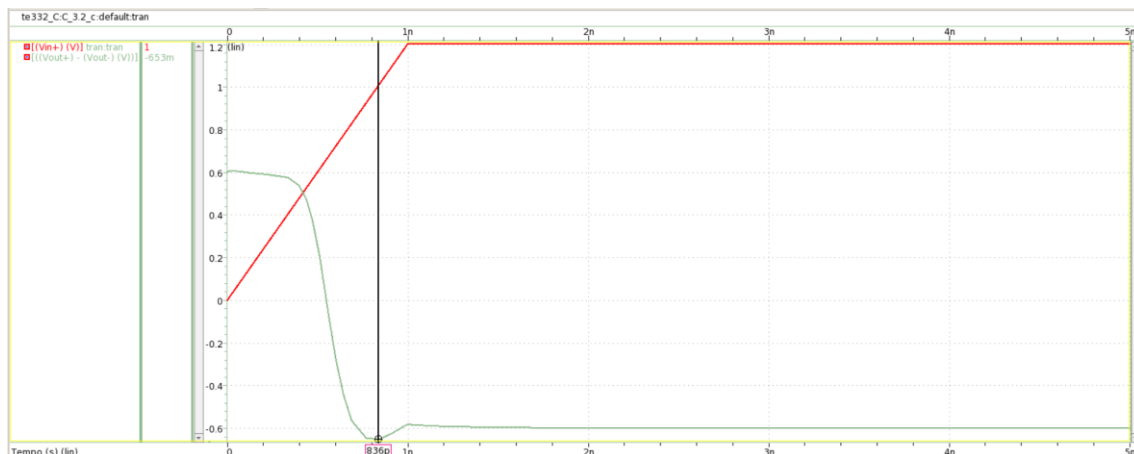


Fig. 19 – Primeiro mínimo da saída diferencial NMOS

Fonte: Os autores

Então há um novo máximo em 1 ns, quando a saída assume -581 mV, como mostrado na Fig. 20. A partir daí, os valores voltam a decrescer.

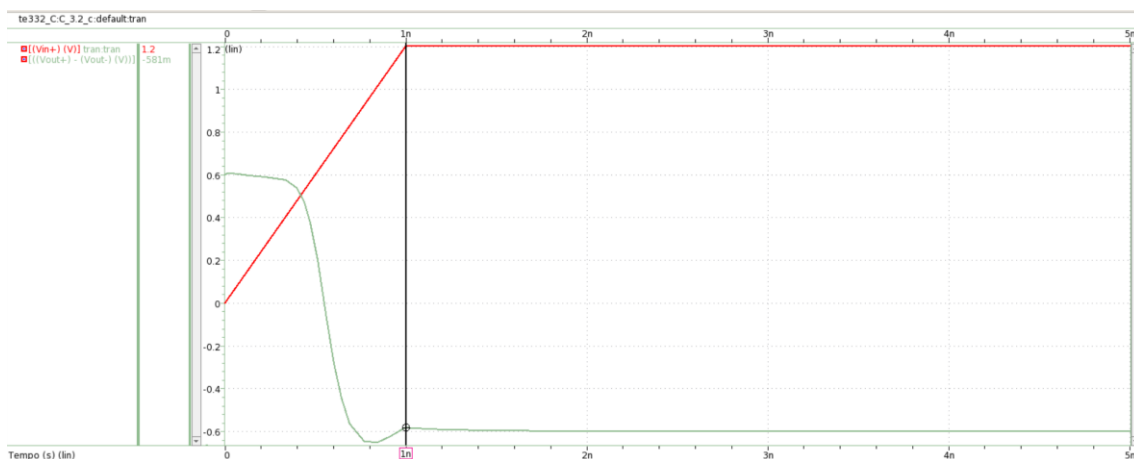


Fig. 20 – Segundo máximo da saída diferencial NMOS

Fonte: Os autores

Então é pedido para determinar o tempo necessário para que a saída assumira uma variação menor que 3% do seu valor final. O valor final assumido é -600 mV, assim, com a faixa de porcentagem, a tensão tem que assumir valores a partir de -582 mV até -600 mV, ou de -600 mV até -618 mV.

Dessa forma, foi selecionado a primeira faixa, mostrada na Fig. 21, onde -582 mV são obtidos em 709 ps, e se estende até 964 ps, onde assume -600 mV. Neste caso, a variação de 3% na tensão de saída corresponde a um intervalo de 255 ps.

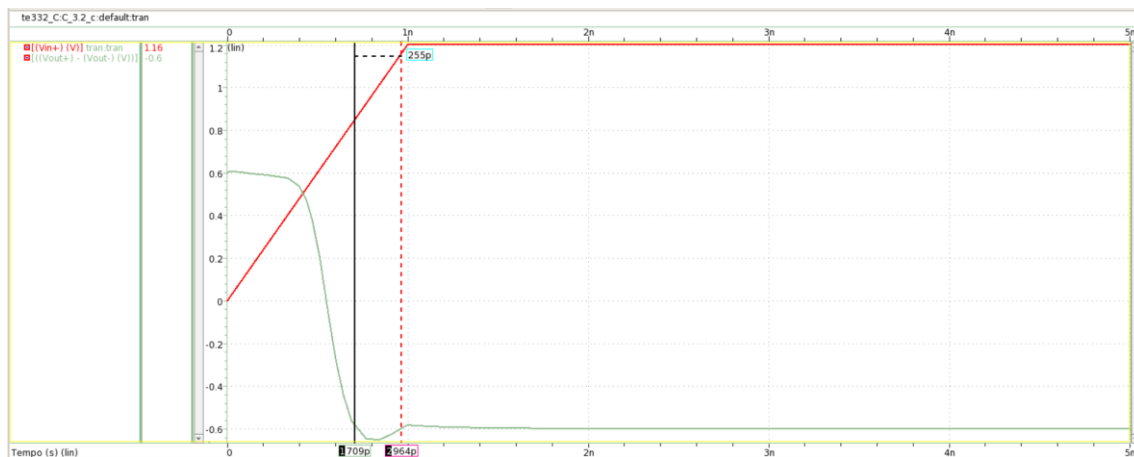


Fig. 21 – Tempo necessário para se obter menos de 3% do valor final

Fonte: Os autores

Ressalta-se, também, que em 998 ps a tensão de saída assume novamente -582 mV, e decresce até -600 mV, como é mostrado na Fig. 22.

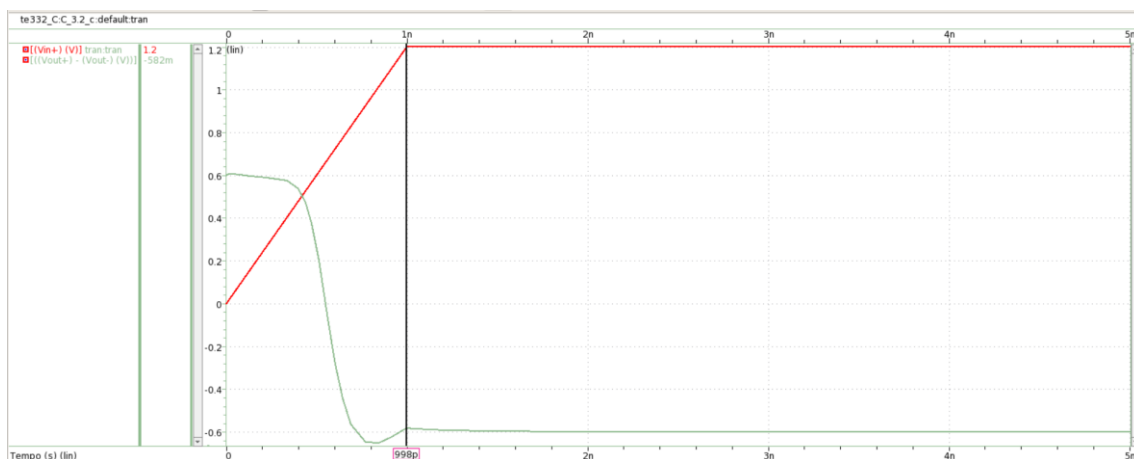


Fig. 22 – Segunda vez que a tensão de saída assume menos de 3% de variação

Fonte: Os autores

Então é necessário utilizar marcadores para determinar a taxa de variação de tensão. É mostrado na Fig. 23 e Fig. 24 os marcadores para determinar o *slew rate*. Para ficar próximo de 0 V na tensão de saída diferencial, foram escolhidos 10 mV e -10 mV, como mostram as figuras.

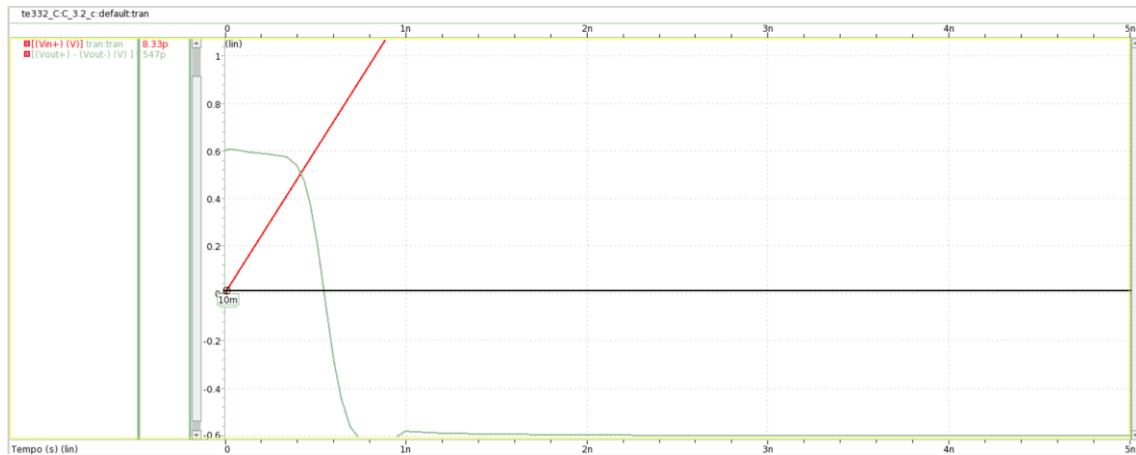


Fig. 23 – Valores quando a saída diferencial é 10 mV

Fonte: Os autores

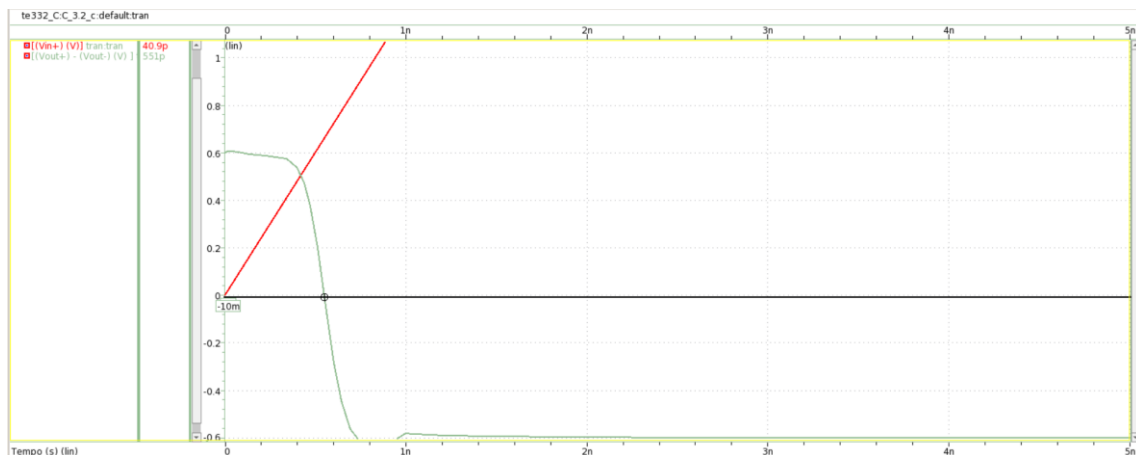


Fig. 24 – Valores quando a saída diferencial é -10 mV

Fonte: Os autores

Assim, tomando a derivada desses pontos, com $m = \Delta y / \Delta x$, temos (-20 mV/4 ps), igual a $m = -5 \cdot 10^9$, resultado negativo devido à função ser decrescente. Assim, o *slew rate*, em módulo, fica como 5 GV/s.

3.3. PAR DIFERENCIAL PMOS

a) É pedido para criar o esquemático (mostrado na Fig. 25) e símbolo (mostrado na Fig. 26) do Par Diferencial PMOS.

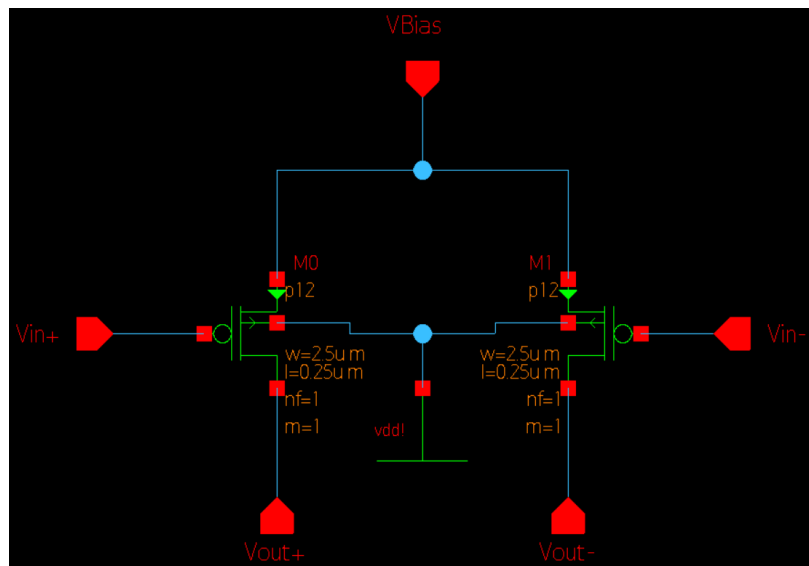


Fig. 25 – Esquemático do Par Diferencial PMOS

Fonte: Os autores

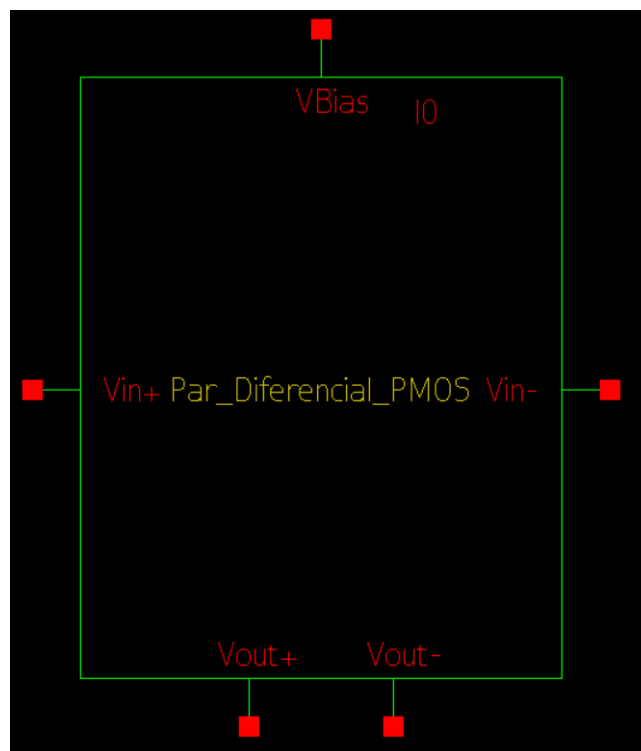


Fig. 26 – Símbolo do Par Diferencial PMOS

Fonte: Os autores

Então é pedido para inserir no esquemático alguns componentes como especificado no enunciado. A Fig. 27 mostra o esquemático pronto para simulação.

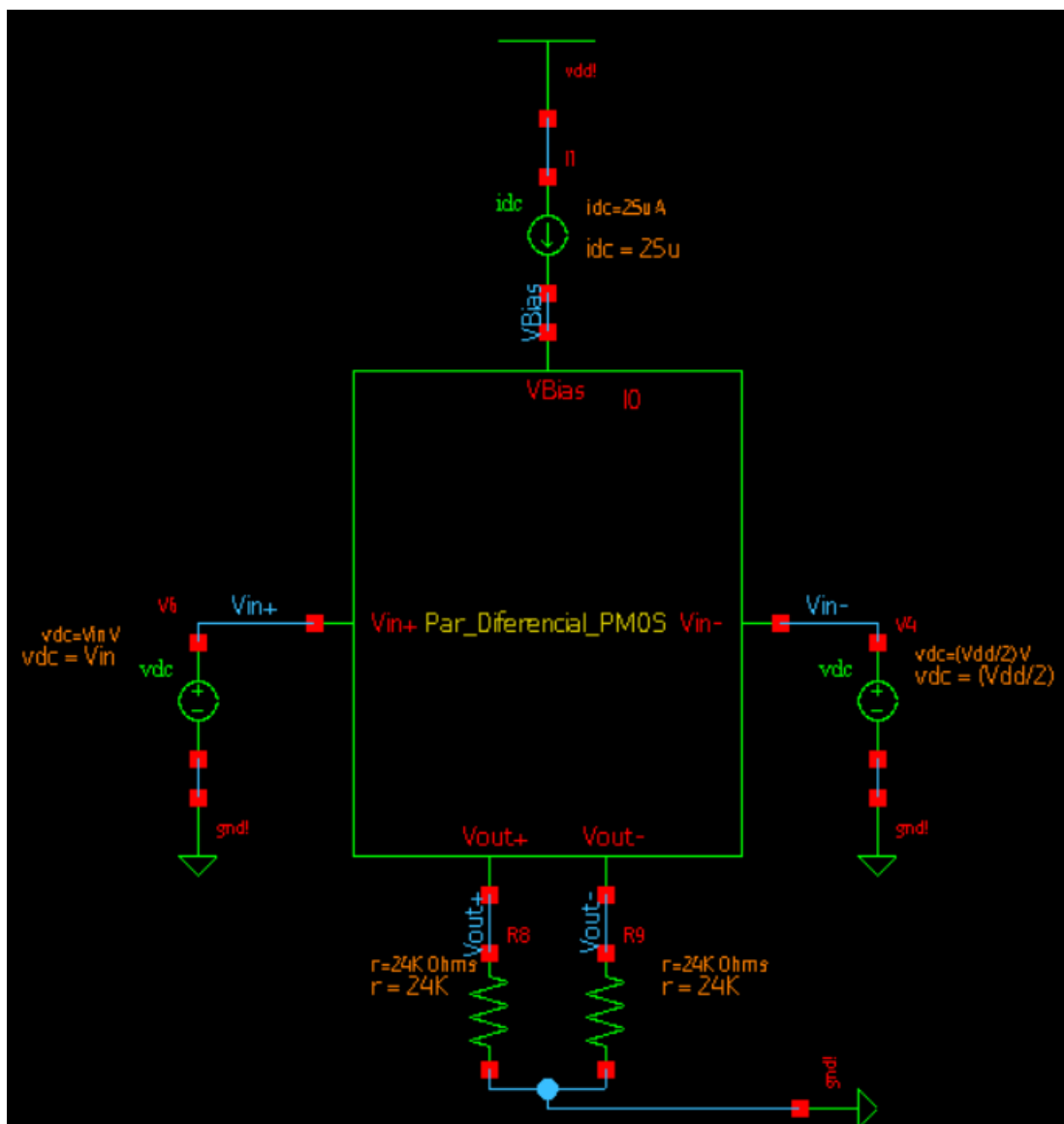


Fig. 27 – Esquemático para simulação do Par Diferencial PMOS

Fonte: Os autores

Inicialmente, como feito anteriormente, são plotados V_{out+} e V_{out-} individualmente, com destaque para V_{in} (V) com valor de 0 V, $V_{dd}/2$ V e V_{dd} V, respectivamente das Figuras 28 a 30.

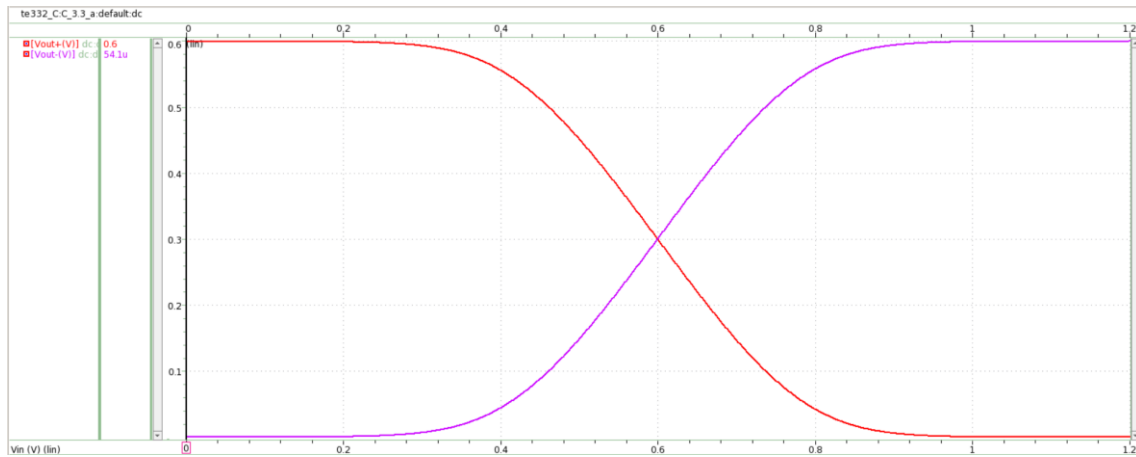


Fig. 28 - Tensões de V_{out-} e V_{out+} em $V_{in} = 0$ V, para PMOS

Fonte: Os autores

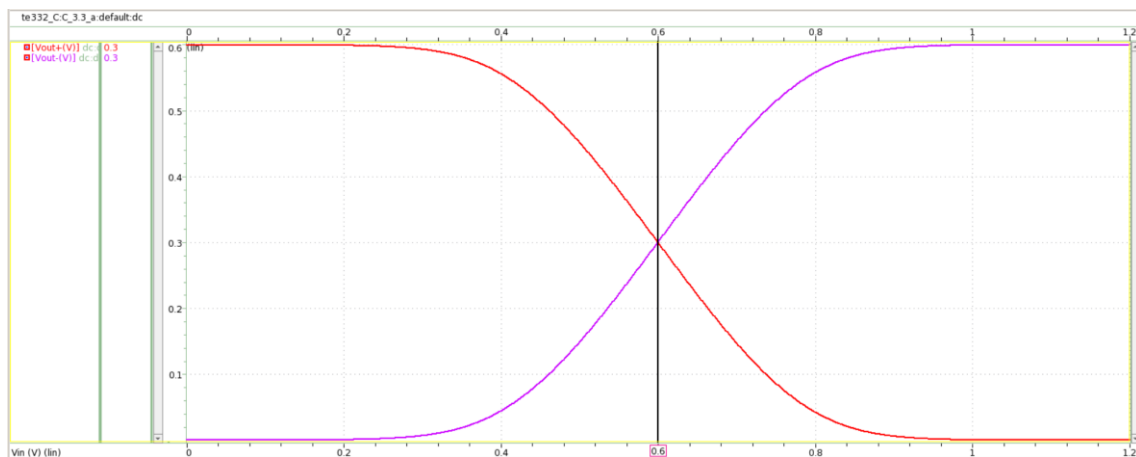


Fig. 29 - Tensões de V_{out-} e V_{out+} em $V_{in} = V_{dd}/2$ V, para PMOS

Fonte: Os autores

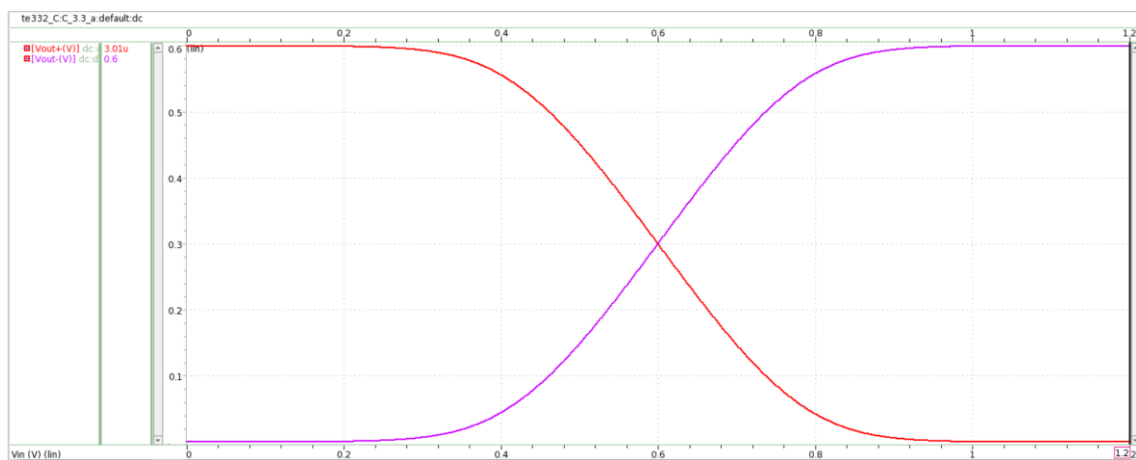


Fig. 30 - Tensões de V_{out-} e V_{out+} em $V_{in} = V_{dd}$ V, para PMOS

Fonte: Os autores

Então são mostradas as tensões nos respectivos pontos para a saída em par diferencial, como mostrado nas Fig. 31, 32 e 33.

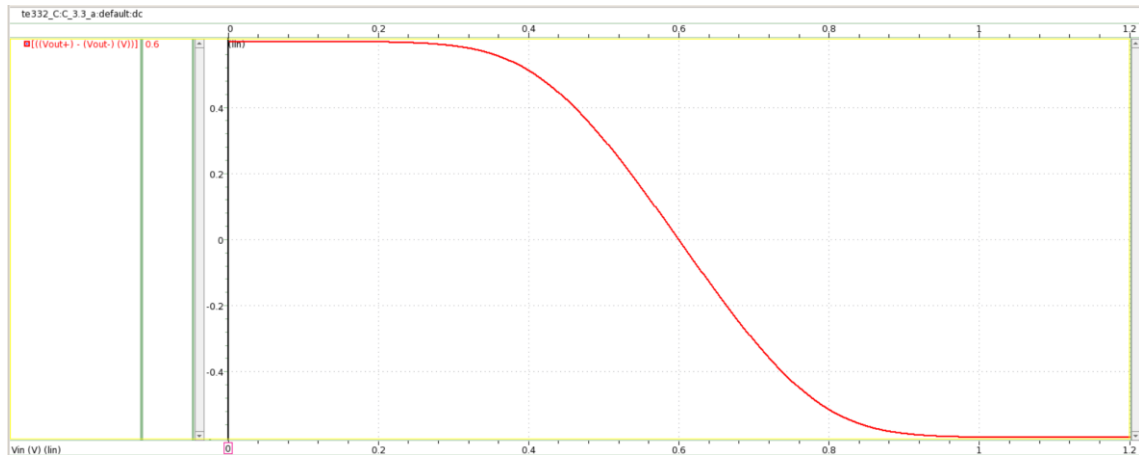


Fig. 31 – Sinal $(V_{out+}) - (V_{out-})$ quando $V_{in} = 0$ V

Fonte: Os autores

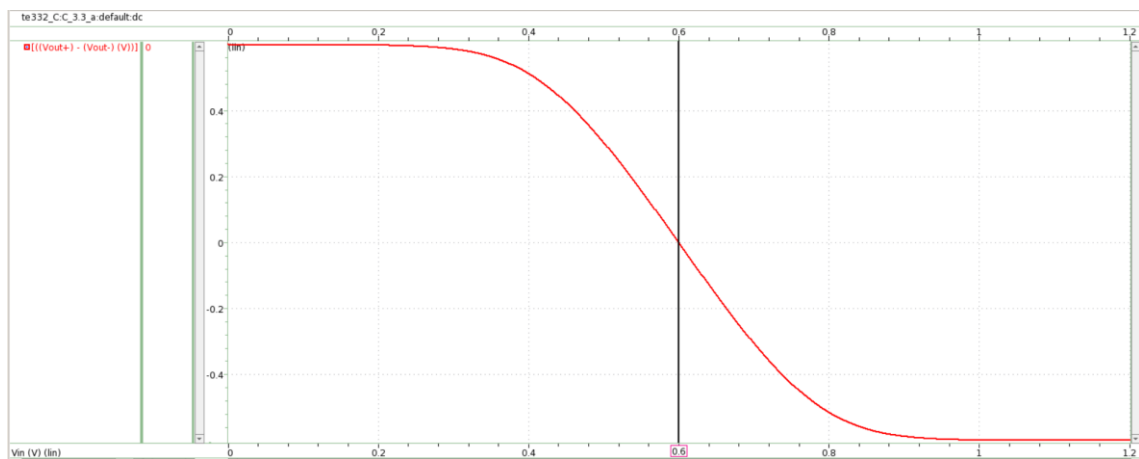


Fig. 32– Sinal $(V_{out+}) - (V_{out-})$ quando $V_{in} = V_{dd}/2$ V

Fonte: Os autores

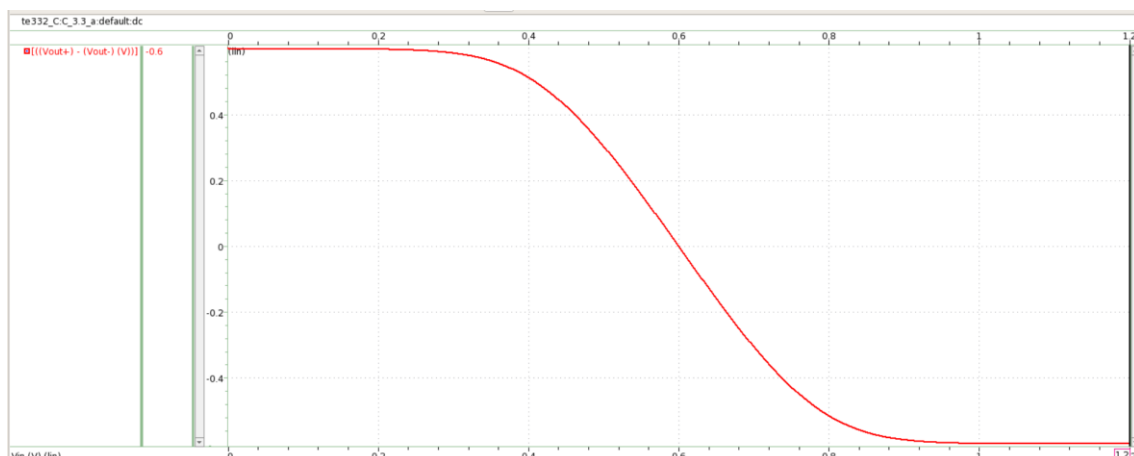


Fig. 33 – Sinal $(V_{out+}) - (V_{out-})$ quando $V_{in} = V_{dd}$ V

Fonte: Os autores

Então na Tabela 2 são sintetizados os dados obtidos com os gráficos.

Tabela 2 – Síntese dos resultados obtidos com Par Diferencial PMOS

V_{in} (V)	V_{out+} (V)	V_{out-} (V)	$(V_{out+}) - (V_{out-})$
0 V	0,6	54,1 μ	0,6
$V_{dd}/2$ V	0,3	0,3	0
V_{dd} V	3,01 μ	0,6	-0,6

Nota-se que nos extremos (0 V e V_{dd} V) há uma pequena tensão discrepante. No entanto, ao fazer $0,6 \text{ V} - 54,1 \mu\text{V} = 0,5999 \text{ V}$, e $3,01 \mu\text{V} - 0,6 = -0,5999 \text{ V}$, o que é praticamente igual ao observado nos gráficos de saída diferencial.

O comportamento observado é bem semelhante ao obtido com o par NMOS: há regiões do gráfico da saída diferencial em função de V_{in} em que a saída possui uma tensão constante, e isso ocorre quando V_{in} assume de 0 V a 0,4 V, e também de 0,8 V até 1,2 V. Nessas regiões as tensões de entrada e saída são opostas.

A região linear no centro do gráfico se dá em função da corrente de dreno do transistor e das resistências de carga. Quando se trata do transistor PMOS, a resistência de carga está conectada ao terra, e assim a tensão de dreno está em função da corrente de dreno multiplicada pela resistência de carga.

Novamente, quando $V_{in} = V_{dd}/2$ há uma tensão de saída diferencial igual a 0 V, já que a subtração de V_{out-} de V_{out+} (uma vez que são iguais neste ponto) leva a nenhuma tensão para ser amplificada.