

**UNIVERSIDADE FEDERAL DO PARANÁ**

**ANA PAULA PRINCIVAL MACHADO  
MATHEUS HENRIQUE SILVEIRA SANTANA**

**RELATÓRIO 6 – ADC COMPLETO**

**TE332 – LABORATÓRIO DE ELETRÔNICA ANALÓGICA II  
PROFESSOR BERNARDO LEITE**

**CURITIBA**

**2022**

## 6.1. CIRCUITO FINAL

É pedido para criar o esquemático e símbolo do ADC completo. As imagens do ADC são mostradas nas Fig. de 1 a 5, enquanto seu símbolo é mostrado na Fig. 6.

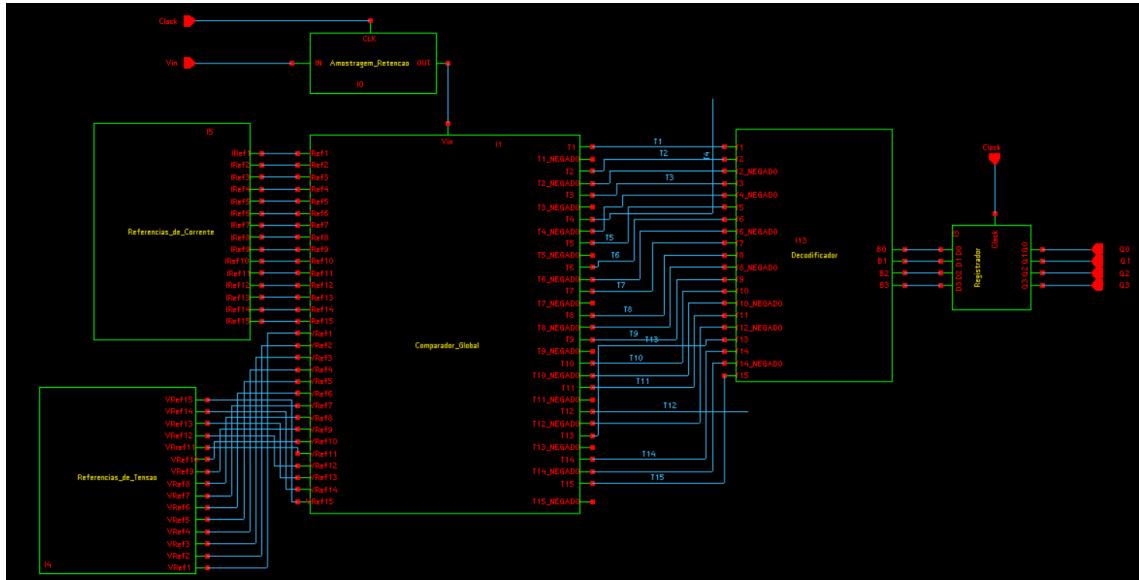


Fig. 1 – Primeira visão do ADC  
Fonte: Os autores

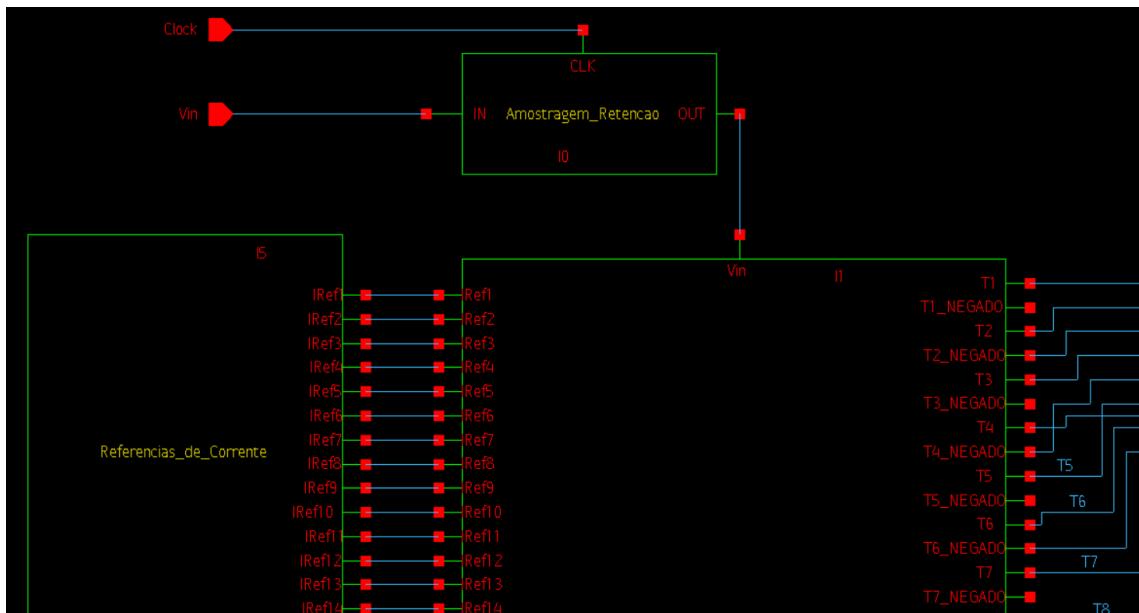


Fig. 2 – Segunda visão do ADC  
Fonte: Os autores

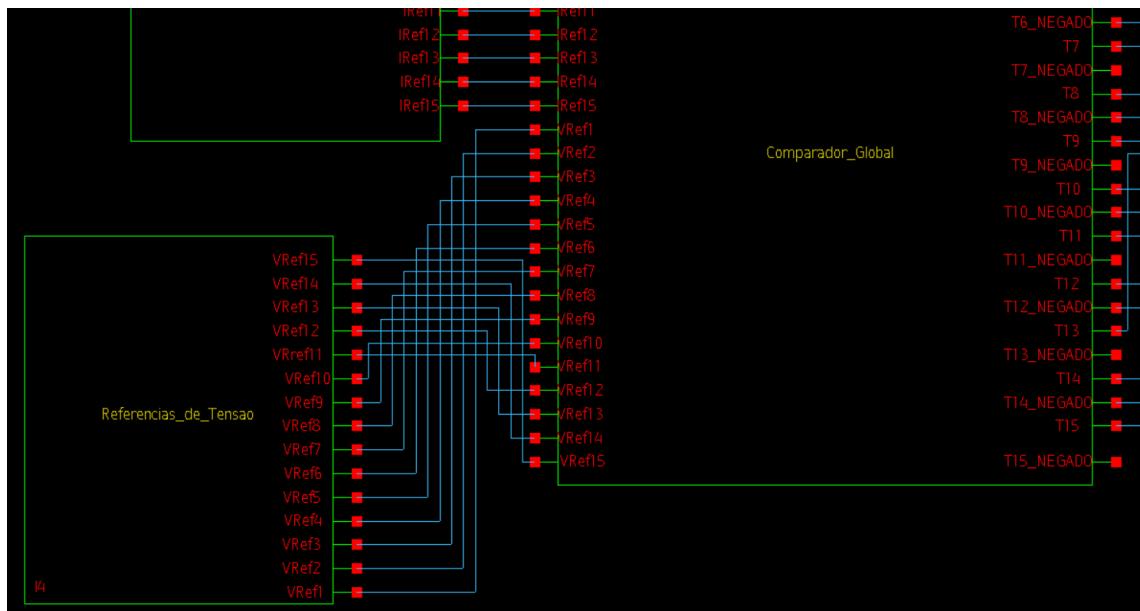


Fig. 3 – Terceira visão do ADC  
Fonte: Os autores

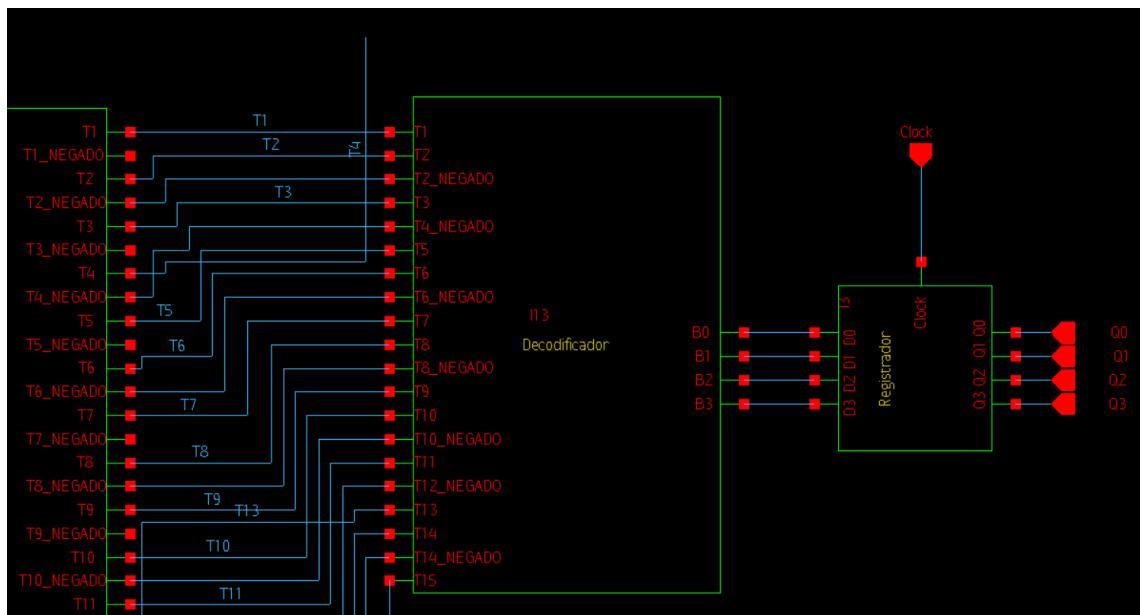


Fig. 4 – Quarta visão do ADC  
Fonte: Os autores

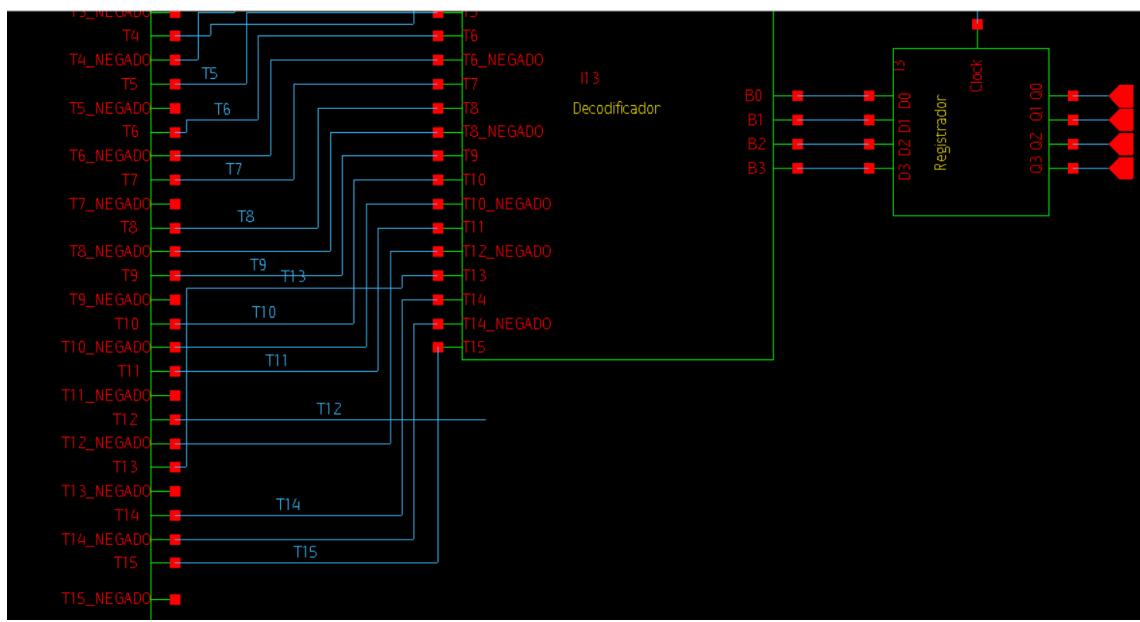


Fig. 5 – Quinta visão do ADC

Fonte: Os autores

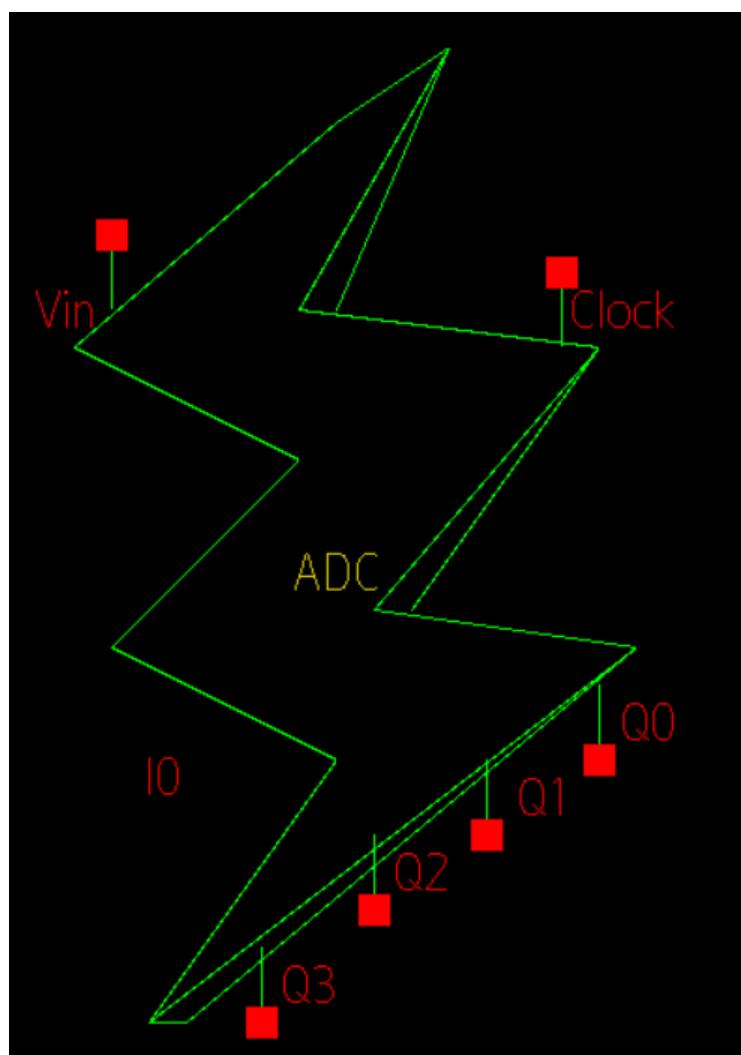


Fig. 6 – Símbolo do ADC

Fonte: Os autores

Então será mostrado o interior de todos os componentes utilizados no projeto. A Fig. 7 mostra o interior do circuito de **Amostragem e Retenção**.

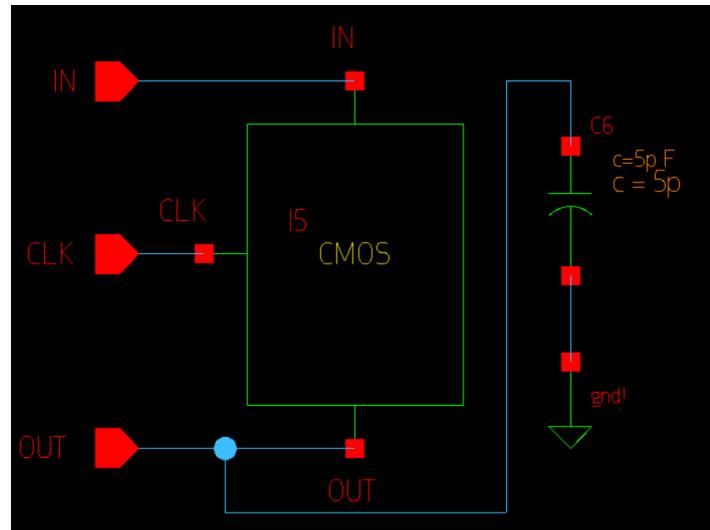


Fig. 7 – Interior de Amostragem e retenção.

Fonte: Os autores

A Fig. 8 mostra o interior do CMOS.

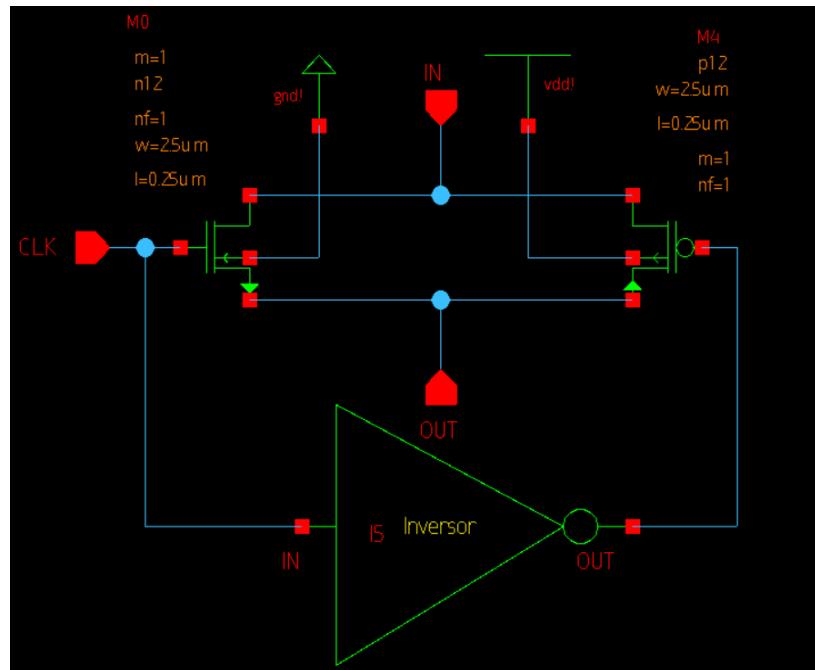


Fig. 8 – Interior de CMOS

Fonte: Os autores

A Fig. 9 mostra dentro do Inversor.

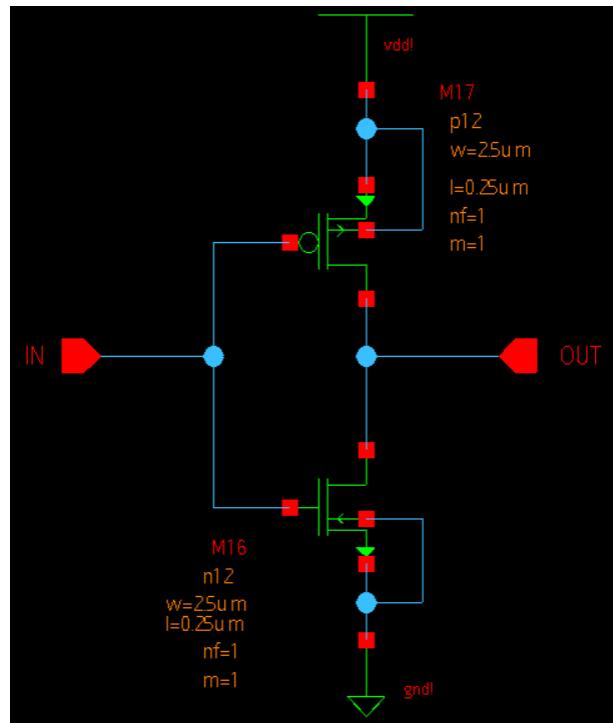


Fig. 9 – Interior de Inversor

Fonte: Os autores

A Fig. 10, Fig. 11 e Fig. 12 mostram o interior das **Referências de Corrente**.

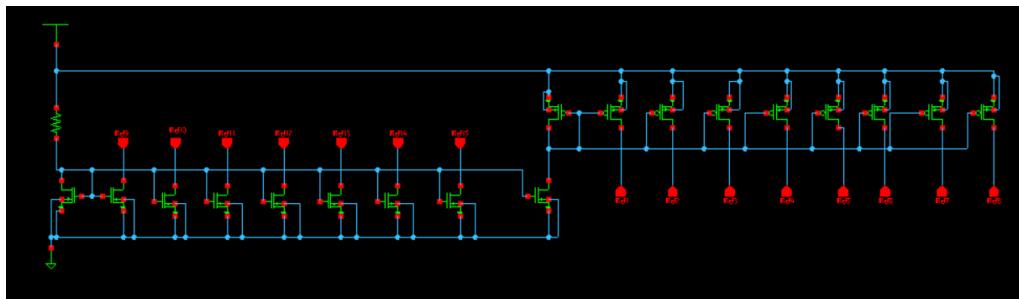


Fig. 10 – Interior de Referências de Corrente (parte 1)

Fonte: Os autores

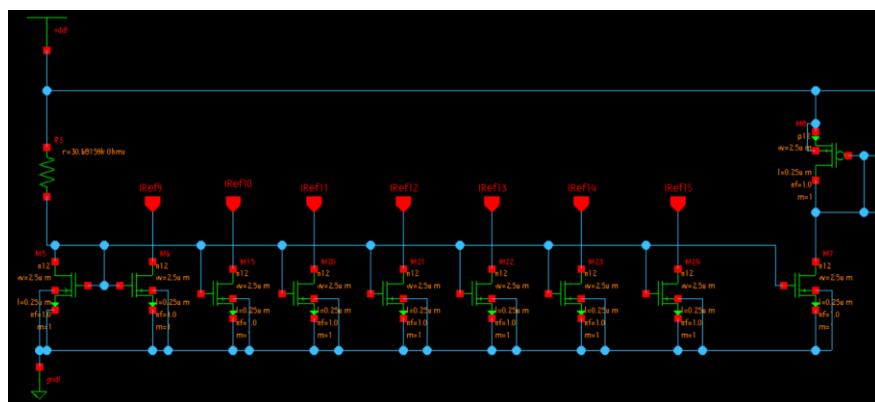


Fig. 11 – Interior de Referências de Corrente (parte 2)

Fonte: Os autores

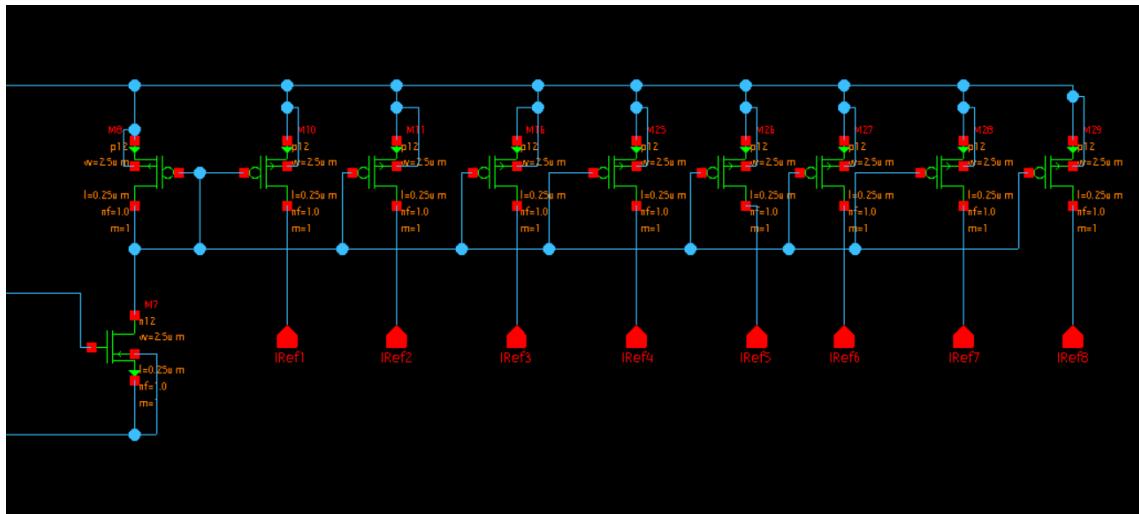


Fig. 12 – Interior de Referências de Corrente (parte 3)  
Fonte: Os autores

A Fig. 13 mostra o interior das **Referências de Tensão**.

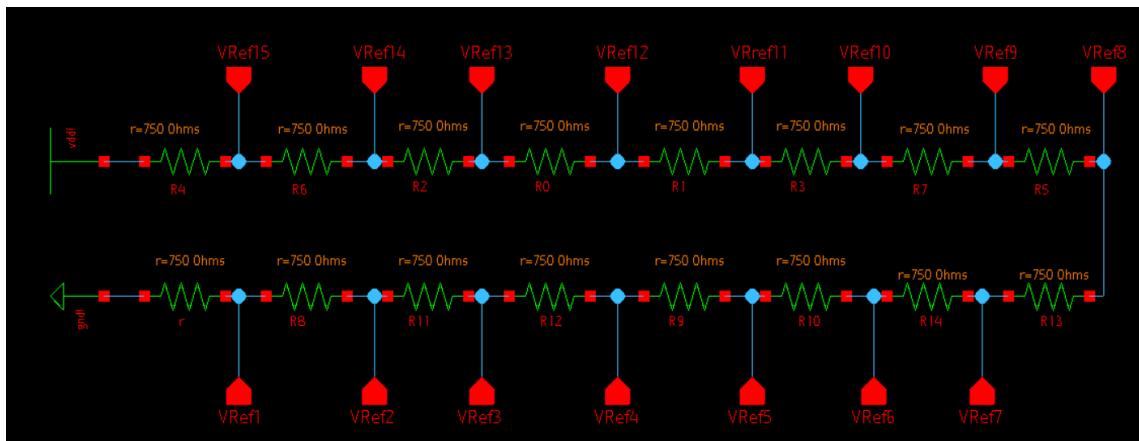


Fig. 13 – Interior de Referências de Tensão  
Fonte: Os autores

A Fig. 14 e Fig. 15 mostram o interior do **Comparador Global**.

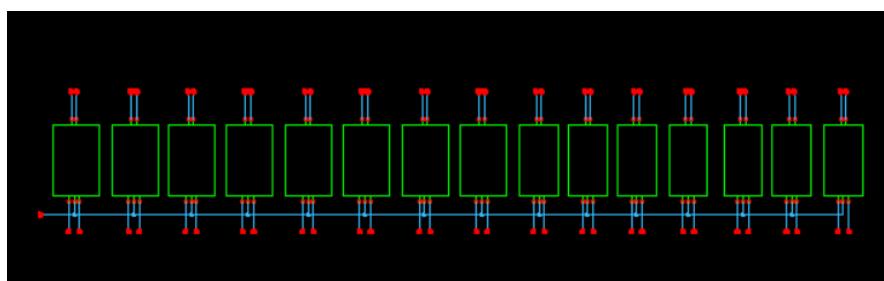


Fig. 14 – Interior de Comparador Global (parte 1)  
Fonte: Os autores

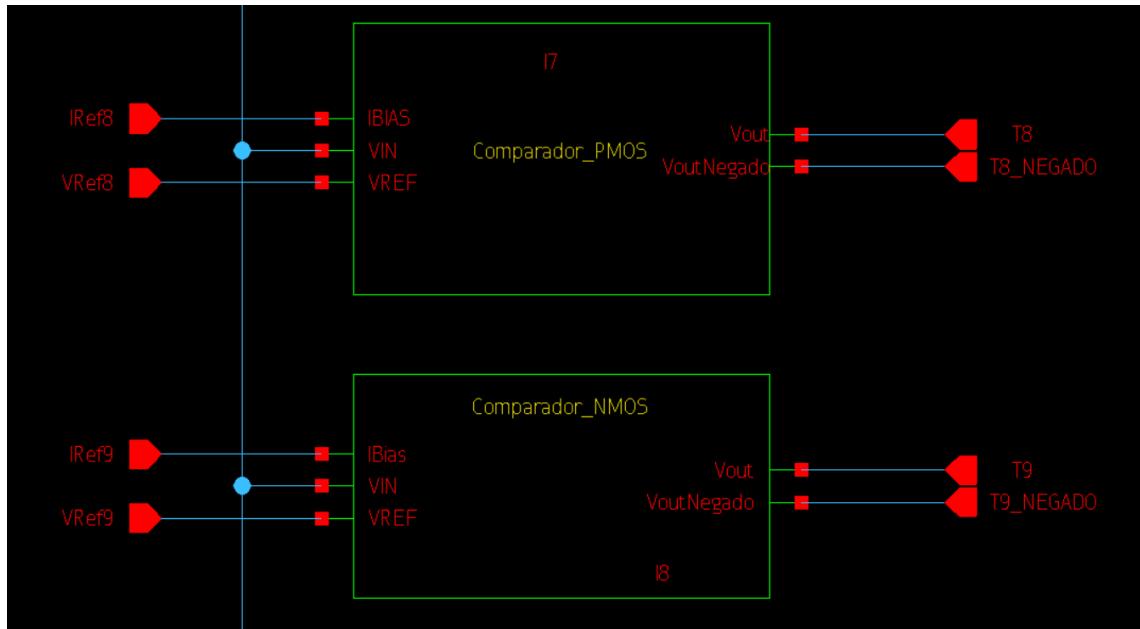


Fig. 15 – Interior de Comparador Global (parte 2)  
Fonte: Os autores

A Fig. 16 mostra o interior do Comparador PMOS.

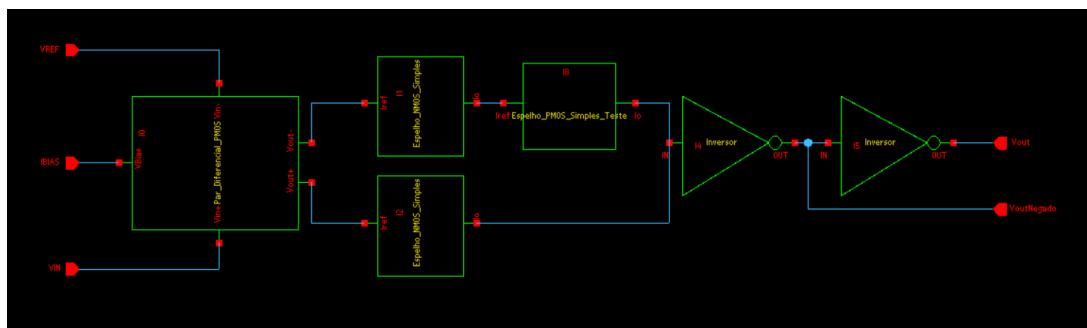


Fig. 16 – Interior de Comparador NMOS  
Fonte: Os autores

A Fig. 17 mostra o interior do Par Diferencial PMOS.

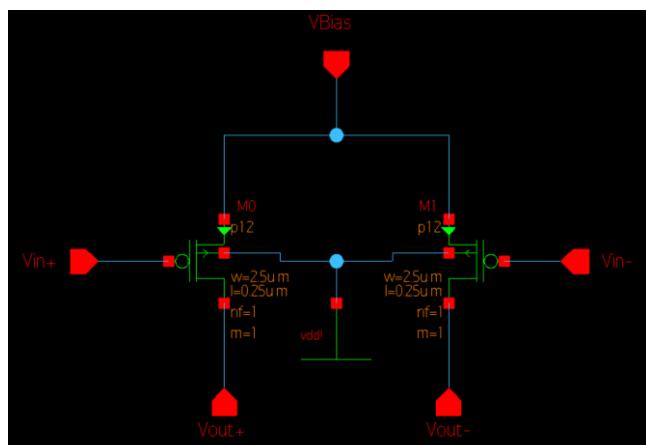


Fig. 17 – Interior de Par Diferencial PMOS  
Fonte: Os autores

A Fig. 18 mostra o interior do Espelho NMOS Simples.

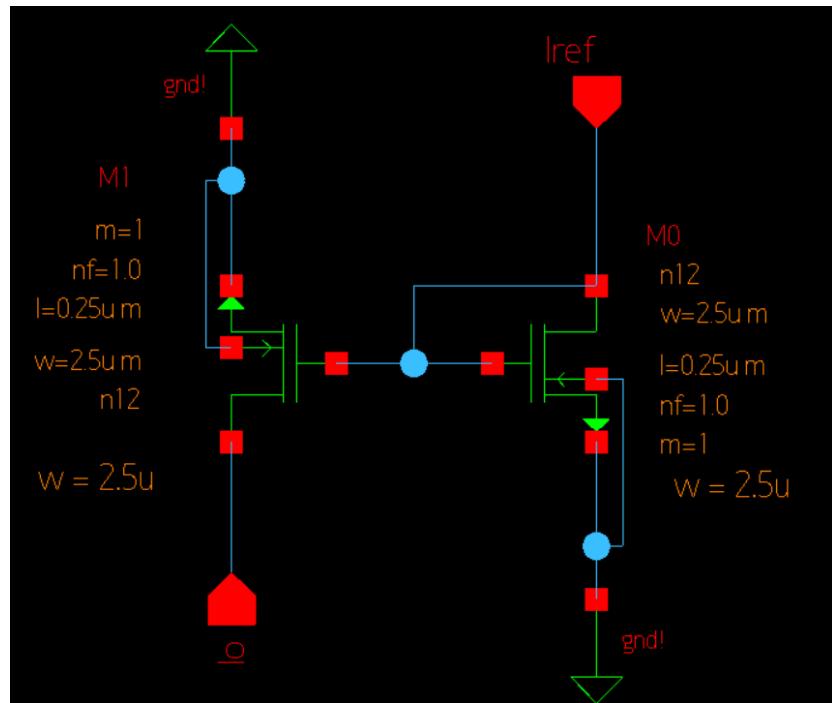


Fig. 18 – Interior de Espelho NMOS Simples  
Fonte: Os autores

A Fig. 19 mostra o interior do Espelho PMOS Simples Teste.

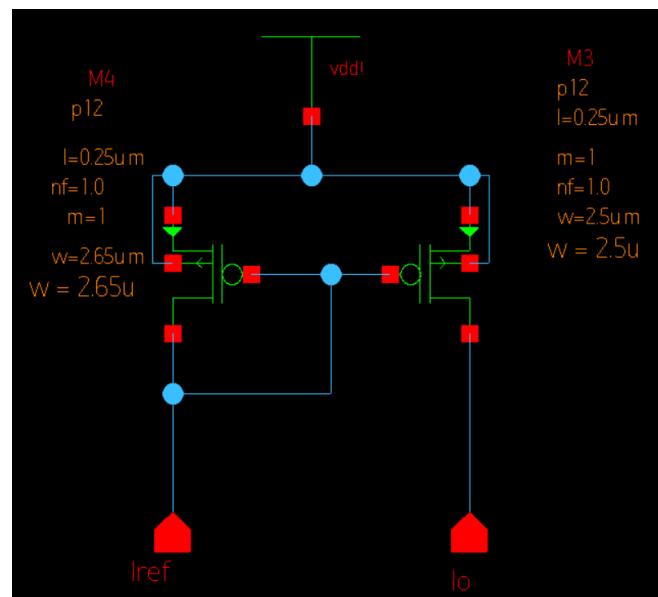


Fig. 19 – Interior de Espelho PMOS Simples Teste  
Fonte: Os autores

A Fig. 20 mostra o interior do Comparador NMOS.

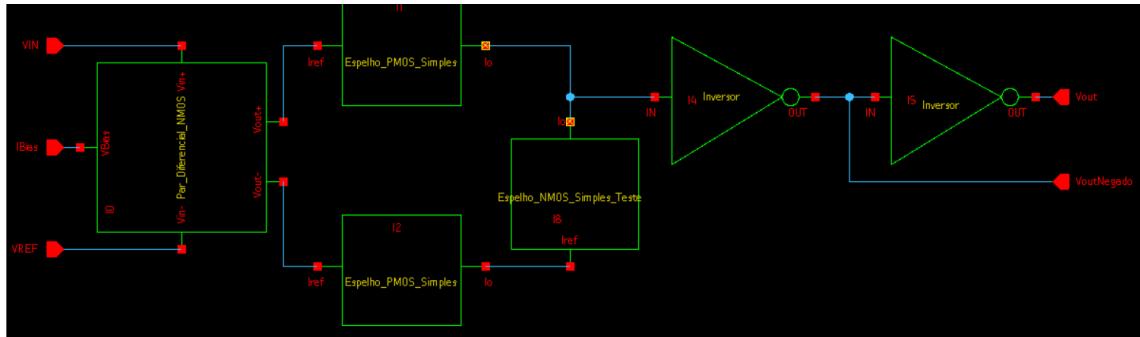


Fig. 20 – Interior de Comparador NMOS

Fonte: Os autores

A Fig. 21 mostra o interior do Par Diferencial NMOS.

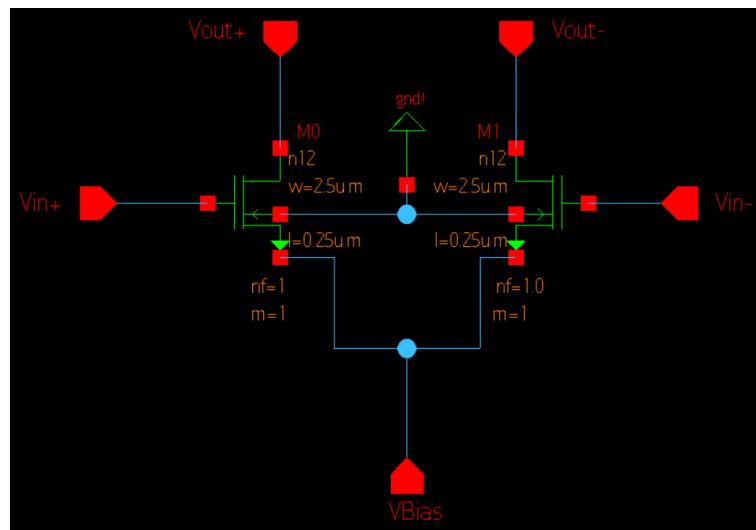


Fig. 21 – Interior de Par Diferencial NMOS

Fonte: Os autores

A Fig. 22 mostra o interior do Espelho PMOS Simples.

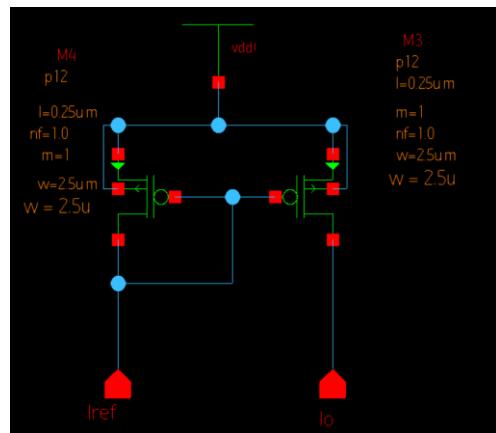


Fig. 22 – Interior de Espelho PMOS Simples

Fonte: Os autores

A Fig. 23 mostra o interior do Espelho NMOS Simples Teste.

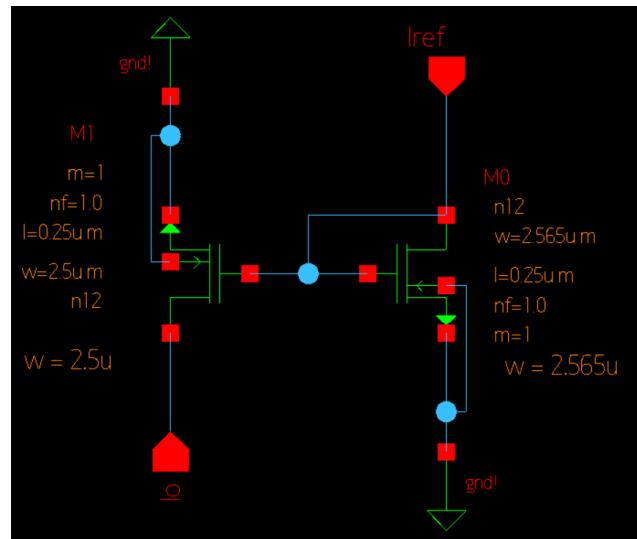


Fig. 23 – Interior de Espelho NMOS Simples Teste  
Fonte: Os autores

A Fig. 24, Fig. 25 e Fig. 26 mostram o interior do **Decodificador**.

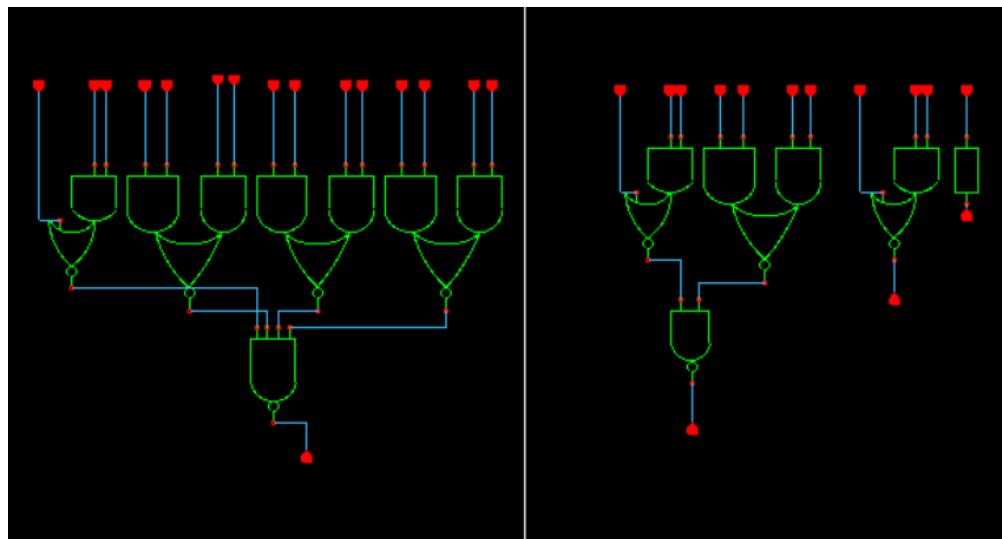


Fig. 24 – Interior de Decodificador (Parte 1)  
Fonte: Os autores

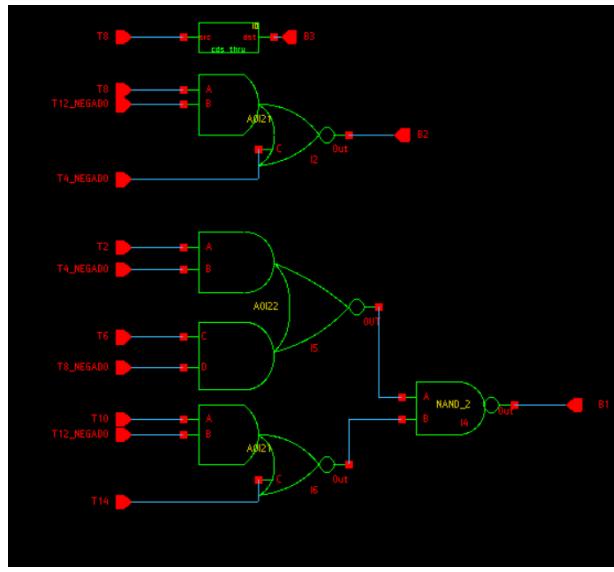


Fig. 25 – Interior de Decodificador (Parte 2)

Fonte: Os autores

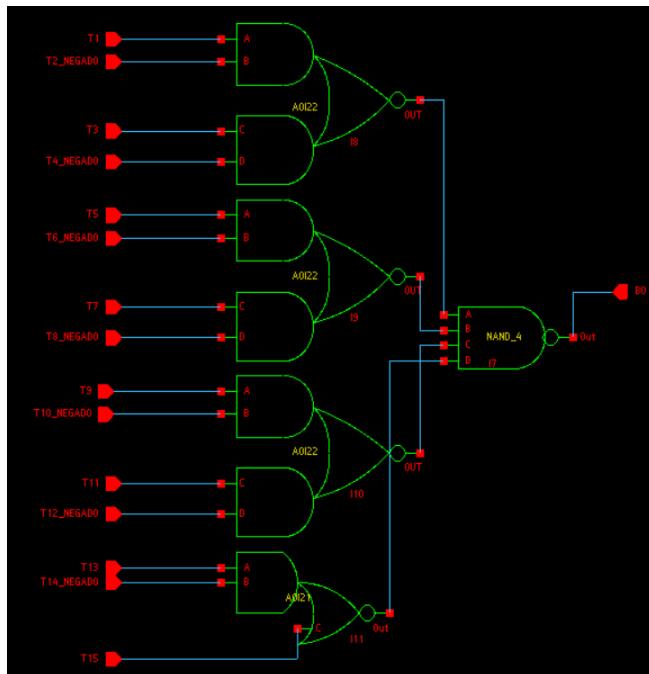


Fig. 26 – Interior de Decodificador (Parte 3)

Fonte: Os autores

A Fig. 27 mostra o interior do **Registrador**.

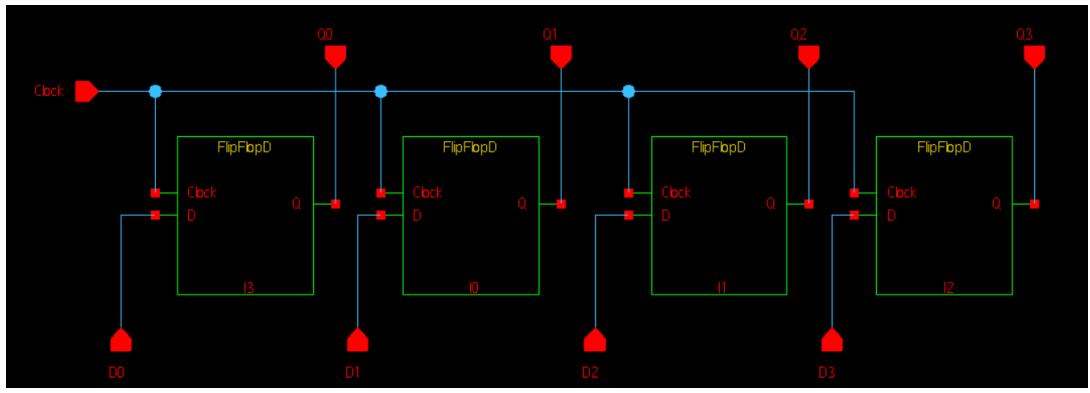


Fig. 27 – Interior de Registrador  
Fonte: Os autores

A Fig. 28 mostra o interior do FlipFlopD.

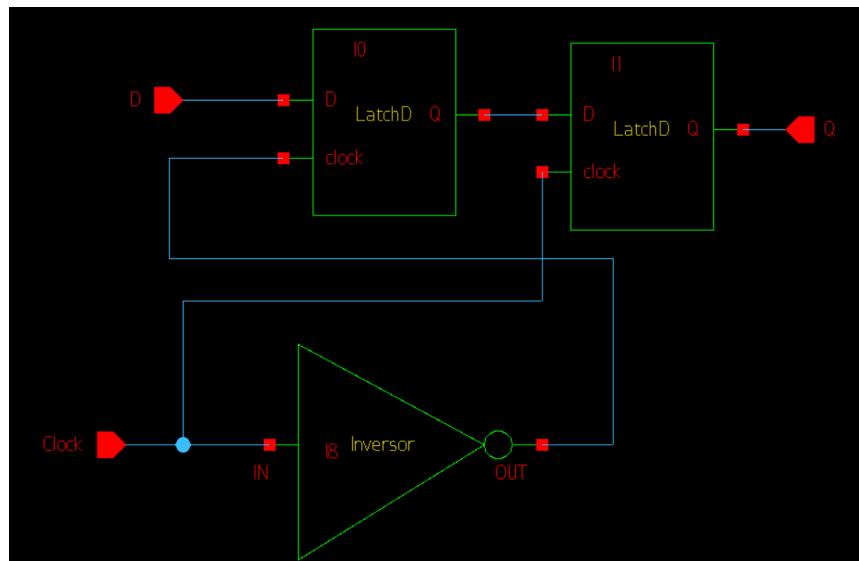


Fig. 28 – Interior de FlipFlopD  
Fonte: Os autores

A Fig. 29 mostra o interior do LatchD.

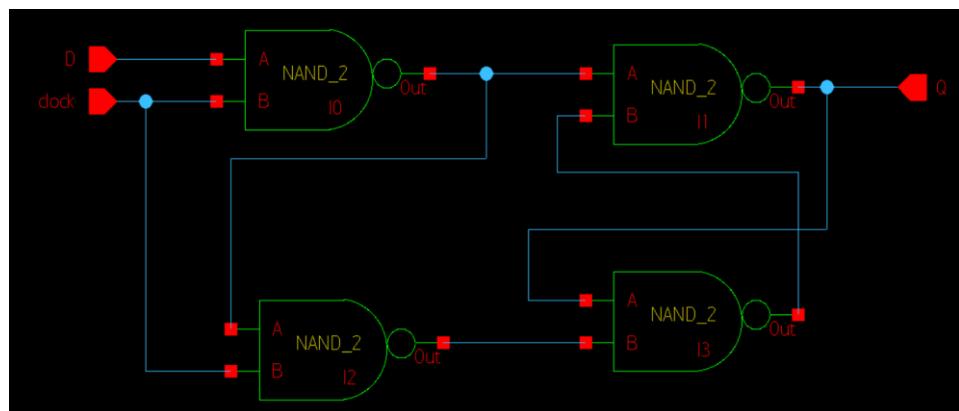


Fig. 29 – Interior de LatchD  
Fonte: Os autores

A Fig. 30 mostra o interior da NAND2.

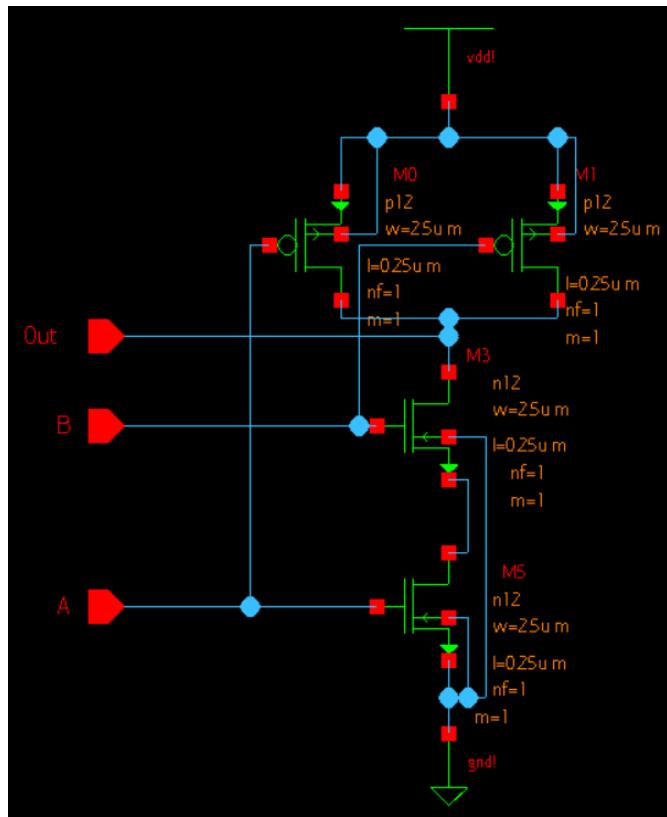


Fig. 30 – Interior de NAND2  
Fonte: Os autores

A Fig. 31 mostra o interior da NAND4.

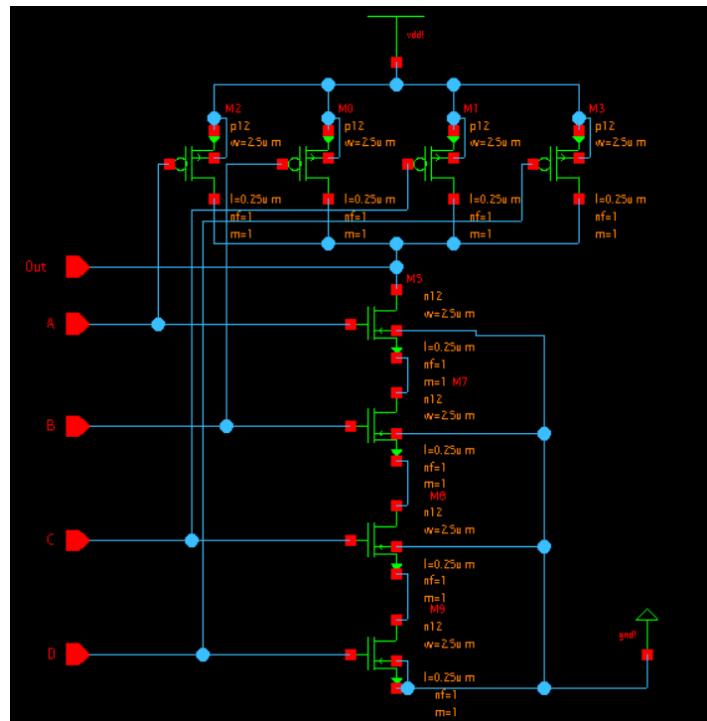


Fig. 31 – Interior de NAND4  
Fonte: Os autores

A Fig. 32 mostra o interior da AOI21.

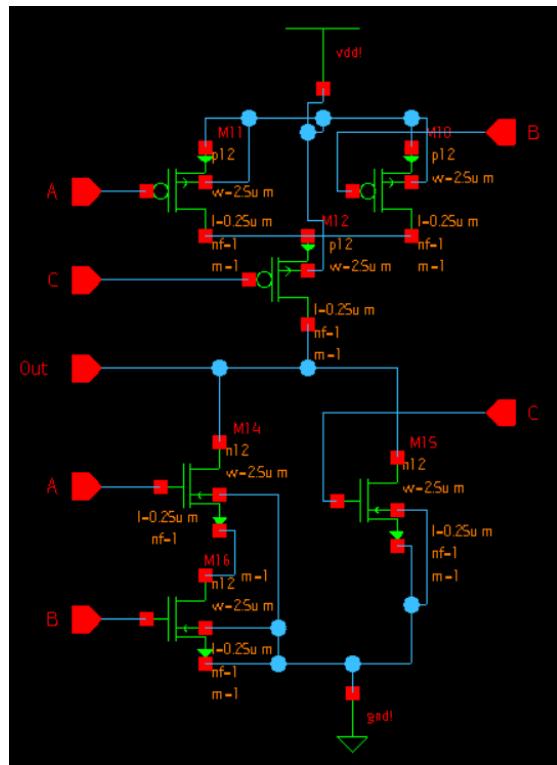


Fig. 32 – Interior de AOI21

Fonte: Os autores

A Fig. 33 mostra o interior da AOI22.

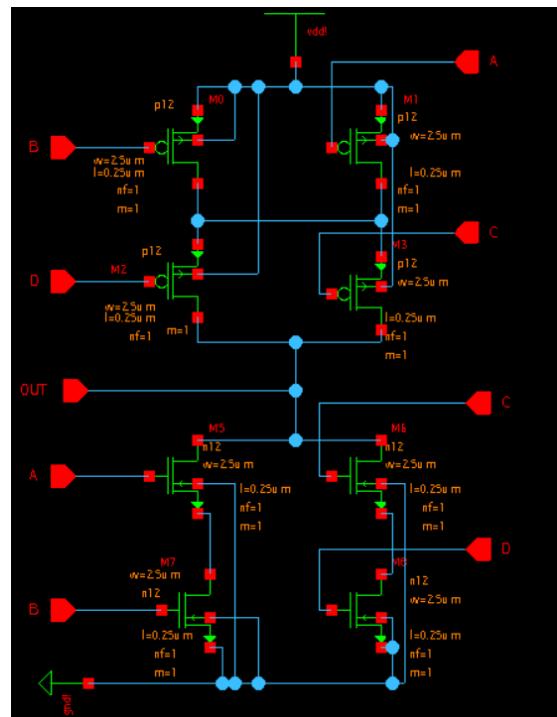


Fig. 33 – Interior de AOI22

Fonte: Os autores

## 6.2. TESTE COM ENTRADA CONTÍNUA

- a) É pedido para criar um esquemático de teste aplicando  $Vdd$ , um sinal quadrado e uma fonte de tensão contínua. Essas e demais especificações são mostradas no esquemático da Fig. 34.

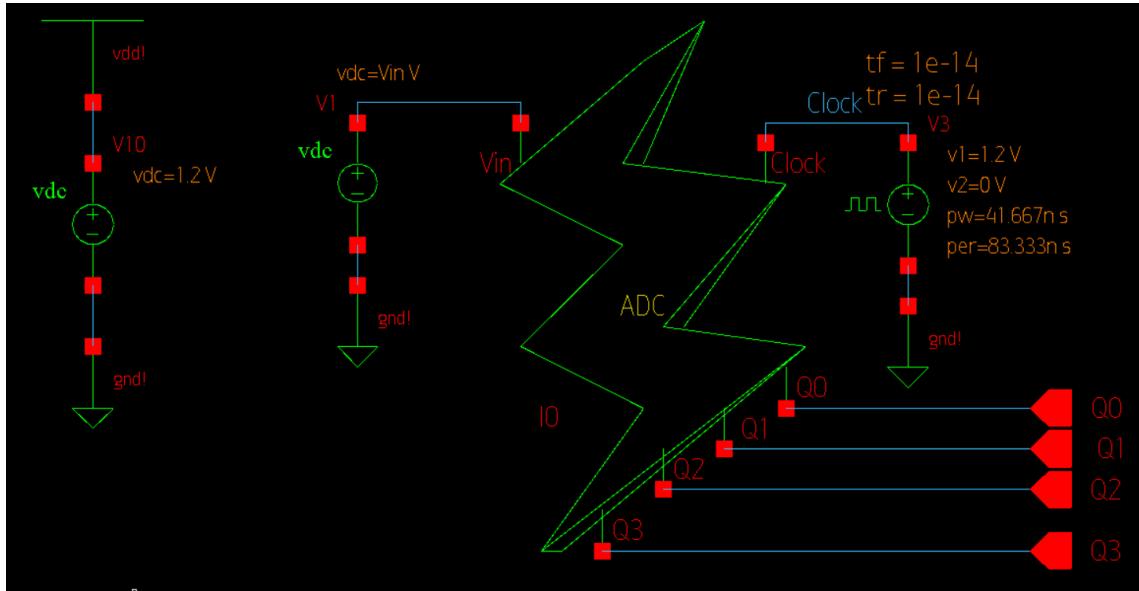


Fig. 34 – Esquemático de teste para Entrada Contínua  
Fonte: Os autores

Primeiramente é feito uma simulação de transitório por dois períodos, em que  $Vin = Vdd/32$ . A Fig. 35 mostra as 15 saídas dos comparadores, selecionadas como mostrado na Fig. 36. A Fig. 37 mostram *panels* indicando os valores obtidos.

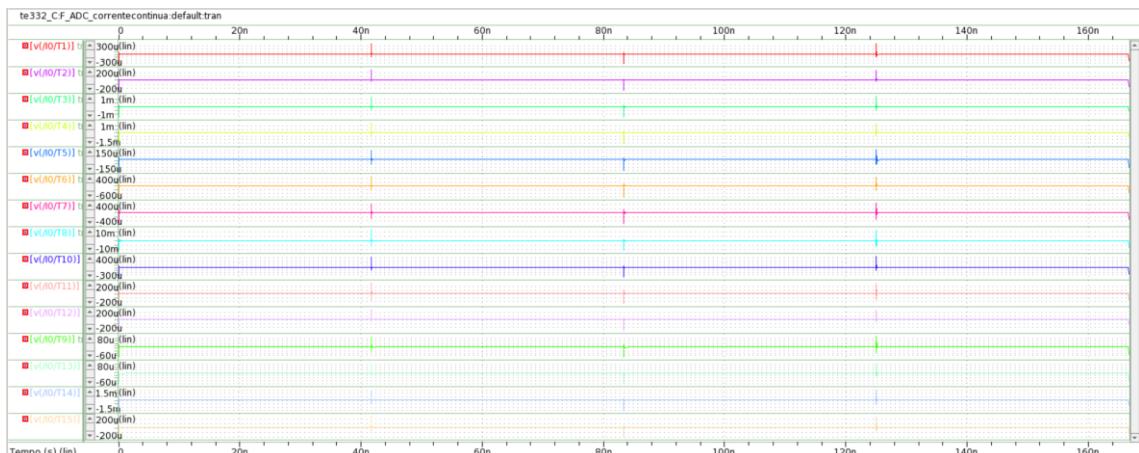


Fig. 35 – Saída dos 15 comparadores, simulação corrente contínua  
Fonte: Os autores

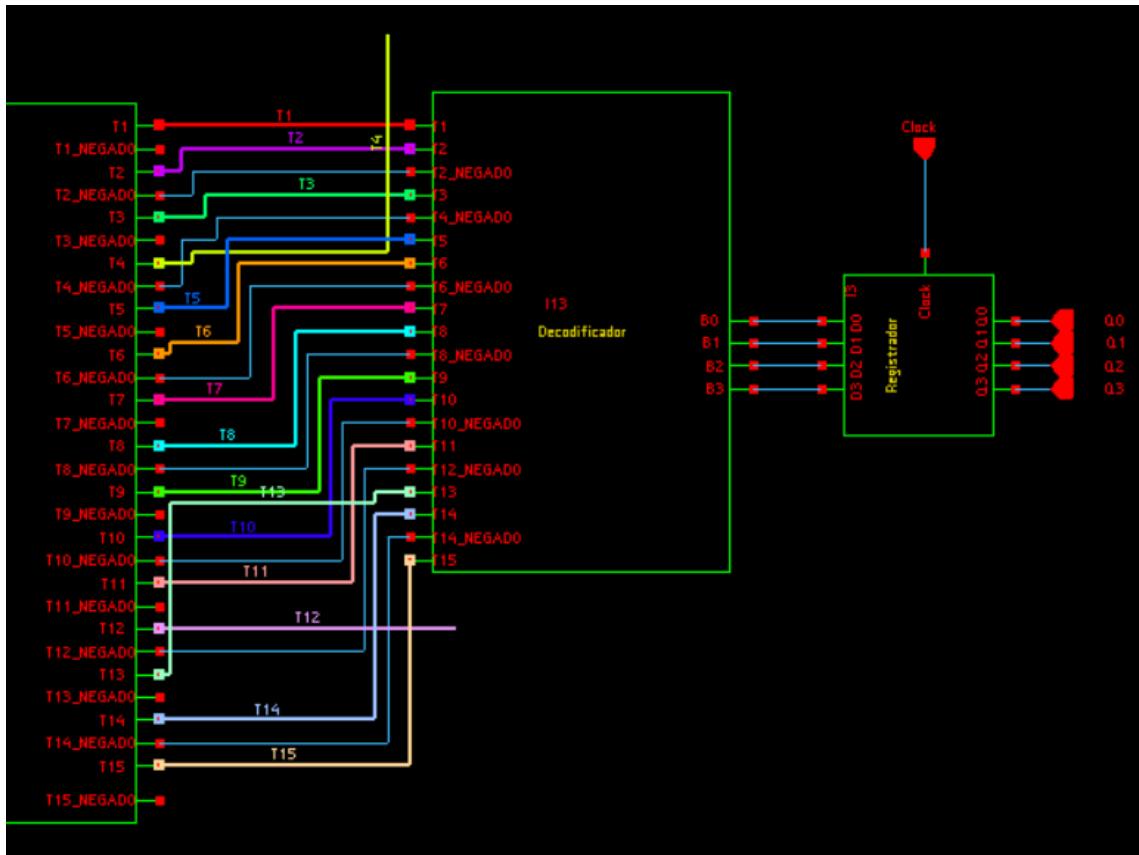


Fig. 36 – Seleção das saídas

Fonte: Os autores

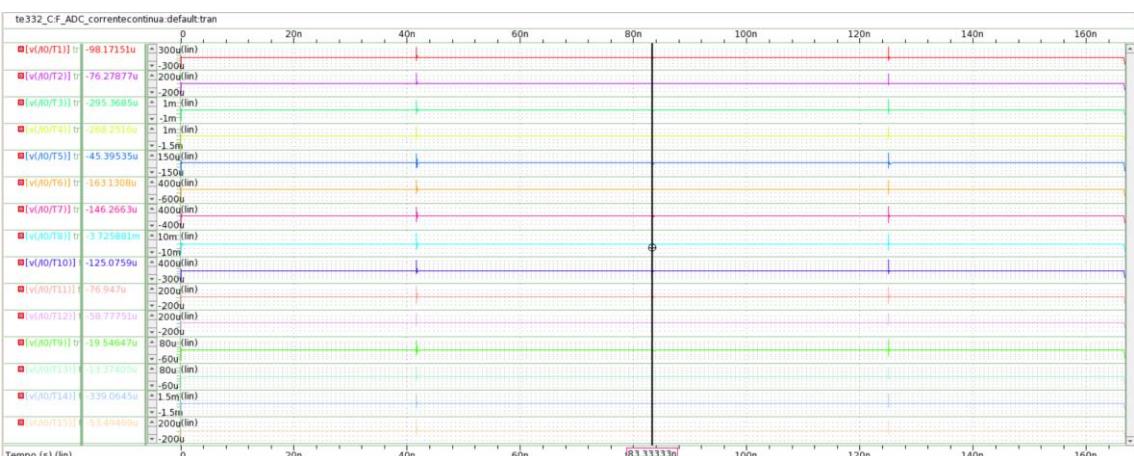


Fig. 37 – Saída dos 15 comparadores destacadas, simulação corrente contínua

Fonte: Os autores

Então é pedido para plotar também as 4 saídas, de Q0 a Q3, como mostrado na Fig. 38. É incluído também o sinal de *clock*. É simulado dois períodos.

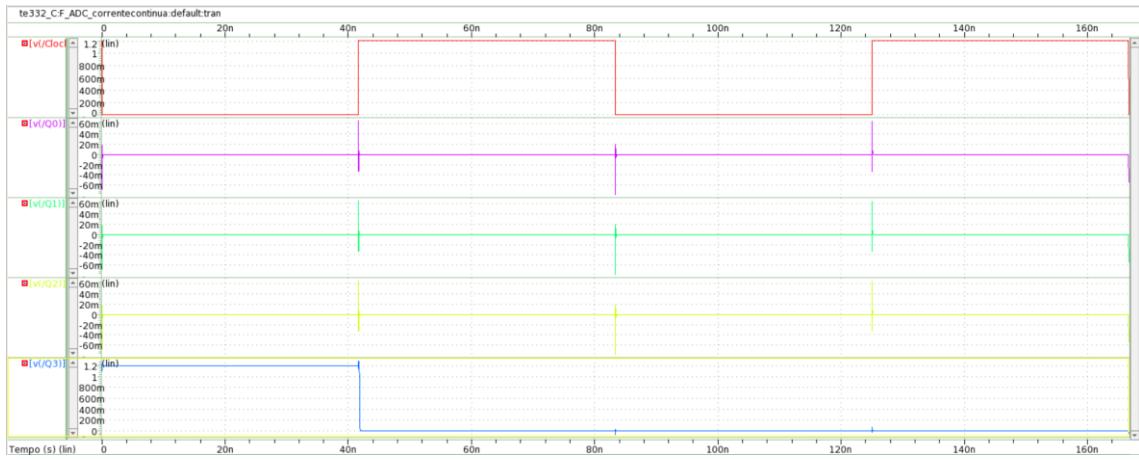


Fig. 38 – Sinais Q0, Q1, Q2 e Q3

Fonte: Os autores

Pode-se ver que Q0, Q1, Q2 e Q3 estão em baixa após a primeira borda de subida do *clock*, já que as saídas do comparador são baixas também, não chegando a nenhum valor de tensão de referência. Destaca-se que no gráfico da Fig. 38 as saídas (em especial, Q3) assumem a posição 0 após a primeira borda de subida do *clock*. Essa oscilação inicial pode ser ocasionada por alguma aleatoriedade no circuito, possivelmente pelo capacitor do circuito de Amostragem e Retenção, que pode estar armazenando energia.

- b) Então são pedidas 15 simulações com outros valores de tensão de entrada enunciadas. Serão mostrados o sinal de T1 – T5, o sinal de Q0 até Q3 e o sinal de *clock* de cada simulação, em seu respectivo conjunto de figuras, das Fig. 39 até Fig. 68. Após cada alteração no valor de entrada é indicado a posição da saída do comparador, bem como a saída de Q0 até Q3. É indicado somente a posição alta, interpretando que as demais saídas não mencionadas estão em baixa. Os sinais de Q0 a Q3 são marcados com *panels* arbitrariamente após a primeira borda de subida do *clock*.

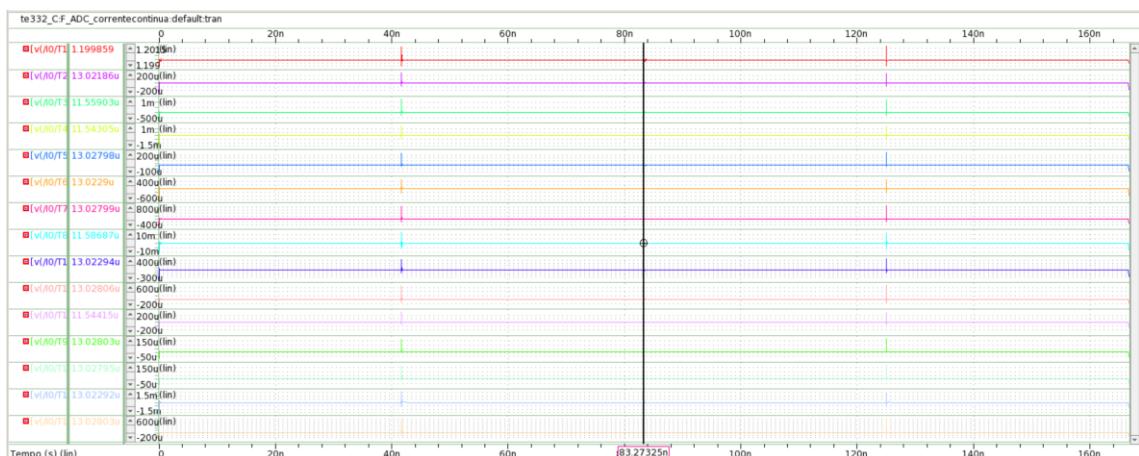


Fig. 39 - T1 – T15 com 3Vdd/32

Fonte: Os autores

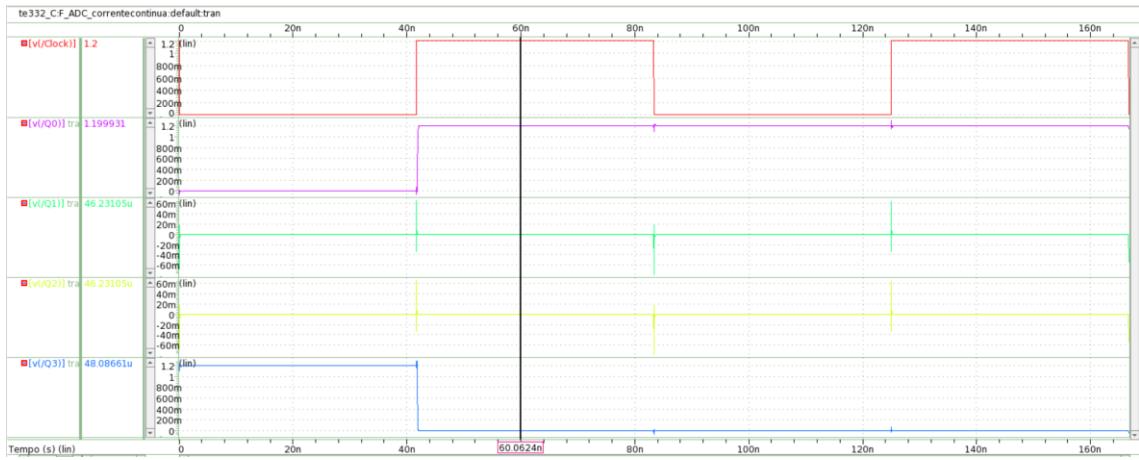


Fig. 40 - Q0 – Q3 com 3Vdd/32

Fonte: Os autores

T1 – alto  
Q0 - alto

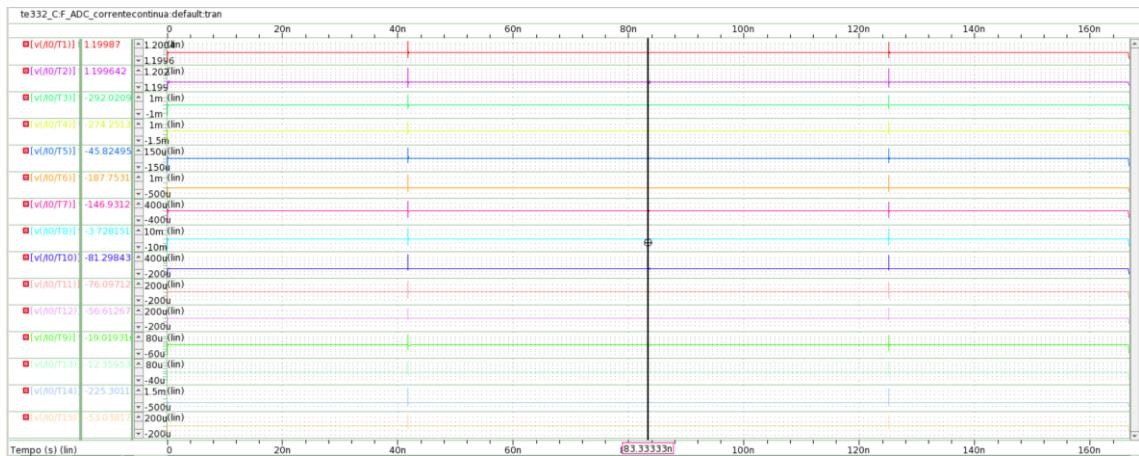


Fig. 41 - T1 – T15 com 5Vdd/32

Fonte: Os autores

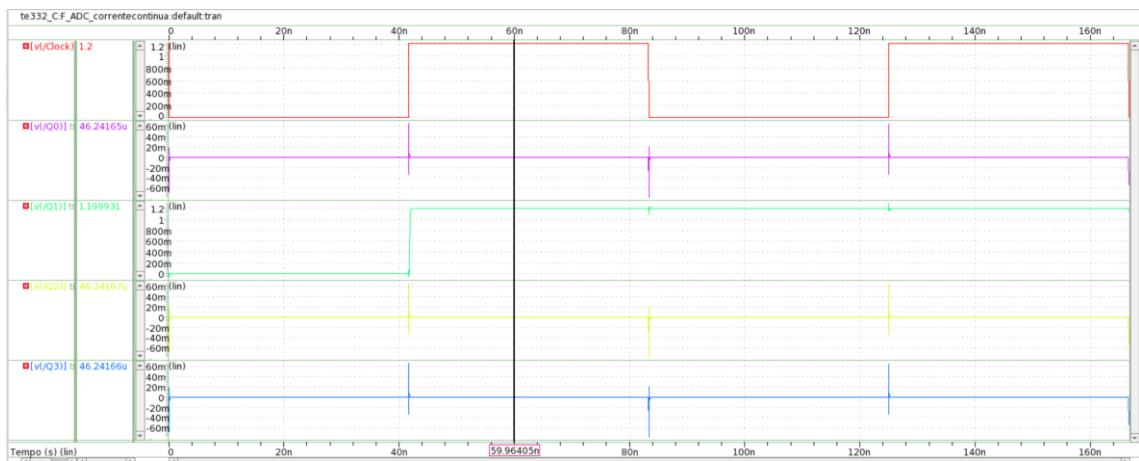


Fig. 42 - Q0 – Q3 com 5Vdd/32

Fonte: Os autores

T1 e T2 – alto

## Q1 – alto

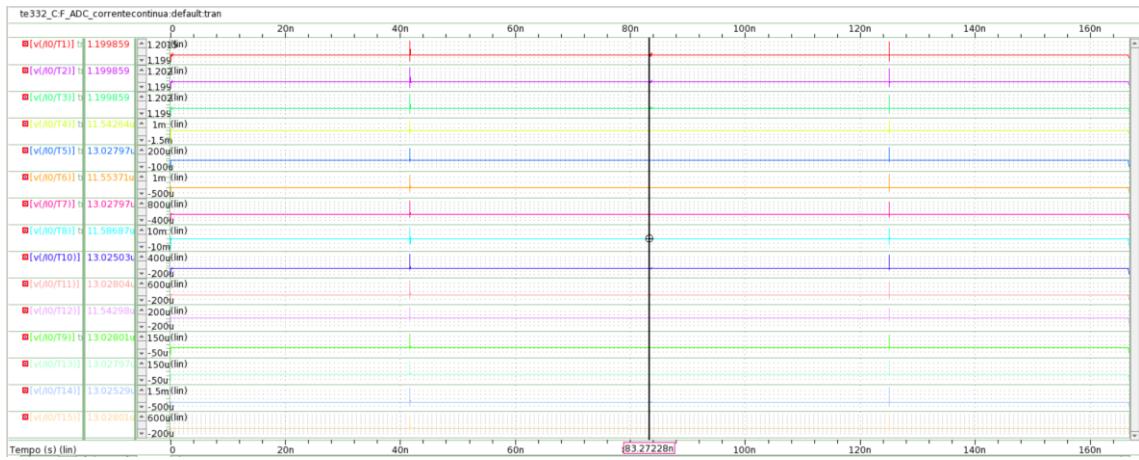


Fig. 43 - T1 – T15 com 7Vdd/32

Fonte: Os autores

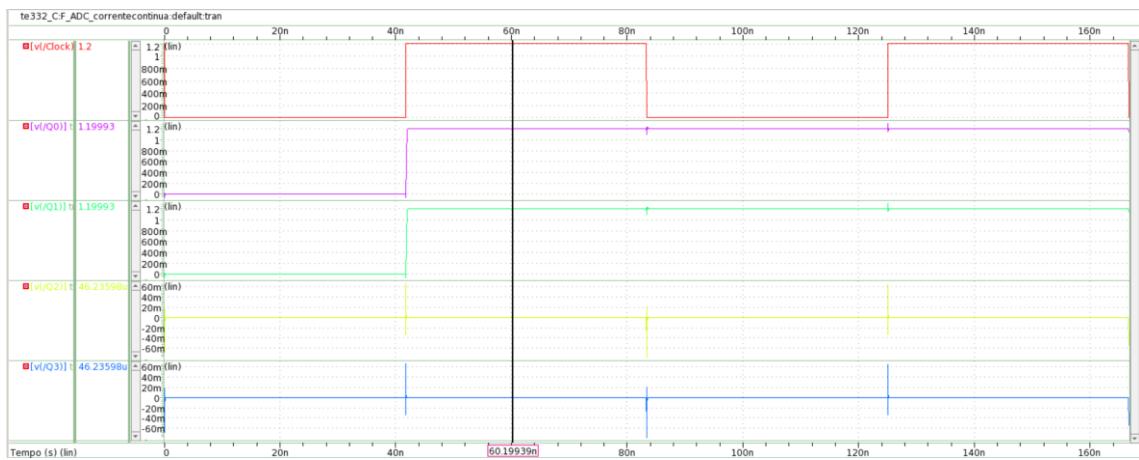


Fig. 44 - Q0 – Q3 com 7Vdd/32

Fonte: Os autores

T1, T2 e T3 – alto  
Q0 e Q1 - alto



Fig. 45 - T1 – T15 com 9Vdd/32

Fonte: Os autores

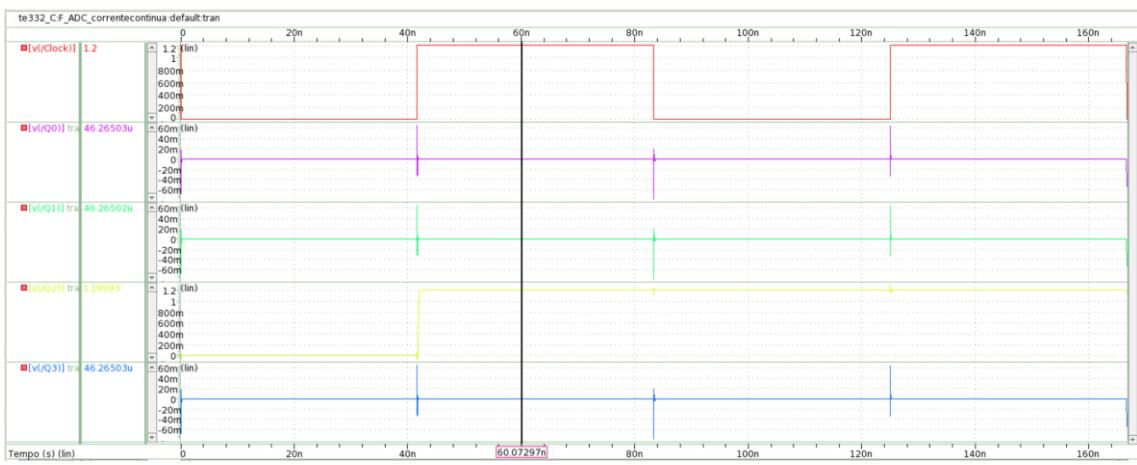


Fig. 46 - Q0 – Q3 com 9Vdd/32

Fonte: Os autores

T1, T2, T3 e T4 – alto

Q2 - alto



Fig. 47 - T1 – T15 com 11Vdd/32

Fonte: Os autores

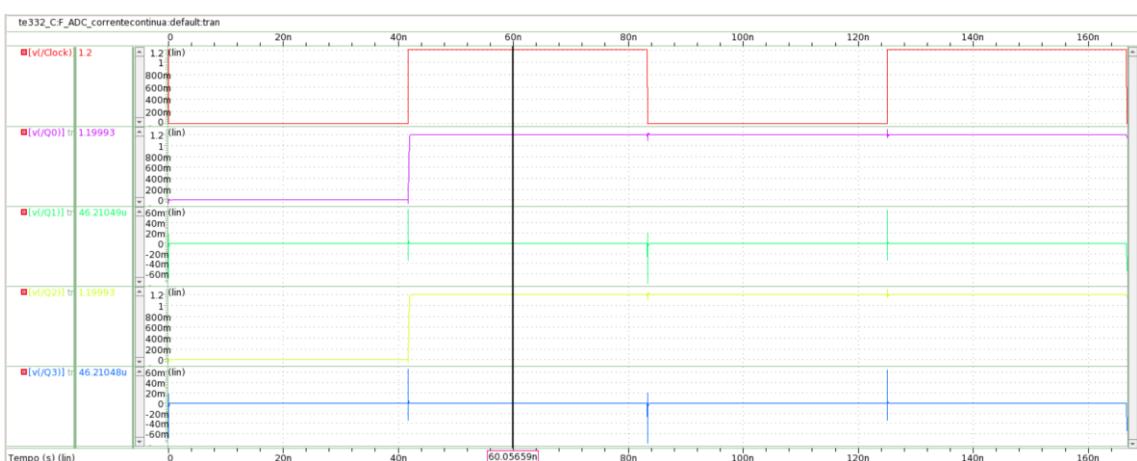


Fig. 48 - Q0 – Q3 com 11Vdd/32

Fonte: Os autores

T1, T2, T3, T4 e T5 – alto  
Q0 e Q2 - alto

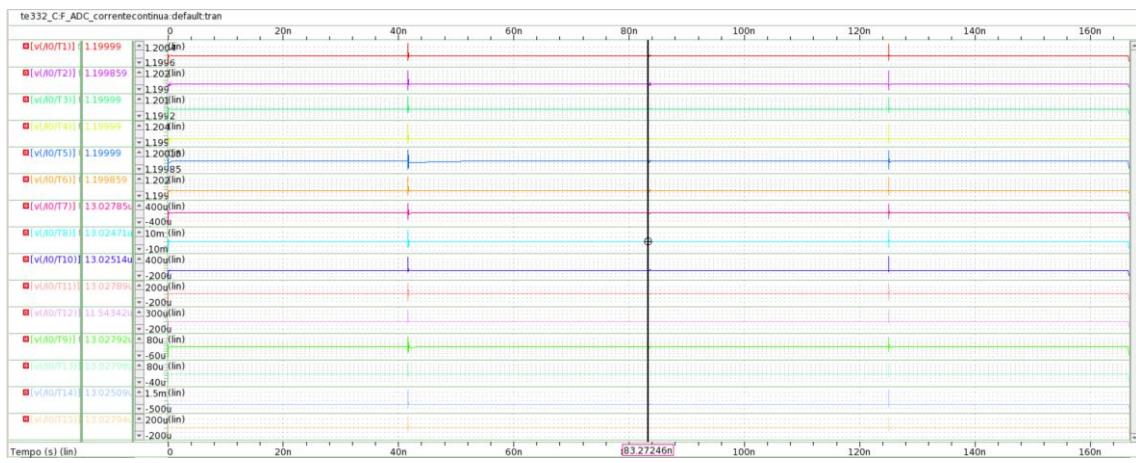


Fig. 49 - T1 – T15 com 13Vdd/32

Fonte: Os autores

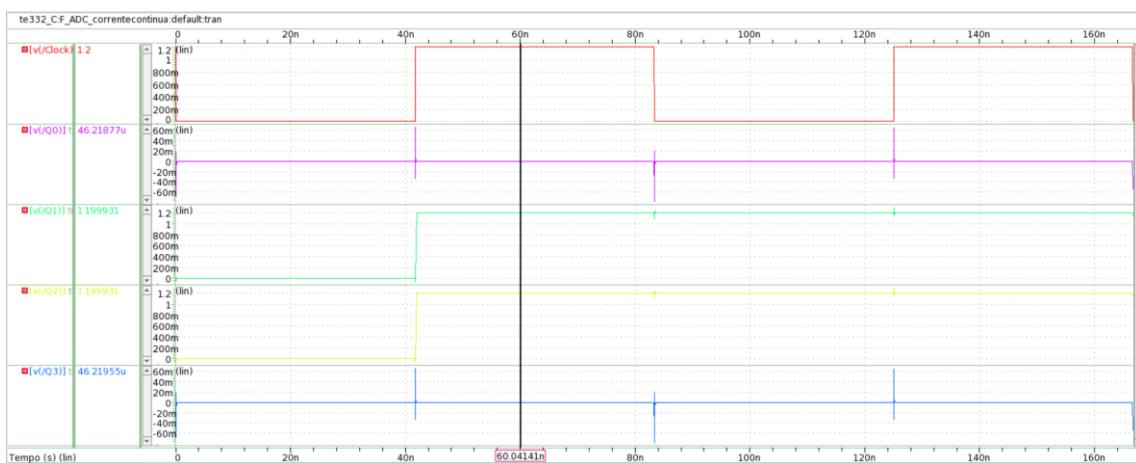


Fig. 50 - Q0 – Q3 com 13Vdd/32

Fonte: Os autores

T1, T2, T3, T4, T5 e T6 – alto  
Q1 e Q2 - alto

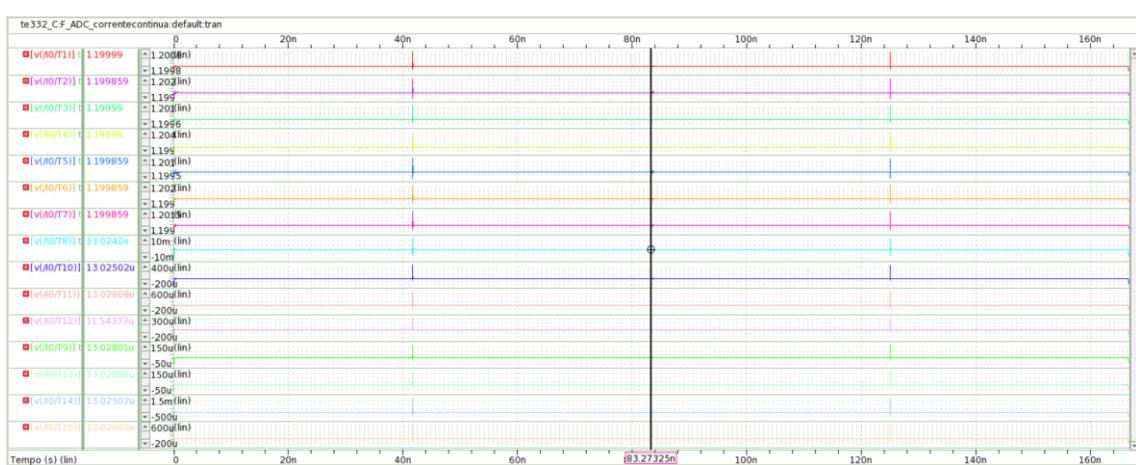


Fig. 51 - T1 – T15 com 15Vdd/32  
Fonte: Os autores

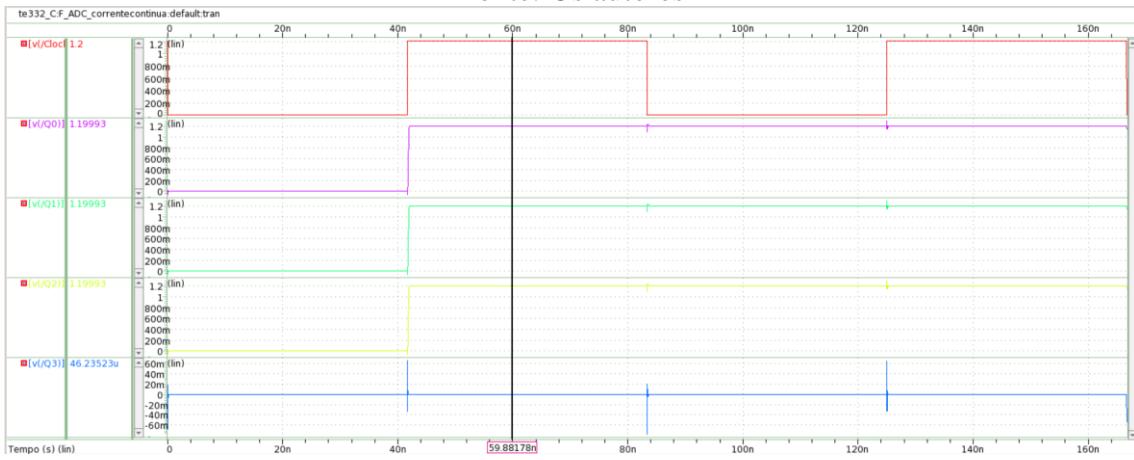


Fig. 52 - Q0 – Q3 com 15Vdd/32  
Fonte: Os autores

T1, T2, T3, T4, T5, T6 e T7 – alto  
Q0, Q1 e Q2 - alto

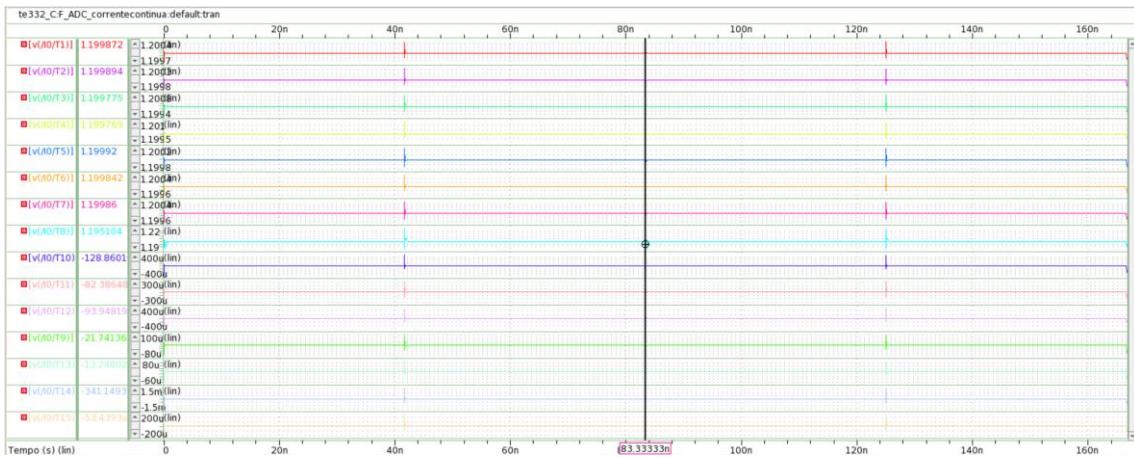


Fig. 53 - T1 – T15 com 17Vdd/32  
Fonte: Os autores

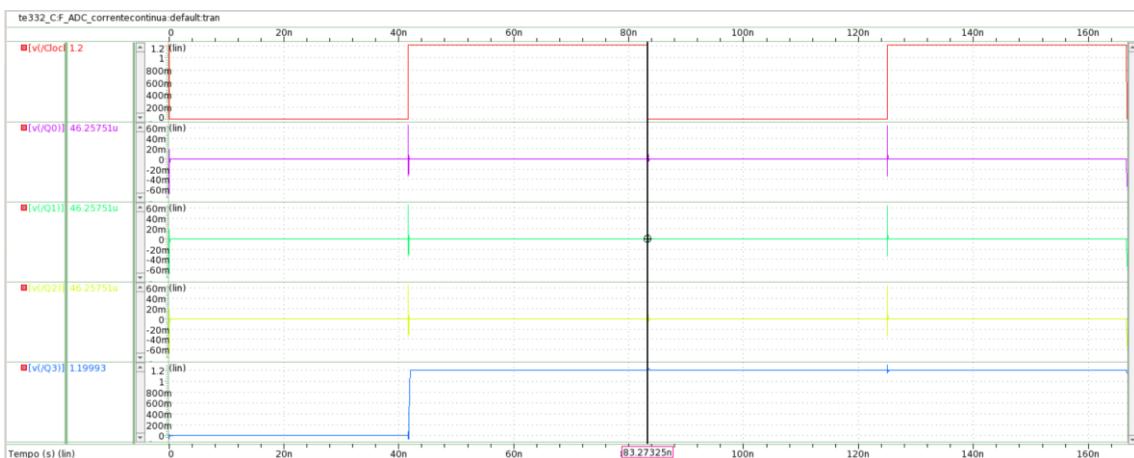


Fig. 54 - Q0 – Q3 com 17Vdd/32  
Fonte: Os autores

T1, T2, T3, T4, T5, T6, T7 e T8 – alto  
Q3 - alto

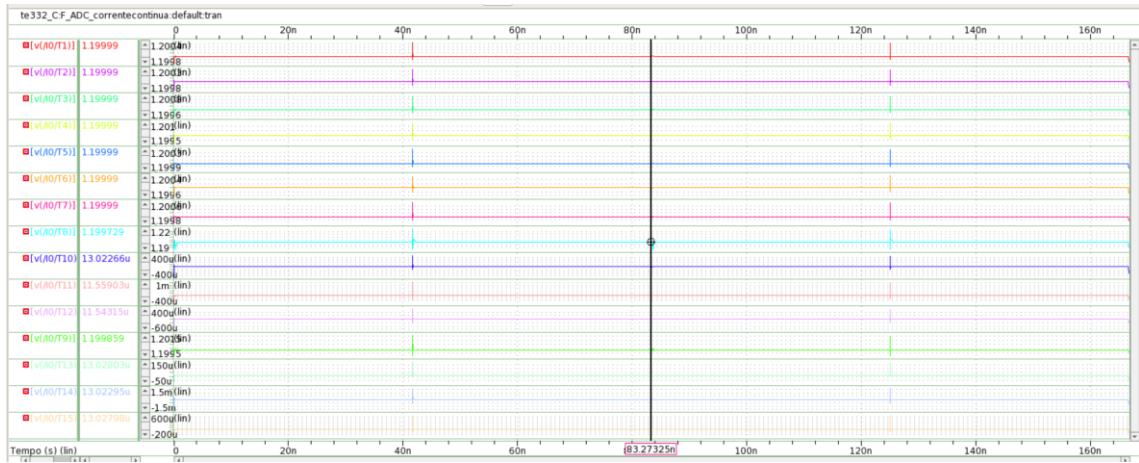


Fig. 55 - T1 – T15 com 19Vdd/32  
Fonte: Os autores

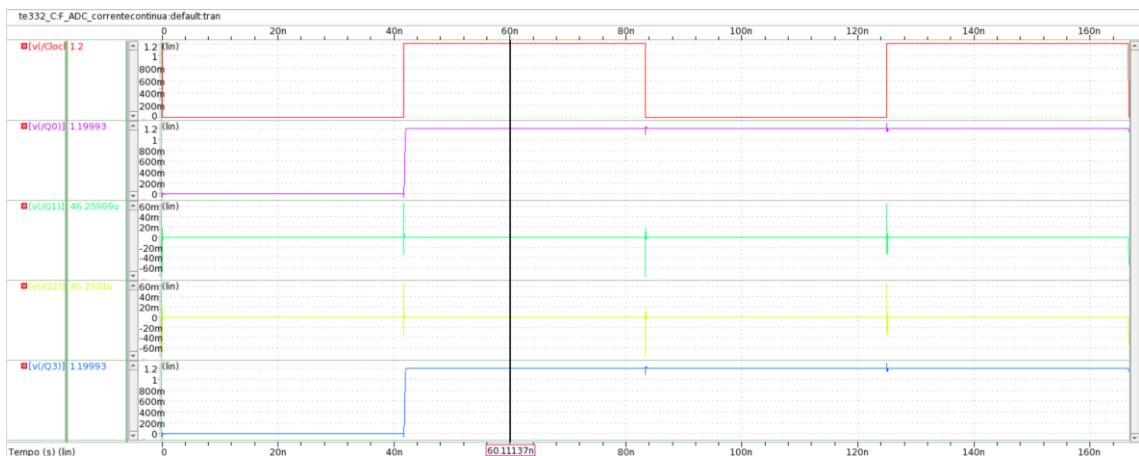


Fig. 56 - Q0 – Q3 com 19Vdd/32  
Fonte: Os autores

T1, T2, T3, T4, T5, T6, T7, T8 e T9 – alto (obs: T9 não está em sequência na lista)  
Q0 e Q3 - alto

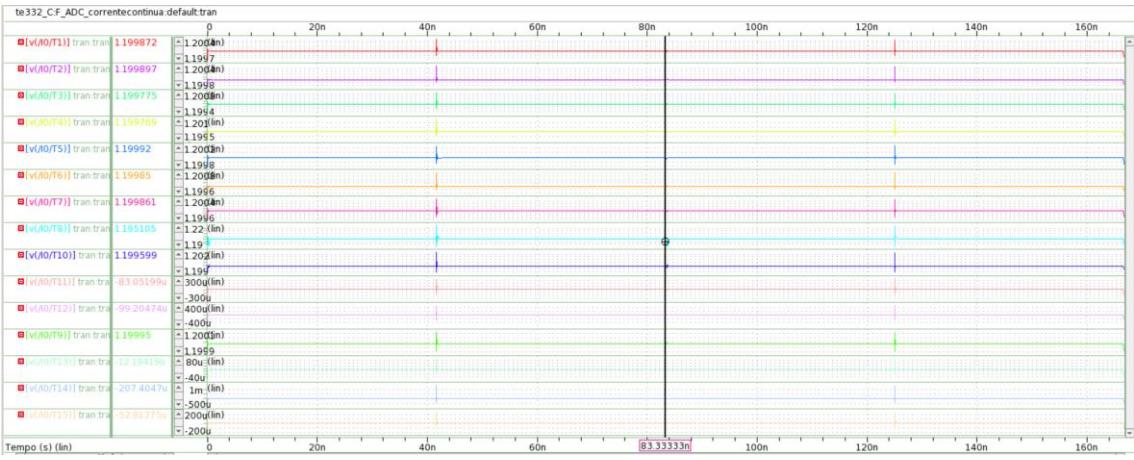


Fig. 57 - T1 – T15 com 21Vdd/32  
Fonte: Os autores

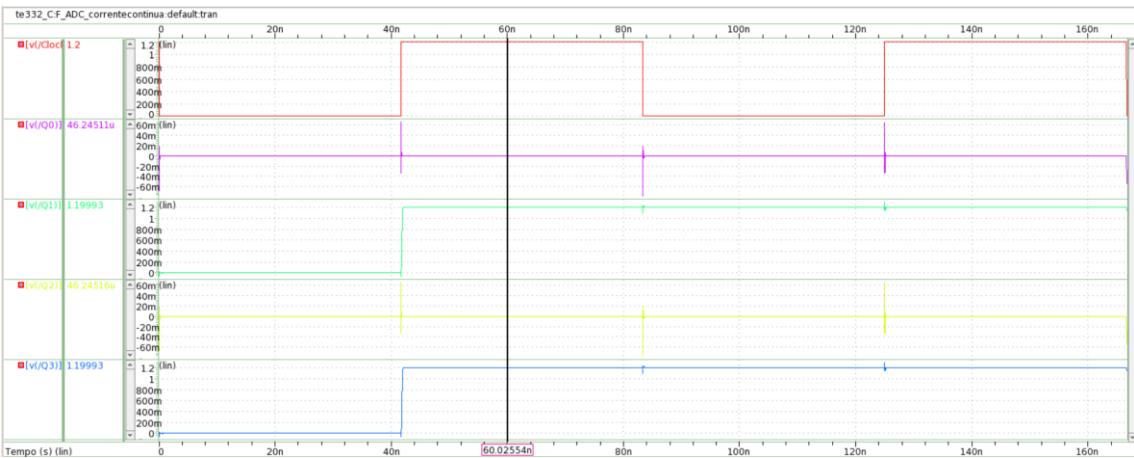


Fig. 58 - Q0 – Q3 com 21Vdd/32  
Fonte: Os autores

T1, T2, T3, T4, T5, T6, T7, T8, T9 e T10 – alto  
Q1 e Q3 - alto

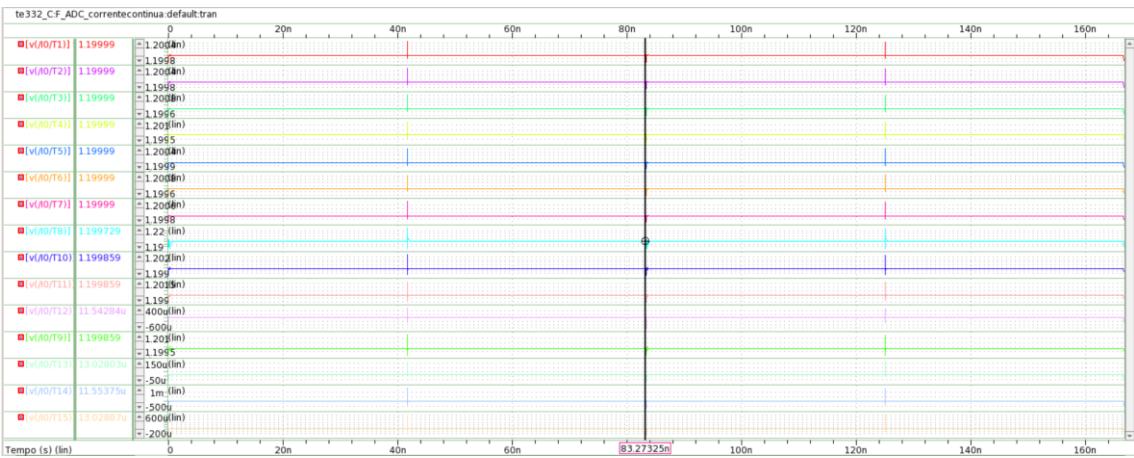


Fig. 59 - T1 – T15 com 23Vdd/32  
Fonte: Os autores

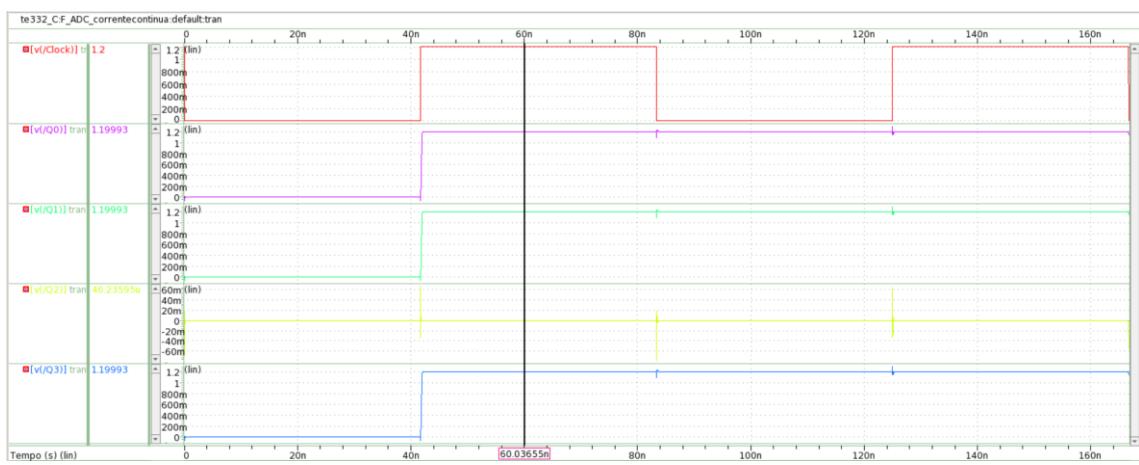


Fig. 60 - Q0 – Q3 com 23Vdd/32  
Fonte: Os autores

T1, T2, T3, T4, T5, T6, T7, T8, T9, T10 e T11 – alto  
Q0, Q1 e Q3 - alto

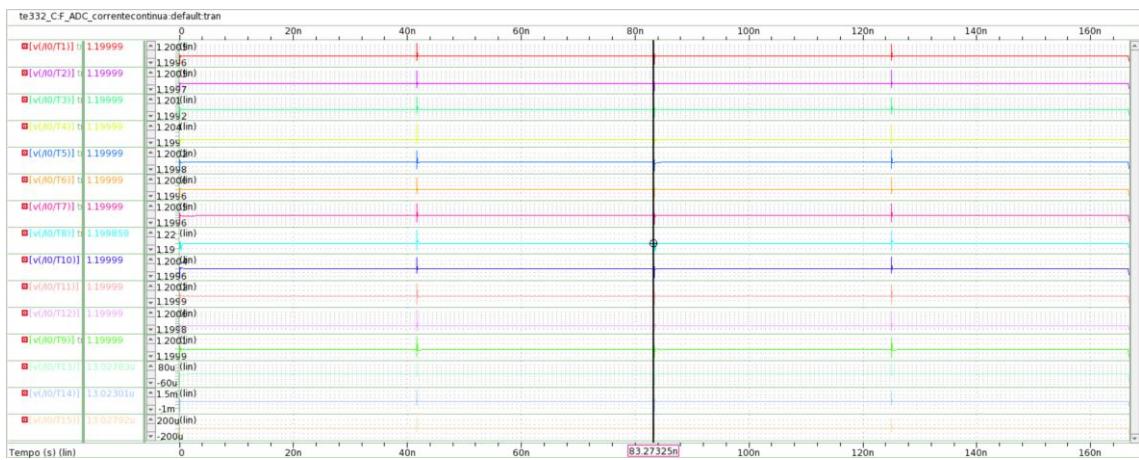


Fig. 61 - T1 – T15 com 25Vdd/32  
Fonte: Os autores

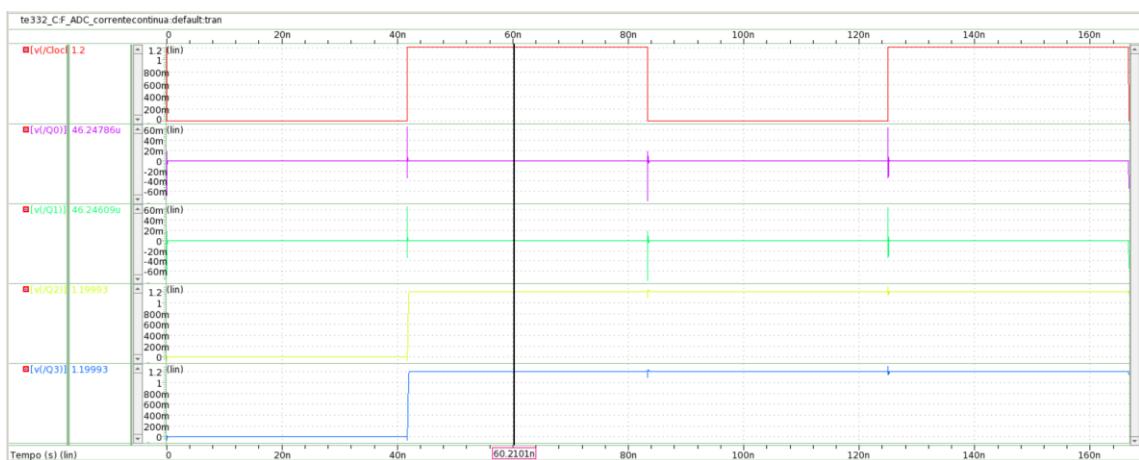


Fig. 62 - Q0 – Q3 com 25Vdd/32

Fonte: Os autores

T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11 e T12 – alto  
Q2 e Q3 - alto

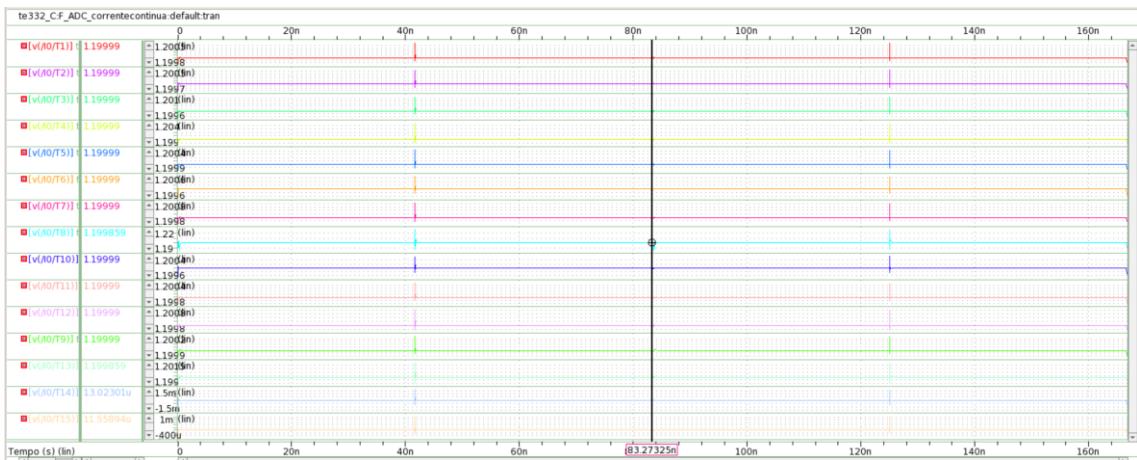


Fig. 63 - T1 – T15 com 27Vdd/32  
Fonte: Os autores

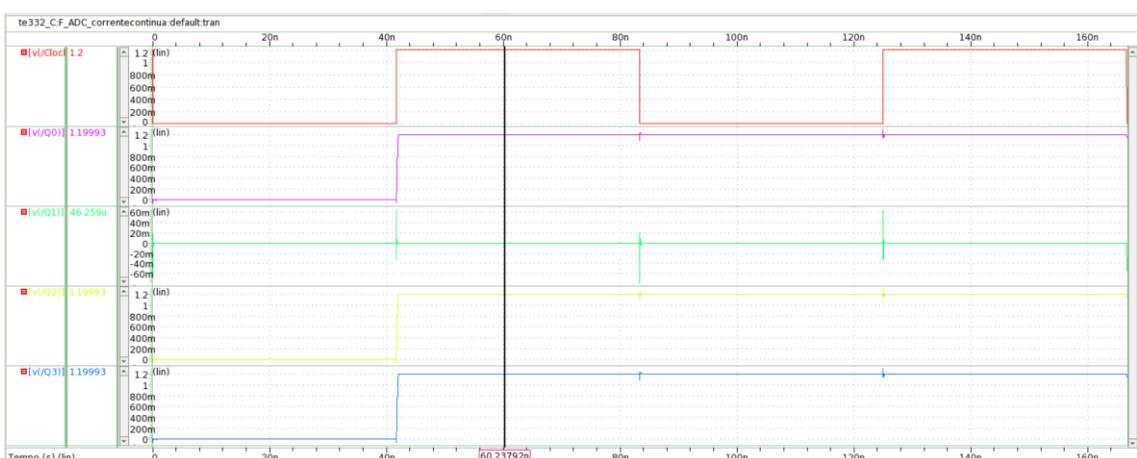


Fig. 64 - Q0 – Q3 com 27Vdd/32  
Fonte: Os autores

T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11, T12 e T13 – alto  
Q0, Q2 e Q3 - alto

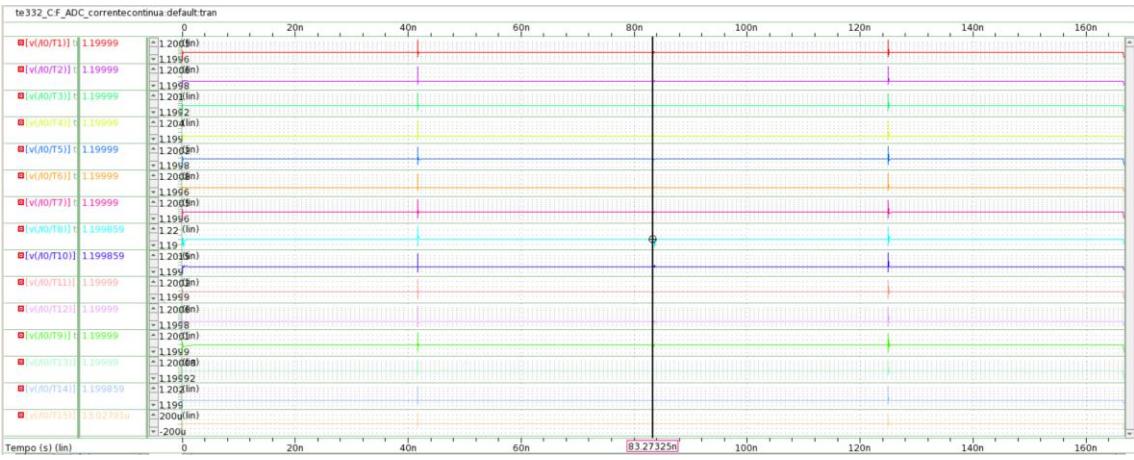


Fig. 65 - T1 – T15 com 29Vdd/32  
Fonte: Os autores

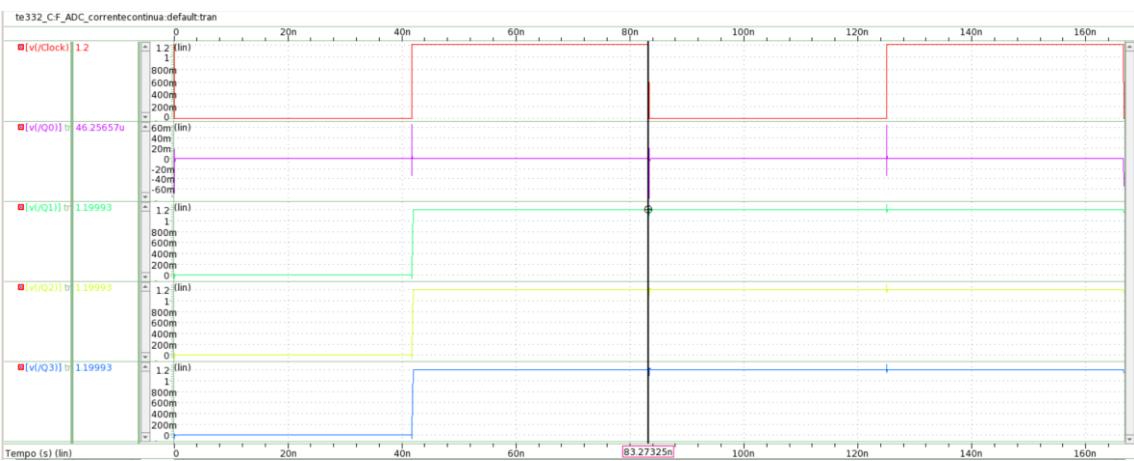


Fig. 66 - Q0 – Q3 com 29Vdd/32  
Fonte: Os autores

T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11, T12, T13 e T14 – alto  
Q1, Q2, Q3 - alto

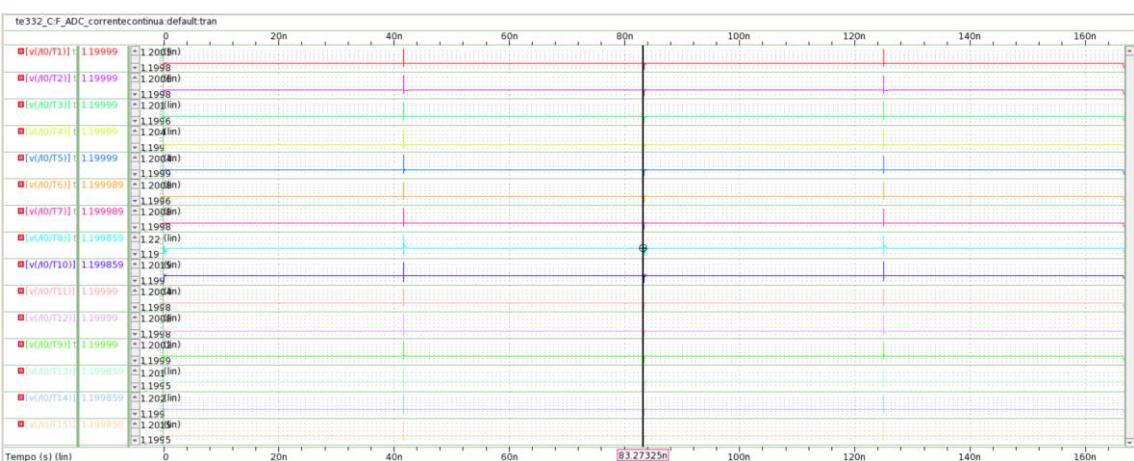


Fig. 67 - T1 – T15 com 31Vdd/32  
Fonte: Os autores

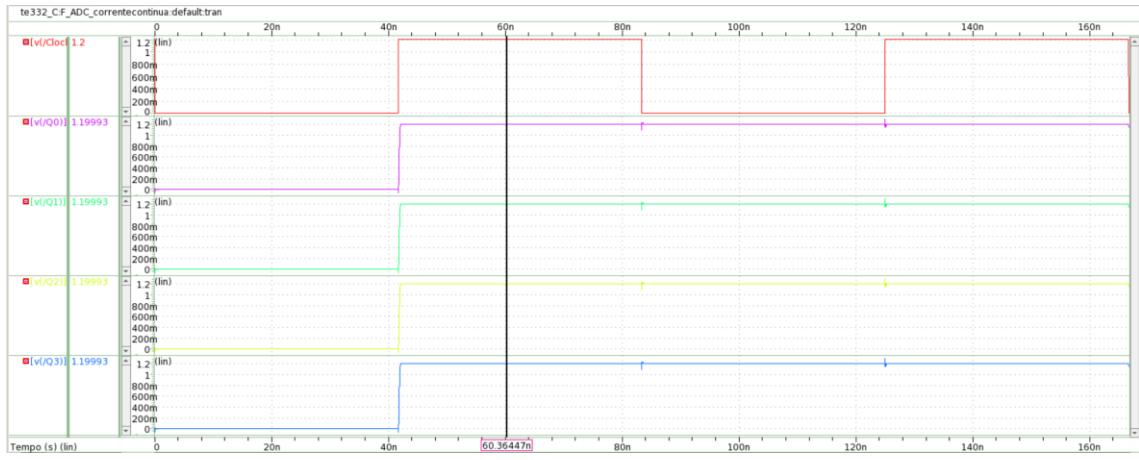


Fig. 68 - Q0 – Q3 com 31Vdd/32

Fonte: Os autores

T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11, T12, T13, T14 e T15 – alto  
Q0, Q1, Q2 e Q3 - alto

Pode-se afirmar, dessa forma, que o circuito opera como esperado, pois a cada vez que um T muda para nível alto, há a alteração esperada na saída do ADC.

### 6.3. TESTE COM ENTRADA TRIANGULAR

- a) Então é pedido para criar um esquemático de teste aplicando um sinal triangular. Essa e demais especificações enunciadas são mostradas na Fig. 69. As especificações da *vpulse* de *Vin* são mostradas na Fig. 70.

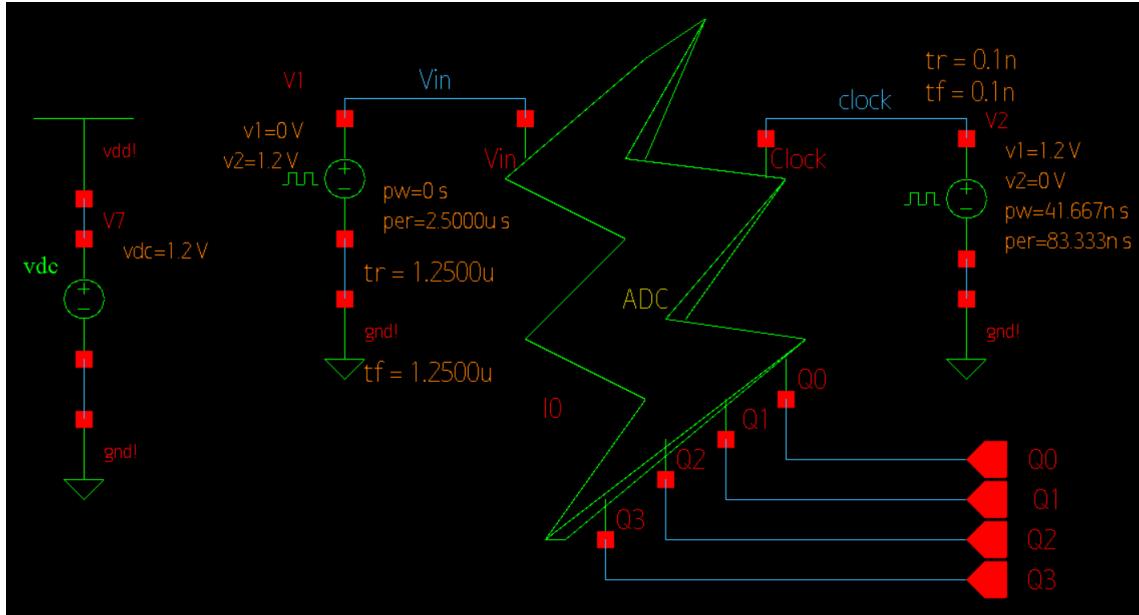


Fig. 69 – Esquemático para simulação triangular

Fonte: Os autores

Prompt	Value
DC Voltage	
Voltage1	0 V
Voltage2	1.2 V
Delay Time	
Rise Time	1.2500u s
Fall Time	1.2500u s
Pulse Width	0 s
Period	2.5000u s
Period Jitter	
Seed	

Fig. 70 – Especificações  
Fonte: Os autores

É simulado então por 1 período ( $1/400k$ ) em transitório e são plotadas a entrada do ADC e suas quatro saídas, como mostrado na Fig. 71.

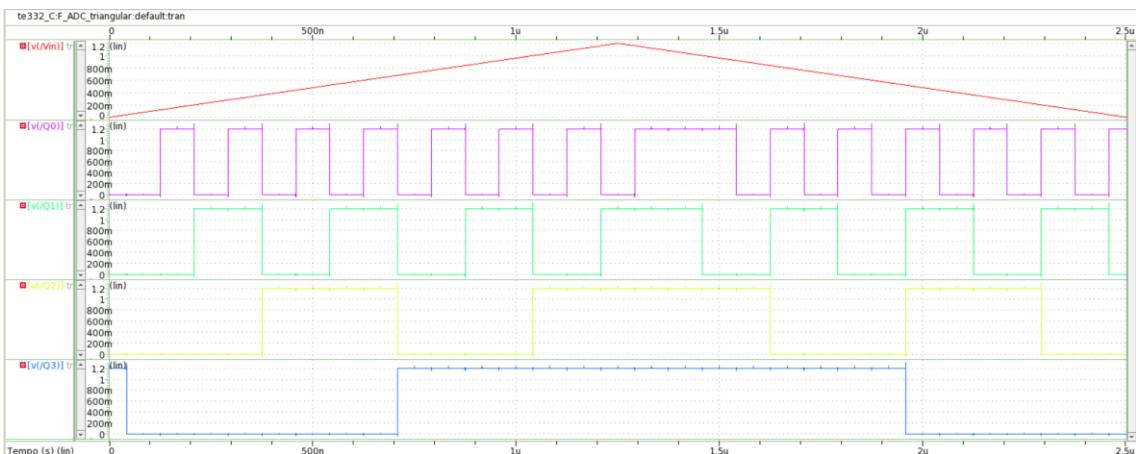


Fig. 71 – Resultados da simulação triangular  
Fonte: Os autores

Como  $Vin$  é variada de 0 até  $Vdd$  (até metade do gráfico mostrado), é esperado que na saída sejam mostradas todas as transições de bits esperadas quando cada tensão de referência é atingida, como ocorre. O mesmo é esperado quando  $Vin$  é variada de  $Vdd$  para 0, regredindo na contagem de bits da metade do gráfico até o seu fim. A cada borda de subida do *clock*, as saídas do ADC refletem o valor aplicado na sua entrada.

- b) Então é pedido para plotar a entrada do comparador e as saídas de T1 até T15. Será mostrado, conforme enunciado, na sequência.

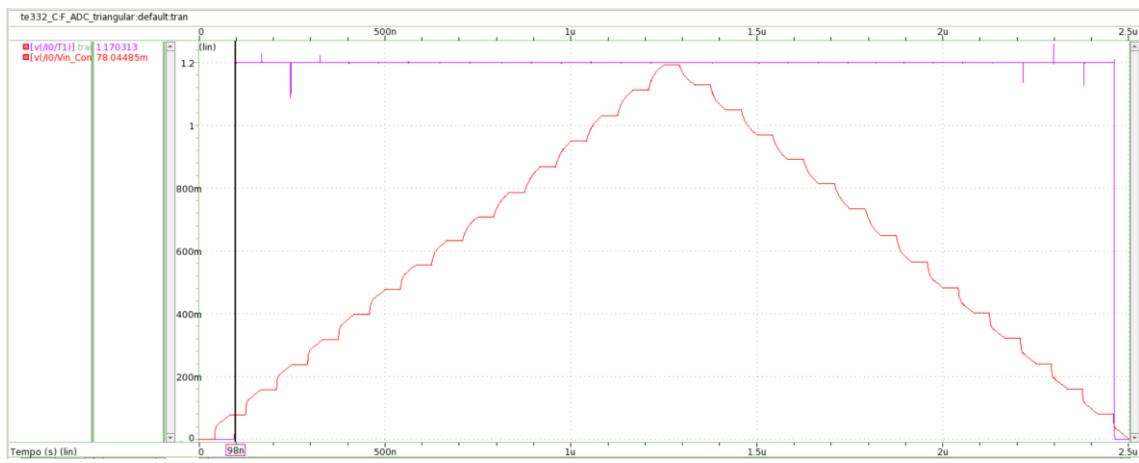


Fig. 72 – Entrada do comparador e saída T1 (subida)

Fonte: Os autores

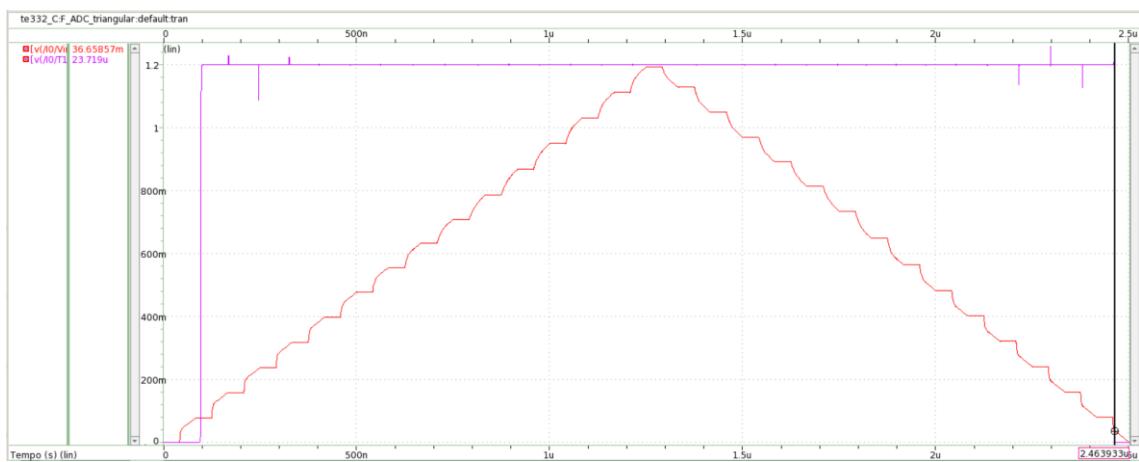


Fig. 73 – Entrada do comparador e saída T1 (descida)

Fonte: Os autores

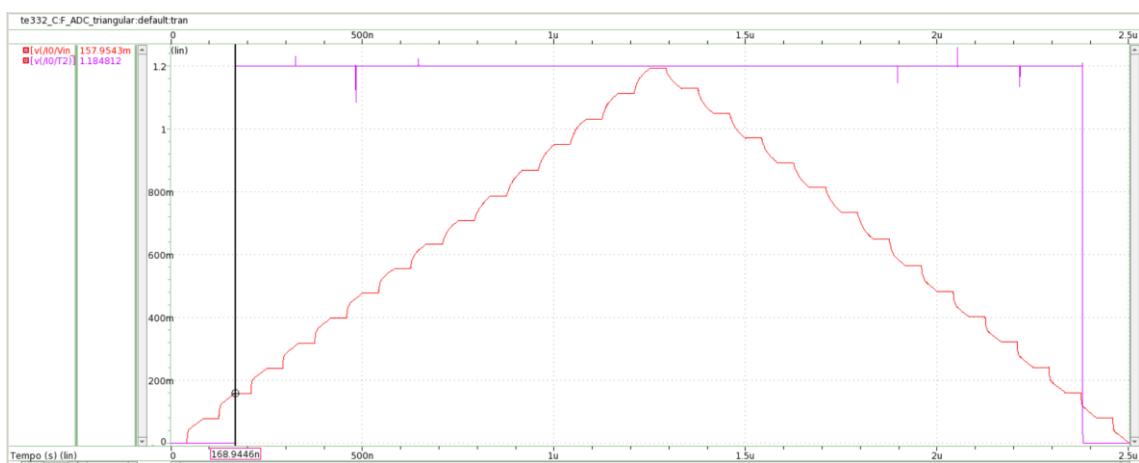


Fig. 74 – Entrada do comparador e saída T2 (subida)

Fonte: Os autores

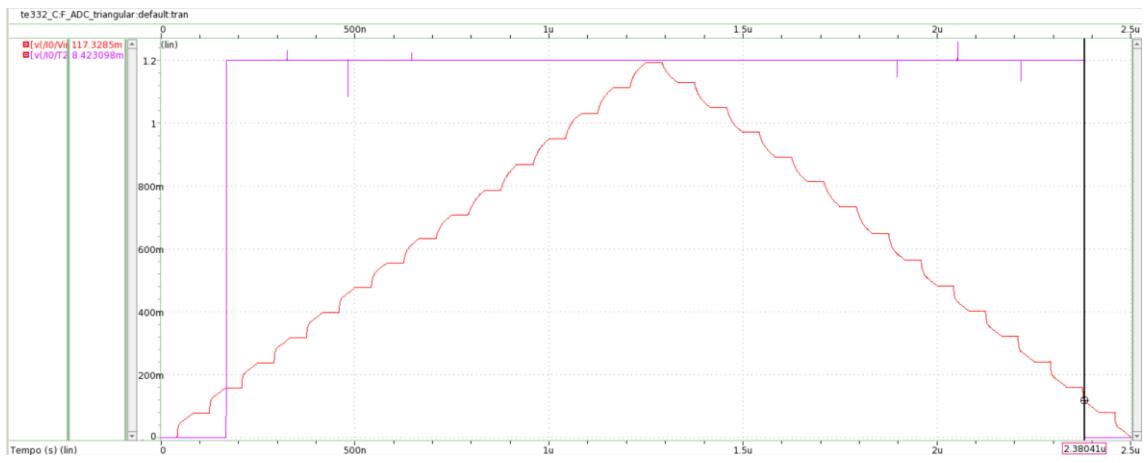


Fig. 75 – Entrada do comparador e saída T2 (descida)  
Fonte: Os autores

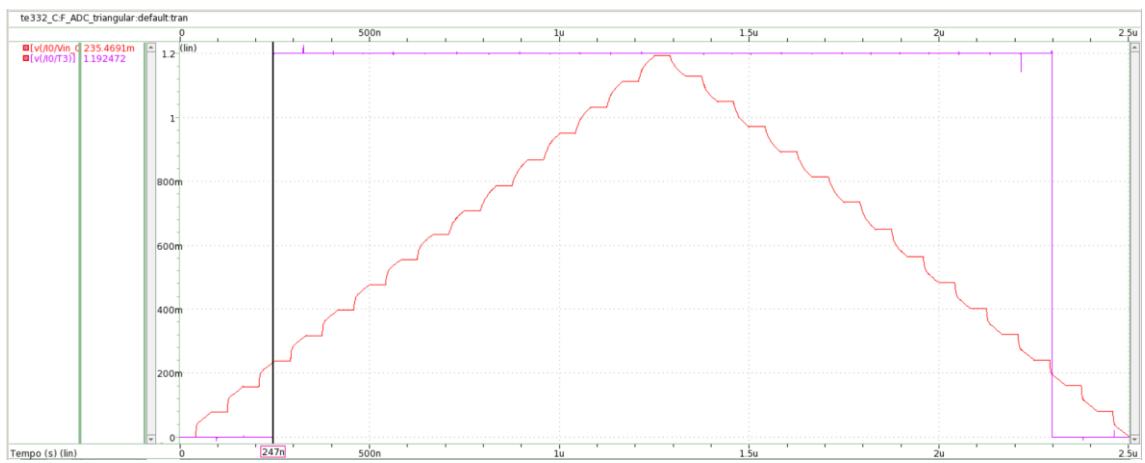


Fig. 76 – Entrada do comparador e saída T3 (subida)  
Fonte: Os autores

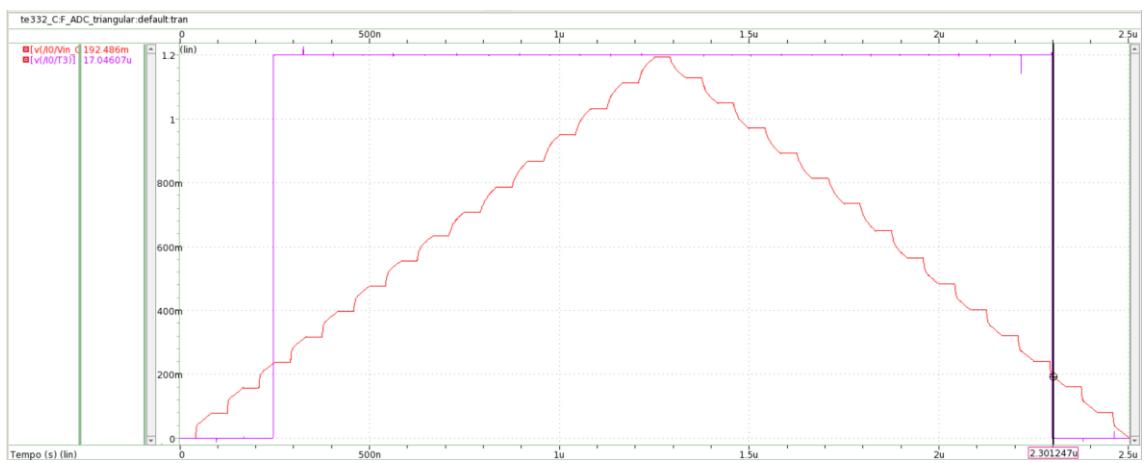


Fig. 77 – Entrada do comparador e saída T3 (descida)  
Fonte: Os autores

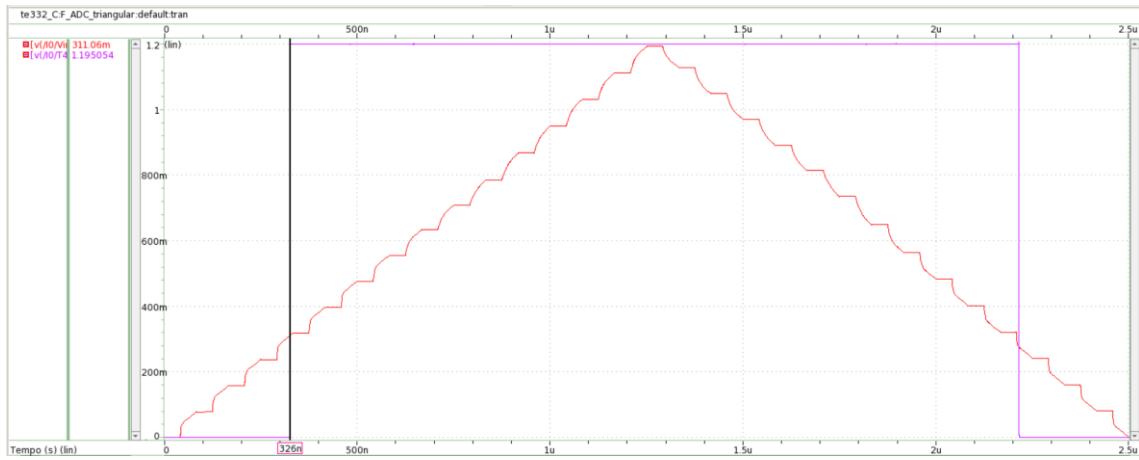


Fig. 78 – Entrada do comparador e saída T4 (subida)

Fonte: Os autores

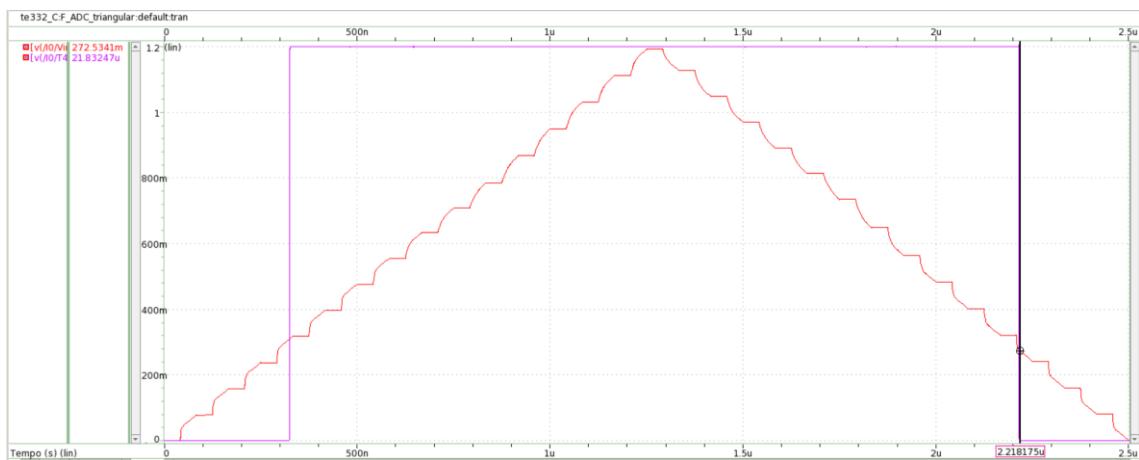


Fig. 79 – Entrada do comparador e saída T4 (descida)

Fonte: Os autores

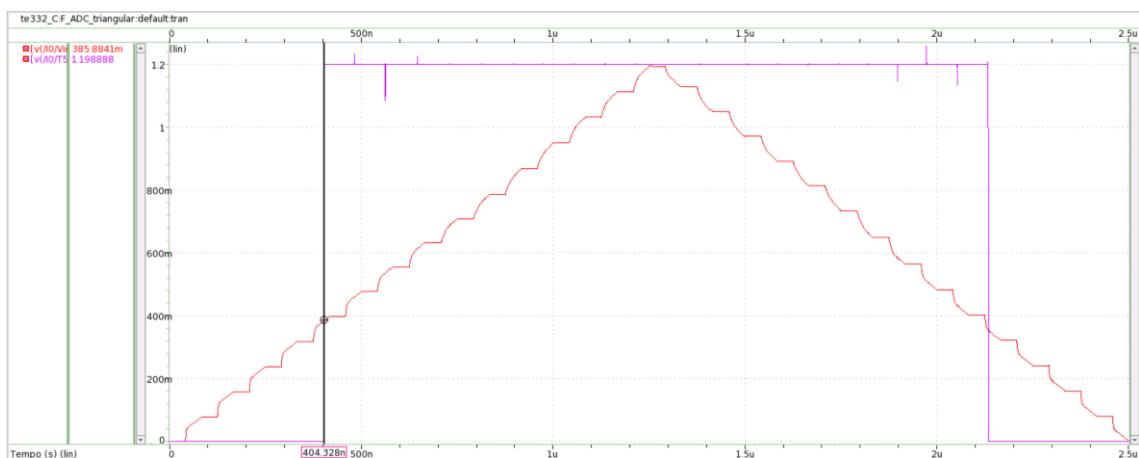


Fig. 80 - Entrada do comparador e saída T5 (subida)

Fonte: Os autores

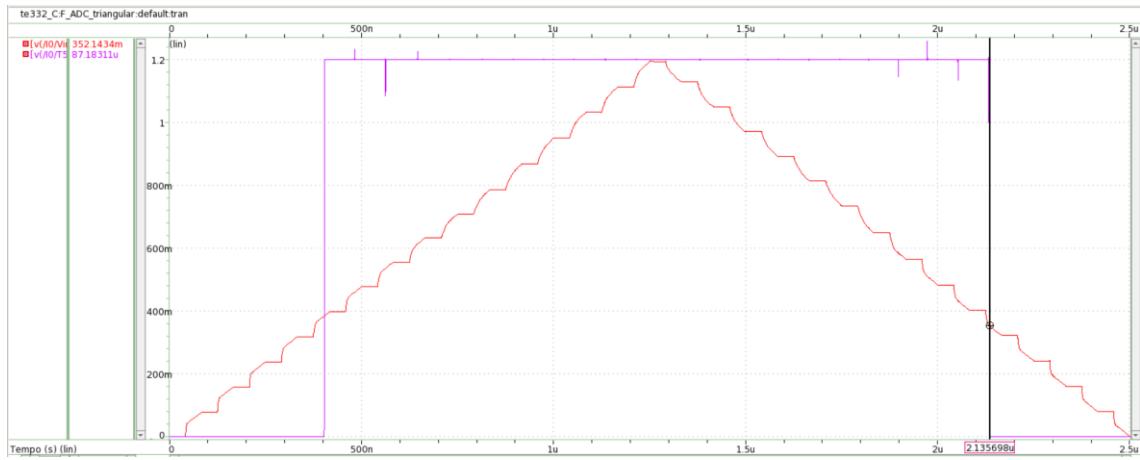


Fig. 81 - Entrada do comparador e saída T5 (descida)

Fonte: Os autores

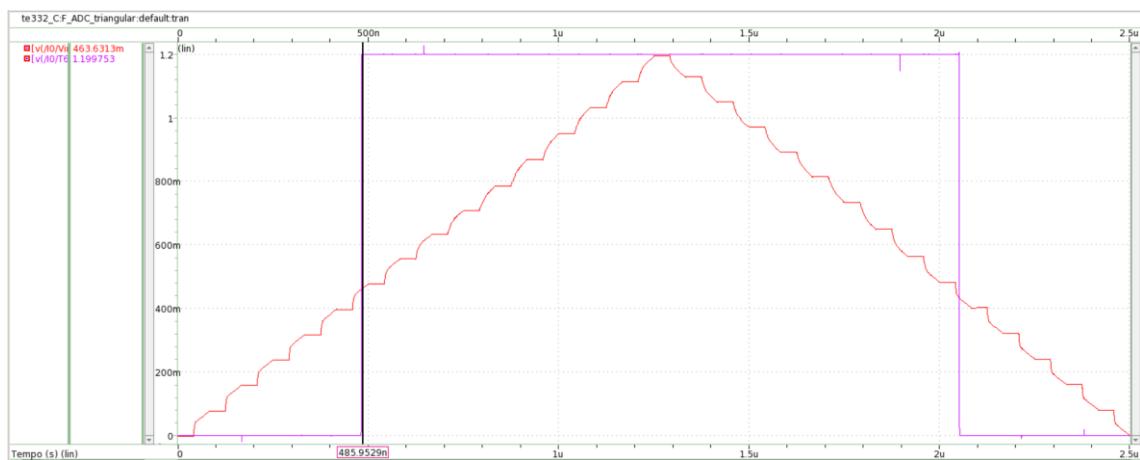


Fig. 82 - Entrada do comparador e saída T6 (subida)

Fonte: Os autores

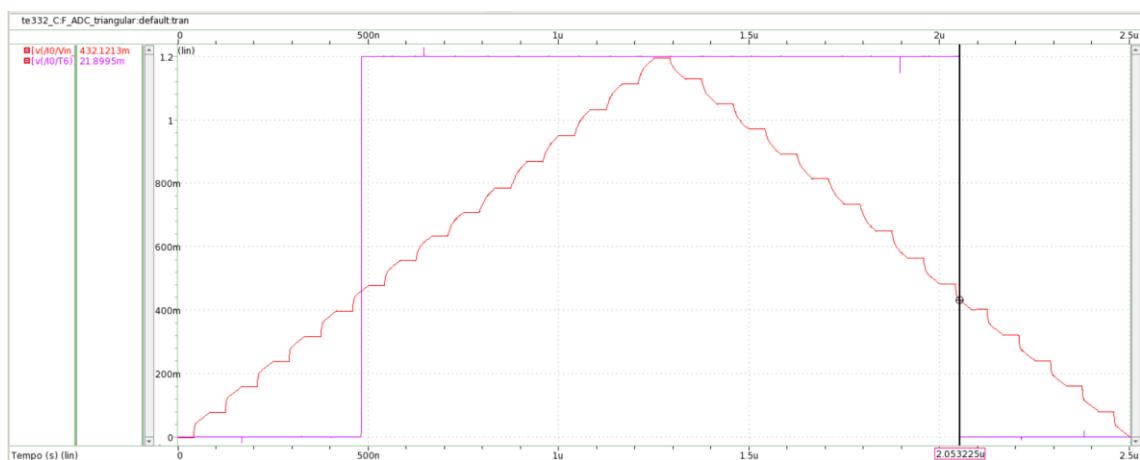


Fig. 83 - Entrada do comparador e saída T6 (descida)

Fonte: Os autores

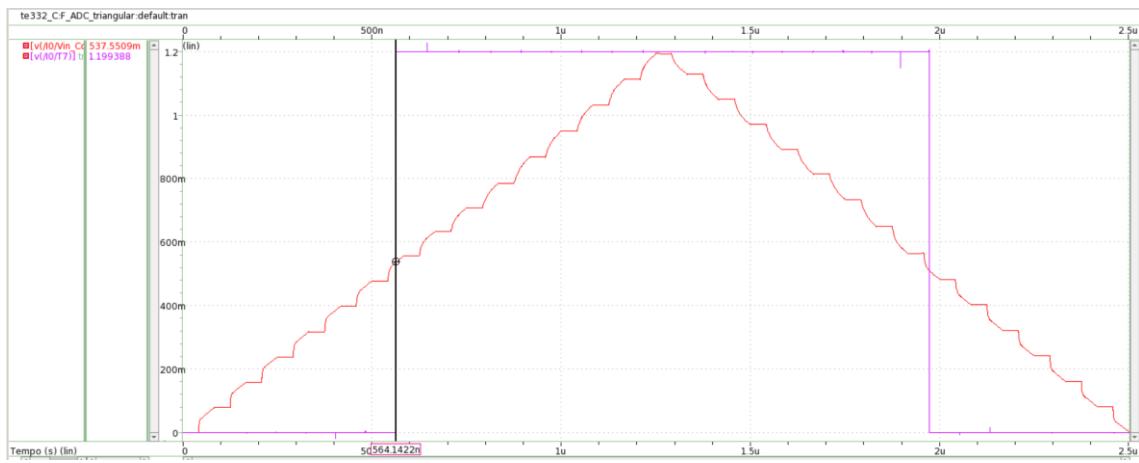


Fig. 84 - Entrada do comparador e saída T7 (subida)

Fonte: Os autores

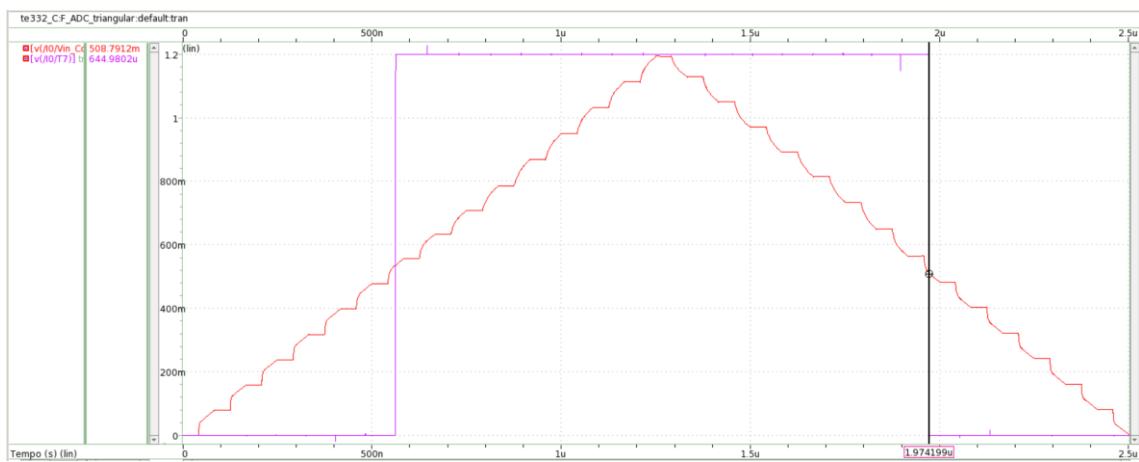


Fig. 85 - Entrada do comparador e saída T7 (descida)

Fonte: Os autores

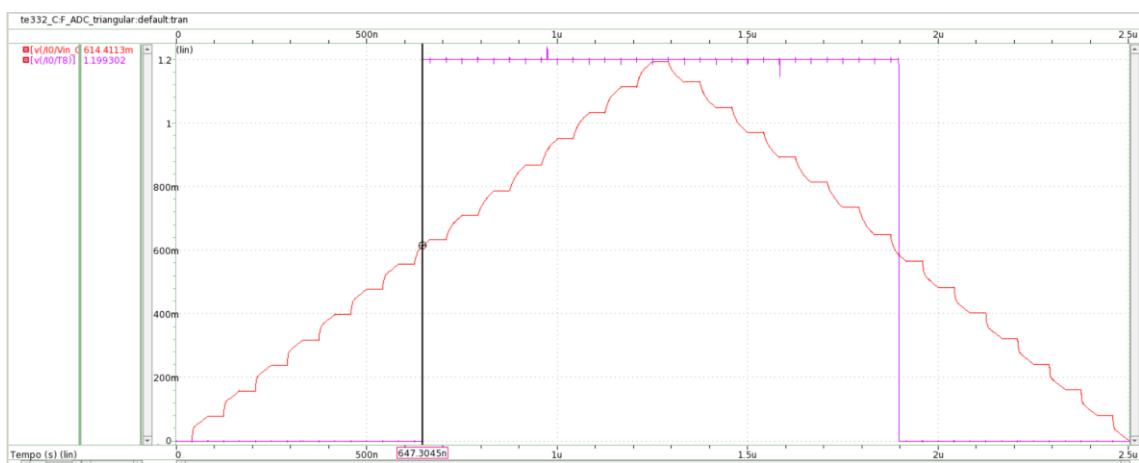


Fig. 86 - Entrada do comparador e saída T8 (subida)

Fonte: Os autores

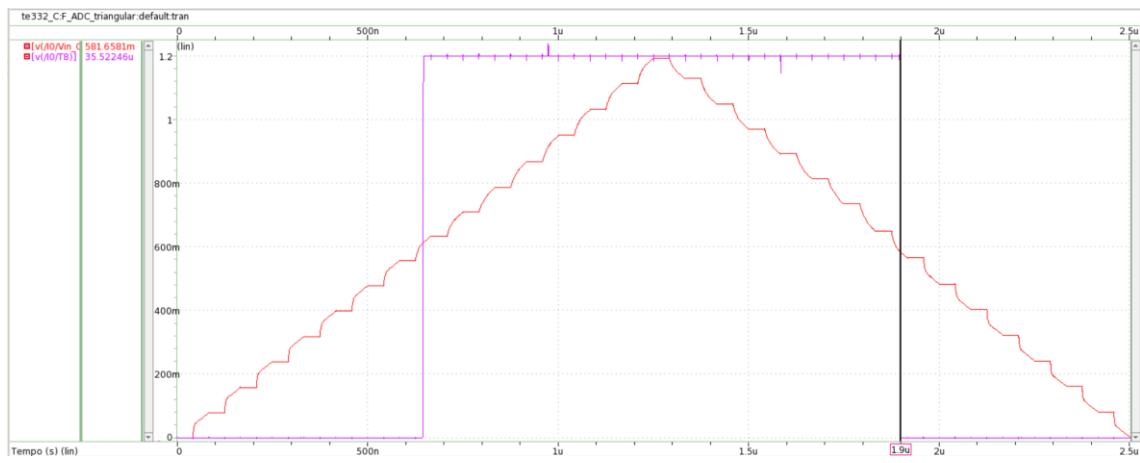


Fig. 87 - Entrada do comparador e saída T8 (descida)  
Fonte: Os autores

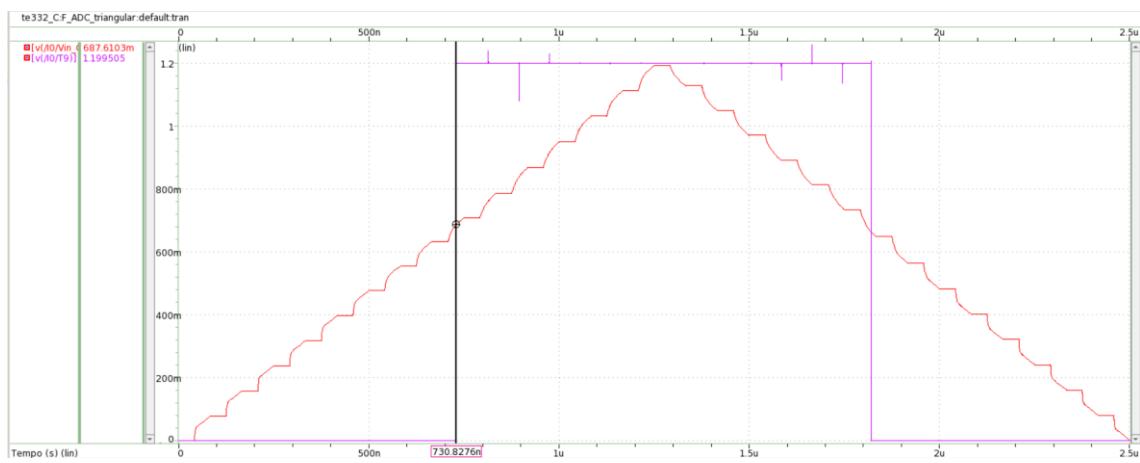


Fig. 88 - Entrada do comparador e saída T9 (subida)  
Fonte: Os autores

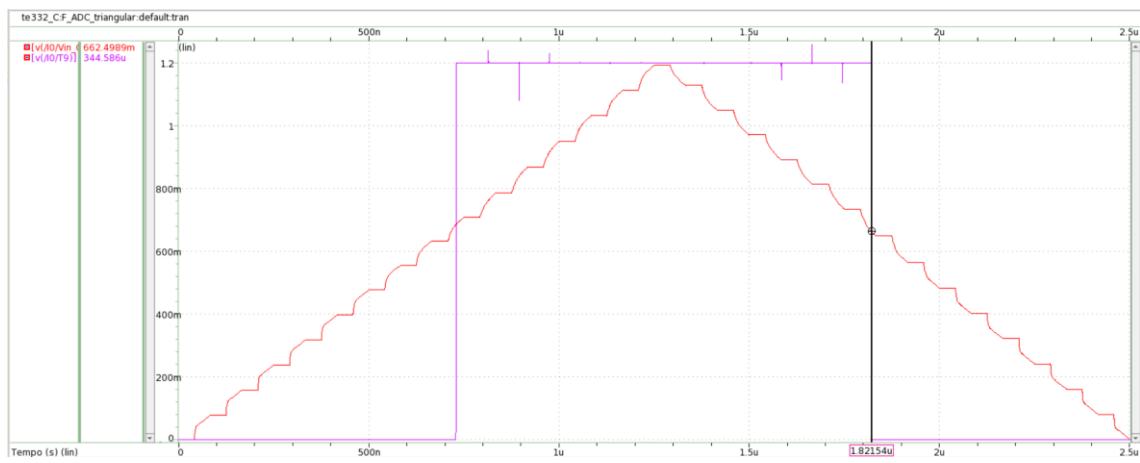


Fig. 89 - Entrada do comparador e saída T9 (descida)  
Fonte: Os autores

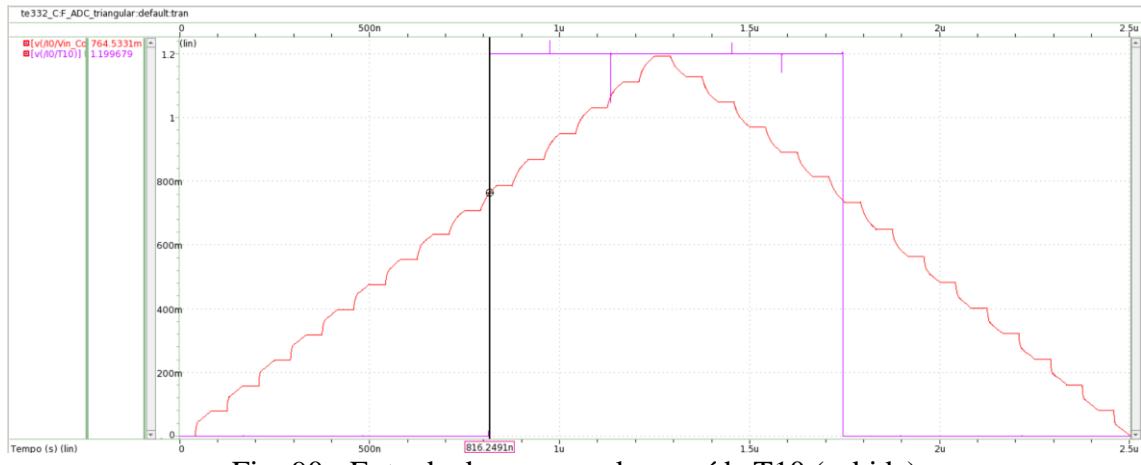


Fig. 90 - Entrada do comparador e saída T10 (subida)  
Fonte: Os autores

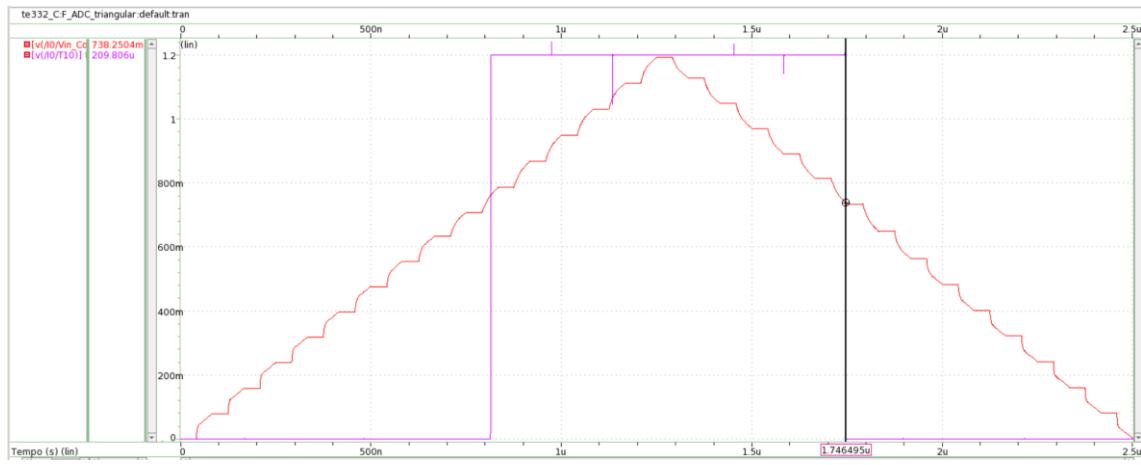


Fig. 91 - Entrada do comparador e saída T10 (descida)  
Fonte: Os autores

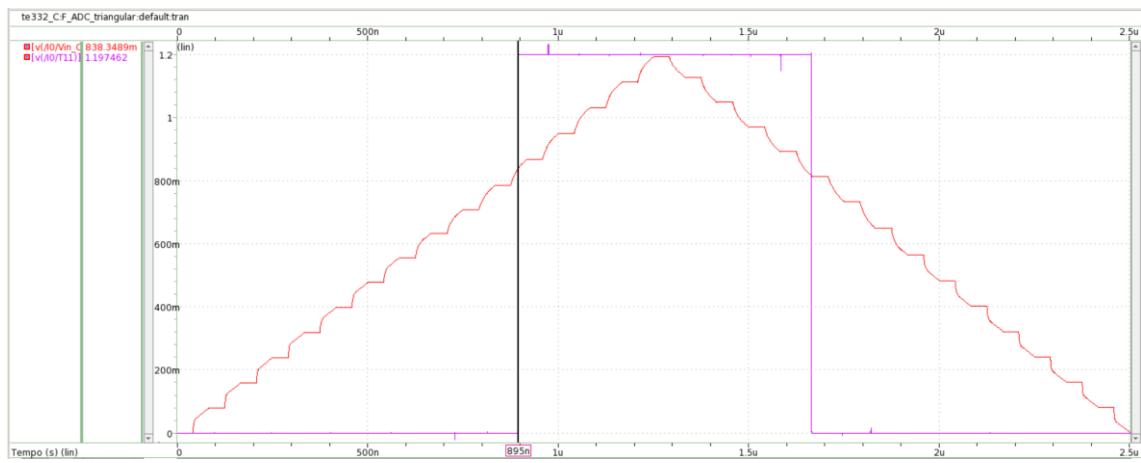


Fig. 92 - Entrada do comparador e saída T11 (subida)  
Fonte: Os autores

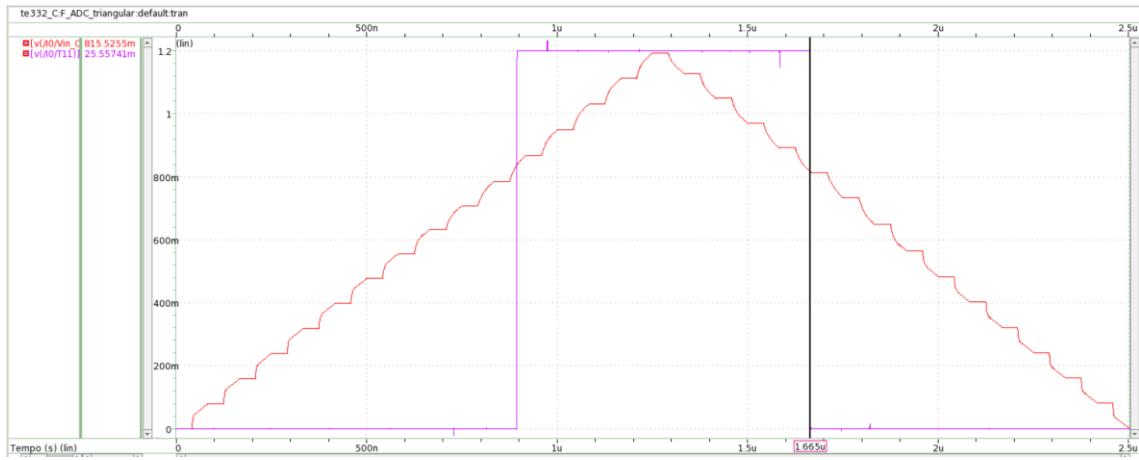


Fig. 93 - Entrada do comparador e saída T11 (descida)

Fonte: Os autores

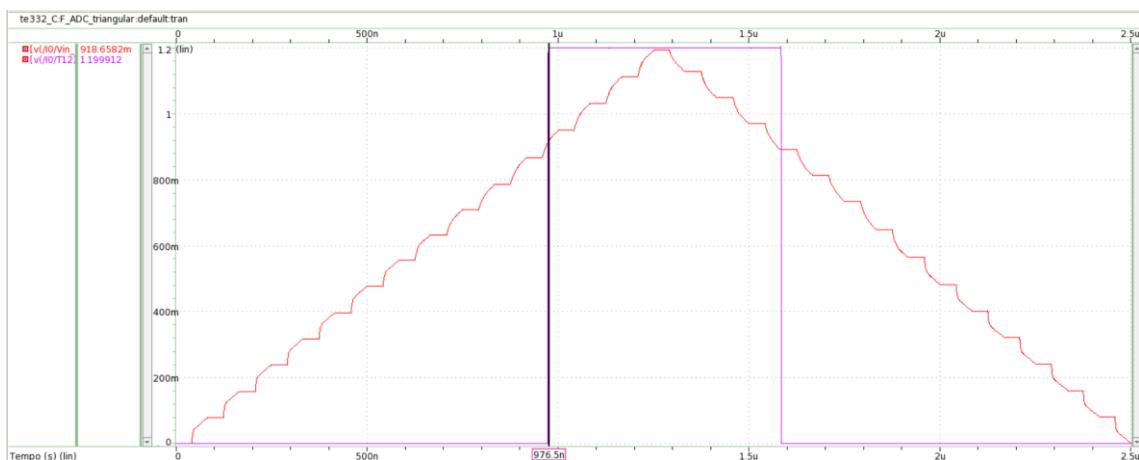


Fig. 94 - Entrada do comparador e saída T12 (subida)

Fonte: Os autores

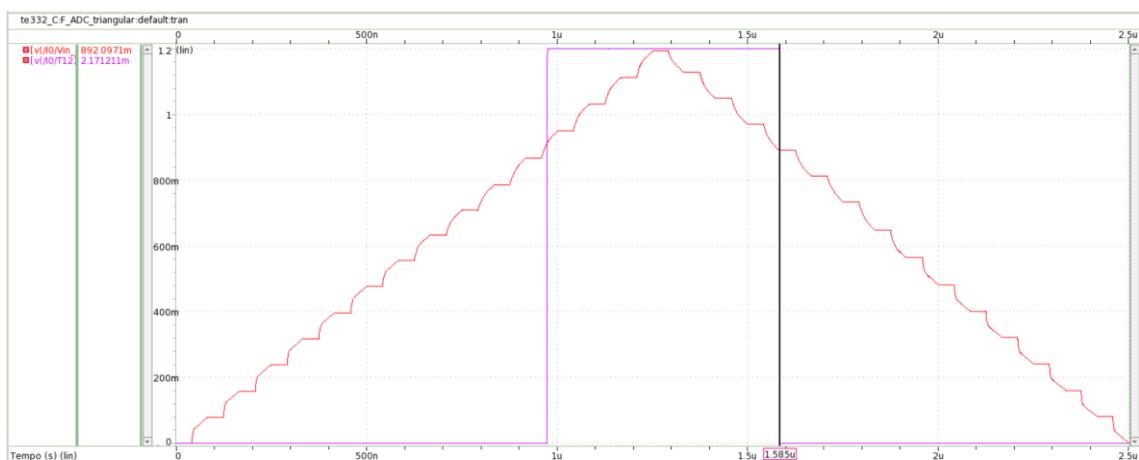


Fig. 95 - Entrada do comparador e saída T12 (descida)

Fonte: Os autores

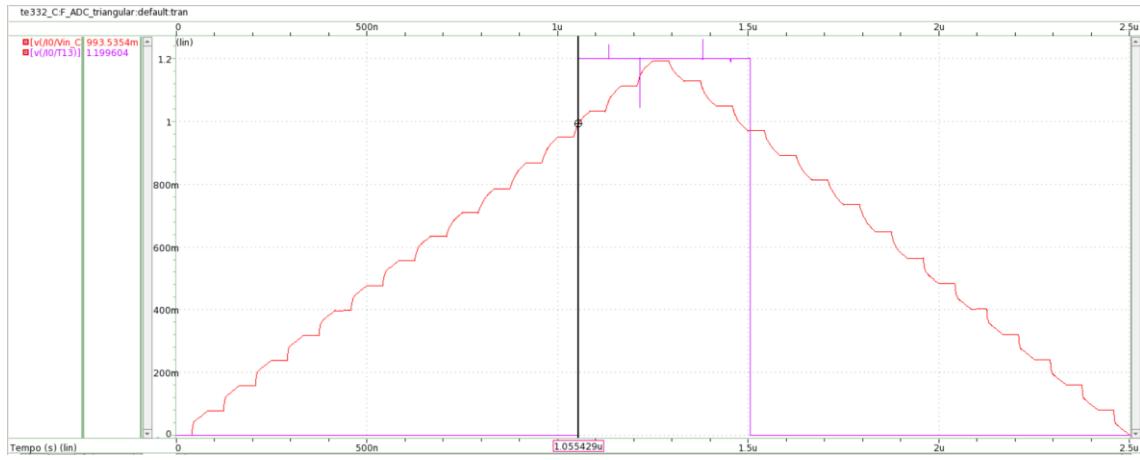


Fig. 96 - Entrada do comparador e saída T13 (subida)  
Fonte: Os autores

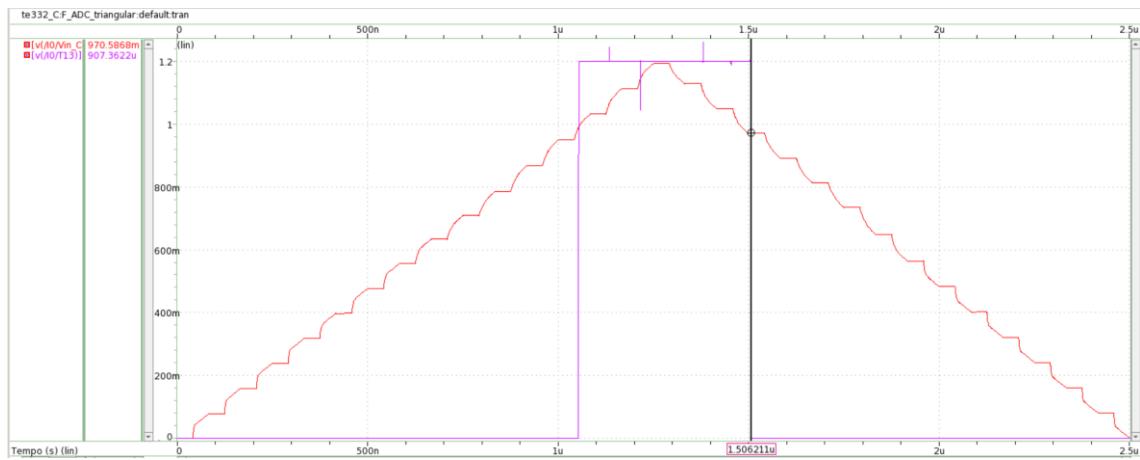


Fig. 97 - Entrada do comparador e saída T13 (descida)  
Fonte: Os autores

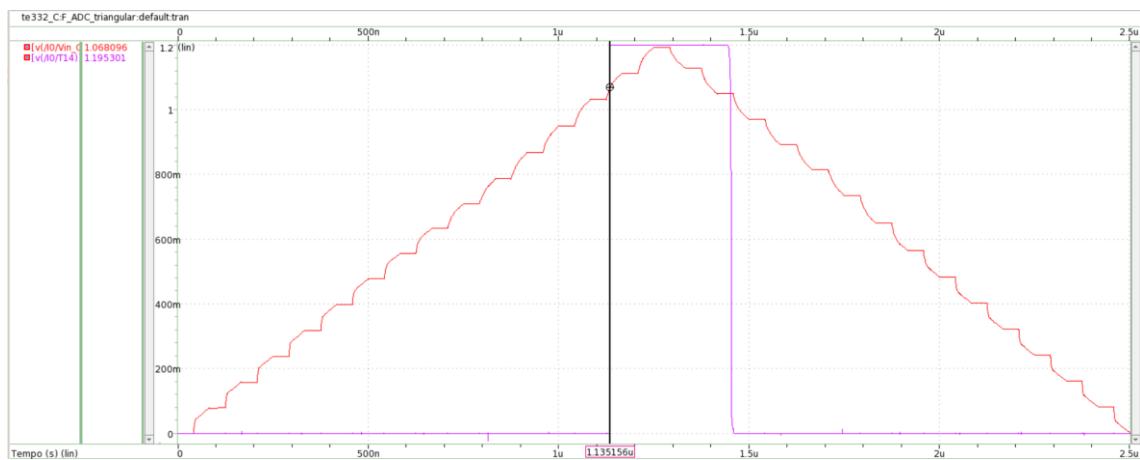


Fig. 98 - Entrada do comparador e saída T14 (subida)  
Fonte: Os autores

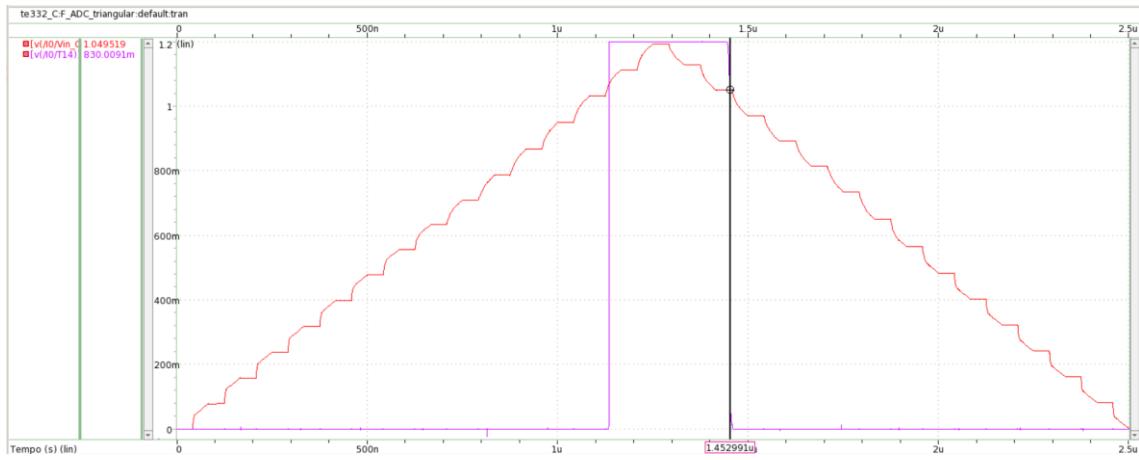


Fig. 99 - Entrada do comparador e saída T14 (descida)  
Fonte: Os autores

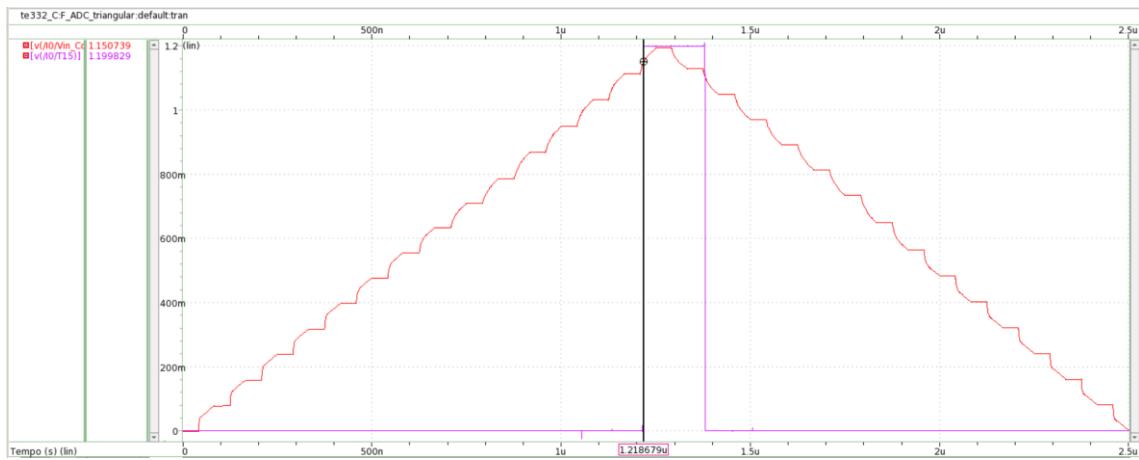


Fig. 100 - Entrada do comparador e saída T15 (subida)  
Fonte: Os autores

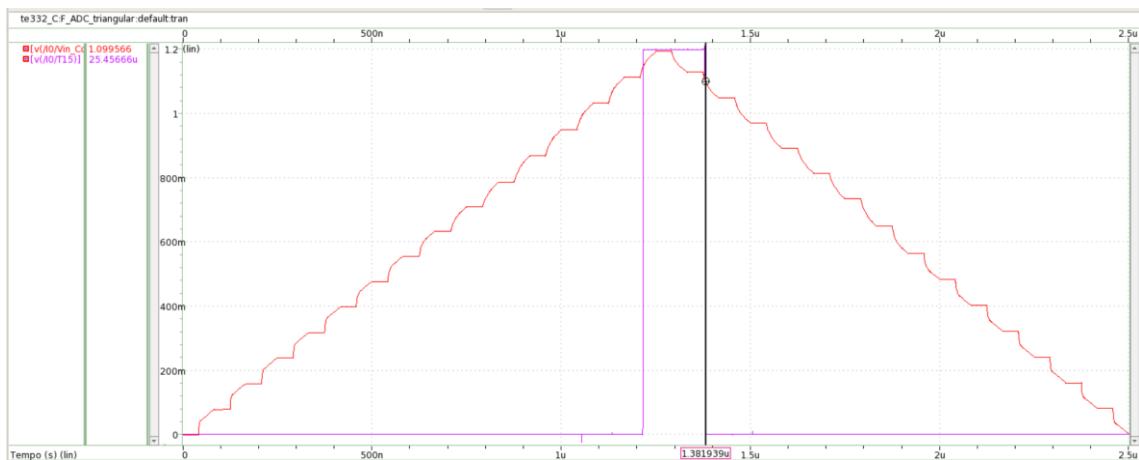


Fig. 101 - Entrada do comparador e saída T15 (descida)  
Fonte: Os autores

As transições ocorrem próximo das tensões de referência, como seria esperado. Como o projeto desenvolvido não é ideal, isso não ocorre com total precisão. Além disso, a inserção de *panels* para marcar a transição também não é totalmente precisa, o que inclui mais erros aos valores apresentados.

- c) Então é pedido para plotar as entradas e o *clock*, além das saídas do registrador.

Na Fig. 102 é mostrado todos os sinais pedidos. Na Fig. 103 mostra-se o *clock* com todas as entradas, enquanto na Fig. 104 é mostrado o *clock* com todas as saídas.

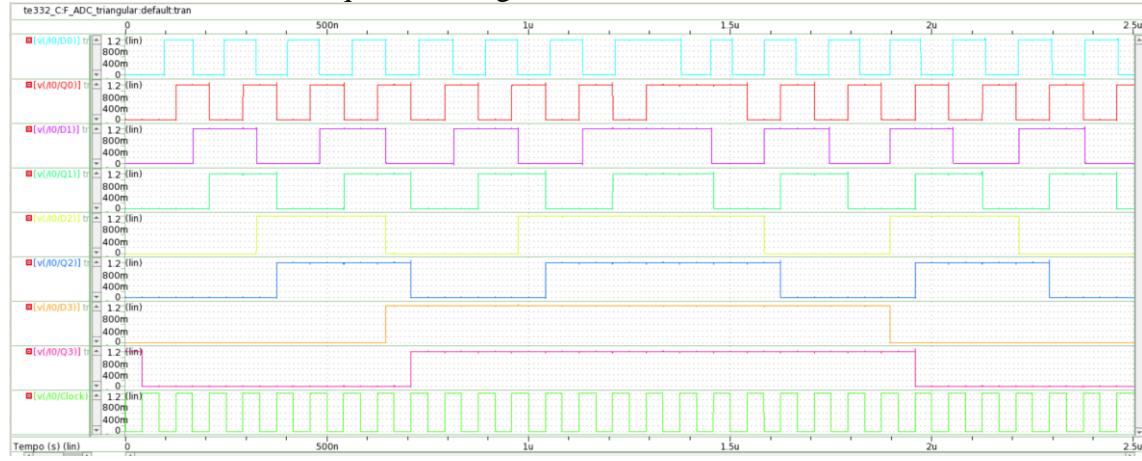


Fig. 102 – Entradas, saídas e *clock* do registrador  
Fonte: Os autores

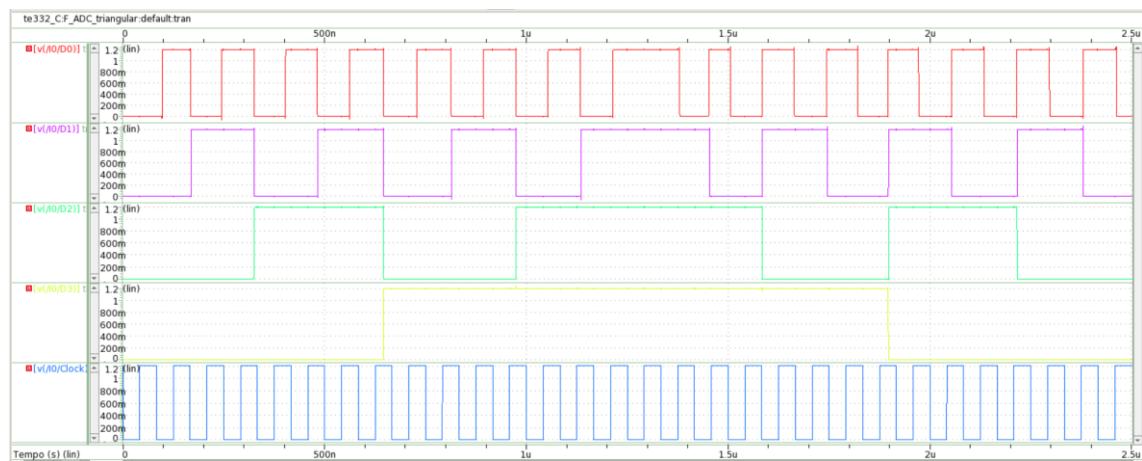


Fig. 103 – Entradas e *clock* do registrador  
Fonte: Os autores

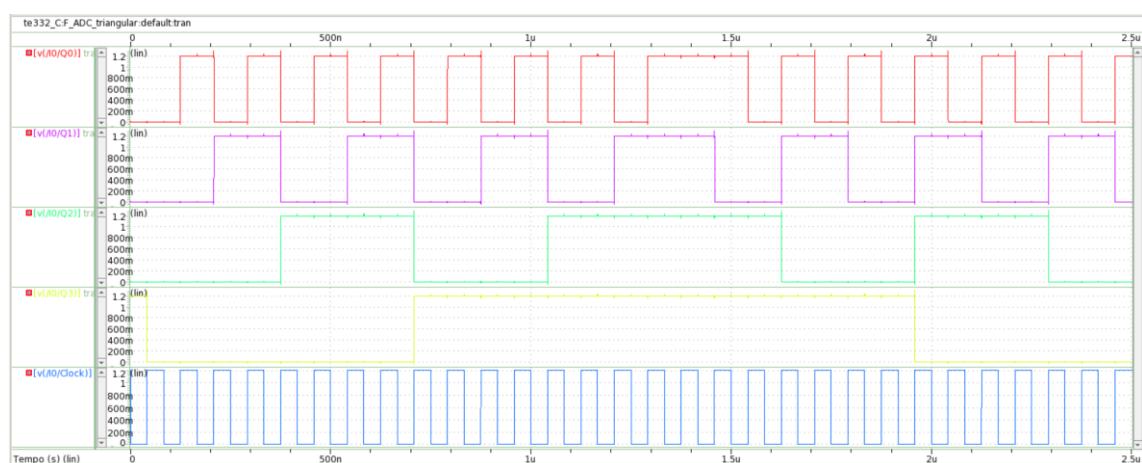


Fig. 104 – Saídas e *clock* do registrador  
Fonte: Os autores

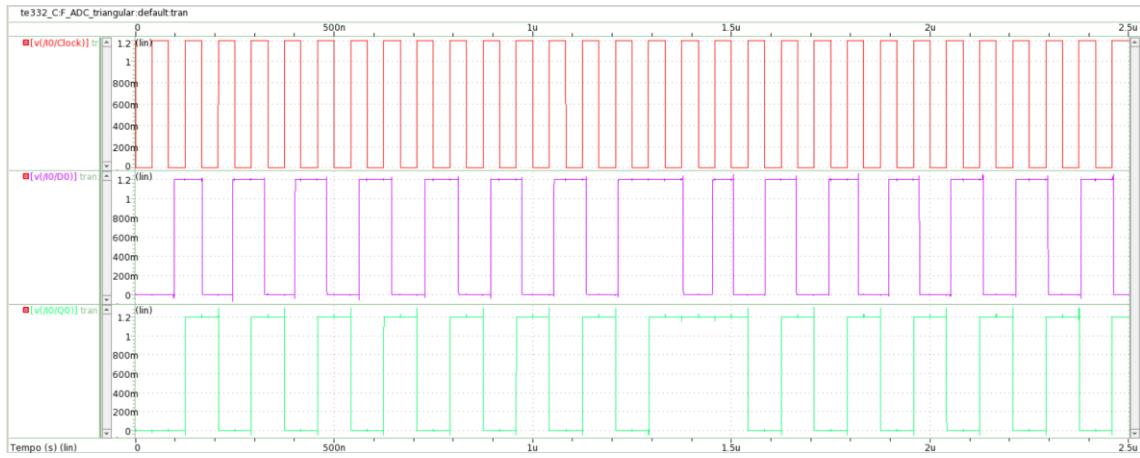


Fig. 105 – Entrada e saída 0

Fonte: Os autores

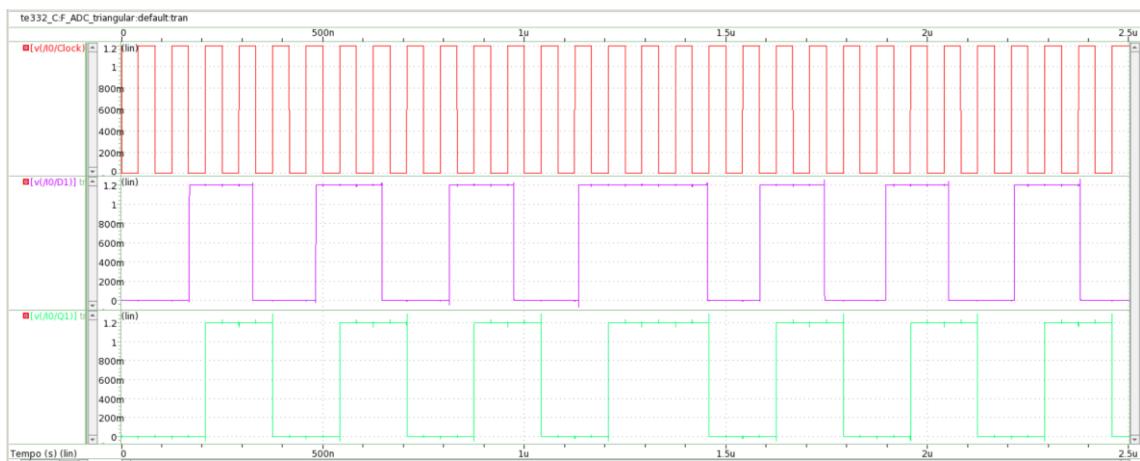


Fig. 106 – Entrada e saída 1

Fonte: Os autores

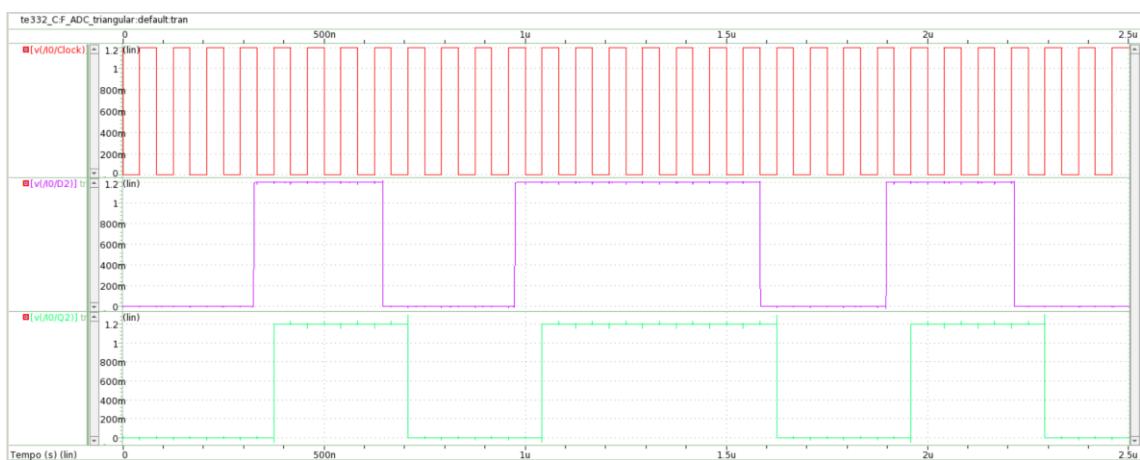


Fig. 107 – Entrada e saída 2

Fonte: Os autores

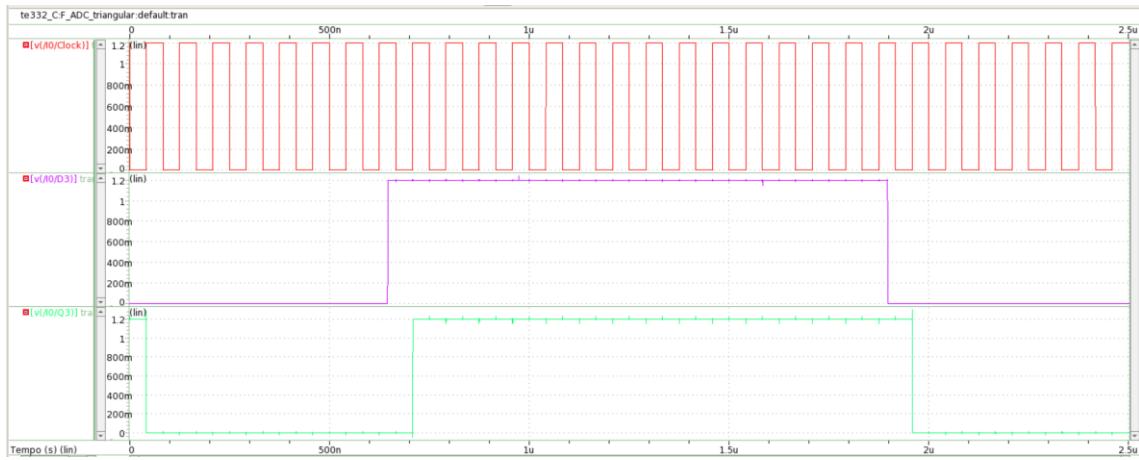


Fig. 108 – Entrada e saída da Fig. 107

Fonte: Os autores

Nos gráficos apresentados pode-se notar que a saída tem um pequeno atraso em relação ao sinal de entrada. Isso ocorre porque o registrador reflete na saída o sinal da entrada somente quando há uma borda de subida no *clock*. Assim, toda vez que o *clock* sobe há uma atualização na saída, copiando para ela o sinal da entrada. Em outros instantes além dessa borda de subida, o sinal apresentado permanece constante até que haja uma nova atualização.

#### 6.4. TESTE COM ENTRADA SENOIDAL

Então é enunciado um esquemático, que será mostrado na Fig. 109. Na fonte senoidal é setada a tensão de offset de  $Vdd/2$ , e tensão de amplitude também  $Vdd/2$ . É feita uma simulação de transitório de 1,1 período da fonte de entrada, ou seja, (1,1/400k), e é plotado o sinal de saída do conversor ideal, como mostrado na Fig. 110. Na Fig. 111 é mostrado as configurações usadas para o cálculo, enquanto a Fig. 112 mostra o resultado final.

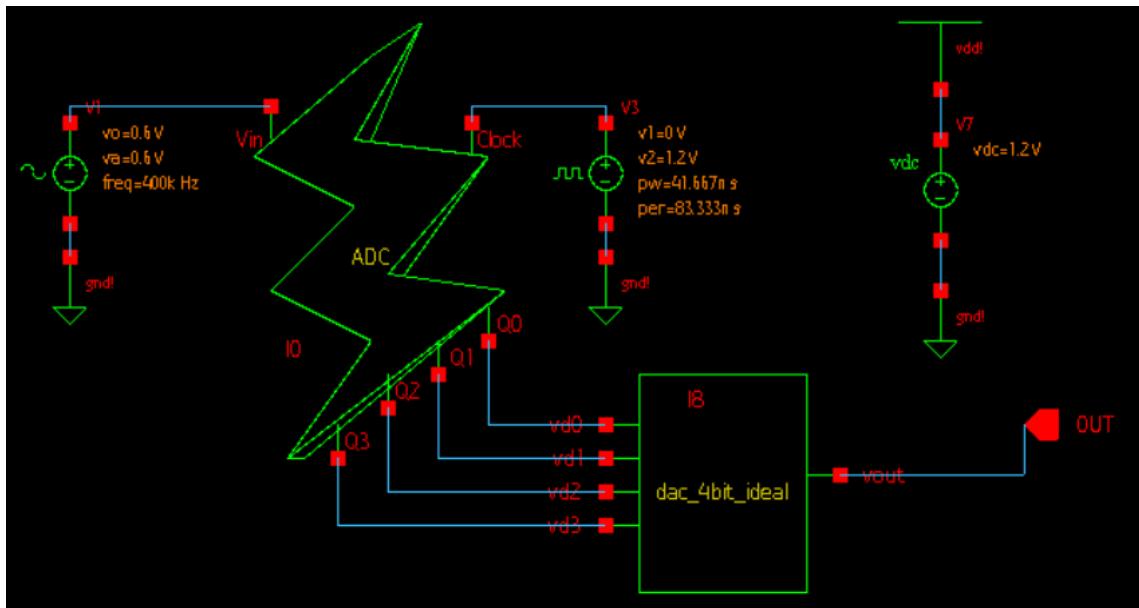


Fig. 109 – Esquemático para o teste com fonte senoidal

Fonte: Os autores

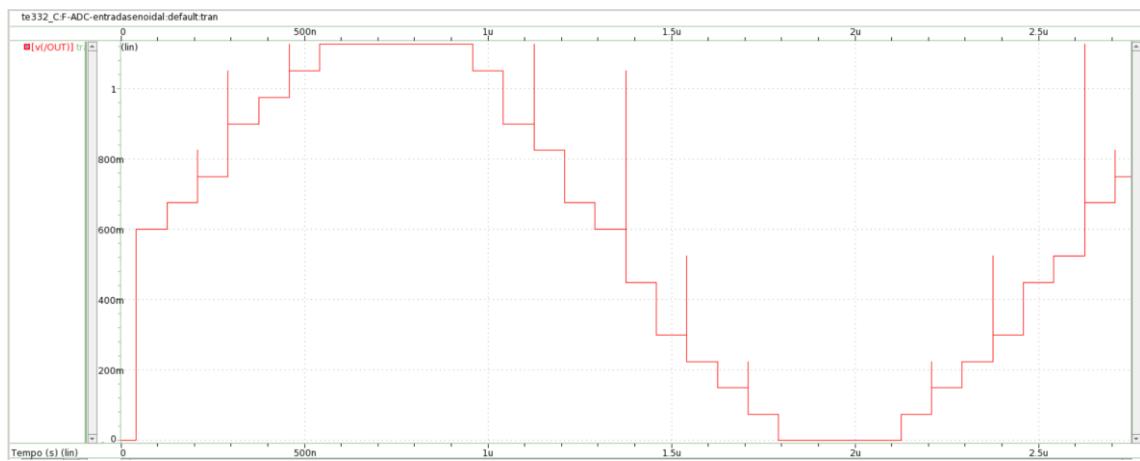


Fig. 110 – Saída do comparador ideal  
Fonte: Os autores

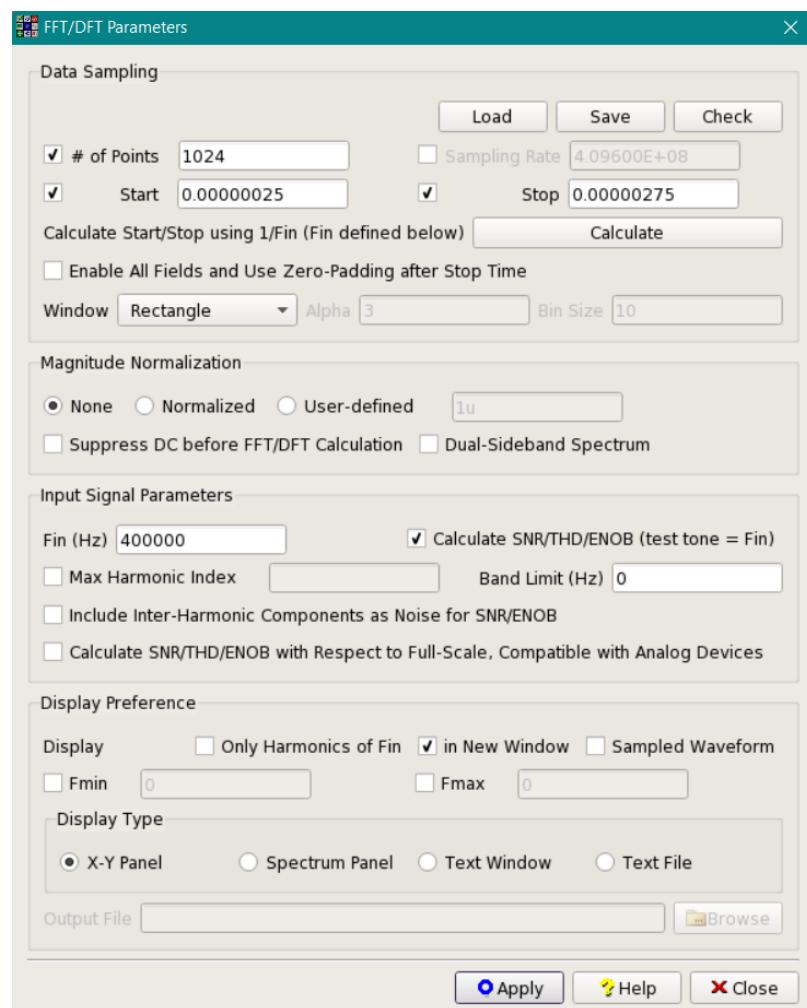


Fig. 111 – Configurações para o cálculo do ENOB  
Fonte: Os autores

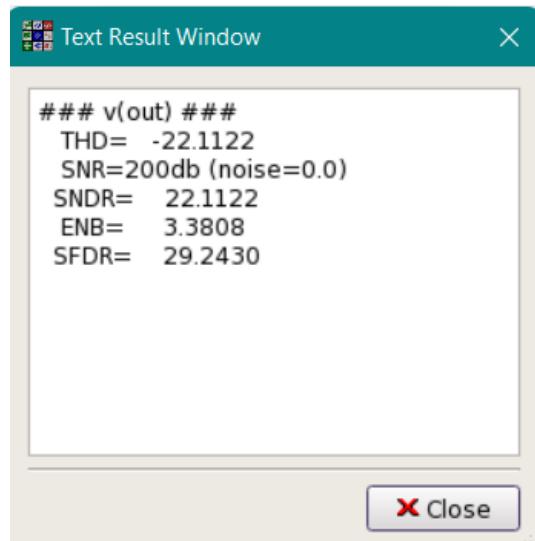


Fig. 112 – Resultado final

Fonte: Os autores

O resultado final obtido é um ENOB de 3,3808 bits, quando o ideal seria de 4 bits. A diferença ocorre devido ao processo de desenvolvimento, que nem sempre foi o ideal, muitas vezes contando com dimensionamentos imperfeitos. No entanto, sempre foram realizados testes e muitas simulações que mostram um funcionamento próximo ao esperado, o que culminou na confecção de um (não tão bom) conversor analógico-digital Flash de 4 bits.