

CENTRO UNIVERSITÁRIO FEI

PROJETO DE INICIAÇÃO CIENTÍFICA

Obtenção das propriedades elétricas de
transistores MOS da tecnologia CMOS de 180nm
em temperaturas superiores a 300K

Aluna: Ana Priscila Oliveira Rocha

Orientador: Prof. Dr. Marcelo Antonio Pavanello

SÃO BERNARDO DO CAMPO - SÃO PAULO

Outubro de 2022

RESUMO

Esse relatório tem como objetivo analisar e concluir os transistores CMOS que passaram por diversas medições conforme a variação da temperatura. Nem sempre os sistemas eletrônicos permanecem sob uma temperatura ambiente, tendo assim pequenas ou até mesmo grandes variações de temperatura, o que pode interferir diretamente no funcionamento do sistema já que os transistores e demais componentes podem sofrer alteração. Nesse relatório vamos analisar a eficiência dos transistores CMOS nas temperaturas de 300K, 400K e 500K.

Palavras-chaves: CMOS, Temperatura, Variação.

Conteúdo

1	Introdução	4
2	Introdução Teórica	5
2.1	Curva característica	6
2.2	Transistores CMOS	6
2.3	Variação da Temperatura	7
3	Desenvolvimento da pesquisa	8
3.1	Descrição do chip	8
3.2	Dados do laboratório	10
4	Resultados Experimentais	13
4.1	Agrupamento dos transistores NMOS por temperatura	13
4.1.1	Variação da temperatura e $V_{DS}=0,05V$	13
4.1.2	Variação da temperatura e $V_{DS}=1,5V$	15
4.2	Agrupamento dos transistores PMOS por temperatura	17
4.2.1	Variação da temperatura e $ V_{DS} =0,05V$	17
4.2.2	Variação da temperatura e $V_{DS}=1,5V$	19
4.3	Agrupamento dos transistores NMOS por transistor	21
4.3.1	Variação da temperatura e $V_{DS}=0,05V$	21
4.3.2	Variação da temperatura e $V_{DS}=1,5V$	27
4.4	Agrupamento dos transistores PMOS por transistor	33
4.4.1	Variação da temperatura e $V_{DS}=0,05V$	33
4.4.2	Variação da temperatura e $V_{DS}=1,5V$	40
4.5	Obtenção da tensão de limiar dos transistores NMOS e PMOS	46
5	Conclusão	50

Lista de Figuras

1	Estrutura do NMOS.	5
2	Simbologia dos transistores NMOS e PMOS.	6
3	Ordem dos transistores no chip.	8
4	Ordem enumerada dos transistores no chip.	9
5	Tabela de dados do NMOS.	9
6	Tabela de dados do PMOS.	10
7	Imagens do laboratório.	11
8	Imagens do laboratório.	11
9	Imagen do chip no microscópio.	12
10	Imagen do chip fora do microscópio.	12
11	TN para 300K e $V_{DS} = 0,05$	13
12	TN para 400K e $V_{DS} = 0,05$	14
13	TN para 500K e $V_{DS} = 0,05$	14
14	TN para 300K e $V_{DS} = 1,5$	15
15	TN para 400K e $V_{DS} = 1,5$	16
16	TN para 500K e $V_{DS} = 1,5$	16
17	TP para 300K e $V_{DS} = -0,05$	17
18	TP para 400K e $V_{DS} = -0,05$	18
19	TP para 500K e $V_{DS} = -0,05$	18
20	TP para 300K e $V_{DS} = -1,5V$	19
21	TP para 400K e $V_{DS} = -1,5V$	20
22	TP para 500K e $V_{DS} = -1,5V$	20
23	Transistor TN1 para todas as temperaturas e $VDS=0,05$	21
24	Transistor TN3 para todas as temperaturas e $VDS=0,05$	22
25	Transistor TN4 para todas as temperaturas e $VDS=0,05$	22
26	Transistor TN5 para todas as temperaturas e $VDS=0,05$	23
27	Transistor TN6 para todas as temperaturas e $VDS=0,05$	23
28	Transistor TN7 para todas as temperaturas e $VDS=0,05$	24
29	Transistor TN8 para todas as temperaturas e $VDS=0,05$	24
30	Transistor TN9 para todas as temperaturas e $VDS=0,05$	25
31	Transistor TN10 para todas as temperaturas e $VDS=0,05$	25
32	Transistor TN11 para todas as temperaturas e $VDS=0,05$	26
33	Transistor TN12 para todas as temperaturas e $VDS=0,05$	26
34	Transistor TN1 para todas as temperaturas e $VDS=1,5$	27
35	Transistor TN3 para todas as temperaturas e $VDS=1,5$	28
36	Transistor TN4 para todas as temperaturas e $VDS=1,5$	28
37	Transistor TN5 para todas as temperaturas e $VDS=1,5$	29
38	Transistor TN6 para todas as temperaturas e $VDS=1,5$	29
39	Transistor TN7 para todas as temperaturas e $VDS=1,5$	30
40	Transistor TN8 para todas as temperaturas e $VDS=1,5$	30
41	Transistor TN9 para todas as temperaturas e $VDS=1,5$	31
42	Transistor TN9 para todas as temperaturas e $VDS=1,5$	31

43	Transistor TN10 para todas as temperaturas e VDS=1,5.	32
44	Transistor TN11 para todas as temperaturas e VDS=1,5.	32
45	Transistor TN12 para todas as temperaturas e VDS=1,5.	33
46	Transistor TP1 para todas as temperaturas e VDS=-0,05.	34
47	Transistor TP2 para todas as temperaturas e VDS=-0,05.	34
48	Transistor TP3 para todas as temperaturas e VDS=-0,05.	35
49	Transistor TP4 para todas as temperaturas e VDS=-0,05.	35
50	Transistor TP5 para todas as temperaturas e VDS=-0,05.	36
51	Transistor TP6 para todas as temperaturas e VDS=-0,05.	36
52	Transistor TP7 para todas as temperaturas e VDS=-0,05.	37
53	Transistor TP8 para todas as temperaturas e VDS=-0,05.	37
54	Transistor TP9 para todas as temperaturas e VDS=-0,05.	38
55	Transistor TP10 para todas as temperaturas e VDS=-0,05.	38
56	Transistor TP11 para todas as temperaturas e VDS=-0,05.	39
57	Transistor TP12 para todas as temperaturas e VDS=-0,05.	39
58	Transistor TP1 para todas as temperaturas e VDS=-1,5.	40
59	Transistor TP2 para todas as temperaturas e VDS=-1,5.	41
60	Transistor TP3 para todas as temperaturas e VDS=-1,5.	41
61	Transistor TP4 para todas as temperaturas e VDS=-1,5.	42
62	Transistor TP5 para todas as temperaturas e VDS=-1,5.	42
63	Transistor TP6 para todas as temperaturas e VDS=-1,5.	43
64	Transistor TP7 para todas as temperaturas e VDS=-1,5.	43
65	Transistor TP8 para todas as temperaturas e VDS=-1,5.	44
66	Transistor TP9 para todas as temperaturas e VDS=-1,5.	44
67	Transistor TP10 para todas as temperaturas e VDS=-1,5.	45
68	Transistor TP11 para todas as temperaturas e VDS=-1,5.	45
69	Transistor TP12 para todas as temperaturas e VDS=-1,5.	46
70	Curva de V _{th} do transistor NMOS para W=3um.	47
71	Curva de V _{th} do transistor NMOS para L=1um.	47
72	Curva de V _{th} do transistor PMOS para W=3um.	48
73	Curva de V _{th} do transistor PMOS para L=1um.	49

1 Introdução

Os circuitos integrados, quando foram criados, tinham dimensões muito superiores aos que temos hoje. Atualmente, eles são fabricados com dimensões de dezenas ou centenas de nanometros, o que possibilitou a fabricação de vários transistores em um mesmo Circuito Integrado (CI). Essa diminuição tão significativa impacta positivamente na criação, economia de material, diminuição do custo final e outros benefícios, porém impacta negativamente na eficiência dos transistores, que passam a apresentar efeitos parasitários que degradam suas propriedades elétricas.

Com o avanço de tecnologia, esses CIs estão presentes em cada vez mais circuitos eletrônicos, como celulares, computadores, aparelhos de ar condicionado, entre outros. Equipamentos desses que estão expostos a diversas temperaturas, desde muito baixas até temperaturas superiores a 200 graus Celsius. Por essa razão foi elaborado esse projeto de pesquisas, para analisar o comportamento elétrico de um CI composto de transistores MOS fabricados na tecnologia CMOS de 180 nm de comprimento mínimo de canal da empresa United Microelectronics Technology (UMC) com a variação de temperatura, desde 300 K até 500 K.

O projeto foi desenvolvido em etapas, começando com o estudo teórico, as medições práticas em equipamentos adequados e por fim a análise e conclusão dos dados.

2 Introdução Teórica

Os transistores de efeito de campo metal-óxido-semicondutor (MOSFET) são muito utilizados na fabricação de circuitos integrados, por possibilitarem a fabricação de estruturas de dimensões pequenas, na faixa de centenas de nanometros. Com isso, um circuito integrado pode conter diversos transistores, permitindo a criação de circuitos para a execução de diversas funções. A estrutura do transistor MOS consiste no substrato, camada do dreno, camada da fonte, camada de óxido e camada de metal, que gera o eletrodo de porta. Usando como exemplo um transistor NMOS, ou seja, um MOSFET de canal tipo "n", verifica-se que o seu substrato é feito de silício cristalino tipo "p". Entre o eletrodo de porta e o substrato tem-se uma camada isolante, feita de dióxido de silício. O dreno e fonte serão fortemente dopados com elétrons, criando a região tipo "n". A junção do dreno e substrato, fonte e substrato gera o que se conhece como junção "pn". A figura 1 mostra a estrutura de um NMOS.

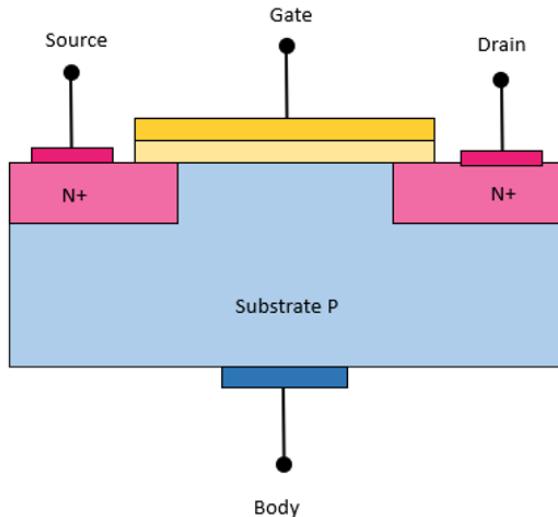


Figura 1: Estrutura do NMOS.

Dentro do substrato temos duas dimensões físicas que são muito importantes no projeto do transistor, que é a região de comprimento de canal (L) e a largura de canal (W). Com o avanço da tecnologia essas dimensões estão se tornando cada vez menores, o que pode afetar na redução da tensão de limiar, perfuração do transistor entre outros fatores do componente. Por isso a largura e comprimento de canal devem ser calculadas com perfeição.

A figura 2 mostra a simbologia dos transistores NMOS e PMOS com quatro terminais.

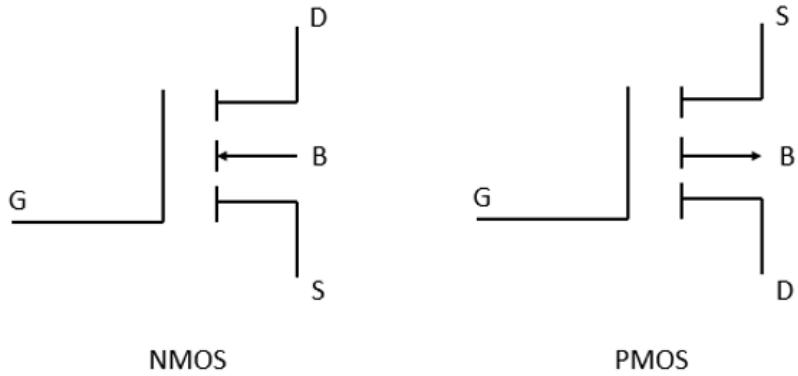


Figura 2: Simbologia dos transistores NMOS e PMOS.

O funcionamento básico de um MOSFET consiste em aplicar uma tensão mínima necessária no eletrodo de porta, para induzir portadores na região de canal. A tensão mínima necessária que deve ser aplicada à porta V_{GS} , para que haja uma passagem de corrente elétrica relevante entre dreno e fonte é chamada de tensão de limiar V_{TH} .

Com o canal induzido, ao aplicar tensão no eletrodo de dreno, denominada (V_{DS}), tem-se o controle do fluxo de corrente entre o dreno e a fonte (I_{DS}). Ao aplicar um valor pequeno de V_{DS} , de aproximadamente 0,05 V temos uma corrente I_{DS} no canal induzido, por conta do movimento dos elétrons livres da fonte para o dreno. O aumento de V_{DS} ocasiona o estreitamento do canal, aumentando a resistência.

2.1 Curva característica

A curva característica do MOSFET relaciona a corrente no dreno, (I_{DS}) e a tensão entre dreno e fonte (V_{DS}). Essa curva deixa evidente as regiões mais importantes do transistor, tríodo, corte e saturação. Na região de tríodo o dispositivo opera como chave, na região de corte ele também opera como chave, porém a corrente é nula, ou seja, não tem indução do canal. Já na região de saturação, o transistor opera como amplificador, nessa região a corrente I_{DS} é aproximadamente constante, o que possibilita o transistor a operar de modo análogo à fonte de corrente.

2.2 Transistores CMOS

Os transistores CMOS é uma tecnologia MOS que tem transistores de ambas as polaridades, ou seja, dentro da mesma pastilha contém um transistor NMOS e um PMOS. Uma das principais características do CMOS é que ele tem uma boa margem de ruído, avaliada através dos parâmetros de margem de ruído baixa e margem de ruído alta. É importante observar que ao reduzir a tensão VDD do CMOS, temos uma redução na sua eficiência, já que os tempos de subida, atraso e descida são inversamente proporcionais ao VDD.

2.3 Variação da Temperatura

A variação de temperatura influência na tensão de limiar e no fator de ganho do transistor. O valor de tensão de limiar diminui com o aumento da temperatura, o que ocasiona o aumento da corrente de dreno. Porém o fator de transcondutância, diminui com o aumento da temperatura, por conta da mobilidade dos elétrons, causando a diminuição da corrente de dreno, e é esse fator que predomina no transistor. Sendo assim quando temos um aumento na temperatura, pode-se notar uma diminuição na corrente de dreno.

3 Desenvolvimento da pesquisa

3.1 Descrição do chip

O CI utilizado neste projeto de pesquisas foi projetado no Centro Universitário FEI utilizando a tecnologia de 180nm de comprimento mínimo de canal. Ele consiste em 12 transistores nMOS e 12 transistores pMOS, com mais alguns transistores extras. A figura 3 mostra a ordem dos transistores no CI.

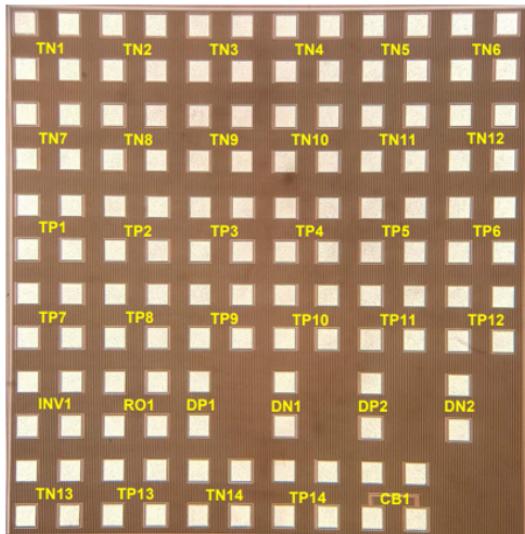


Figura 3: Ordem dos transistores no chip.

As colunas e linhas do CI são separadas em letras e números, para facilitar a visualização e identificação de cada um dos transistores disponíveis no CI. Comparando a figura 4 com as figuras 5 e 6 pode-se ver o comprimento (L) e a largura de canal (W) de cada transistor. Através da combinação da letra e número tem-se a posição dos eletrodos do CI. Por exemplo, para o transistor TN1 têm-se que A1 é a Porta (Gate), o A2 é o Dreno (Drain), o B1 é a Fonte (Source) e B2 o Substrato (Bulk).

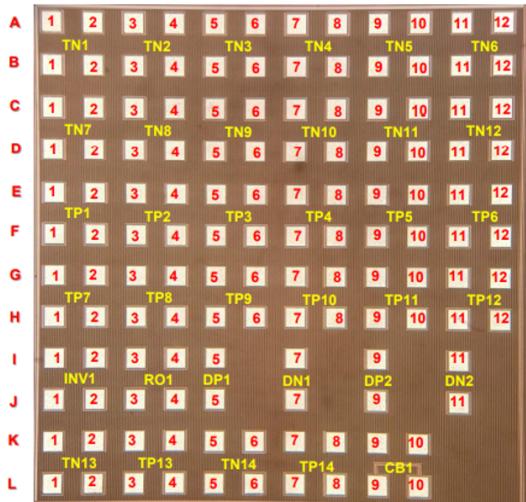


Figura 4: Ordem enumerada dos transistores no chip.

Device	L [μm]	W [μm]	Electrode			
			Gate	Drain	Source	Bulk
TN1	0.18	0.24	A1	A2	B1	B2
TN2	0.18	3	A3	A4	B3	B4
TN3	0.24	3	A5	A6	B5	B6
TN4	0.3	3	A7	A8	B7	B8
TN5	0.4	3	A9	A10	B9	B10
TN6	0.6	3	A11	A12	B11	B12
TN7	1	3	C1	C2	D1	D2
TN8	1	1	C3	C4	D3	D4
TN9	1	0.5	C5	C6	D5	D6
TN10	1	0.3	C7	C8	D7	D8
TN11	1	0.24	C9	C10	D9	D10
TN12	10	10	C11	C12	D11	D12

Figura 5: Tabela de dados do NMOS.

Device	L [μm]	W [μm]	Electrode			
			Gate	Drain	Source	Bulk
TP1	0.18	0.24	E1	E2	F1	F2
TP2	0.18	3	E3	E4	F3	F4
TP3	0.24	3	E5	E6	F5	F6
TP4	0.3	3	E7	E8	F7	F8
TP5	0.4	3	E9	E10	F9	F10
TP6	0.6	3	E11	E12	F11	F12
TP7	1	3	G1	G2	H1	H2
TP8	1	1	G3	G4	H3	H4
TP9	1	0.5	G5	G6	H5	H6
TP10	1	0.3	G7	G8	H7	H8
TP11	1	0.24	G9	G10	H9	H10
TP12	10	10	G11	G12	H11	H12

Figura 6: Tabela de dados do PMOS.

3.2 Dados do laboratório

Os ensaios foram feitos no microprovador fabricado pela MMR Technologies, Inc. utilizando um Agilent 4156C Semiconductor Parameter Analyzer, presente no Laboratório de Nanoeletrônica e Circuitos Integrados do Centro Universitário FEI. As medições foram feitas em duas etapas, a primeira para medições em temperatura ambiente e a outra para as medições em 400 K e 500 K. Para análise das curvas medidas os dados foram agrupados por temperatura e por transistor



Figura 7: Imagens do laboratório.

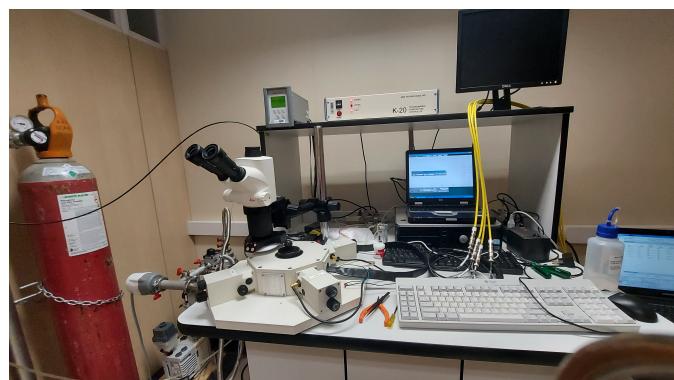


Figura 8: Imagens do laboratório.

Através do microscópio conseguimos ver cada eletrodo do transistor.

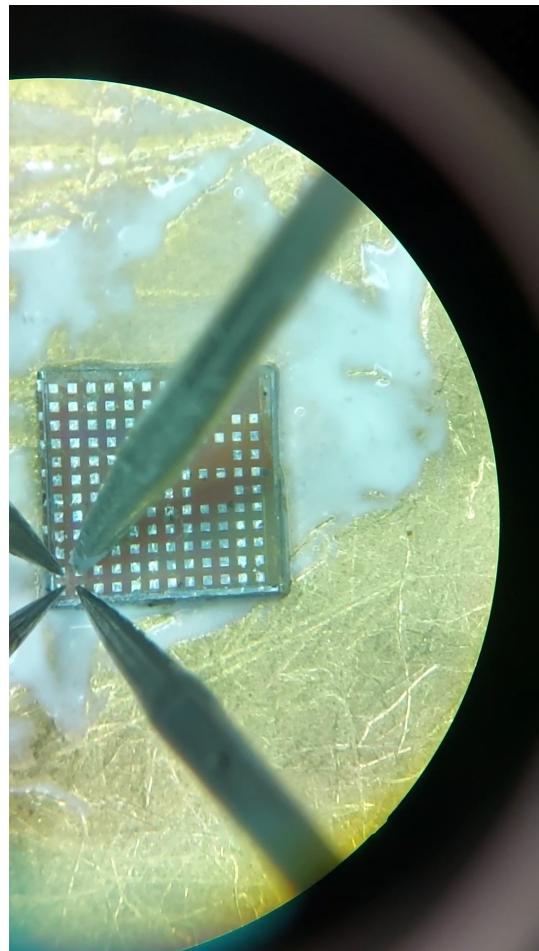


Figura 9: Imagem do chip no microscópio.

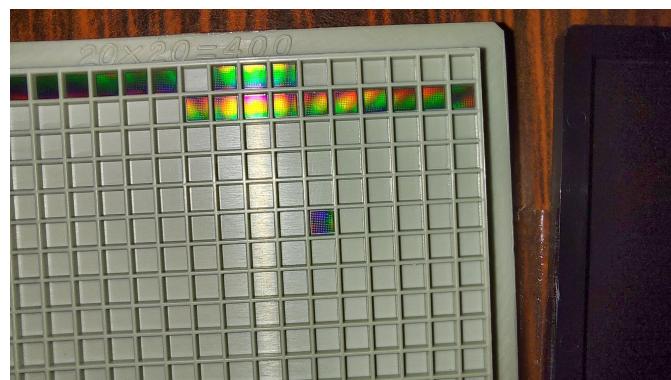


Figura 10: Imagem do chip fora do microscópio.

4 Resultados Experimentais

4.1 Agrupamento dos transistores NMOS por temperatura

Nessa subseção todos transistores NMOS foram agrupados com a mesma temperatura e valor de V_{DS} .

4.1.1 Variação da temperatura e $V_{DS}=0,05\text{V}$

O agrupamento de todos os transistores NMOS presentes no CI com variação de temperatura, mantendo a tensão V_{DS} fixa em 50mV.

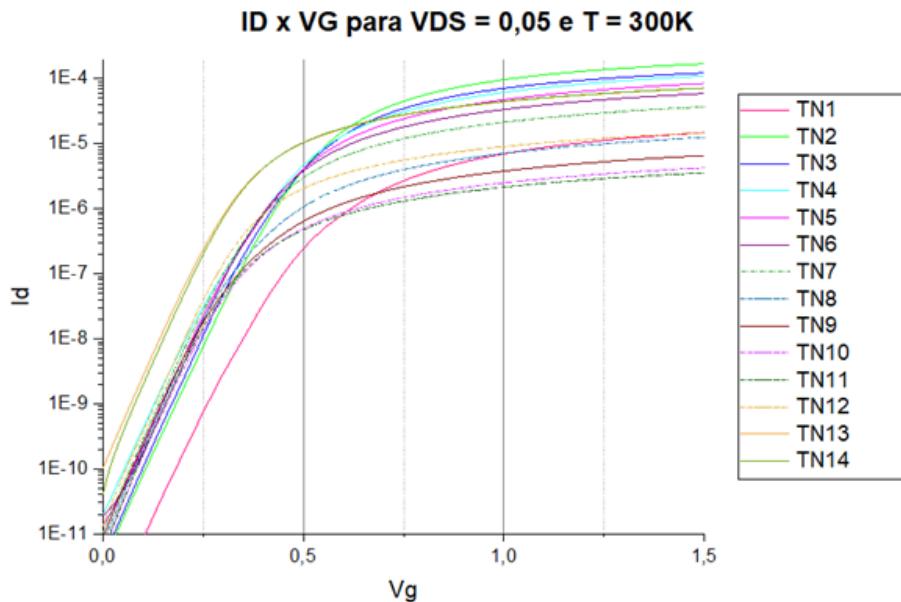


Figura 11: TN para 300K e $V_{DS} = 0,05$.

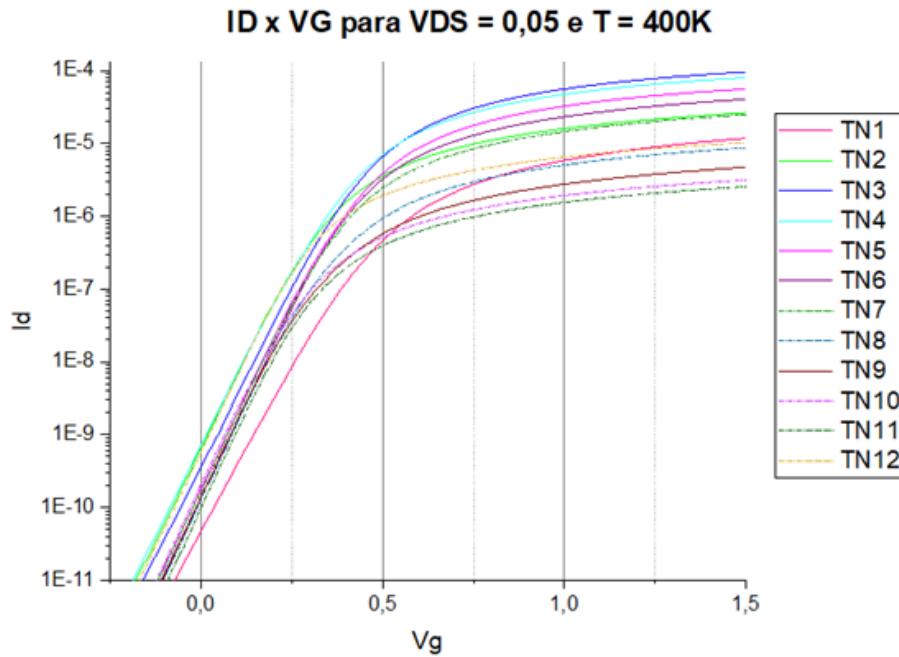


Figura 12: TN para 400K e $V_{DS} = 0,05$.

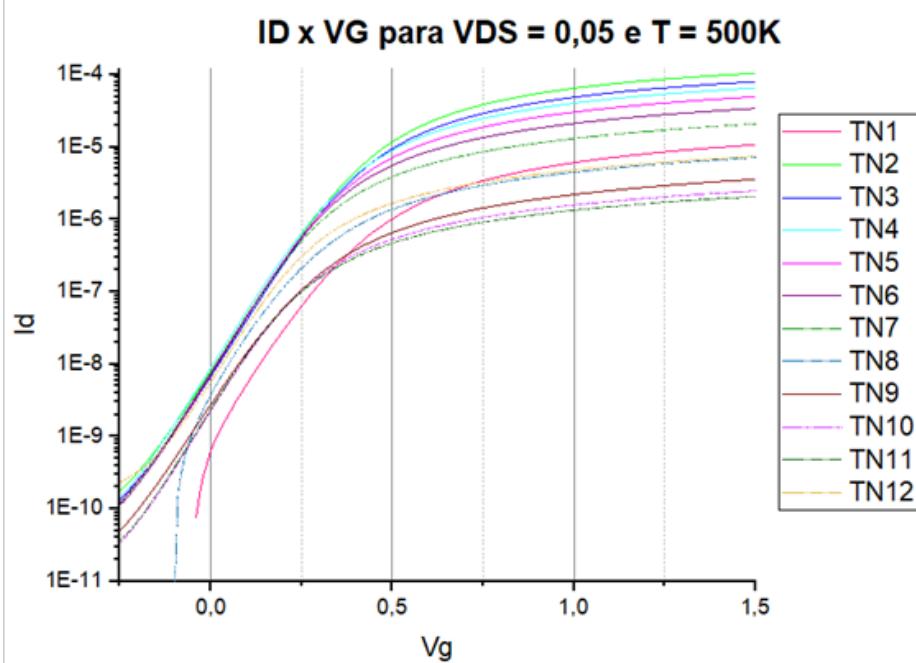


Figura 13: TN para 500K e $V_{DS} = 0,05$.

Ao aumentar a temperatura para 400K e posteriormente para 500K podemos notar que a corrente I_{DS} aumenta na região exponencial de funcionamento, devido à maior corrente de difusão fluindo pelo transistor. Esse aumento é prejudicial ao funcionamento do transistor, pois mesmo

com $V_{GS} = 0$ há aumento da corrente de dreno. Quanto maior a temperatura de operação do transistor, maior a corrente obtida com $V_{GS} = 0$.

4.1.2 Variação da temperatura e $V_{DS}=1,5\text{V}$

O agrupamento de todos os transistores NMOS presentes no CI com variação de temperatura, mantendo a tensão V_{DS} fixa em 1,5V.

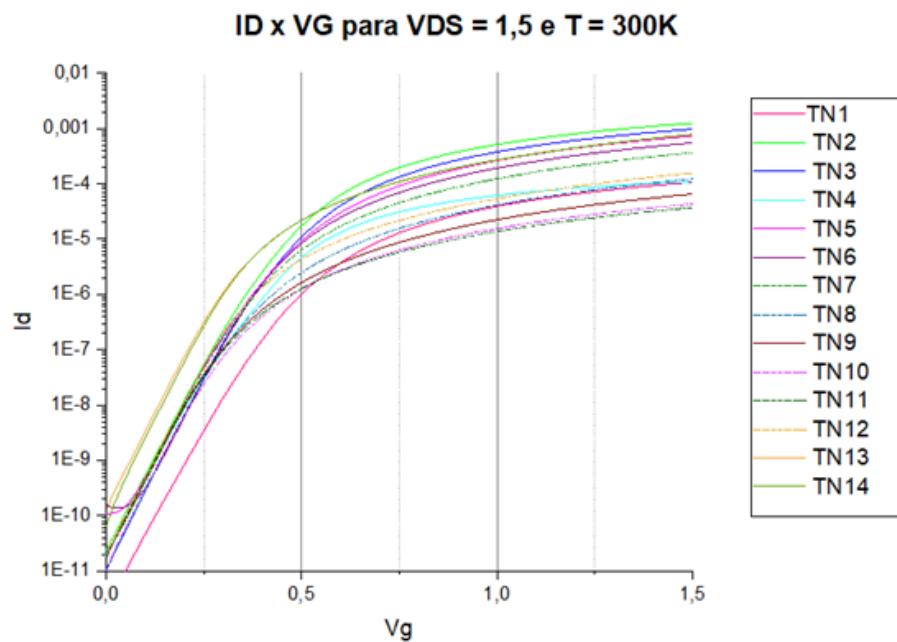


Figura 14: TN para 300K e $V_{DS} = 1,5$.

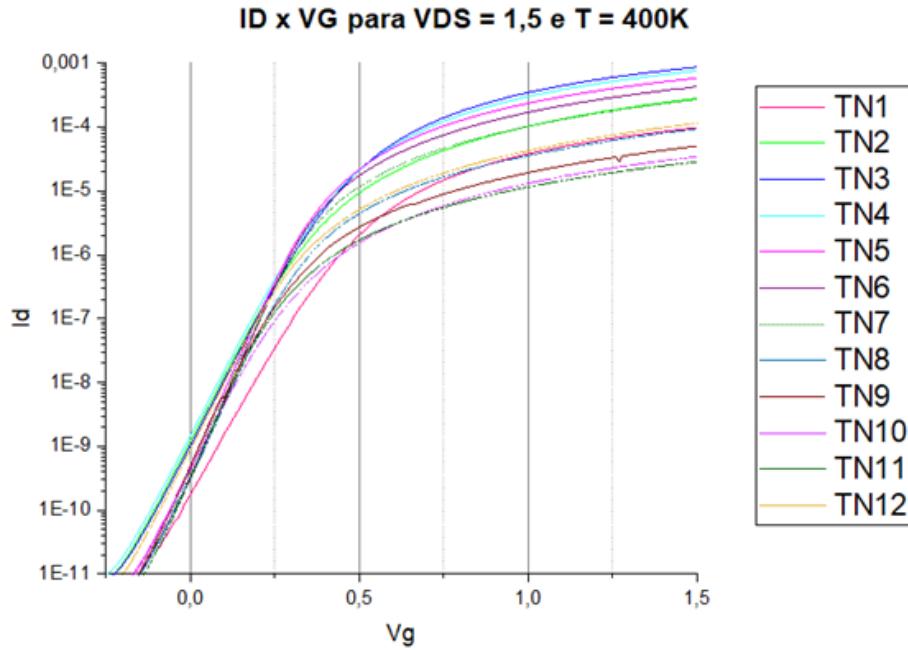


Figura 15: TN para 400K e $V_{DS} = 1,5$.

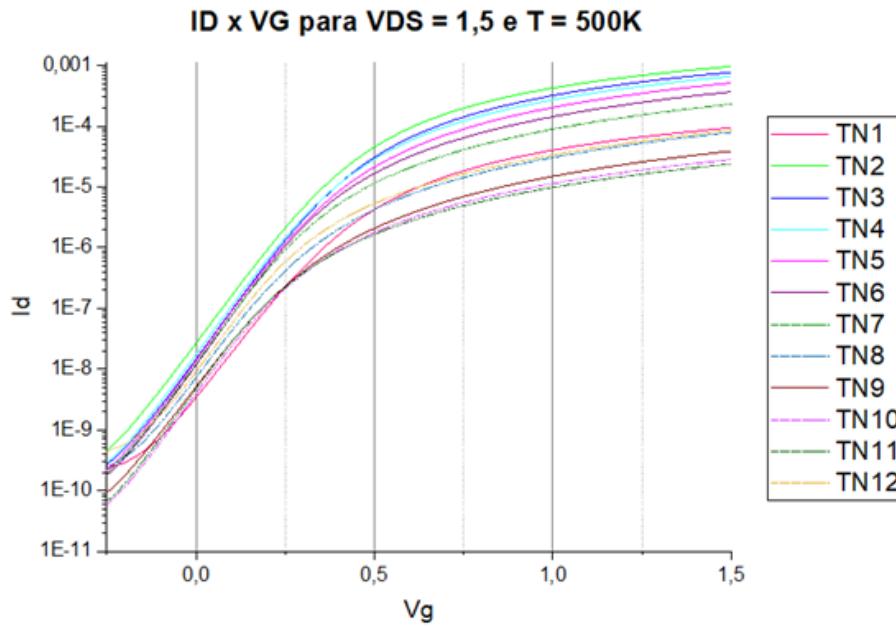


Figura 16: TN para 500K e $V_{DS} = 1,5$.

Ao aumentar o valor de V_{DS} tivemos um aumento do valor de I_{DS} para todas temperaturas, ocasionado pelo maior campo elétrico entre as regiões de Fonte e Dreno.

4.2 Agrupamento dos transistores PMOS por temperatura

Nessa subseção todos transistores PMOS foram agrupados com a mesma temperatura e valor de V_{DS} . Os valores medidos do eixo y, ou seja, de I_{DS} são negativos em um transistor PMOS. Para apresentar as curvas com I_{DS} em escala monologarítmica. Por conta do grande número de medições a que os transistores foram submetidos durante o desenvolvimento das medidas dos transistores PMOS em 300K, houve uma degradação física dos transistores, permitindo que fossem realizadas medidas até 400K em praticamente todos os transistores. Entretanto, apenas 3 transistores PMOS puderam ser medidos a 500K.

4.2.1 Variação da temperatura e $|V_{DS}|=0,05\text{V}$

O agrupamento de todos os transistores PMOS presentes no chip com variação de temperatura, mantendo a tensão $|V_{DS}|$ fixa em 50mV.

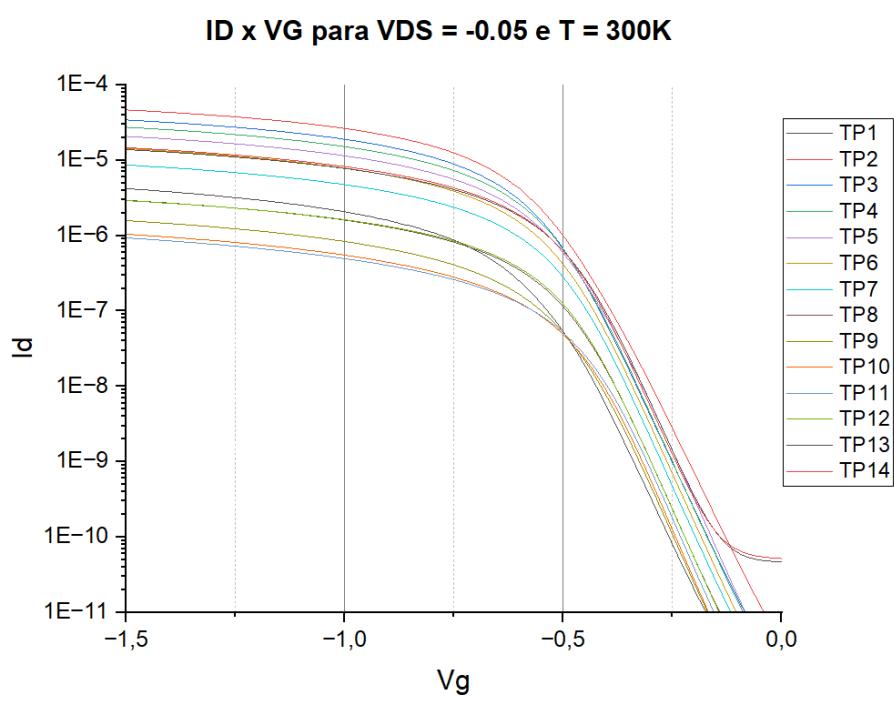


Figura 17: TP para 300K e $V_{DS} = -0,05$.

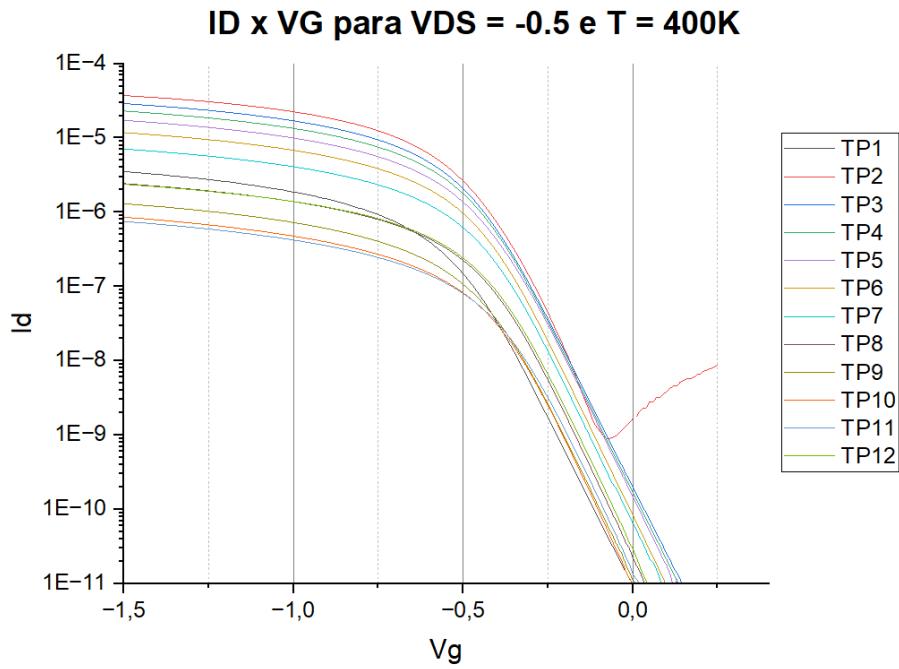


Figura 18: TP para 400K e $V_{DS} = -0,05$.

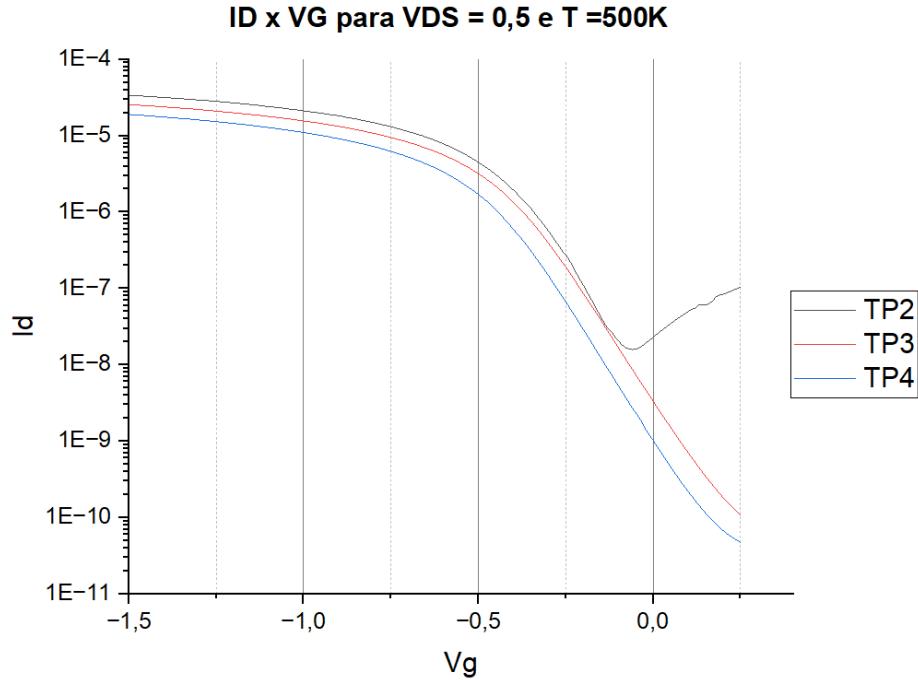


Figura 19: TP para 500K e $V_{DS} = -0,05$.

O aumento da temperatura fez com que o inicio da curva de crescimento de ID atingisse maiores valores de V_g . Para o transistor PMOS já em 400K tivemos significativas alterações na curva do

transistor TP2, fazendo com que no inicio da medição o transistor demorasse para estabilizar, é importante salientar que o ensaio para esse transistor foi repetido mais de uma vez e todas continha essa estranheza na curva. Mantendo o VDS constante e alterando a temperatura, tivemos poucas mudanças nos valores de ID, o que alterou mesmo foi o valor de VG.

4.2.2 Variação da temperatura e $V_{DS}=1,5V$

O agrupamento de todos os transistores PMOs presentes no chip com variação de temperatura, mantendo a tensão V_{DS} fixa em -1,5V.

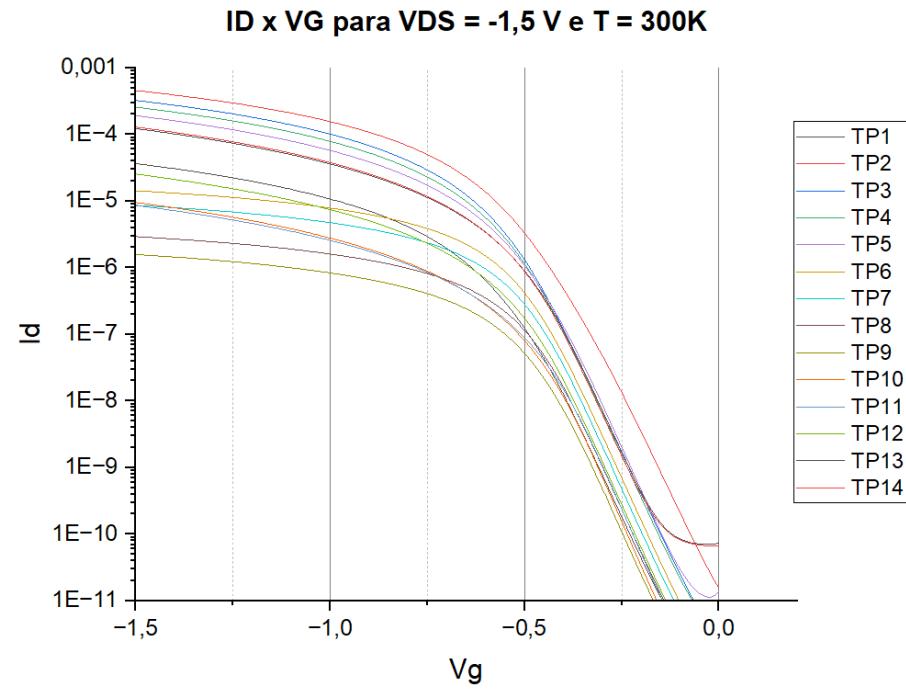


Figura 20: TP para 300K e $V_{DS} = -1,5V$.

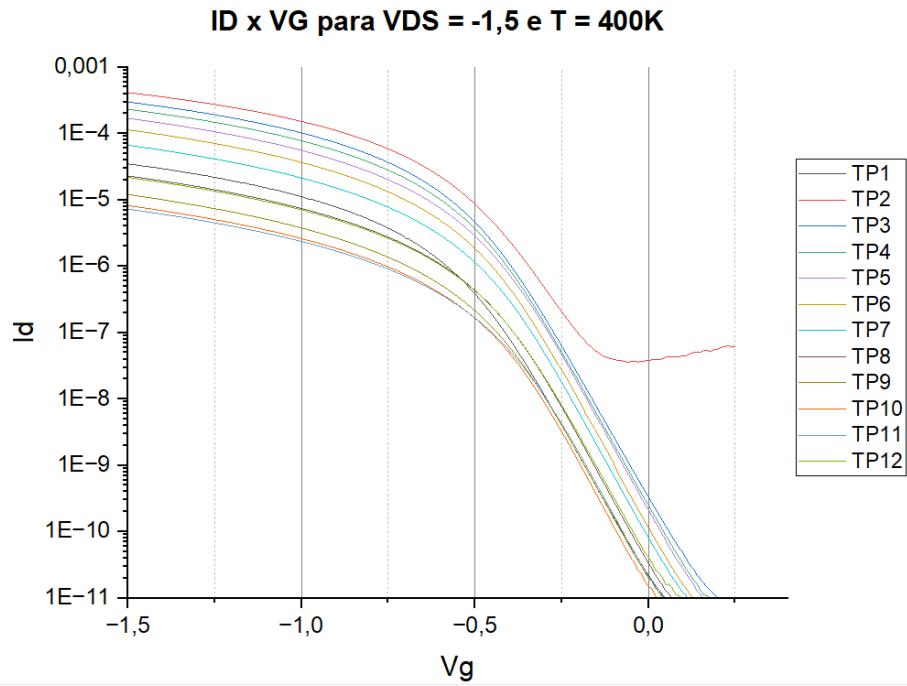


Figura 21: TP para 400K e $V_{DS} = -1,5\text{V}$.

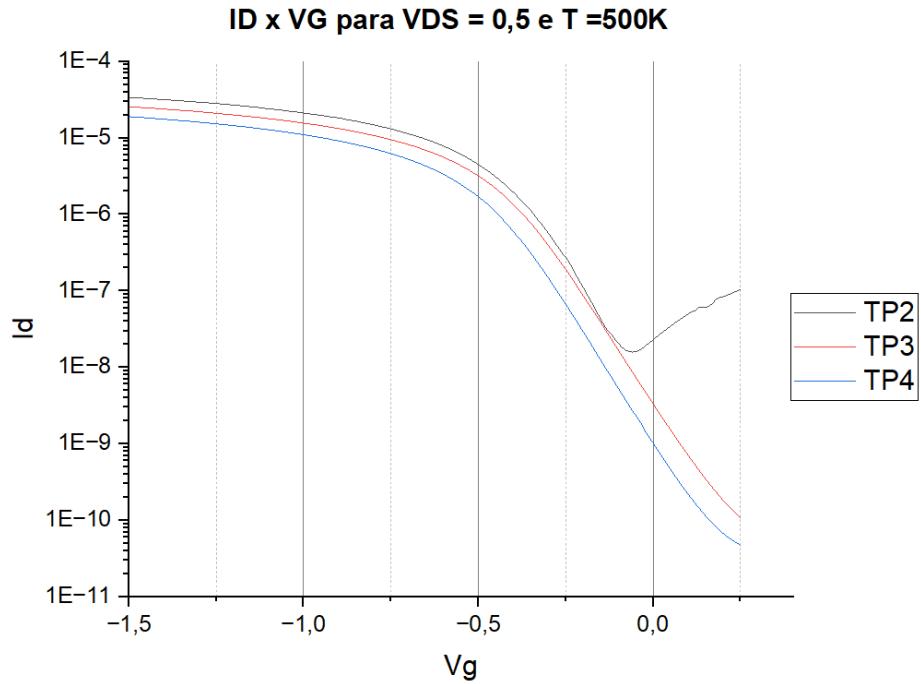


Figura 22: TP para 500K e $V_{DS} = -1,5\text{V}$.

Ao aumentar o valor de V_{DS} a corrente I_{DS} máxima aumenta, porém podemos verificar uma inconstância nesse aumento, já que para $V_{DS} = -0,05$ e 300k a menor corrente de ID que podemos

observar está na casa do 1 uA,e esse valor se mantém para as demais temperaturas. Já para $V_{DS} = -1,5$ e 300K a menor corrente de I_{DS} ainda está próxima a 1 uA, porém nesse caso esse valor não se mantém para as demais temperaturas.

4.3 Agrupamento dos transistores NMOS por transistor

Nessa subseção cada transistor NMOS foi agrupados com valores de temperatura diferente e mesmo valor de VDS.

4.3.1 Variação da temperatura e $V_{DS}=0,05V$

Cada transistor foi agrupado para varios valores de temperatura, mantendo o valor de VDS fixo em 50mV.

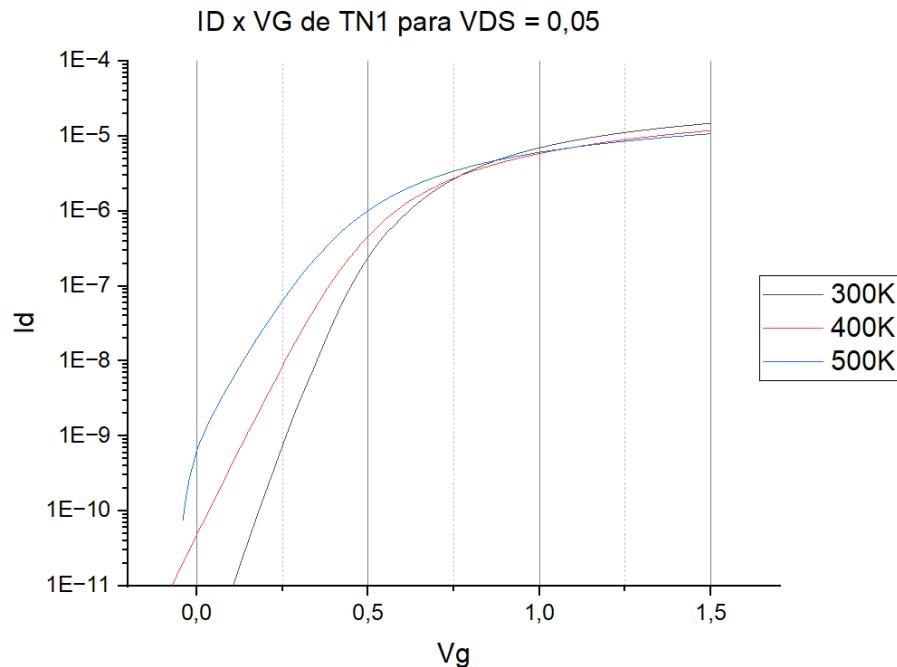


Figura 23: Transistor TN1 para todas as temperaturas e $V_{DS}=0,05$.

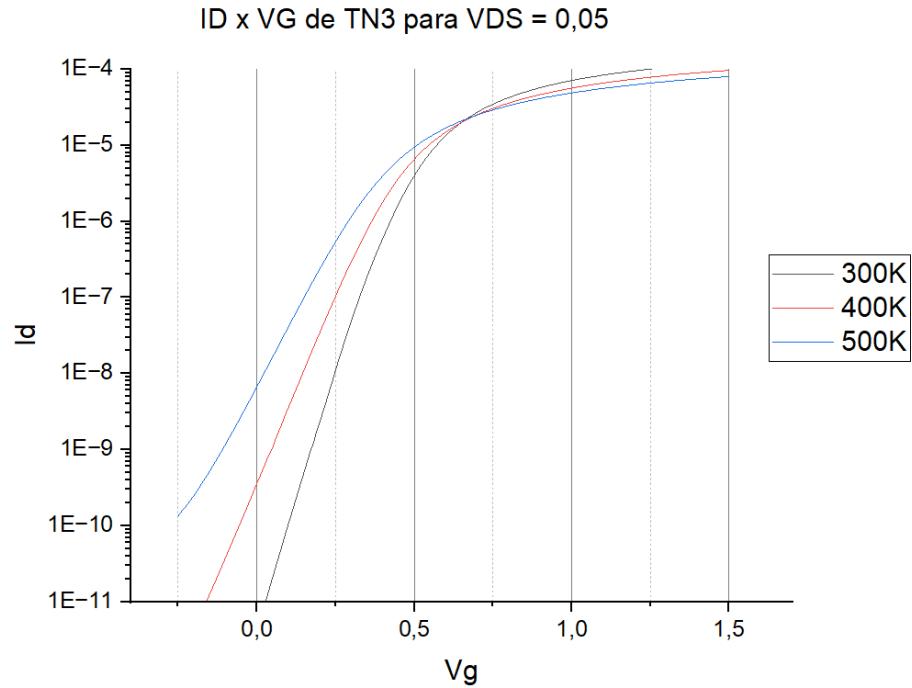


Figura 24: Transistor TN3 para todas as temperaturas e $VDS=0,05$.

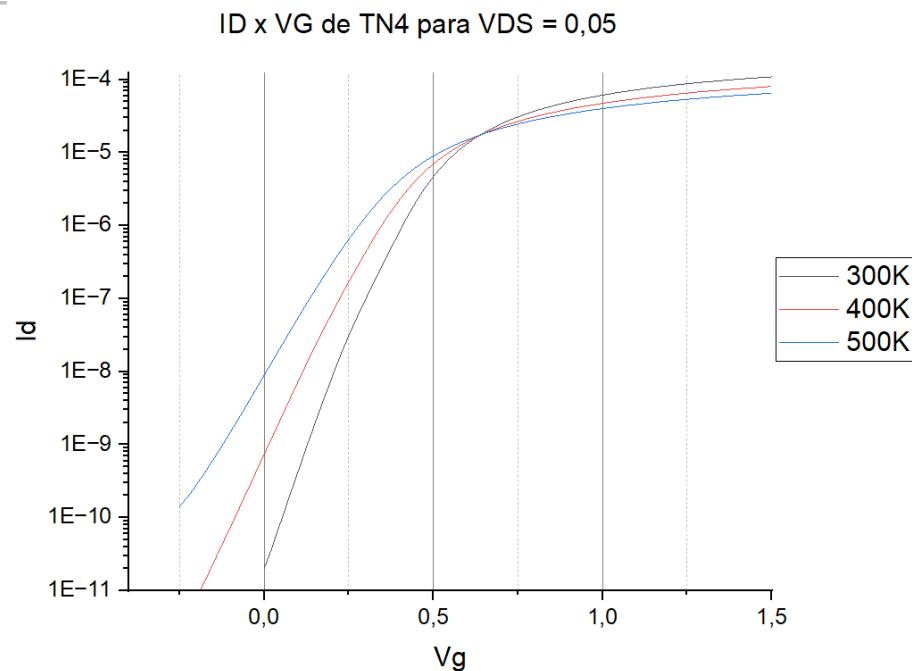


Figura 25: Transistor TN4 para todas as temperaturas e $VDS=0,05$.

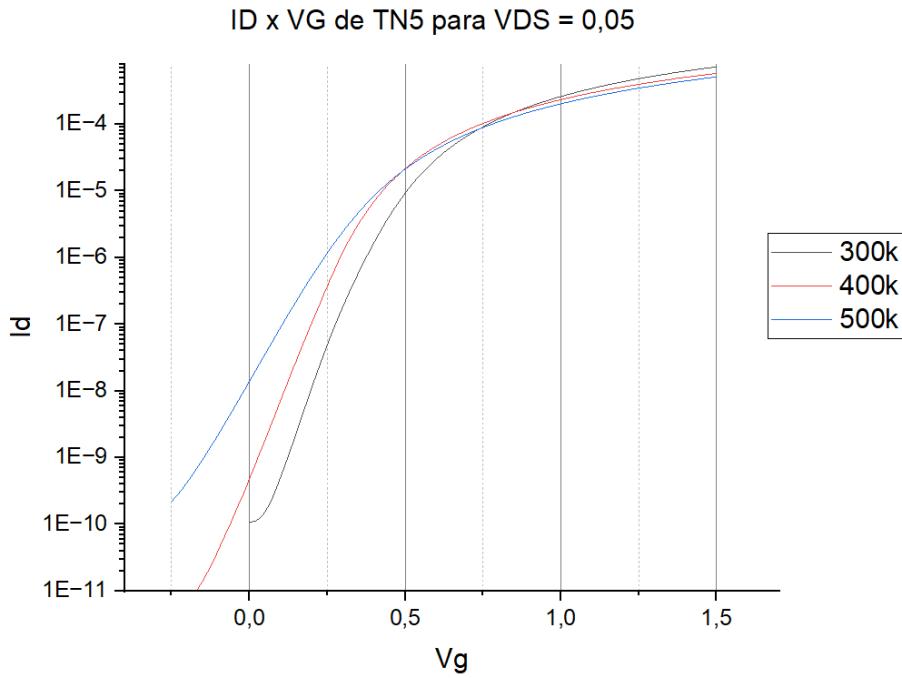


Figura 26: Transistor TN5 para todas as temperaturas e $VDS=0,05$.

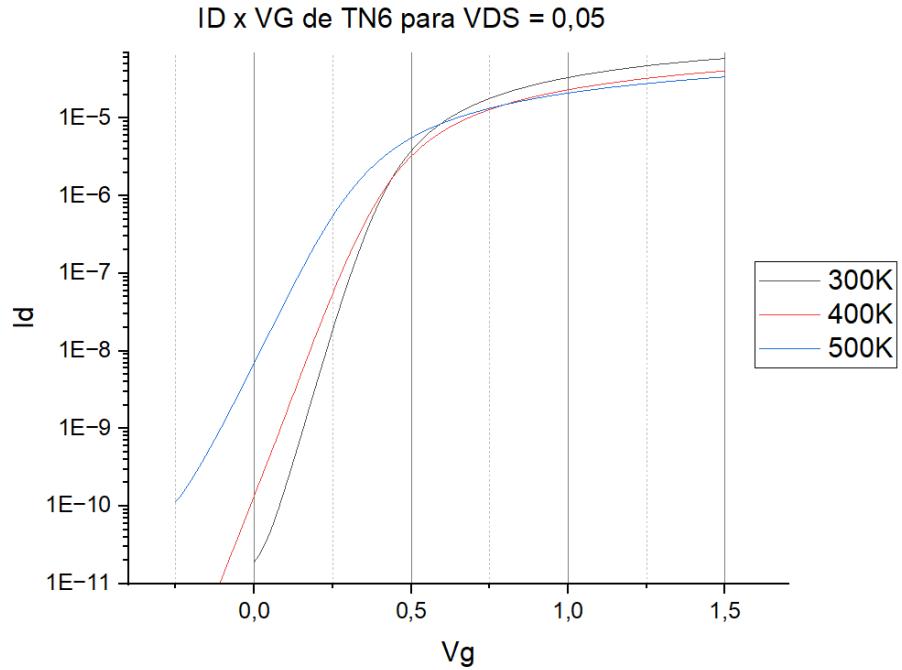


Figura 27: Transistor TN6 para todas as temperaturas e $VDS=0,05$.

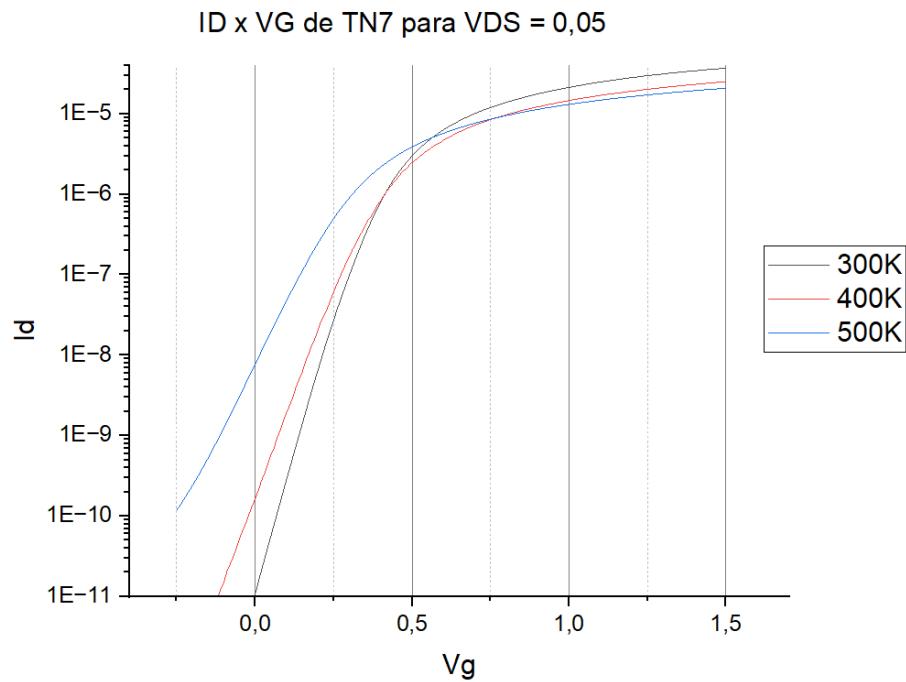


Figura 28: Transistor TN7 para todas as temperaturas e $V_{DS}=0,05$.

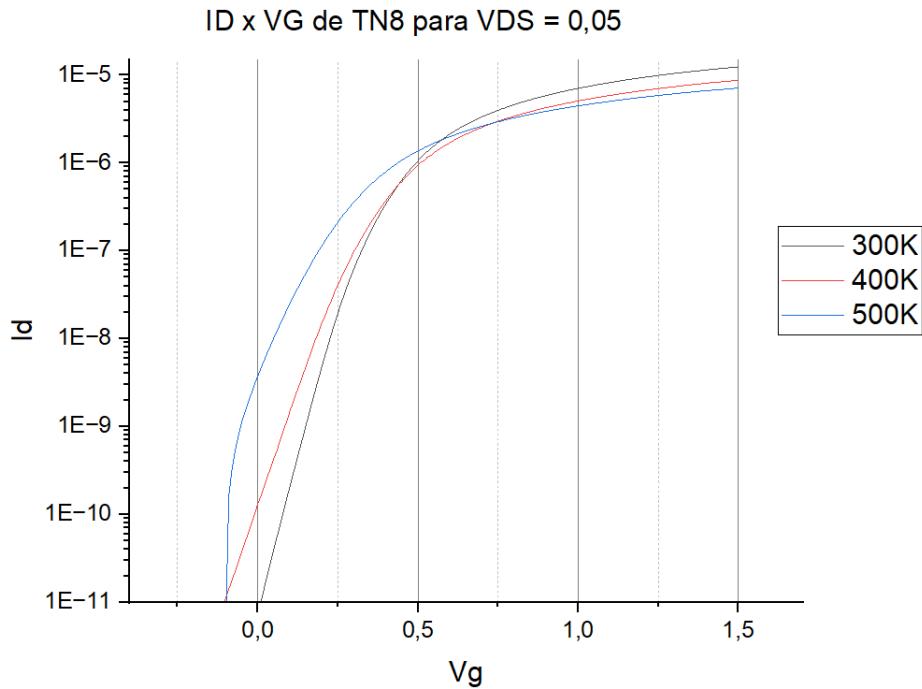


Figura 29: Transistor TN8 para todas as temperaturas e $V_{DS}=0,05$.

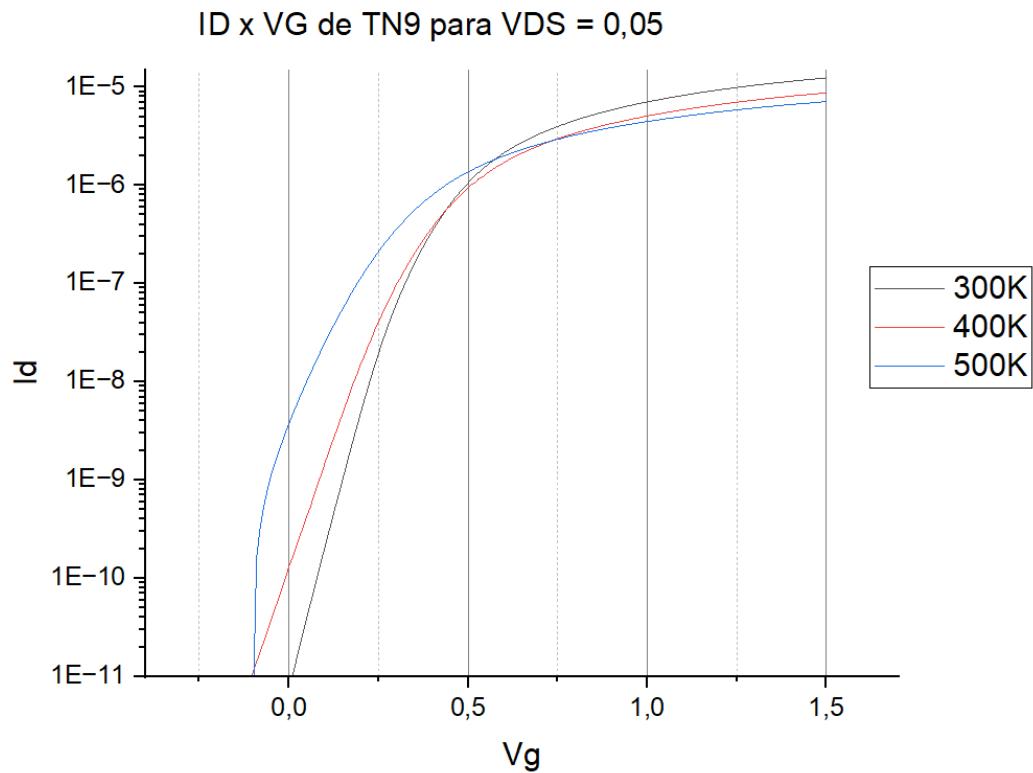


Figura 30: Transistor TN9 para todas as temperaturas e $VDS=0,05$.

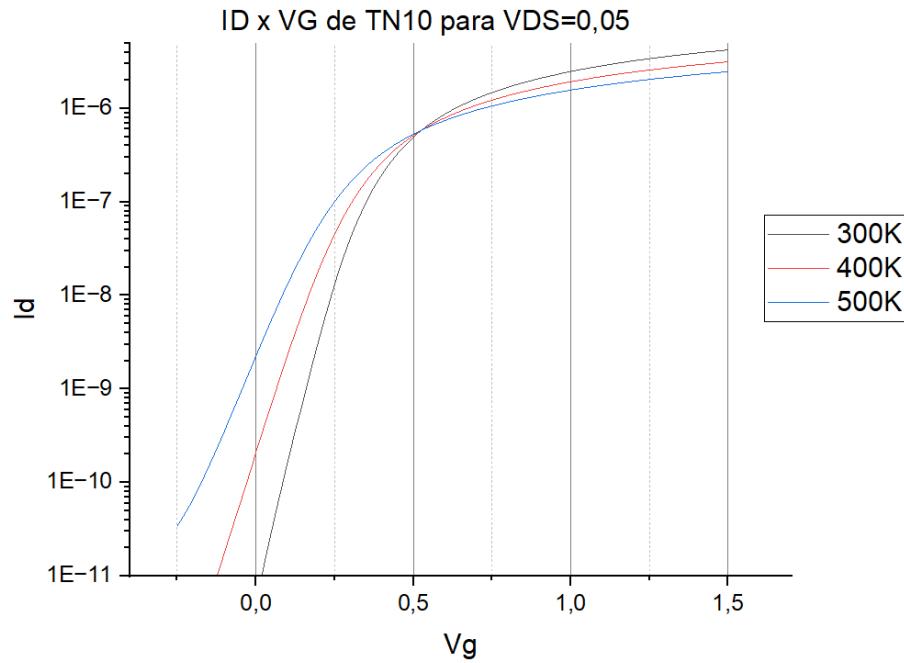


Figura 31: Transistor TN10 para todas as temperaturas e $VDS=0,05$.

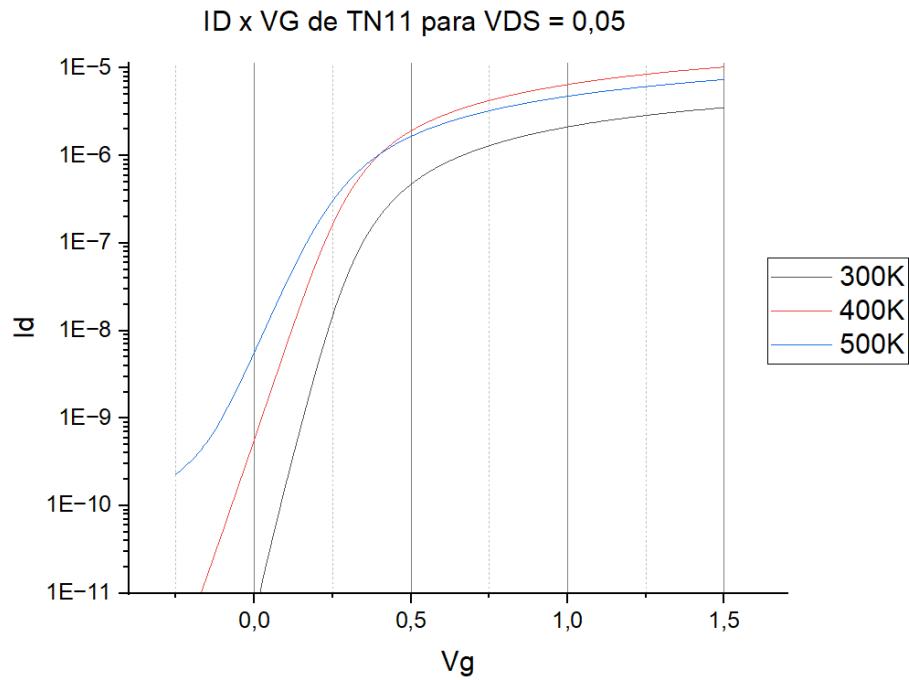


Figura 32: Transistor TN11 para todas as temperaturas e $VDS=0,05$.

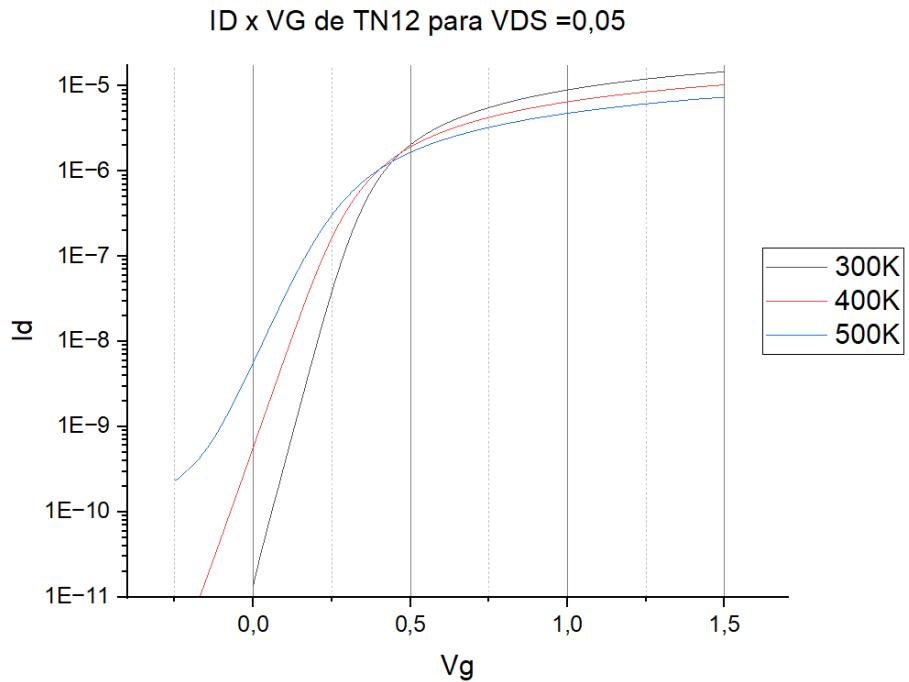


Figura 33: Transistor TN12 para todas as temperaturas e $VDS=0,05$.

Analisando as curvas podemos observar que ao atingir valores onde ID cresce muito pouco em relação a Vg , as curvas para as três temperaturas são praticamente idênticas. Porém antes de

atingir esse valor, a curva fica distante uma da outra conforme o aumento da temperatura. Esse padrão só não pode ser observado no TN11 onde a curva de 300K ficou muito distante da curva das demais temperaturas.

4.3.2 Variação da temperatura e VDS=1,5V

Cada transistor foi agrupado para varios valores de temperatura, mantendo o valor de VDS fixo em 1,5V.

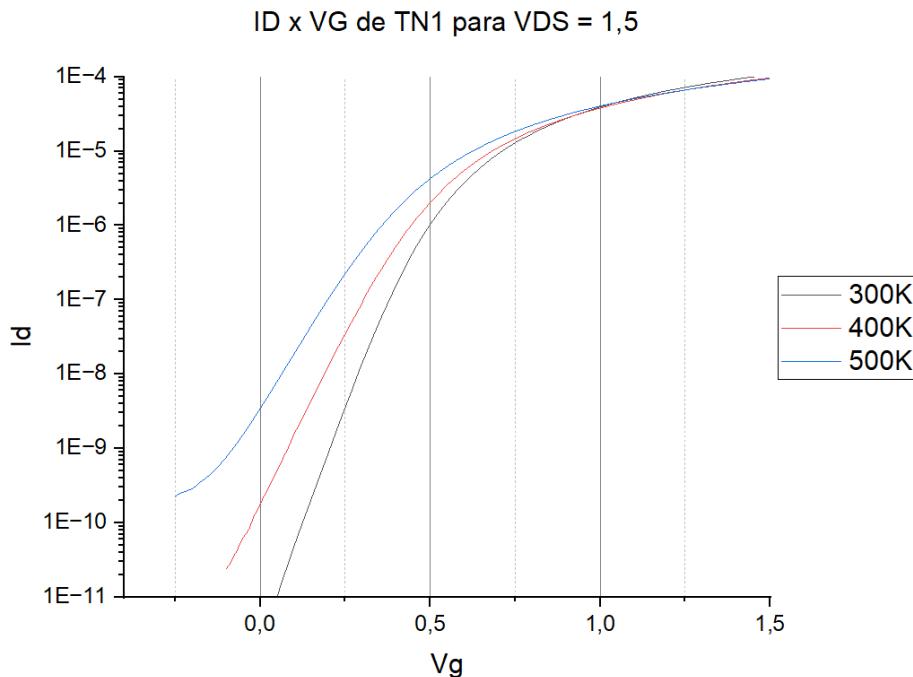


Figura 34: Transistor TN1 para todas as temperaturas e VDS=1,5.

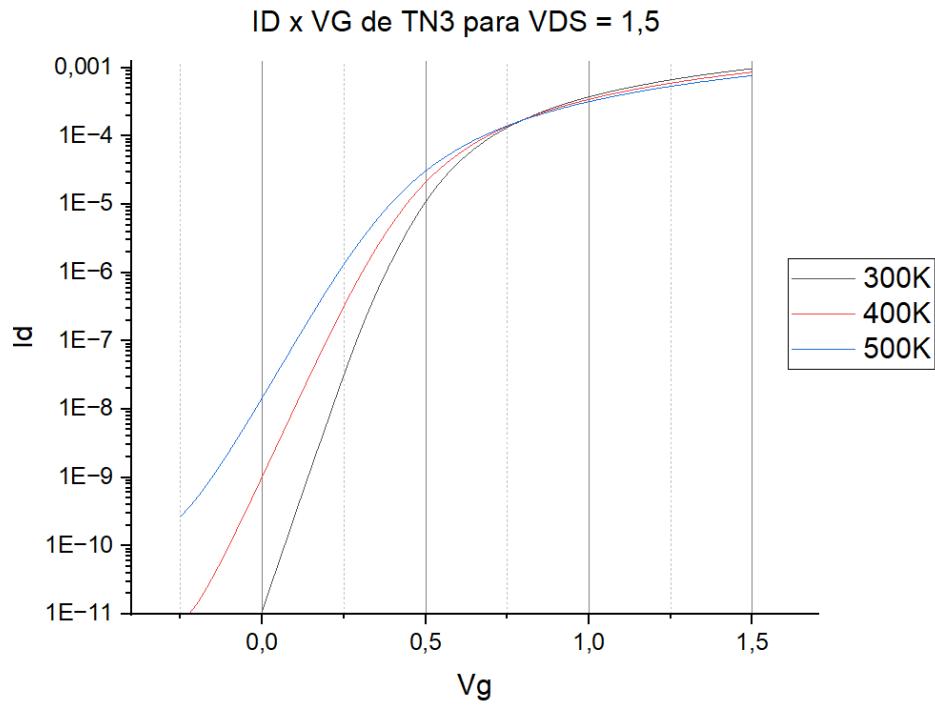


Figura 35: Transistor TN3 para todas as temperaturas e $VDS=1,5$.

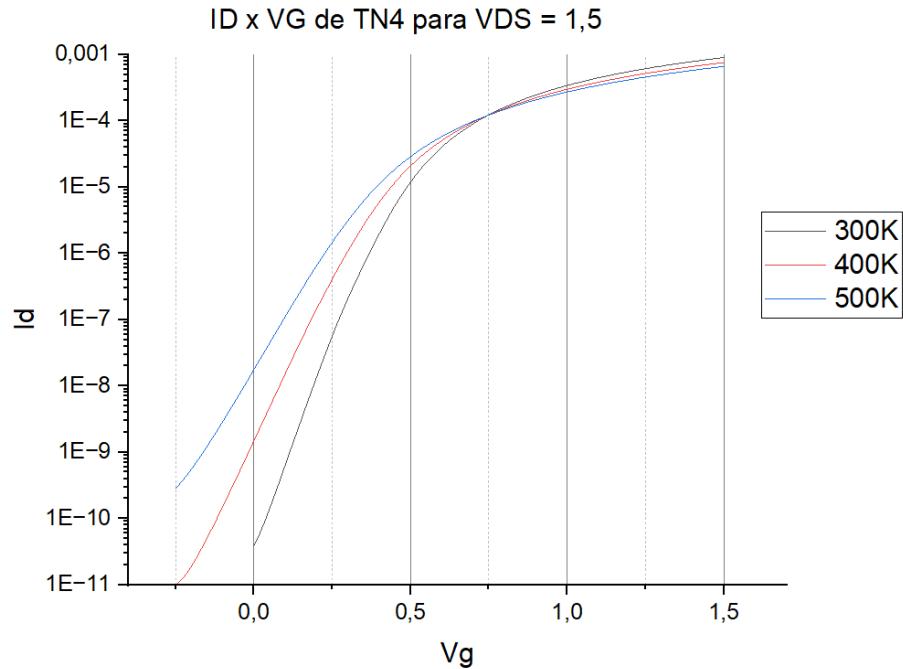


Figura 36: Transistor TN4 para todas as temperaturas e $VDS=1,5$.

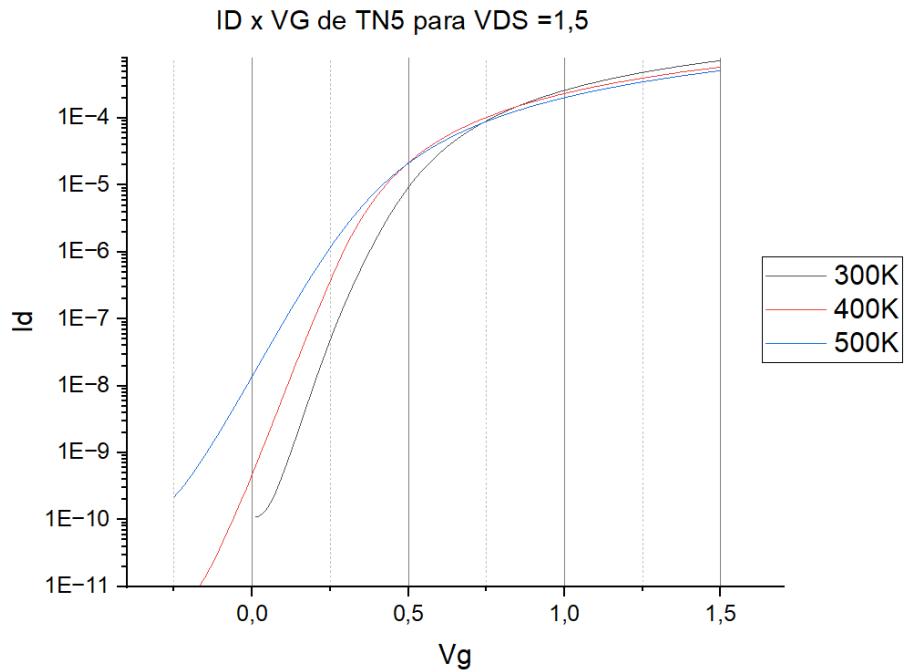


Figura 37: Transistor TN5 para todas as temperaturas e VDS=1,5.

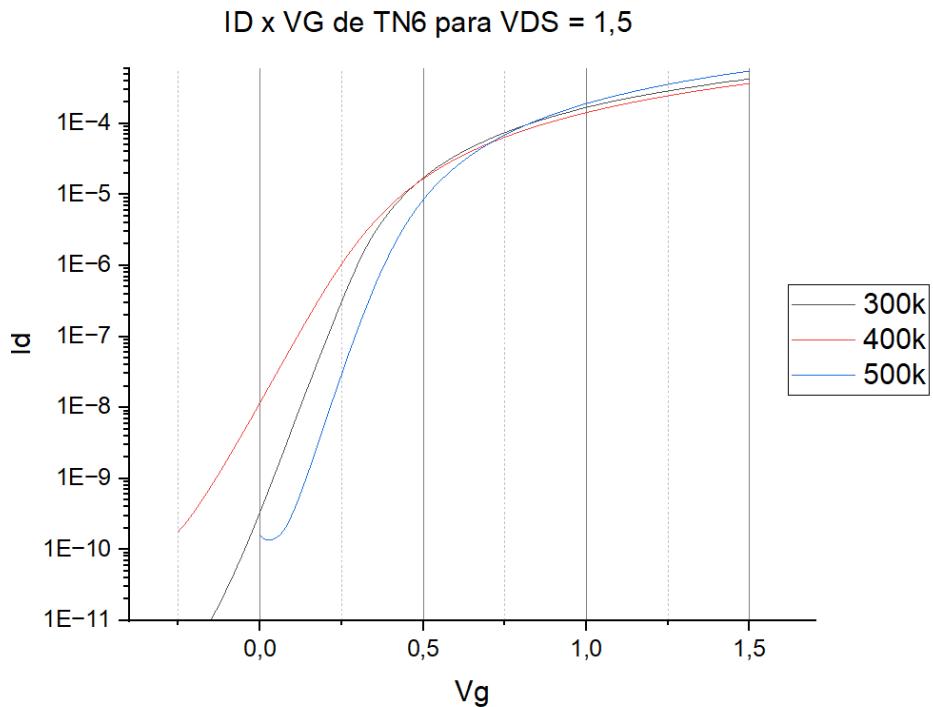


Figura 38: Transistor TN6 para todas as temperaturas e VDS=1,5.

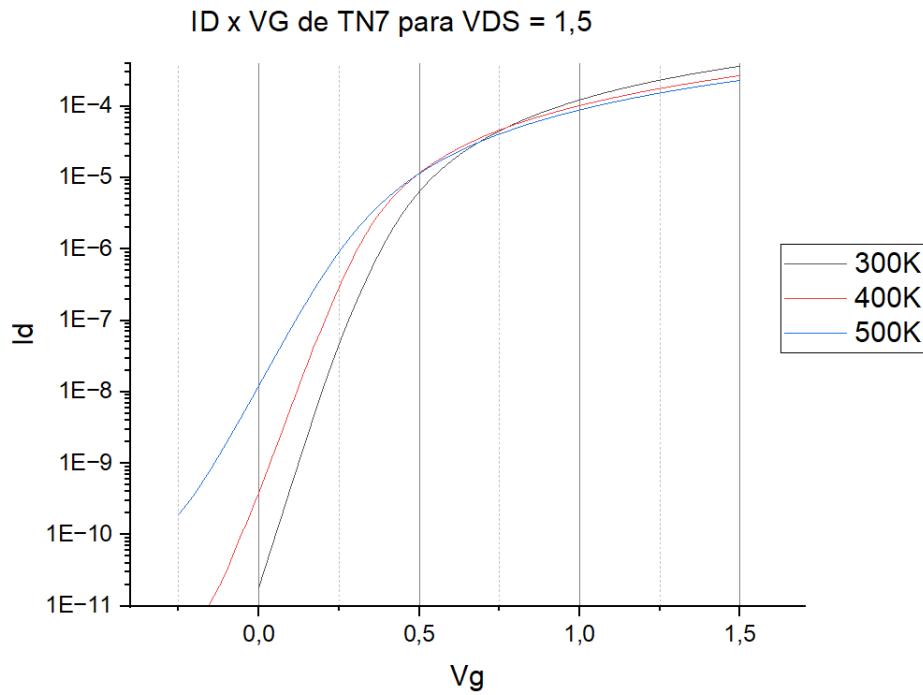


Figura 39: Transistor TN7 para todas as temperaturas e $V_{DS}=1,5$.

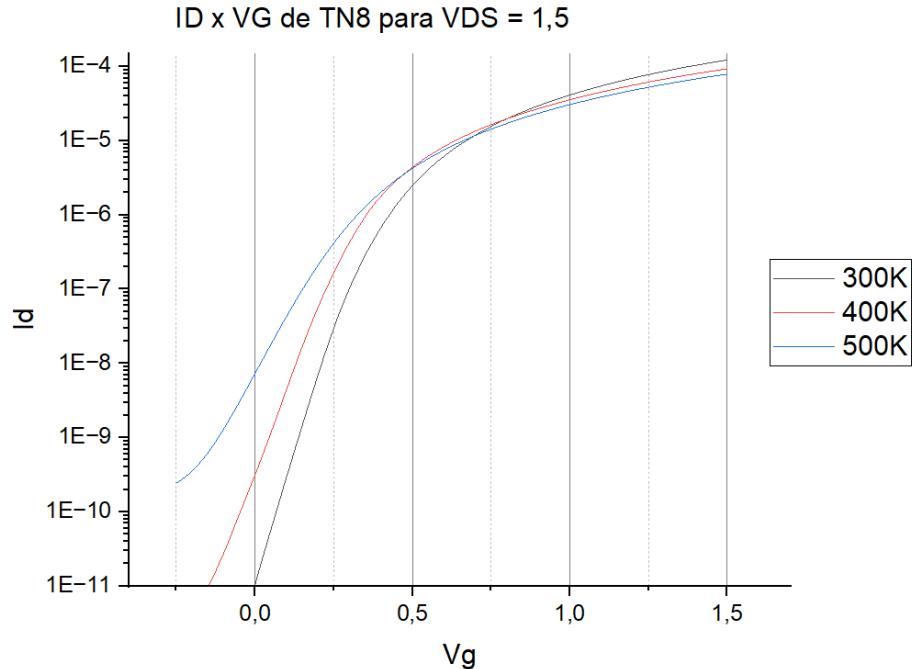


Figura 40: Transistor TN8 para todas as temperaturas e $V_{DS}=1,5$.

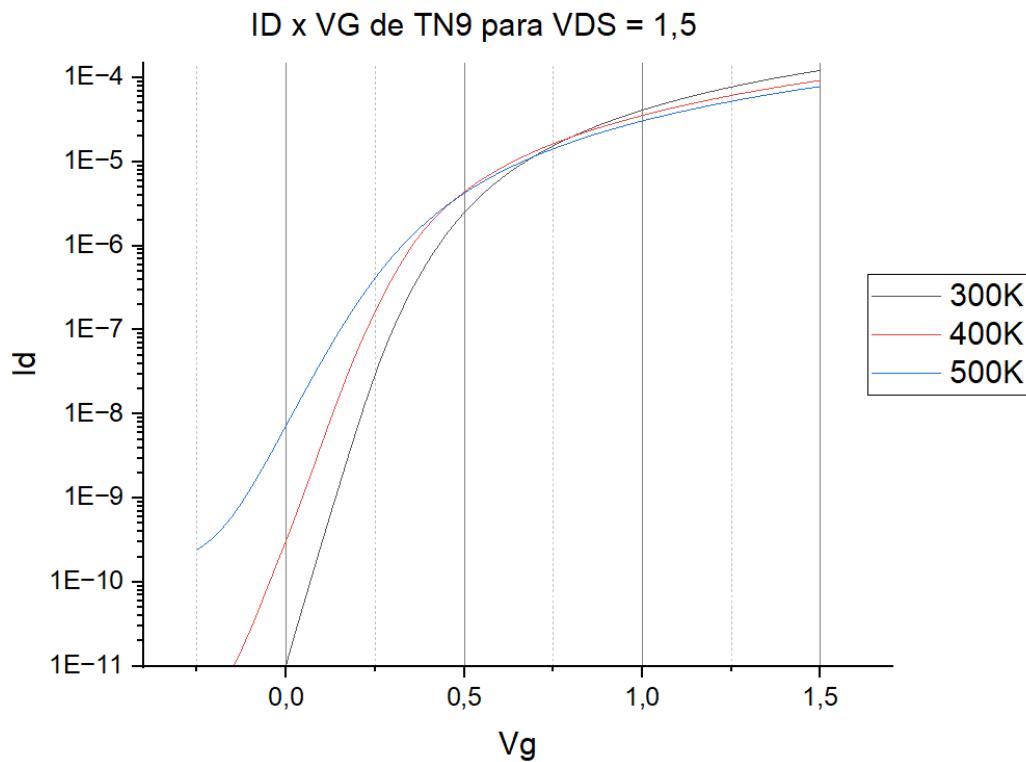


Figura 41: Transistor TN9 para todas as temperaturas e $VDS=1,5$.

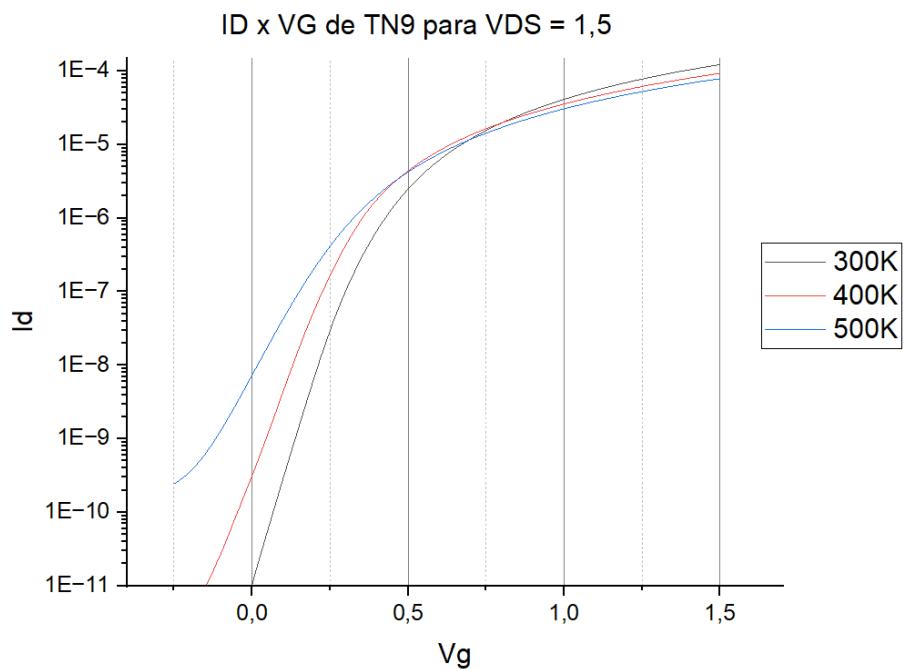


Figura 42: Transistor TN9 para todas as temperaturas e $VDS=1,5$.

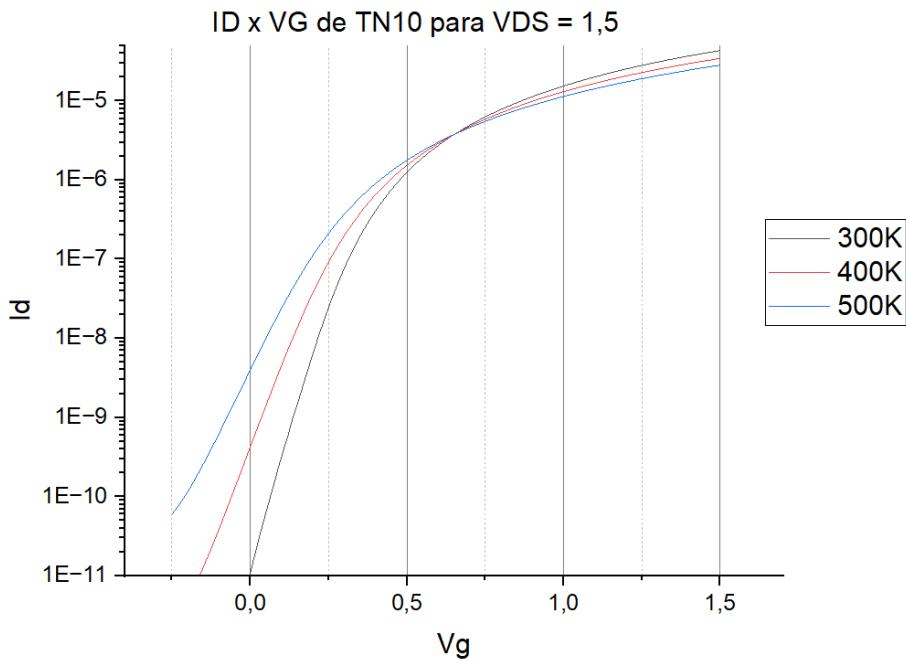


Figura 43: Transistor TN10 para todas as temperaturas e $V_{DS}=1,5$.

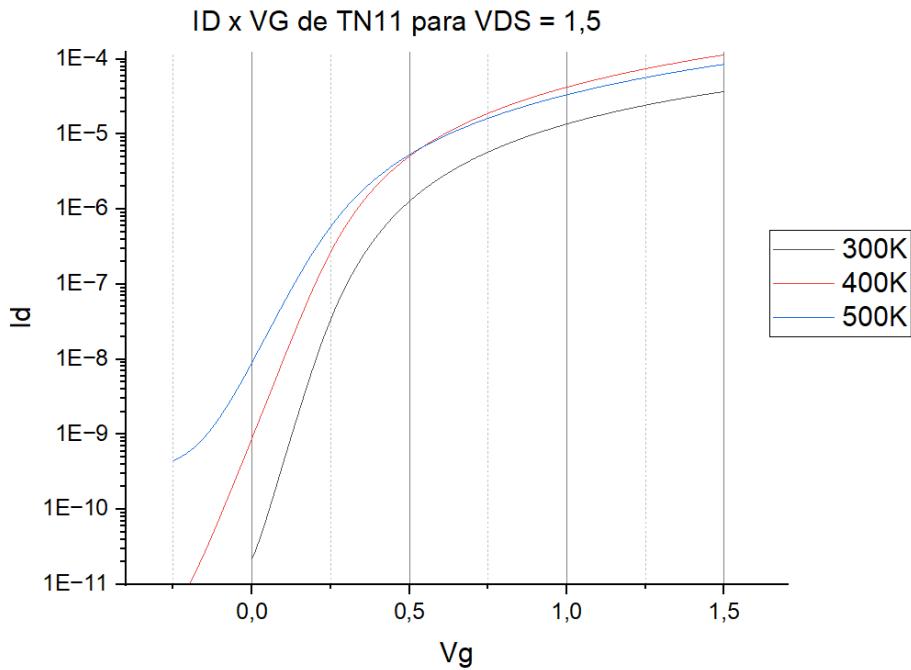


Figura 44: Transistor TN11 para todas as temperaturas e $V_{DS}=1,5$.

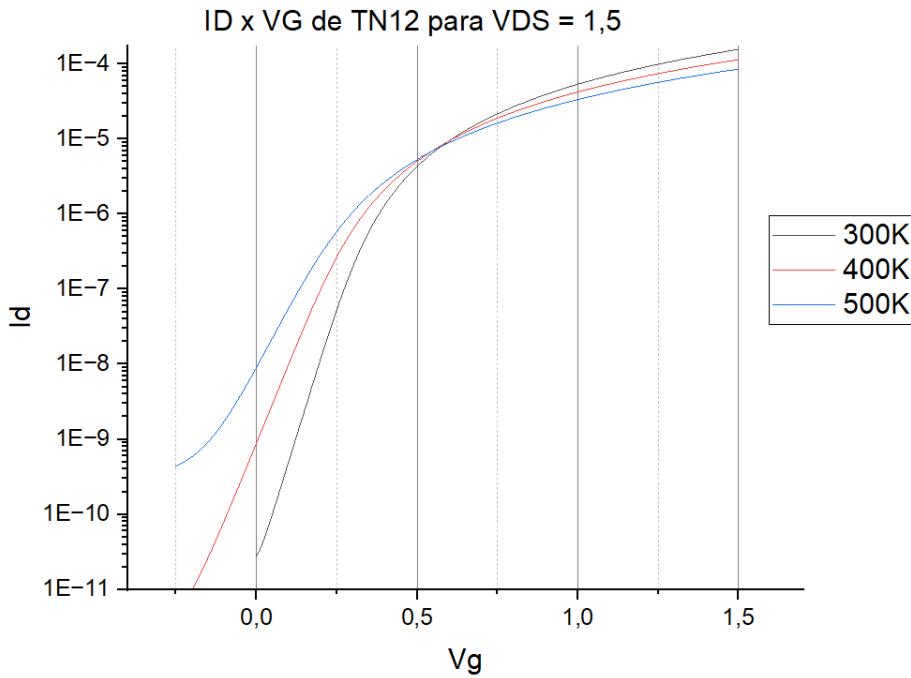


Figura 45: Transistor TN12 para todas as temperaturas e $V_{DS}=1,5$.

O aumento de V_{DS} trouxe um valor de I_D maior para todos os transistores, mas eles seguiram o padrão dito no tópico anterior.

4.4 Agrupamento dos transistores PMOS por transistor

Nessa subseção cada transistor PMOS foi agrupados com valores de temperatura diferente e mesmo valor de V_{DS} .

4.4.1 Variação da temperatura e $V_{DS}=0,05V$

Cada transistor foi agrupado para varios valores de temperatura, mantendo o valor de V_{DS} fixo em 50mV.

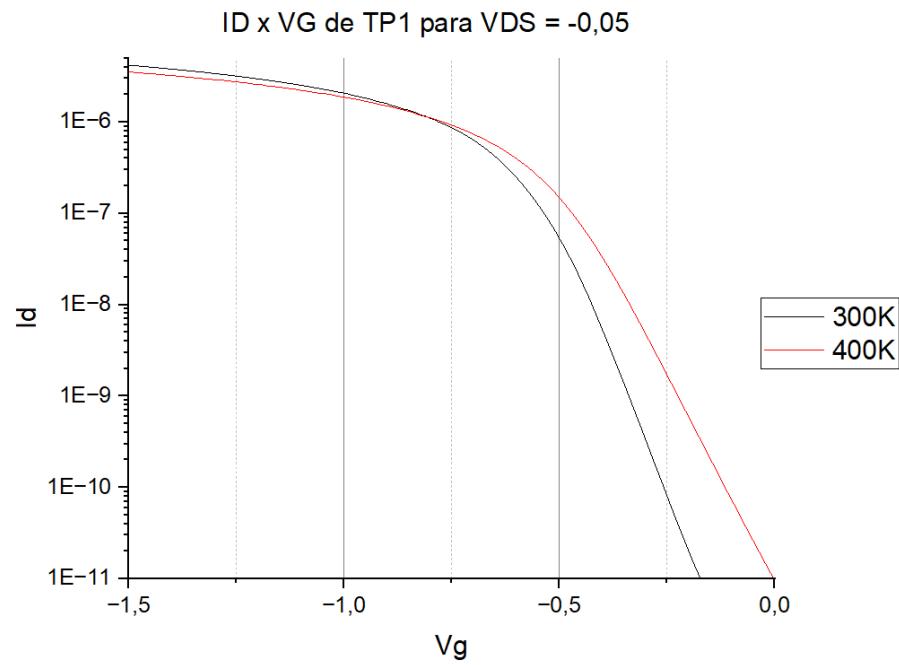


Figura 46: Transistor TP1 para todas as temperaturas e $V_{DS}=-0,05$.

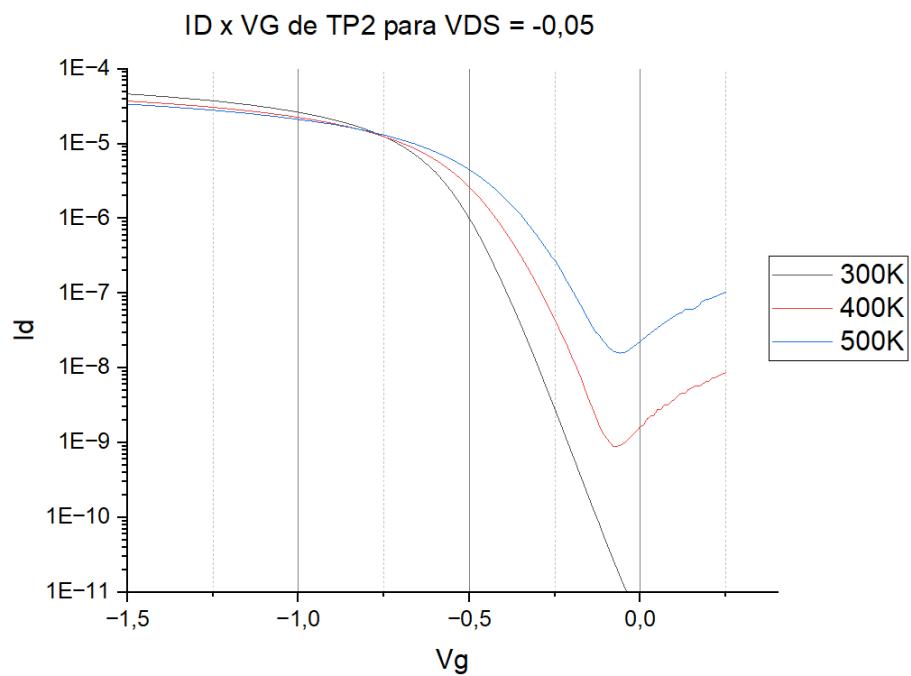


Figura 47: Transistor TP2 para todas as temperaturas e $V_{DS}=-0,05$.

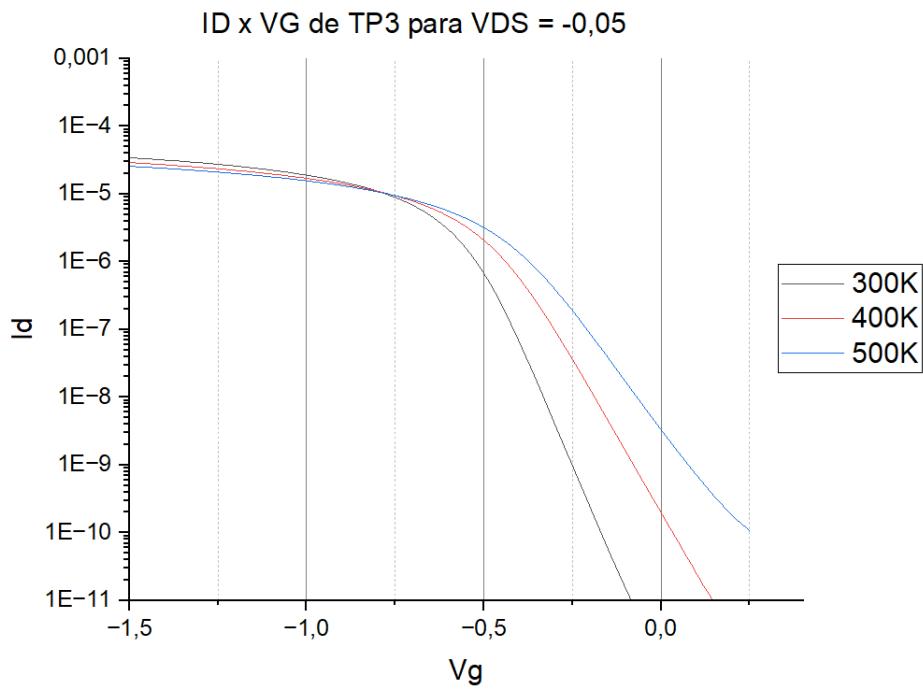


Figura 48: Transistor TP3 para todas as temperaturas e $VDS=-0,05$.

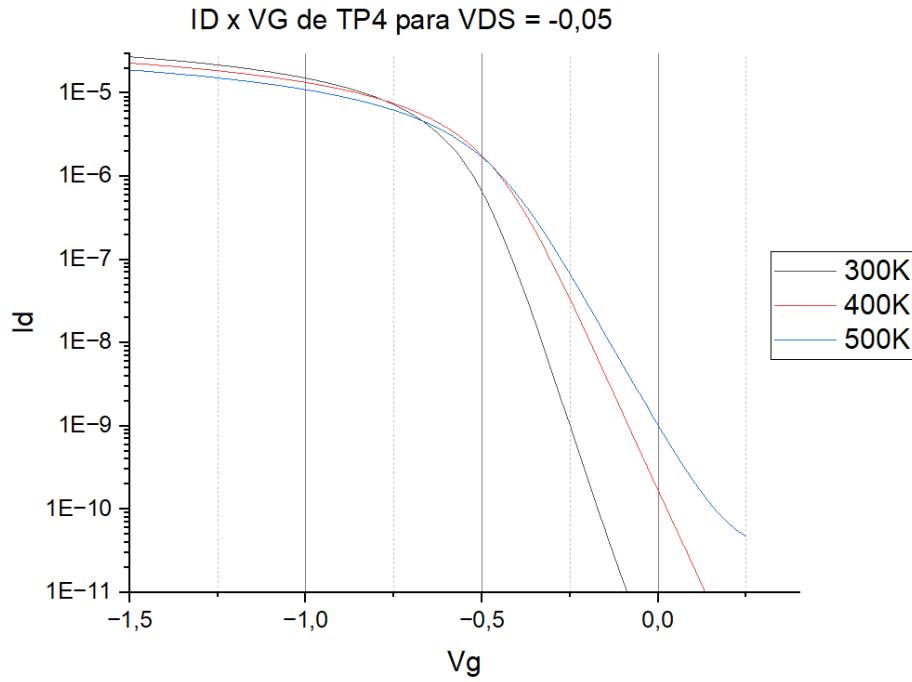


Figura 49: Transistor TP4 para todas as temperaturas e $VDS=-0,05$.

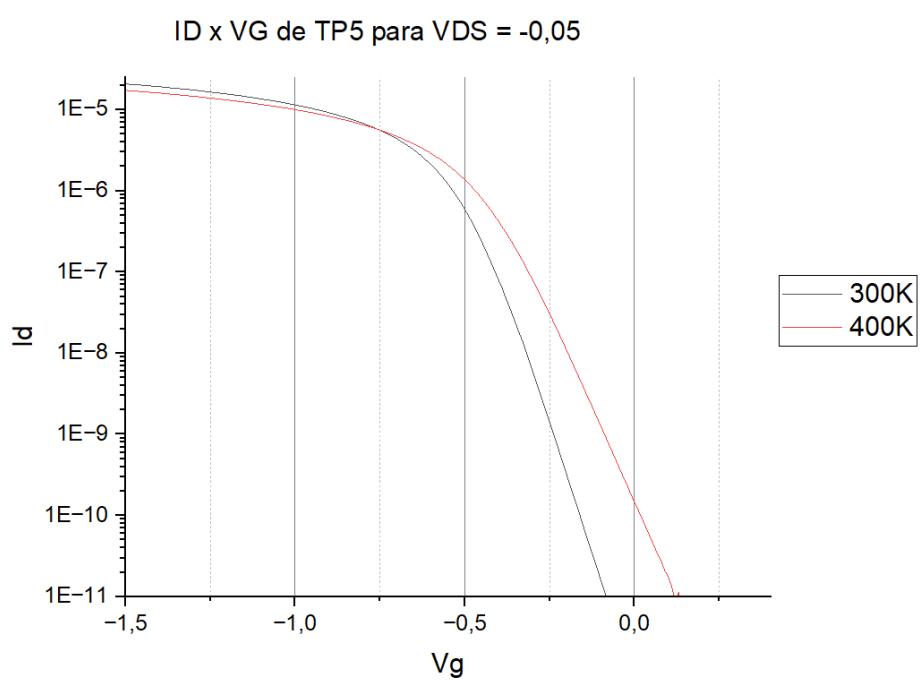


Figura 50: Transistor TP5 para todas as temperaturas e $V_{DS}=-0,05$.

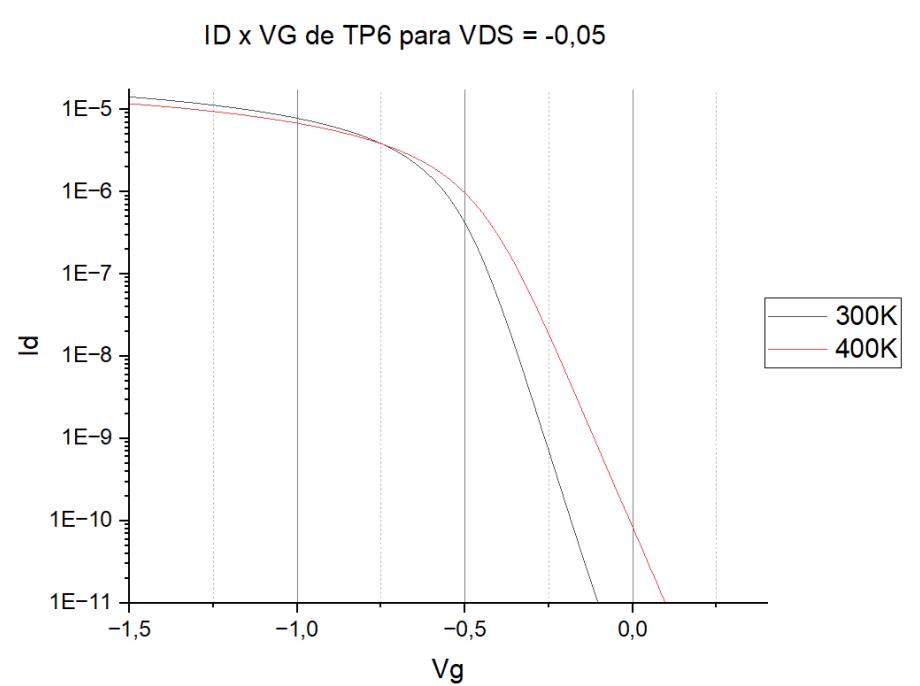


Figura 51: Transistor TP6 para todas as temperaturas e $V_{DS}=-0,05$.

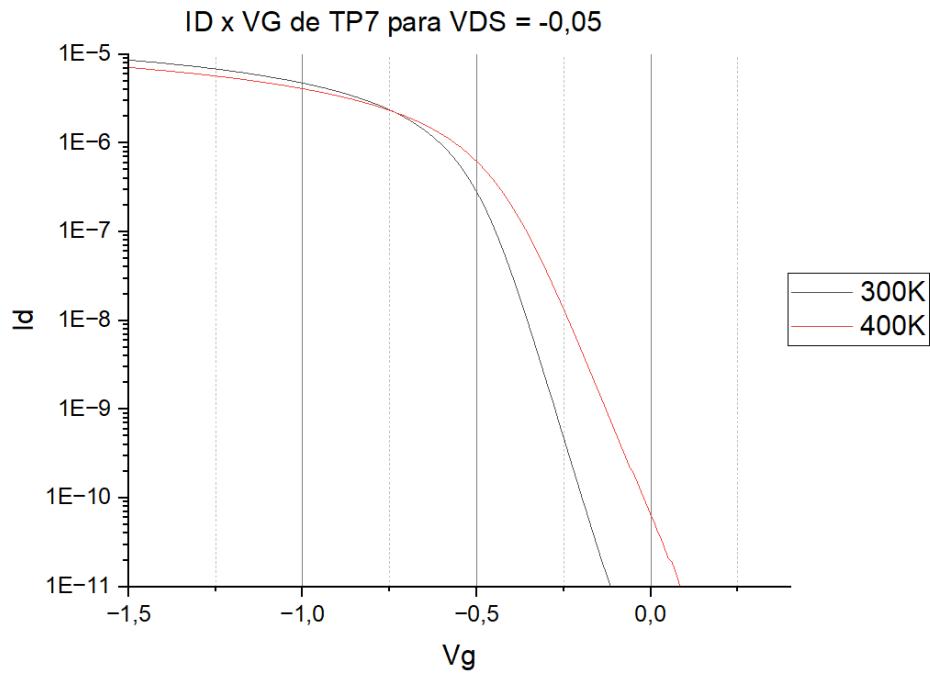


Figura 52: Transistor TP7 para todas as temperaturas e $V_{DS}=-0,05$.

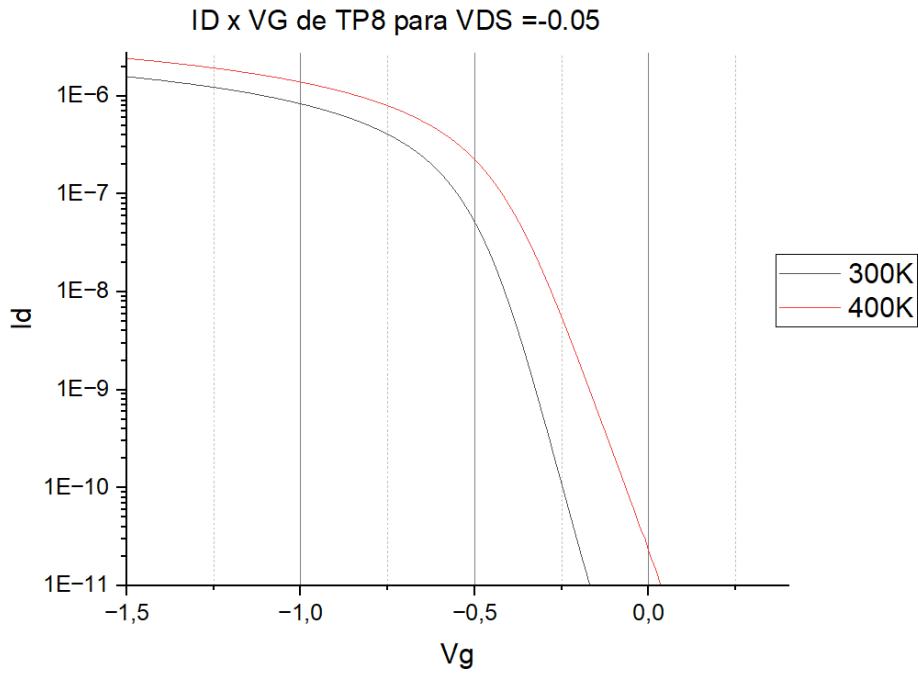


Figura 53: Transistor TP8 para todas as temperaturas e $V_{DS}=-0,05$.

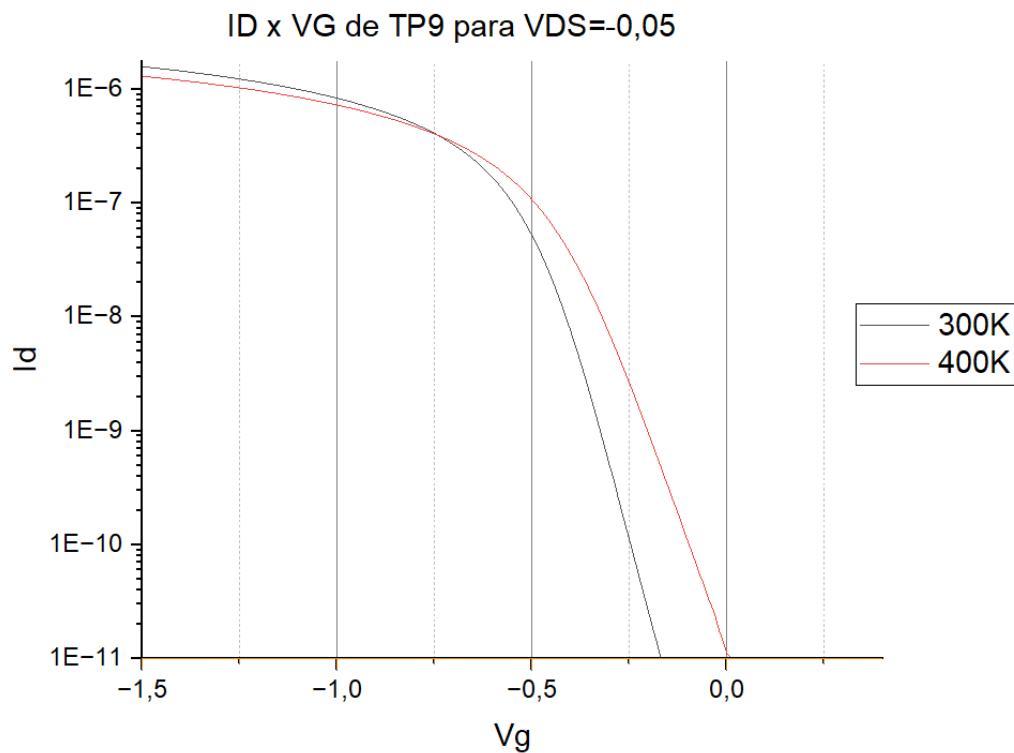


Figura 54: Transistor TP9 para todas as temperaturas e $VDS=-0,05$.

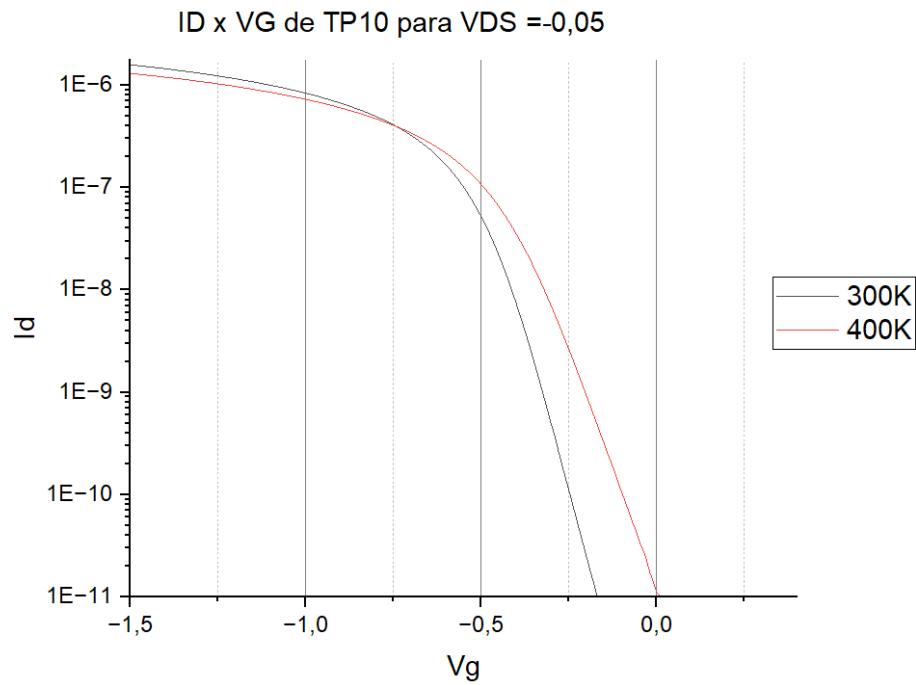


Figura 55: Transistor TP10 para todas as temperaturas e $VDS=-0,05$.

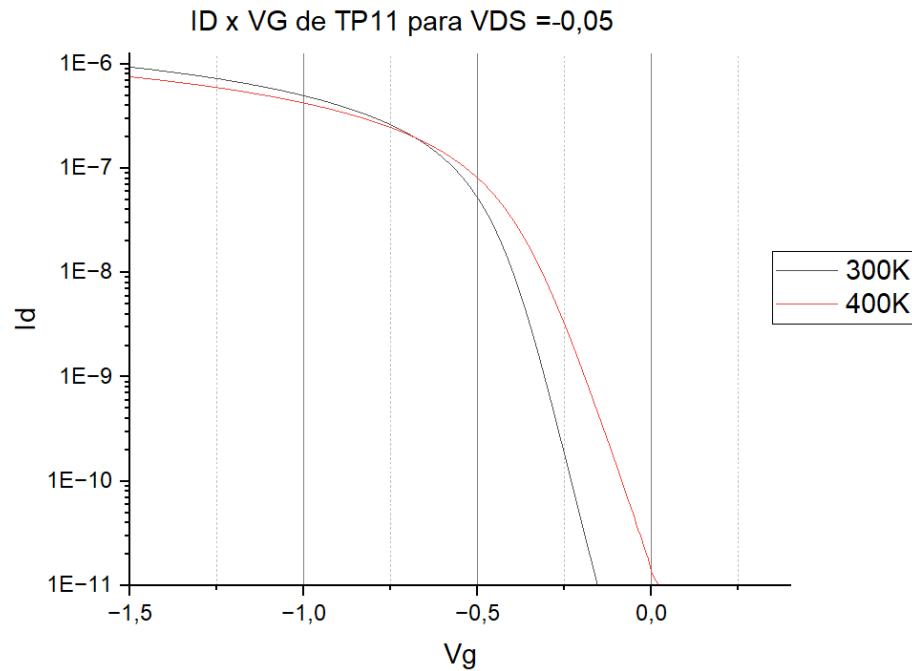


Figura 56: Transistor TP11 para todas as temperaturas e $VDS=-0,05$.

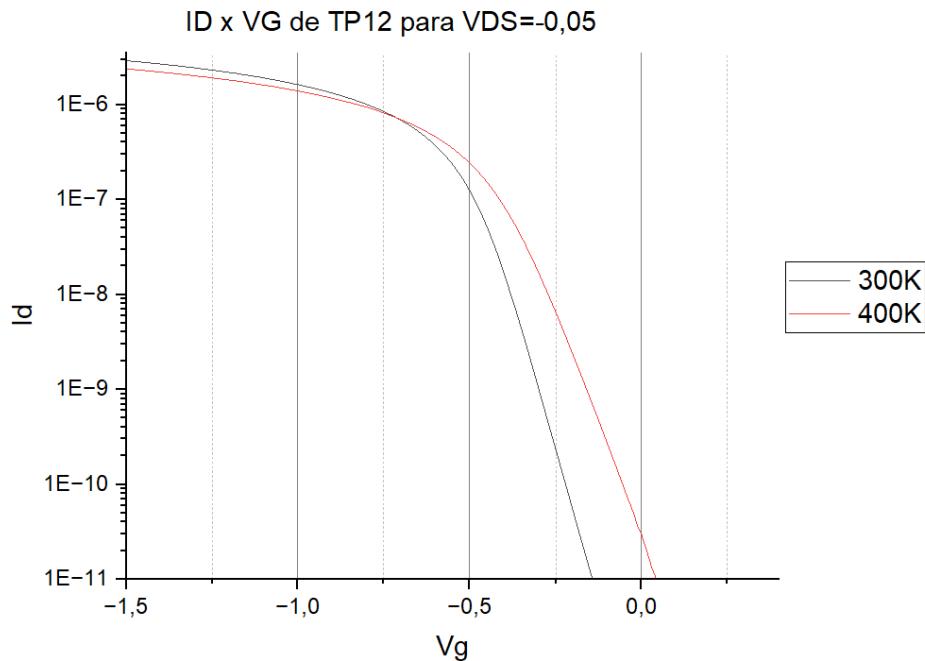


Figura 57: Transistor TP12 para todas as temperaturas e $VDS=-0,05$.

Ao analisar os transistores PMOS de um modo geral, podemos notar um comportamento parecido com os NMOS, onde para o mesmo valor de VDS temos nos maiores valores de ID um padrão, onde o transistor alcança esse mesmo valor máximo para todas as temperaturas. Porém

nesse caso temos uma alteração no transistor PMOS TP2, onde para 300K a curva está no formato desejado e para as temperaturas de 400K e 500K no momento em que ID tem valores baixos pode-se notar uma instabilidade.

Para esse conjunto, pode-se notar também que o TP8 não tem valores máximos de ID próximos igual o padrão que segue os outros transistores PMOs.

4.4.2 Variação da temperatura e VDS=1,5V

Cada transistor foi agrupado para vários valores de temperatura, mantendo o valor de VDS fixo em 1,5V.

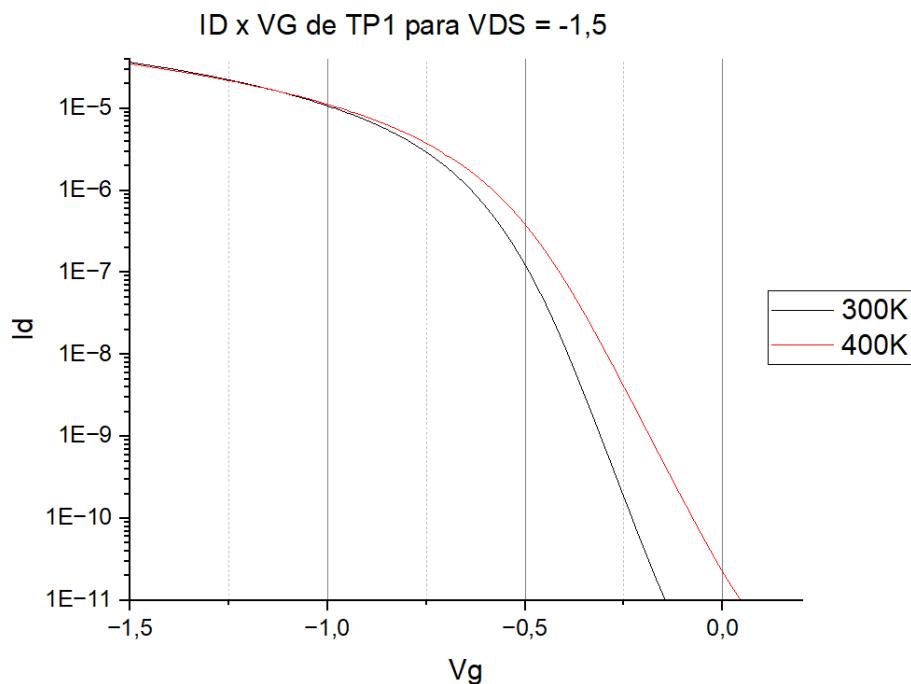


Figura 58: Transistor TP1 para todas as temperaturas e $VDS=-1,5$.

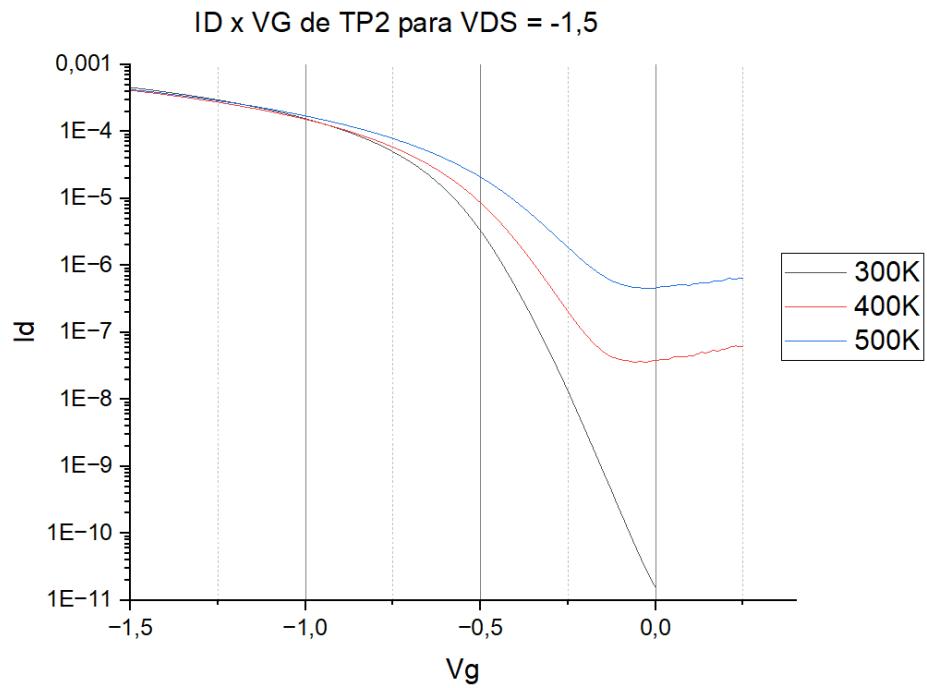


Figura 59: Transistor TP2 para todas as temperaturas e $VDS=-1,5$.

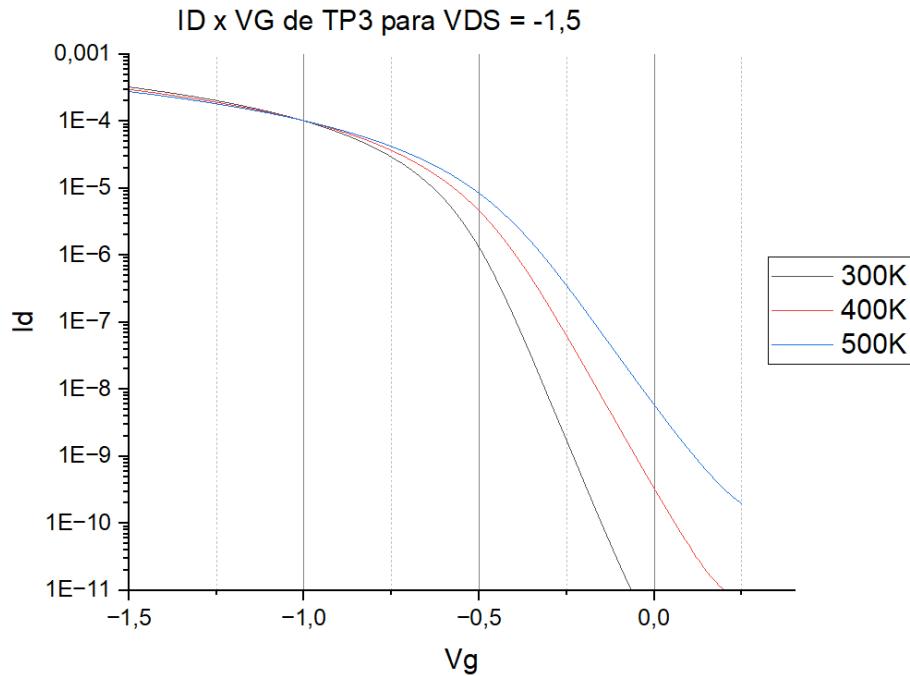


Figura 60: Transistor TP3 para todas as temperaturas e $VDS=-1,5$.

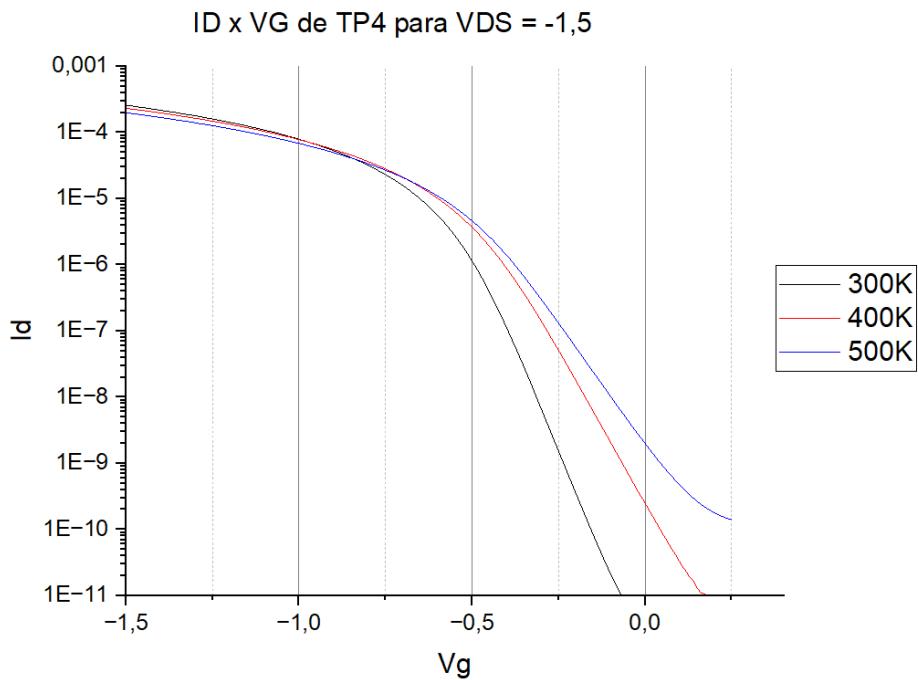


Figura 61: Transistor TP4 para todas as temperaturas e $VDS=-1,5$.

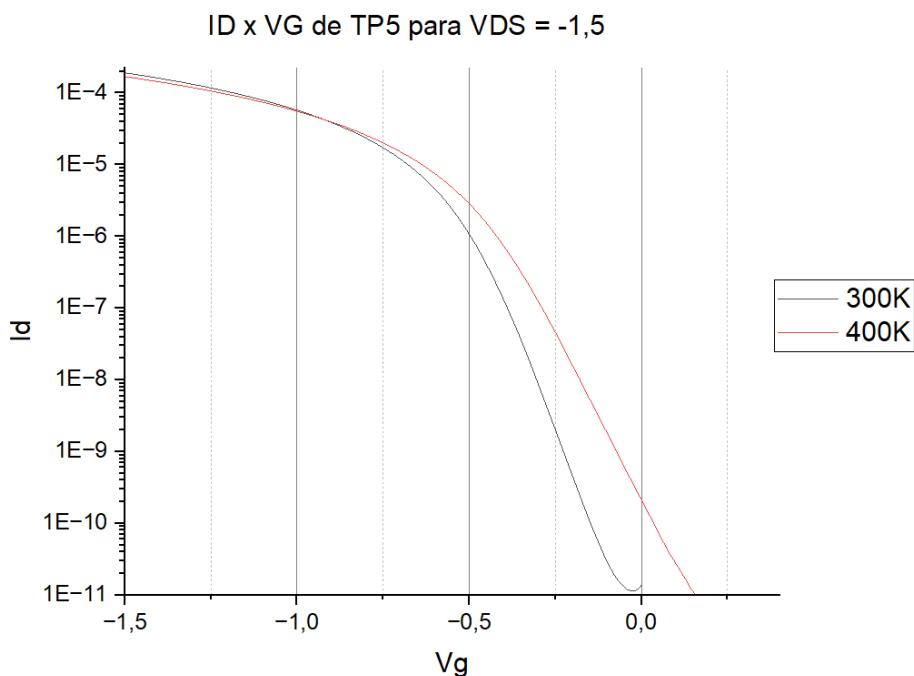


Figura 62: Transistor TP5 para todas as temperaturas e $VDS=-1,5$.

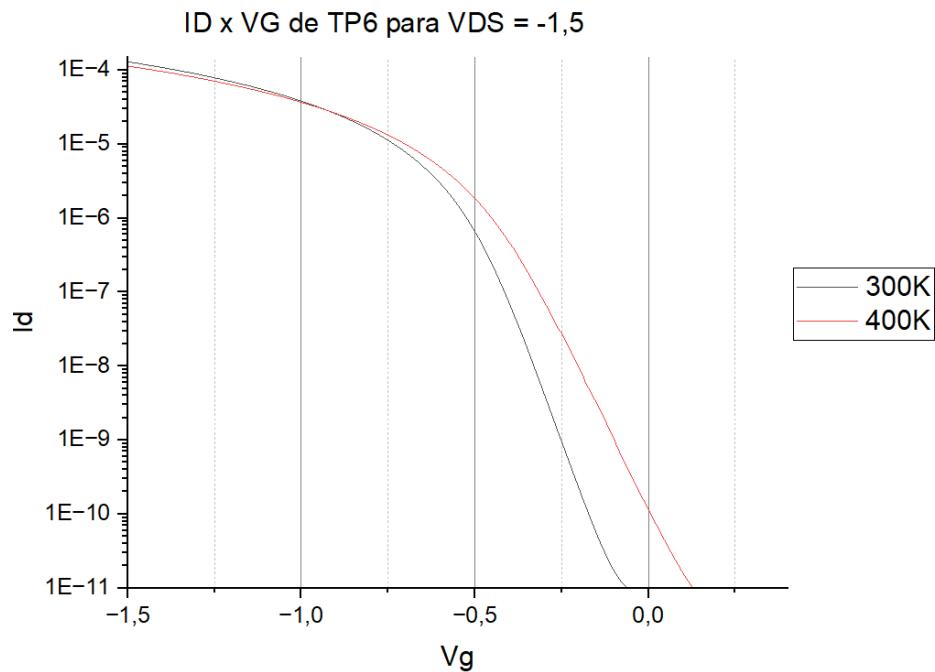


Figura 63: Transistor TP6 para todas as temperaturas e $VDS=-1,5$.

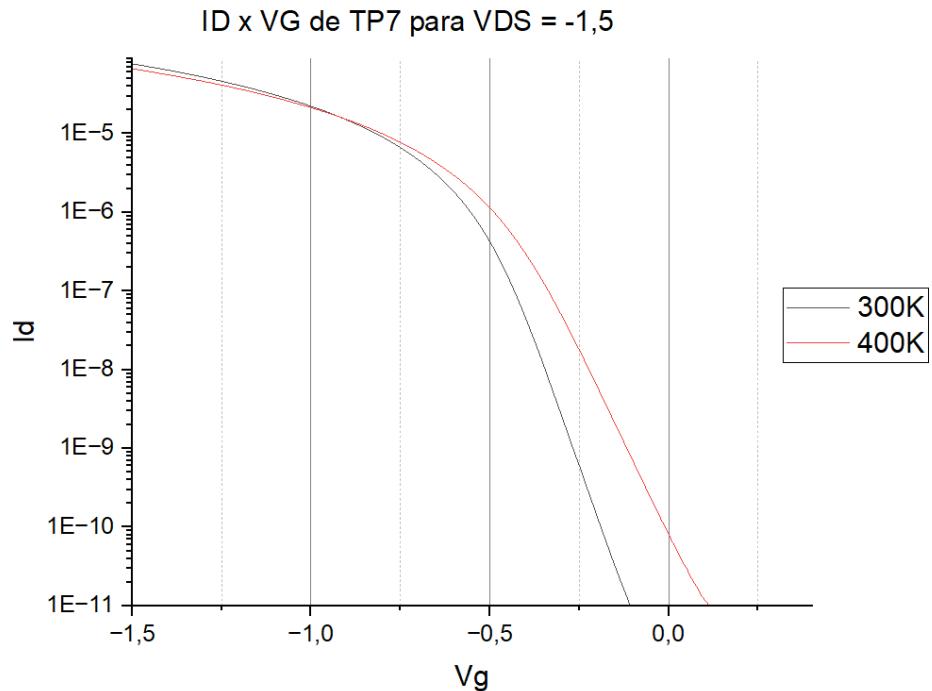


Figura 64: Transistor TP7 para todas as temperaturas e $VDS=-1,5$.

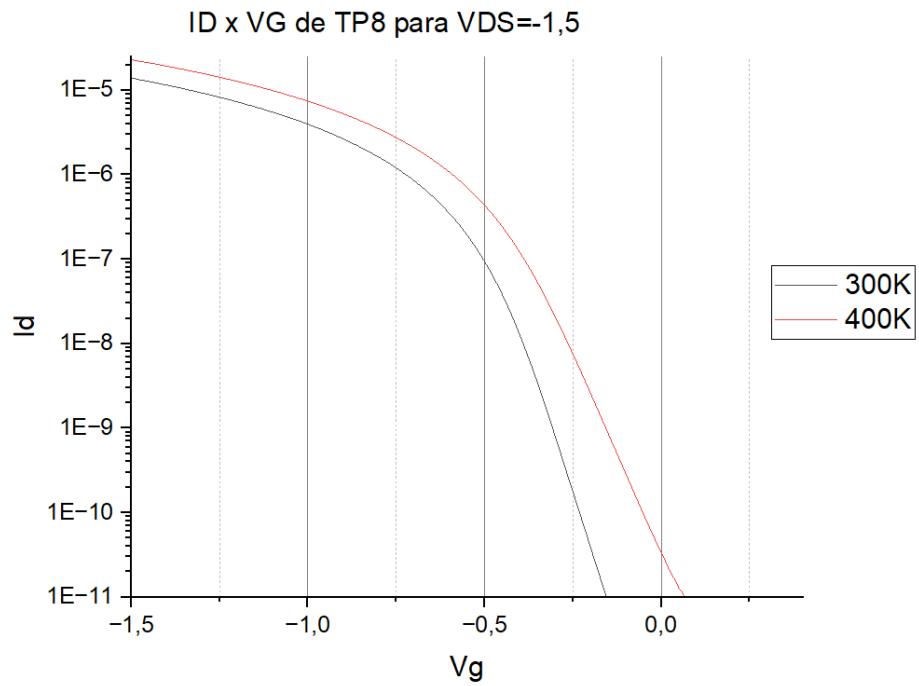


Figura 65: Transistor TP8 para todas as temperaturas e $VDS=-1,5$.

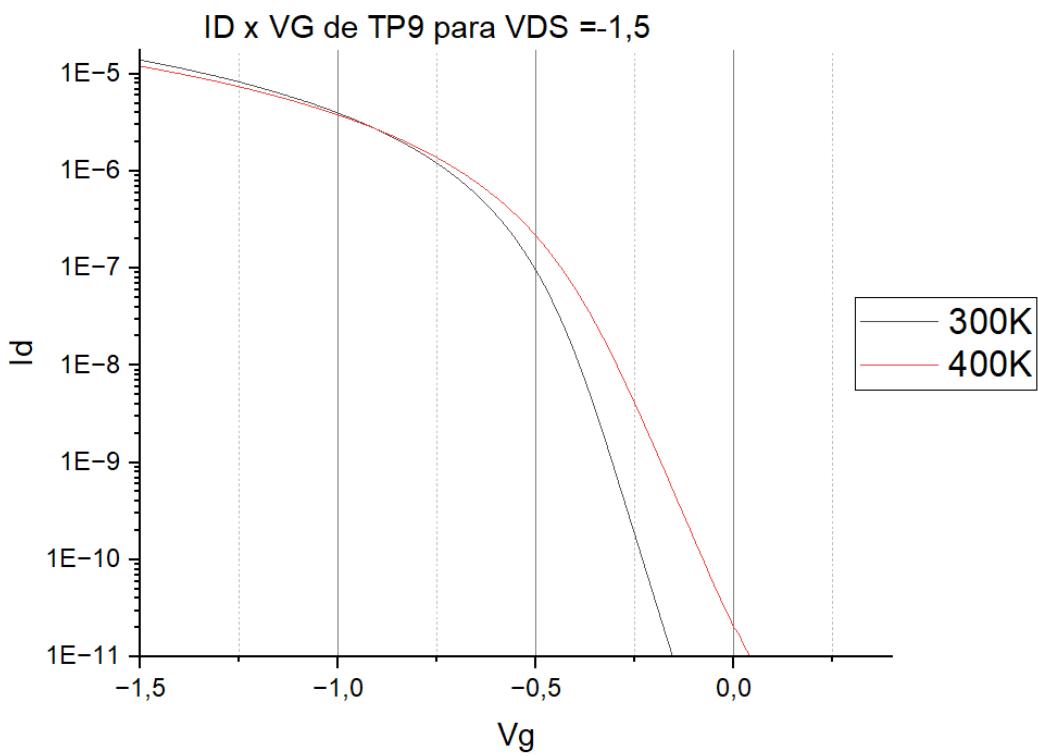


Figura 66: Transistor TP9 para todas as temperaturas e $VDS=-1,5$.

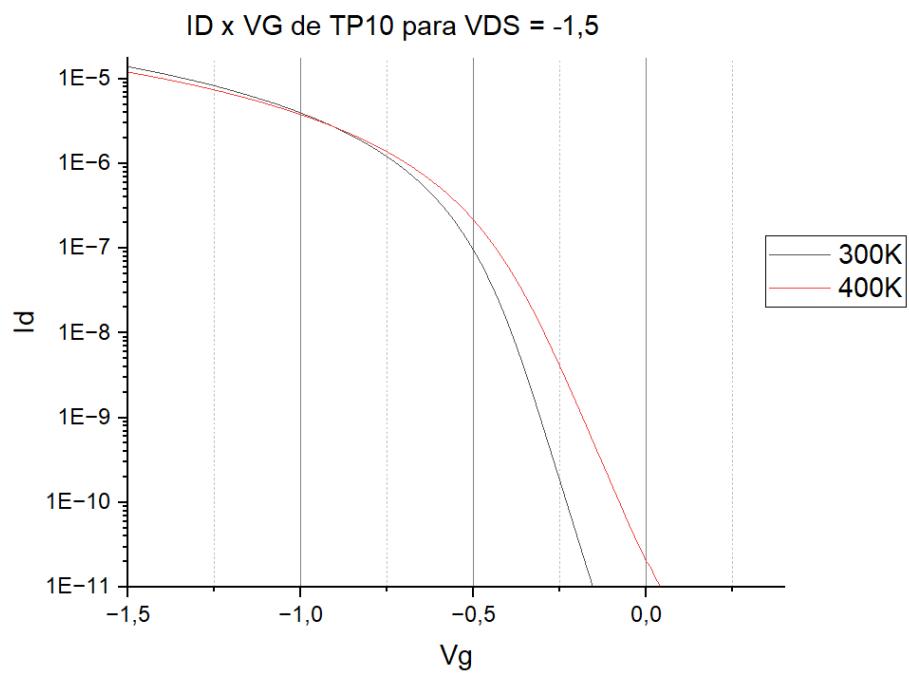


Figura 67: Transistor TP10 para todas as temperaturas e $VDS=-1,5$.

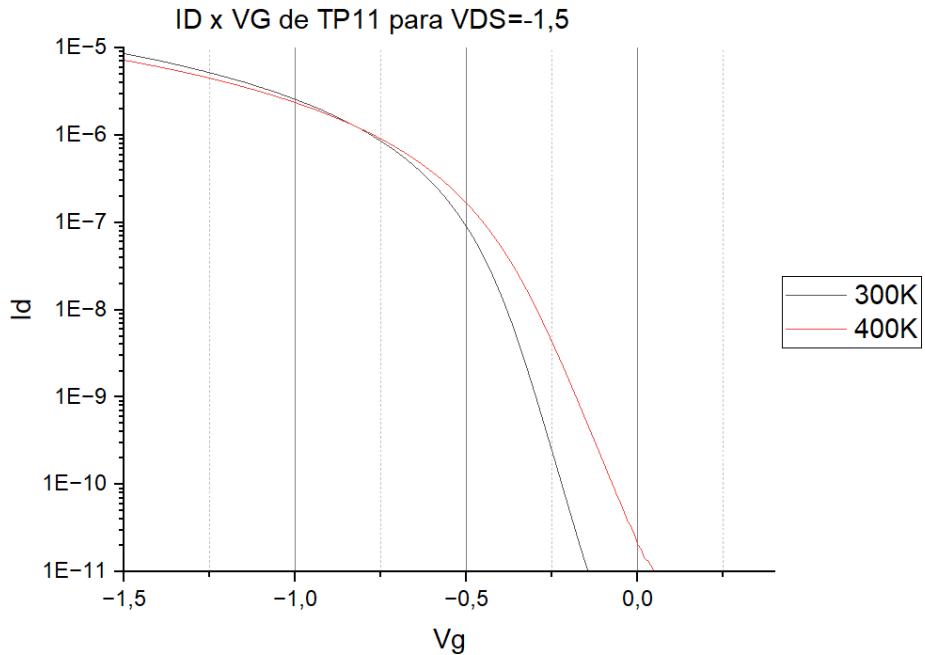


Figura 68: Transistor TP11 para todas as temperaturas e $VDS=-1,5$.

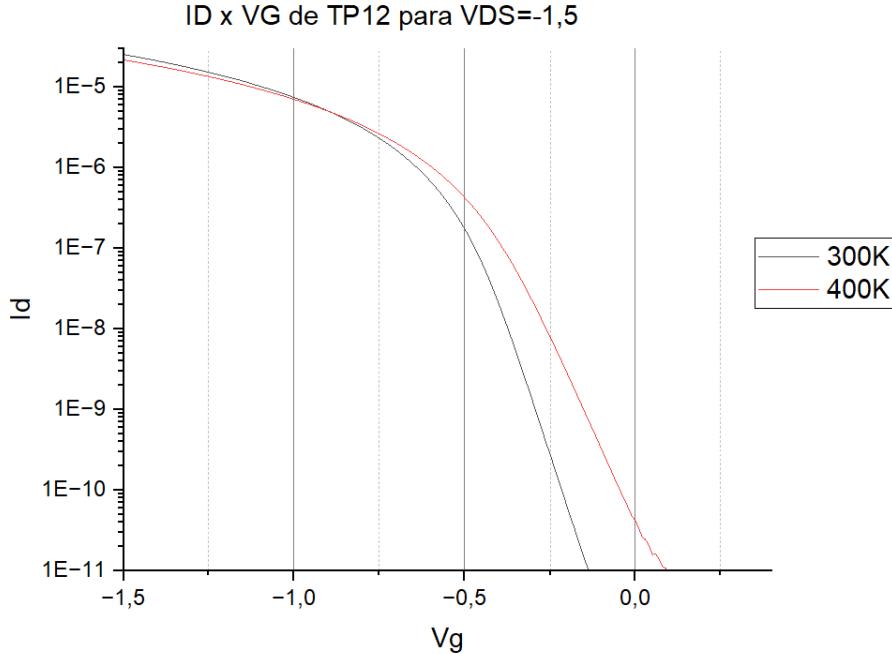


Figura 69: Transistor TP12 para todas as temperaturas e $V_{DS}=-1,5$.

Para a comparação do transistor PMOs com variação de temperatura e $V_{DS}=-1,5$ temos um comportamento muito parecido com o padrão que vimos no item anterior. O que se alterou nesse caso foi o valor de ID máximo, que aumentou.

4.5 Obtenção da tensão de limiar dos transistores NMOS e PMOS

Para essa analise foi utilizado o agrupamento por temperatura a 300K, 400K e 500K dos transistores NMOS e PMOS, com o $V_{DS}=0,05V$. Obtemos as tensões de porta dos transistores para o ponto em que a corrente de dreno é de $1E-7*(W/L)$, o valor da tensão de porta nesse caso corresponde a tensão limiar dos transistores em função da temperatura.

Ao reduzir os valores de L e W temos uma degradação no valor de V_{th} para os transistores NMOS. Isso pode ser visto nas figuras 70 e 71.

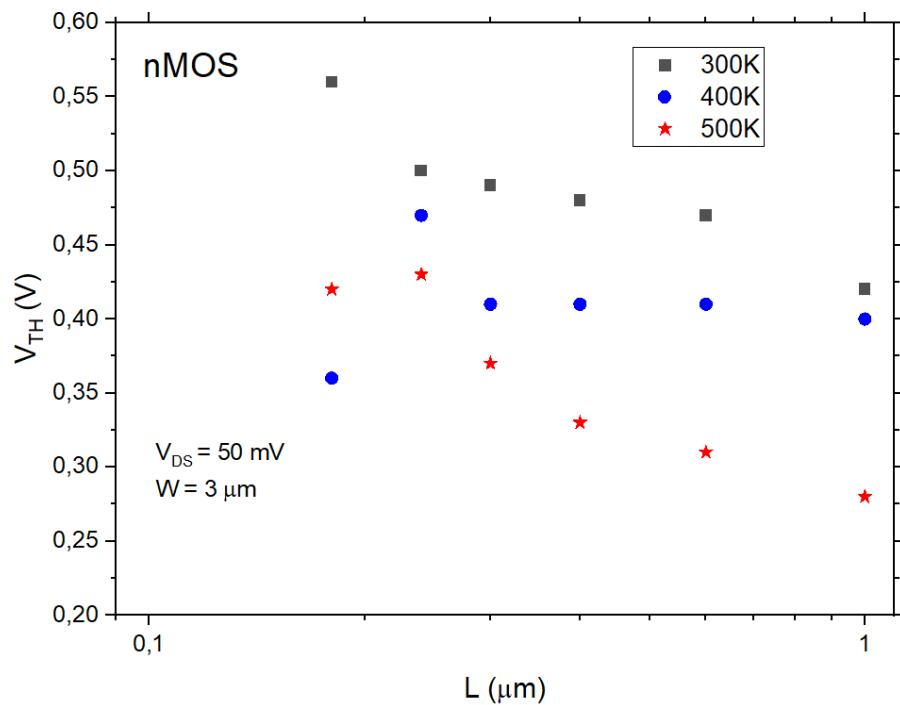


Figura 70: Curva de V_{th} do transistor NMOS para $W=3\mu\text{m}$.

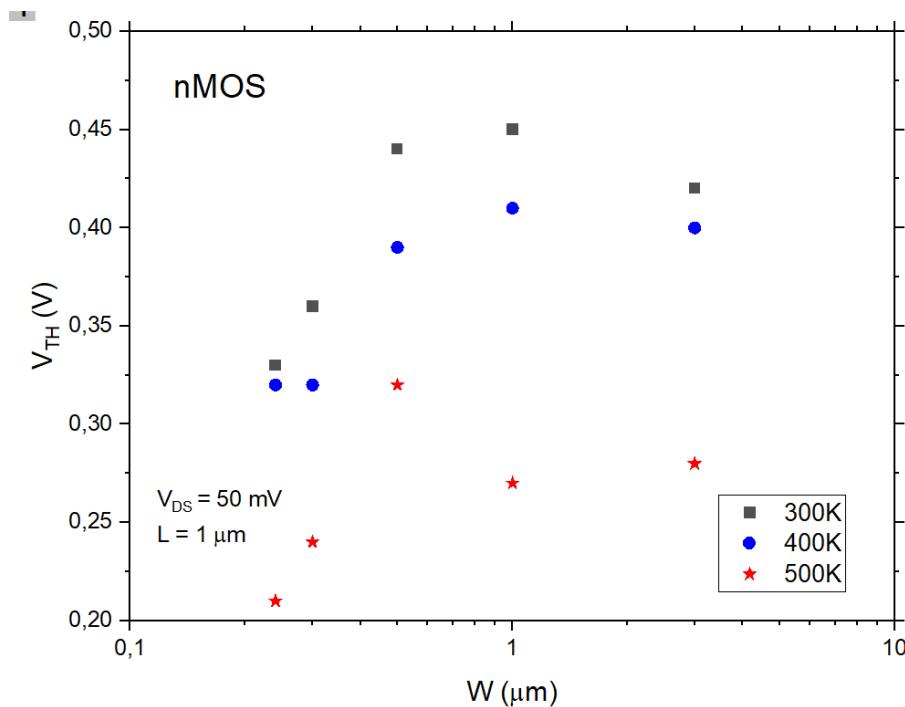


Figura 71: Curva de V_{th} do transistor NMOS para $L=1\mu\text{m}$.

Para os transistores PMOS temos uma degradação, porém em menor intensidade, como pode-

mos ver nas figuras 72 e 73. Para a curva de obtenção de V_{th} de PMOS em função de W obtivemos somente os dados em 300K e 400K, mas o resultado de que a degradação em PMOS é menor ficou evidente.

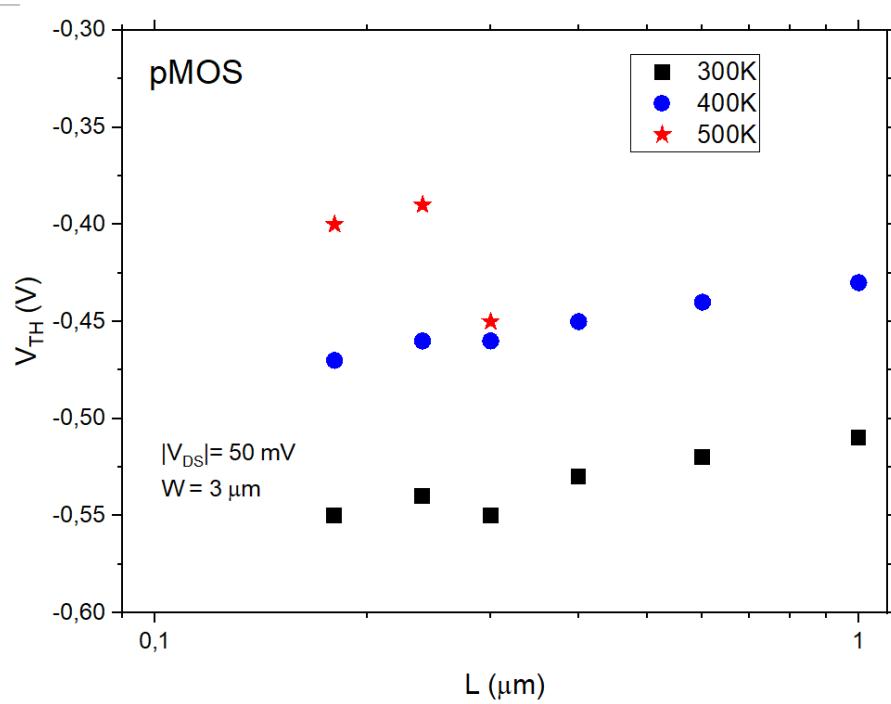


Figura 72: Curva de V_{th} do transistor PMOS para $W=3\mu\text{m}$.

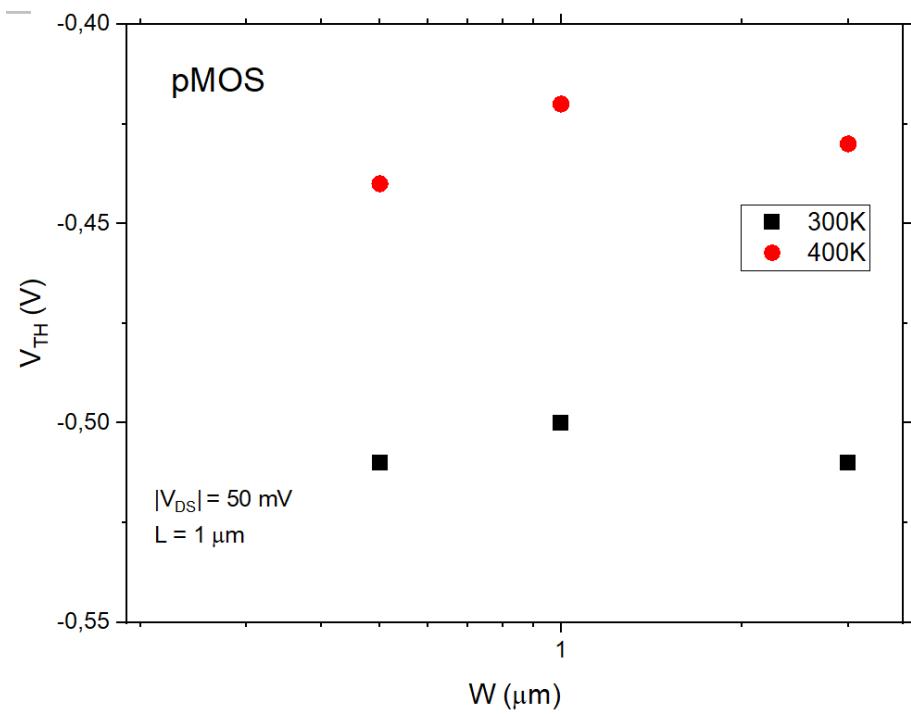


Figura 73: Curva de V_{th} do transistor PMOS para $L=1\mu\text{m}$.

Como visto na teoria, a diminuição dos valores de L e W beneficia a fabricação de mais transistores por chip, mas essa redução interfere na eficiência e funcionalidade do transistor.

5 Conclusão

Ao analisar as curvas de todos os transistores NMOS e PMOS, onde os dados foram separados de duas formas, podemos observar um comportamento condizente com o teoricamente esperado para as temperaturas de 300K e 400K, com redução na corrente de dreno para $|V_{GS}|$ superior ao valor absoluto da tensão de limiar e aumento da corrente no regime exponencial de condução para $|V_{GS}|$ inferior ao valor absoluto da tensão de limiar. No caso dos transistores NMOS tem-se também curvas adequadas para temperatura de 500K.

Como previsto na teoria o aumento da temperatura diminui o valor da corrente de dreno, esse comportamento pode-se comprovado nas seções 4.3, onde dá para ver claramente que as curvas com temperatura de 300K (na cor preta) estão com um valor de corrente maior que as curvas de 400K (na cor vermelha) e 500K (na cor azul).

Nessa mesma seção ficou nítido o mal funcionamento de alguns transistores pontuais, como o TN11 onde a curva de 300K tem um valor de corrente ID menor que as outras temperaturas. Porém podemos concluir que essas medições erradas pontuais se dão por conta do ensaio que foi realizado de forma manual, onde teve problemas de contato entre as pontas de medição e a placa, degradações físicas pela alta quantidade de medições e instabilidade no sistema.

Com isso podemos concluir que para as temperaturas medidas o CI tem um funcionamento satisfatório.

Referências

”Revisão Mosfet”, disponível em:

https://www.lsi.usp.br/~bariatto/fatec/ds2/aula12-mosfet_curto.pdf. Acessado em: Jul. 2022.

”Teoria CMOS”, disponível em:

https://www.lsi.usp.br/~roseli/www/psi2307_2004-Teoria-8-CMOS.pdf. Acessado em: Jul. 2022.

”Curso de MOSFET”, disponível em:

<https://www.youtube.com/watch?v=NfC-gHoRRAo>. Acessado em: Ago. 2022.

SEDRA,S.;SMITH, k. Microeletrônica. 5° Edição, São Paulo, Brasil.