

تکلیف سری اول طراحی سیستم های دیجیتال (FPGA, ASIC)

۱-مداری طراحی نمایید تا یک عدد ۸بیتی را به عنوان ورودی دریافت نماید و مشخص نماید که تعداد یک های آن زوج یا فرد است. اگر تعداد یک ها زوج باشد عدد دریافتی را با ۴۷ جمع نماید و نصف مجموع را در پورت خروجی قرار دهد. در غیر این دو برابر تفاضل عدد دریافتی و عدد ۳۷ را به پورت خروجی ارسال نماید.

راهنمایی: برای تعیین زوج یا فرد بودن تعداد یک ها می توانید از گیت XOR استفاده نمایید.

۲-یک stopwatch طراحی و شبیه سازی کنید.

این طراحی دارای یک ورودی کلاک، یک ورودی ریست آسنکرون برای صفر کردن زمان، یک ورودی استارت برای شروع زمان گیری، سه خروجی صدم ثانیه، ثانیه و دقیقه خواهد بود. اندازه پریود کلاک در شبیه سازی می تواند برای سرعت بخشیدن به کار دلخواه و کوچک باشد.

۳-یک تقسیم کننده فرکانسی با duty cycle مشخص طراحی و شبیه سازی کنید.

این طراحی شامل یک ورودی کلاک ، یک ورودی کنترل ۴ بیتی duty cycle و یک خروجی با فرکانس تقسیم شده است. در این طراحی ورودی کنترل ۴بیتی می تواند مقادیری بین ۰ تا ۱۰ را دریافت کند. مقدار دریافتی در ۱۰ ضرب شده و بزرگی duty cycle ما را تعیین می کند. برای مثال اگر به ورودی کنترل عدد ۴ داده شود مدت زمان ۱ بودن خروجی ۴۰ درصد از طول پریود خواهد بود و ۶۰ درصد دیگر ۰ خواهد شد. در این تمرین فرکانس کلاک ورودی ۱۰۰ برابر فرکانس کلاک خروجی خواهد بود.

نحوه تحویل: برای هر طراحی دو فایل VHDL آماده نمایید. یک فایل خود طراحی و یک فایل دیگر هم فایل تست طراحی (Test Bench). همچنین یک فایل PDF حداکثر ۱۰ صفحه ای شامل نتایج سنتز و شبیه سازی طراحی ها نیز آماده نمایید. برای این سری ۶ فایل طراحی همراه با یک فایل pdf را در یک فولدر با نامی به فرمت زیر گذاشته و به صورت یک فایل فشرده در سایت درس بارگذاری نمایید.

فرمت نام فولدر: FullName#EXS2

از گزارش سنتز فقط قسمتی که اعلام میکند چه مداری استخراج شده و همچنین بخشی که بیان میکند چه درصدی از منابع FPGA استفاده شده است را ارسال نمایید. عکس های نتایج شبیه سازی باید به وضوح درستی کارکرد قطعه را نشان دهد.