

MULTI - TP 1

Auguste WARME-JANVILLE, Anatole VERCELLONI, Méline TROCHON

February 16, 2023

Exercice C

$input = SEL, READ, GO, DELAY, ADR_OK$
 $output = ACK_EN, ACK_VALUE, MEM_CMD, DE_EN$
 $A = SEL \cdot ADR_OK \cdot \overline{DELAY} \cdot \overline{READ}$
 $B = SEL \cdot ADR_OK \cdot \overline{DELAY} \cdot \overline{READ}$
 $C = SEL \cdot ADR_OK \cdot \overline{DELAY} \cdot \overline{READ}$
 $D = SEL \cdot ADR_OK \cdot DELAY \cdot \overline{READ}$
 $E = \overline{SEL} \cdot \overline{ADR_OK}$
 $F = \overline{SEL} \cdot ADR_OK$
 $G = 1$
 $R = \overline{ADR_OK} + \overline{READ}$
 $S = SEL \cdot ADR_OK \cdot \overline{READ}$
 $T = \overline{SEL}$
 $U = GO$
 $U' = \overline{GO}$
 $V = GO$
 $V' = \overline{GO}$
 $X = SEL \cdot ADR_OK \cdot \overline{READ}$
 $Y = \overline{ADR_OK} + \overline{READ}$
 $Z = \overline{SEL}$

| | ACK_EN | ACK_VALUE | DT_EN | MEM_CMD |
|--------|--------|-----------|-------|---------|
| IDLE | 0 | X | 0 | NOP |
| R_WAIT | 1 | WAIT | 0 | READ |
| R_OK | 1 | READY | 1 | READ |
| W_WAIT | 1 | WAIT | 0 | WRITE |
| W_OK | 1 | READY | 0 | WRITE |
| ERROR | 1 | ERROR | 0 | NOP |

Exercice D

$A = 1$
 $B = GNT$
 $B' = \overline{GNT}$
 $C = 1$
 $D = LAST$
 $D' = \overline{LAST}$
 $E = LAST$
 $E' = \overline{LAST}$
 $F = LAST$
 $F' = \overline{LAST}$
 $G = LAST$
 $G' = \overline{LAST}$
 $H = GNT$
 $H' = \overline{GNT}$
 $I = 1$
 $J = \overline{READY}$
 $K = LAST \cdot \overline{READY}$
 $L = \overline{READY} \cdot \overline{LAST}$
 $M = GNT$
 $M' = \overline{GNT}$
 $N = 1$
 $O = \overline{READY}$
 $P = \overline{READY} \cdot \overline{NUL}$
 $Q = \overline{READY} \cdot \overline{NUL}$
 $R = GNT$
 $R' = \overline{GNT}$

$$\begin{aligned}
S &= 1 \\
T &= READY \\
T' &= \overline{READY}
\end{aligned}$$

| | REQ | CMD_EN | ADR_VALUE | READ_VALUE | LOCK_VALUE | DT_EN |
|-----------|-----|--------|-------------|------------|------------|-------|
| INIT | 0 | 0 | X | X | X | 0 |
| RAM_REQ | 1 | 0 | X | X | X | 0 |
| RAM_A0 | 0 | 1 | RAM_BASE | 1 | 1 | 0 |
| RAM_A1.D0 | 0 | 1 | RAM_BASE+4 | 1 | 1 | 0 |
| RAM_A2.D1 | 0 | 1 | RAM_BASE+8 | 1 | 1 | 0 |
| RAM_A3.D2 | 0 | 1 | RAM_BASE+12 | 1 | 0 | 0 |
| RAM_D3 | 0 | 0 | X | X | X | 0 |
| W_REQ | 1 | 0 | X | X | X | 0 |
| W_AD | 0 | 1 | TTY_BASE | 0 | 0 | 0 |
| W_DT | 0 | 0 | X | X | X | 1 |
| STS_REQ | 1 | 0 | X | X | X | 0 |
| STS_AD | 0 | 1 | TTY_BASE+4 | 1 | 0 | 0 |
| STS_DT | 0 | 0 | X | X | X | 0 |
| BUF_REQ | 1 | 0 | X | X | X | 0 |
| BUF_AD | 0 | 1 | TTY_BASE+8 | 0 | 0 | 0 |
| BUF_DT | 0 | 0 | X | X | X | 1 |

Exercice E

$$\begin{aligned}
X &= REQ \\
X' &= \overline{REQ} \\
Y &= LOCK \\
Y' &= \overline{LOCK} \\
Z &= \overline{LOCK} \\
Z' &= LOCK \\
J &= ACK == WAIT \\
K &= (ACK! = WAIT) \cdot \overline{REQ} \\
L &= (ACK! = WAIT) \cdot REQ
\end{aligned}$$

| | GNT | SEL0 | SEL1 |
|------|-----|-------------------|-------------------|
| IDLE | 0 | 0 | 0 |
| AD | 1 | MSB(A) == SEG_RAM | MSB(A) == SEG_TTY |
| DTAD | 0 | MSB(A) == SEG_RAM | MSB(A) == SEG_TTY |
| DT | 0 | MSB(A) == SEG_RAM | MSB(A) == SEG_TTY |

L'allocation (choix d'un maître) est réalisée dans l'état IDLE et l'état DT afin de ne pas perdre un cycle et d'éviter qu'un maître ne monopolise le bus.

Exercice G

- La vitesse de simulation est de 1 250 000 cycles par secondes environ
- Il y a 0 cycles d'attente dans les états de l'automate du composant maître où celui-ci demande au BCU l'allocation du bus. En effet il n'y a qu'un maître.
- Il y a 1 cycle d'attente dans les états de l'automate du composant maître ou celui-ci attend la réponse de la RAM. En effet la latence de la RAM est définie à 1. Les cycles d'attente sont égaux à la latence de la RAM.
- Il faut 3 cycles à l'automate du composant maître pour afficher un caractère sur le composant PIBUS_MULTI_TTY.