

Universitatea Națională de Știință și Tehnologie Politehnica București
Facultatea de Electronică, Telecomunicații și Tehnologia Informației



Proiect 3 - TPSVLSI

Convertor A/D cu aproximări succesive

Grupa: 441E – MON

Studenti:

Ciocoiu Anca- Ștefania

Loleș Diana-Oana

Negrea Claudia-Mihaela

Nița Ioana-Theodora

Manea Adrian

Coordonator: Conf. Dr. Ing. Marius Enăchescu

2023-2024

Cuprins

1. Tema proiectului
2. Schema bloc funcțională
3. Schema ideală a proiectului
4. Schema finală a proiectului
5. Descrierea blocurilor funcționale ale circuitului:
 - 5.1 Shift Register
 - 5.2 Succesive Aproximation Register
 - 5.3 DAC
 - 5.4 Comparator
6. Bibliografie/Webografie

1. Tema proiectului

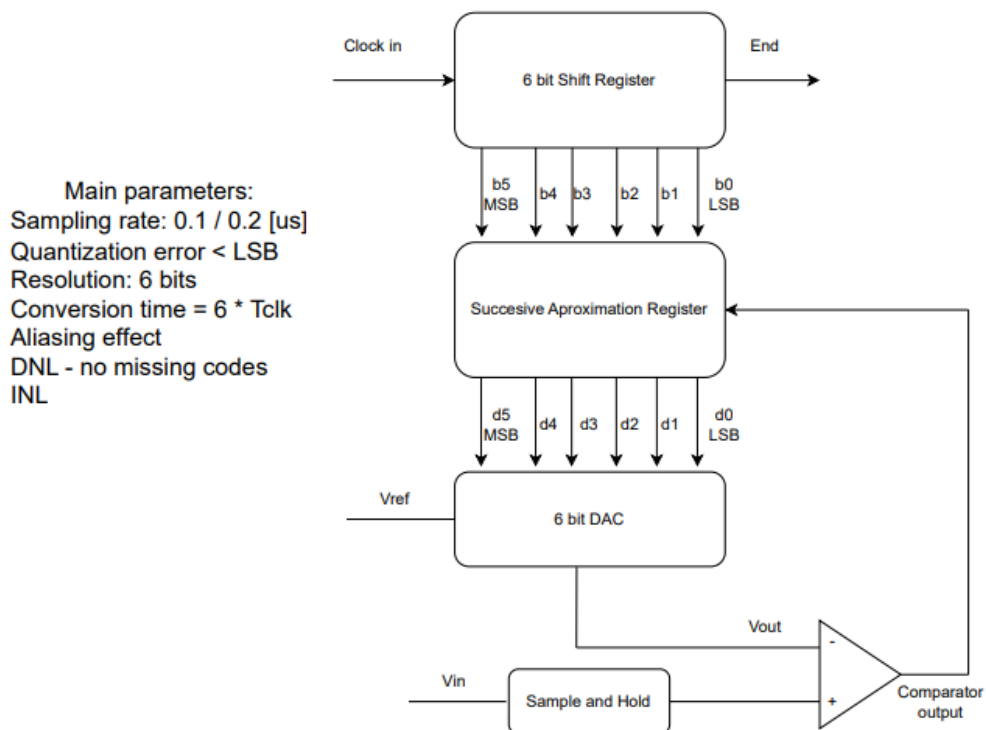
Să se proiecteze un convertor A/D (ADC) cu aproximări succesive având o rezoluție de 6 biți. În figura de mai jos este prezentată schema bloc de principiu pentru un SAR ADC. Această schemă cuprinde următoarele sub-blocuri:

1. Convertor D/A cu o rezoluție de 6 biți, având o tensiune de referință de minim 512 mV și maxim 2.5 V.
2. Un comparator cu timp de răspuns scăzut de ordinul sutelor de ns și cu etaj de intrare complementare (rail-to-rail).
3. Un registru cu aproximări succesive (SAR register). În loc să numere binar crescător, acest registru numără încercând toate valorile biților începând cu bitul cel mai semnificativ (MSB) și terminând cu bitul cel mai puțin semnificativ (LSB). Pe parcursul procesului de numărare, registrul monitorizează ieșirea comparatorului pentru a vedea dacă numărul binar este mai mic sau mai mare decât intrarea semnalului analogic, ajustând valorile biților în consecință. Modul în care numără registrul este identic cu metoda „trial-and-fit” folosit pentru o conversie din zecimal în binar, prin care se încearcă diferite valori de biți de la MSB la LSB pentru a obține un număr binar care este egal cu numărul zecimal original.

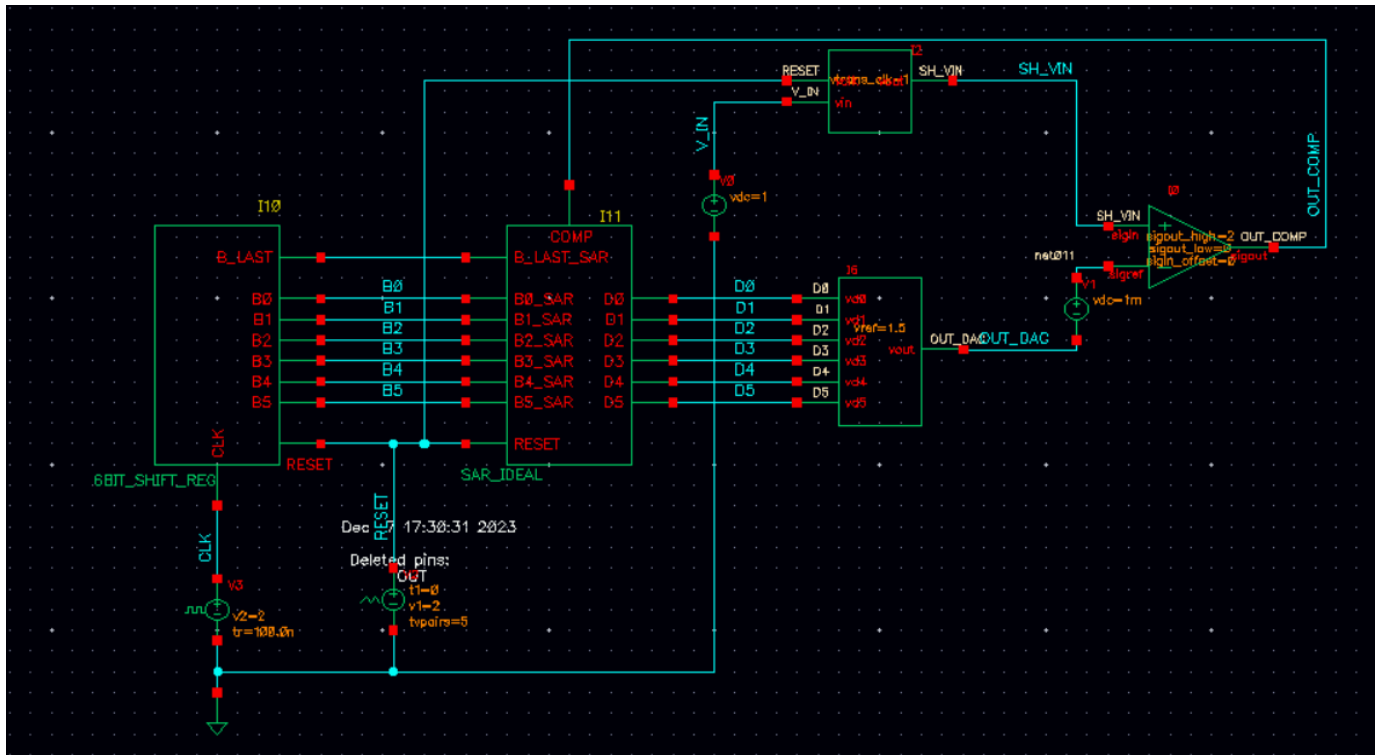
2. Schema bloc funcțională

Algoritmul de funcționare al schemei bloc:

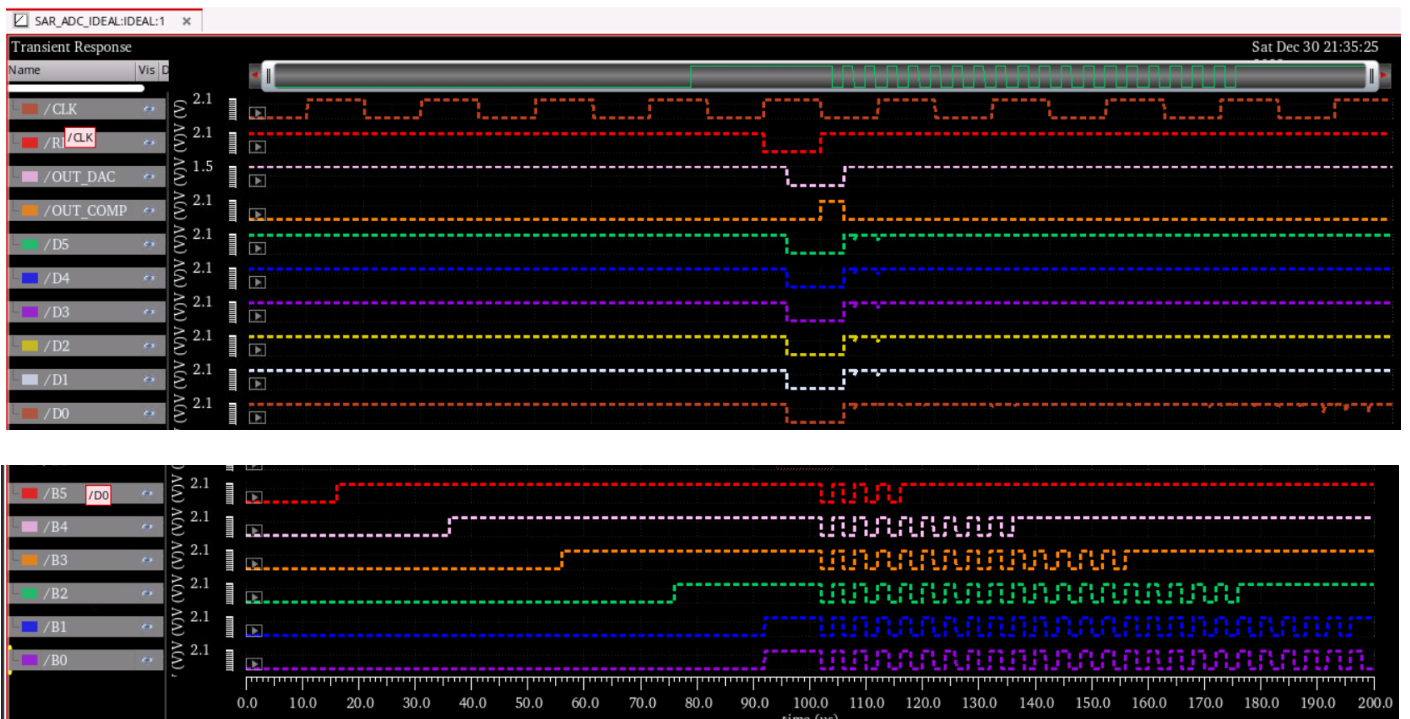
1. Se initializează bitul cel mai semnificativ cu 1, această valoare digitală va fi transformată de DAC în valoarea ei corespunzătoare analogică.
2. În urma acestei conversii rezultatul obținut este comparat cu valoarea eșantionată, în cazul în care rezultatul este mai mare comparatorul va seta bitul din SAR în 0.
3. Procesul de căutare binară este repetat pentru fiecare bit din SAR, codul final fiind o aproximare digitală a valorii analogice eșantionate inițial.



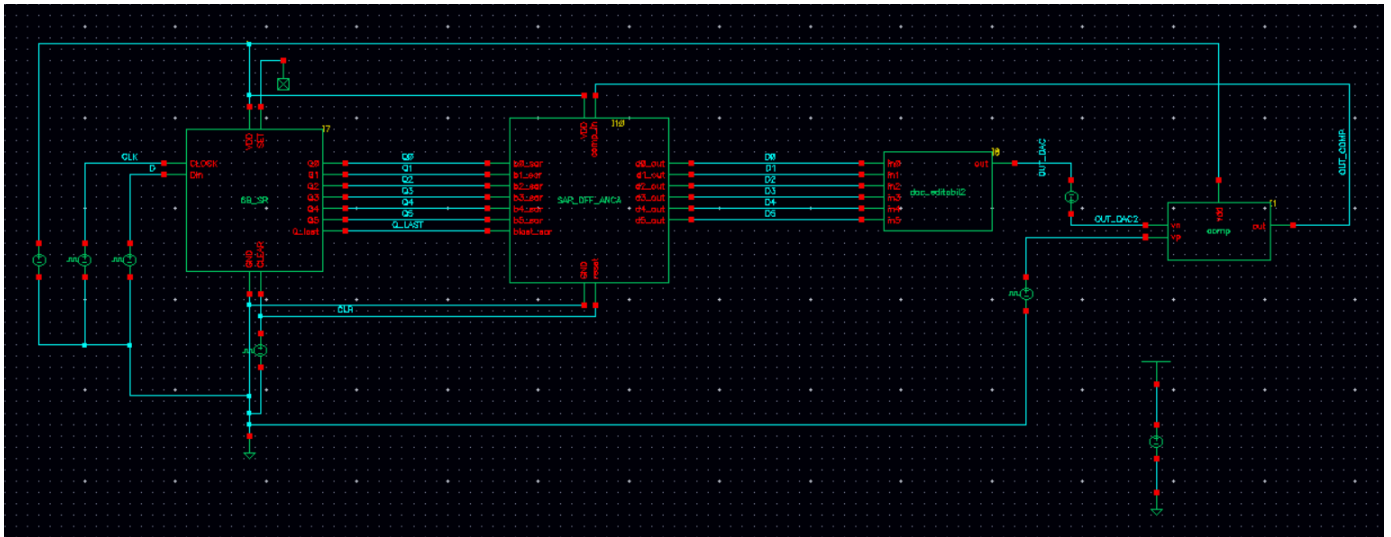
3. Schema ideală a proiectului



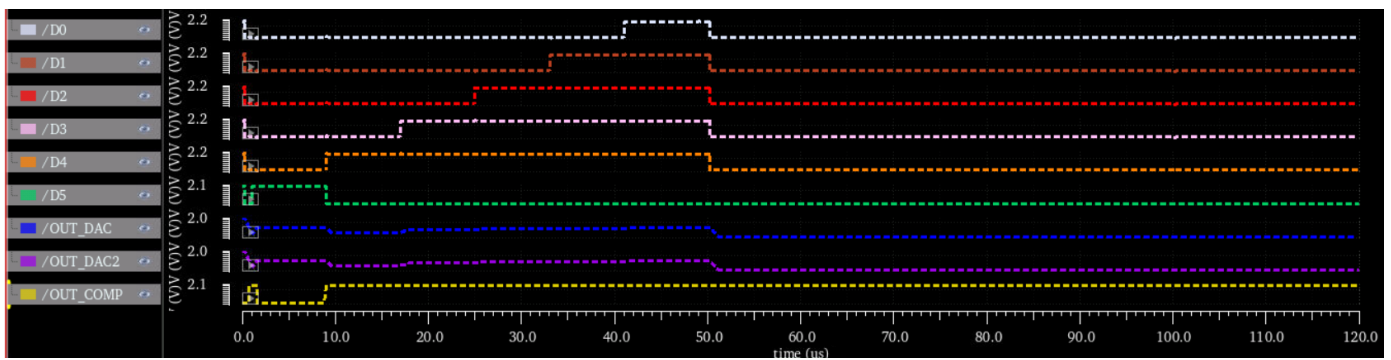
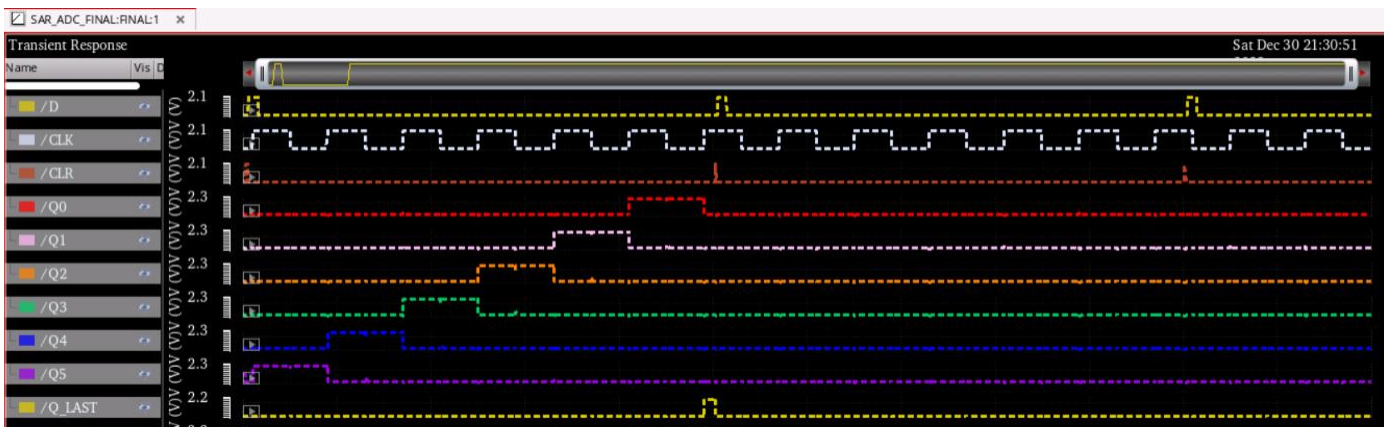
Simulari ale schemei ideale:

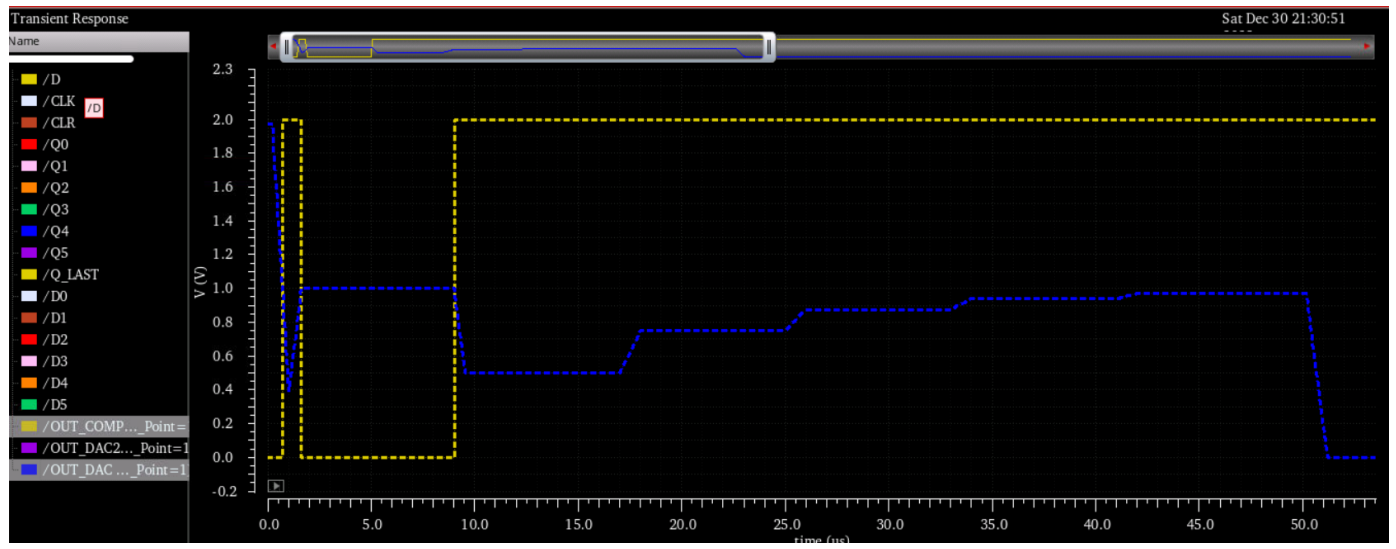


4. Schema finală a proiectului



Simulări ale schemei finale:



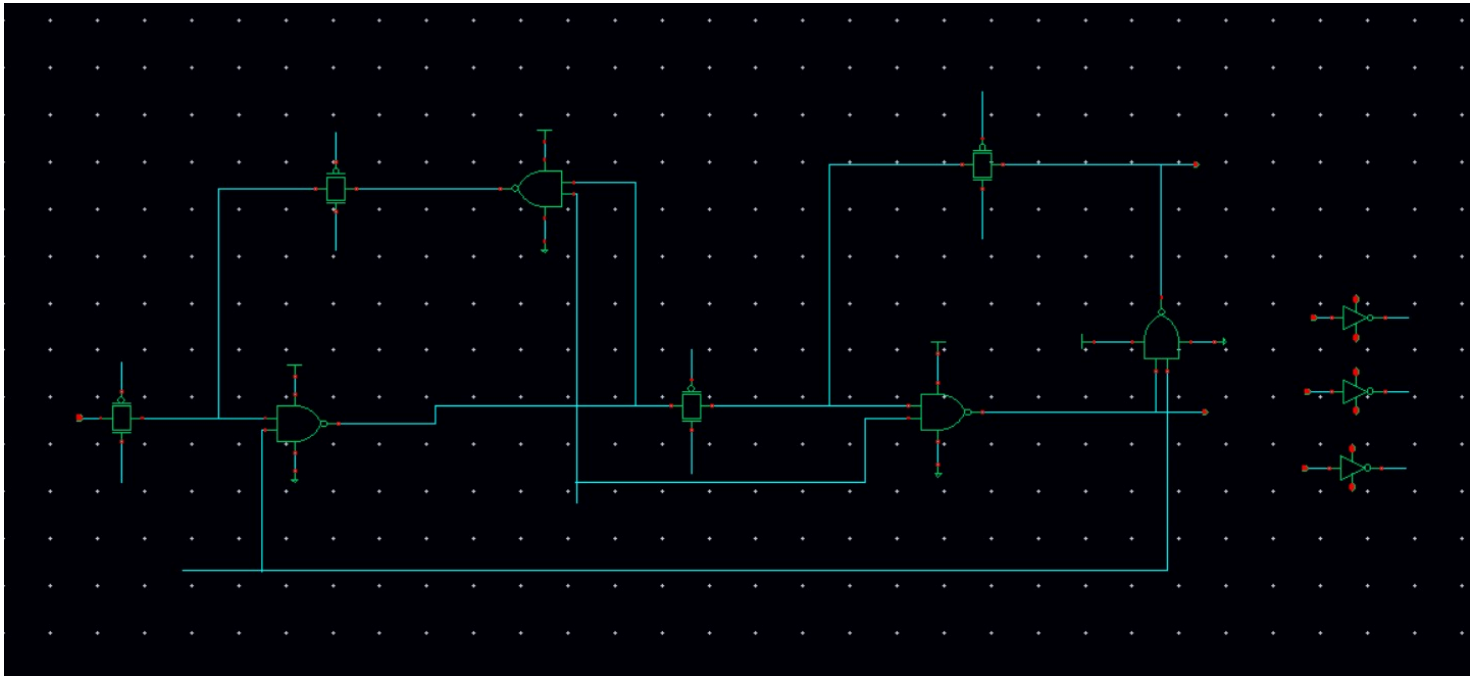


5. Descrierea blocurilor funcționale ale circuitului:

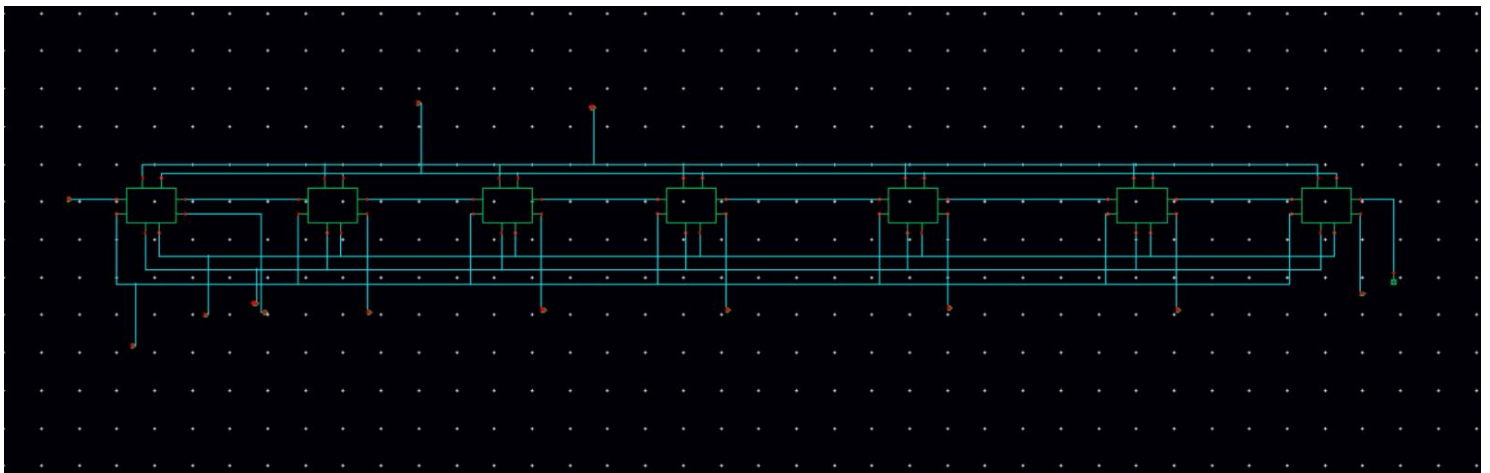
5.1 Shift Register

Schema blocului de întârziere presupune conectarea în serie a 7 D-flip flop-uri, ieșirea D-ff-ului precedent reprezentând intrare pentru cel curent. Acest bloc va genera semnalele de set pentru SAR, prin întârzierea datelor de la intrare cu un anumit număr de cicli de ceas.

Schema D-flip flop:

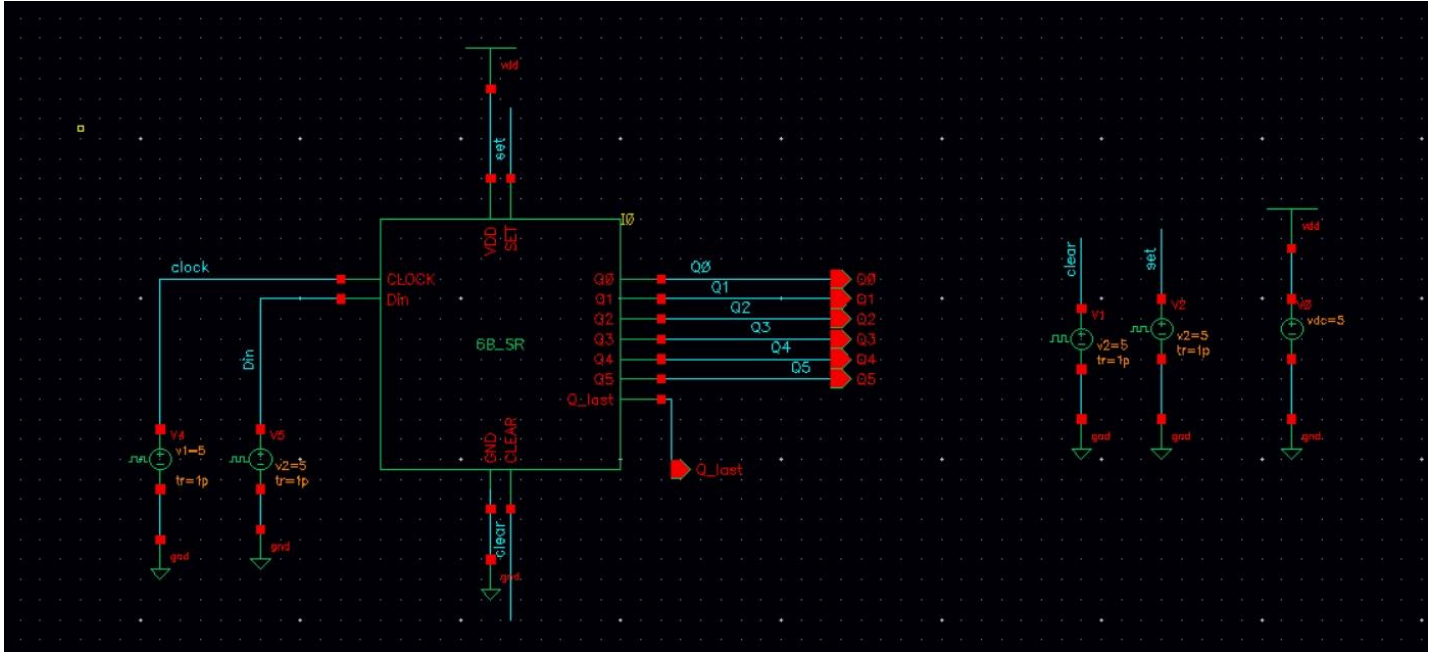


Schema Shift Register:

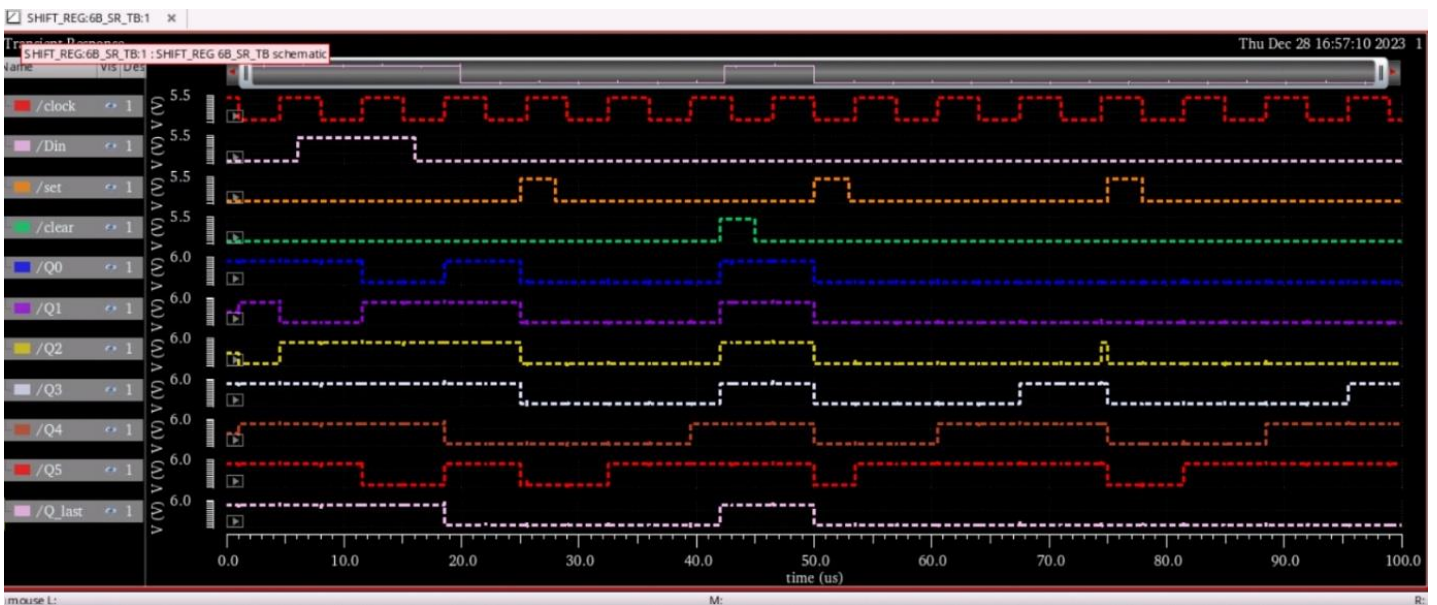


Test bench SAR:

Pentru testarea Shift register-ului am utilizat 4 surse vpulse pentru: generarea unui semnal de clock, generarea unui semnal de date ce va fi shiftat la ieșire, generarea unui semnal de clear și set. Blocul este alimentat printr-o sursă vdc la 5 [V].



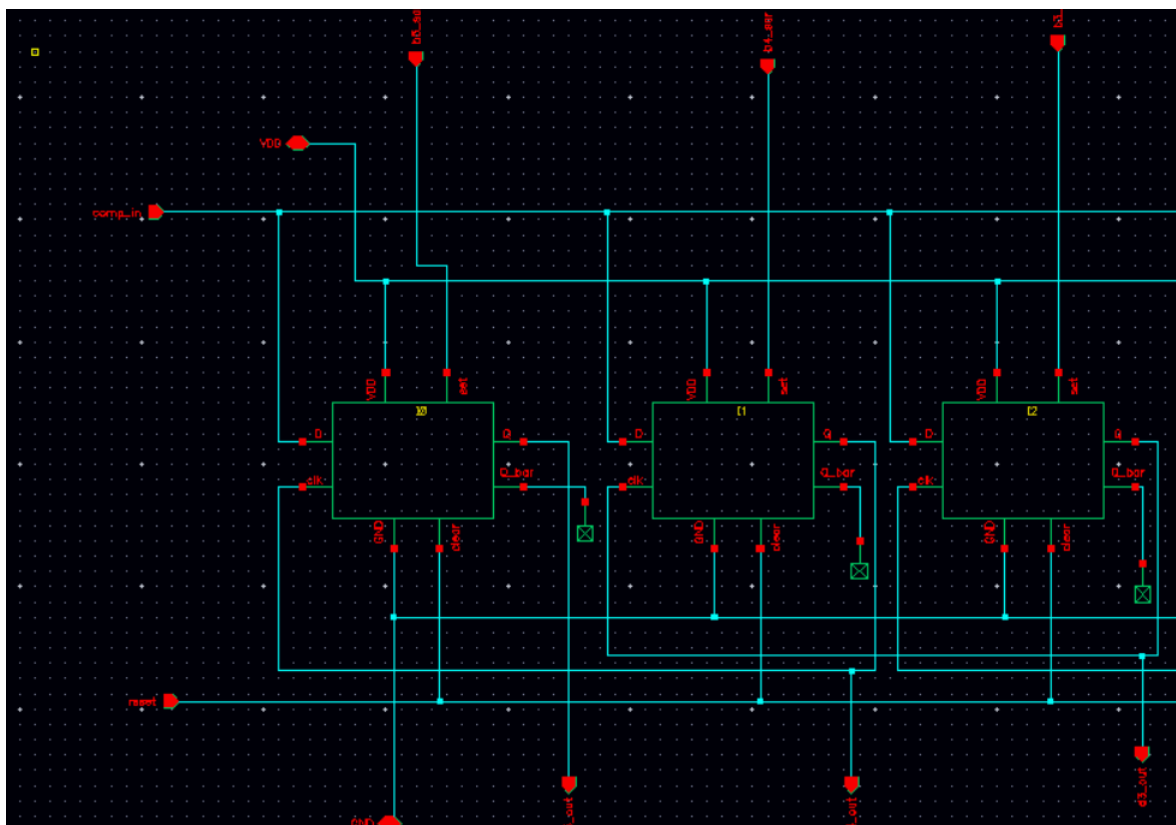
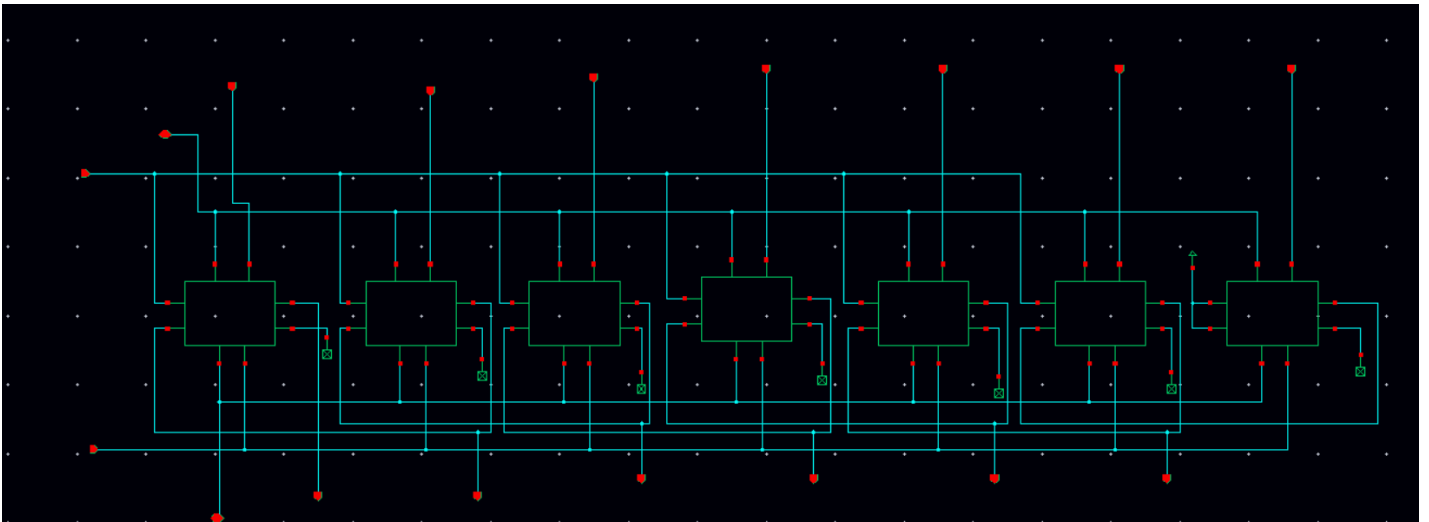
Simulări Shift Register:



5.2 Successive Approximation Register

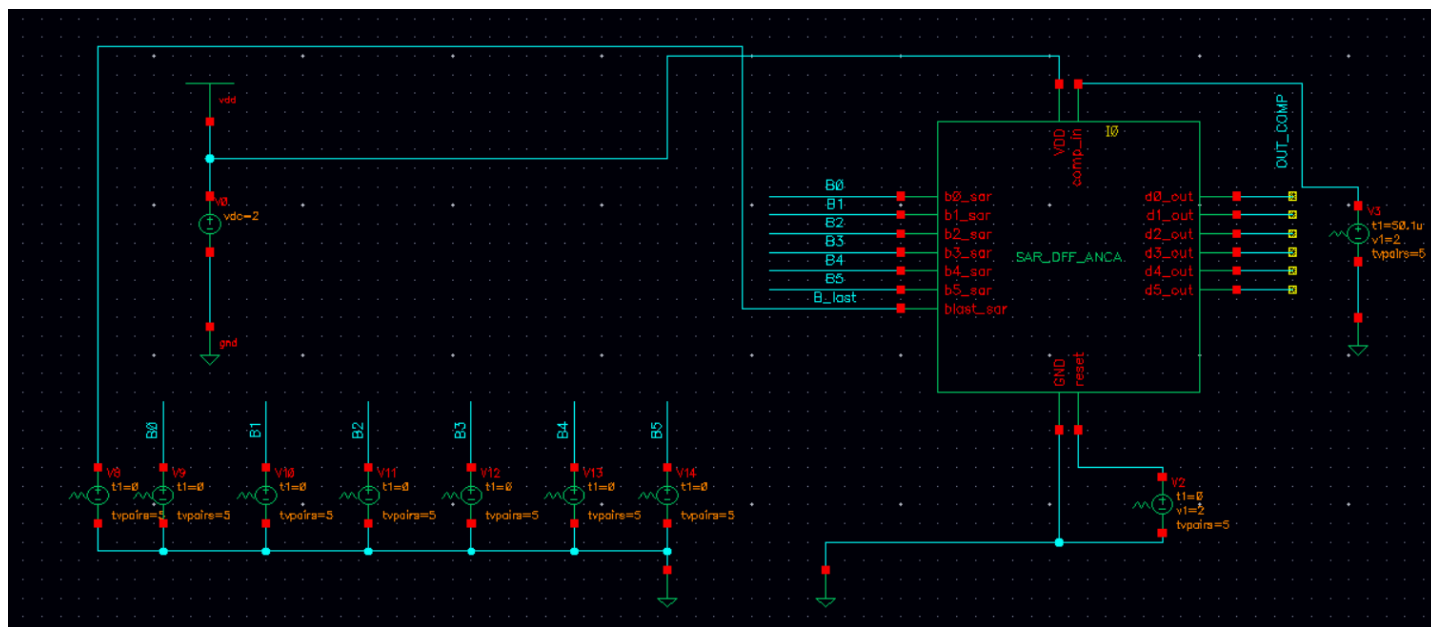
Pentru realizarea acestui registru am utilizat 7 D-flip flop-uri conectate asemenea schemei de mai jos. Semnalul de set pentru D-ff-uri va fi dat de shift register, semnalul de data va fi dat de ieșirea comparatorului, iar sgn de clock va fi mereu conectat la ieșirea următorului flip flop din schemă.

Schema SAR:

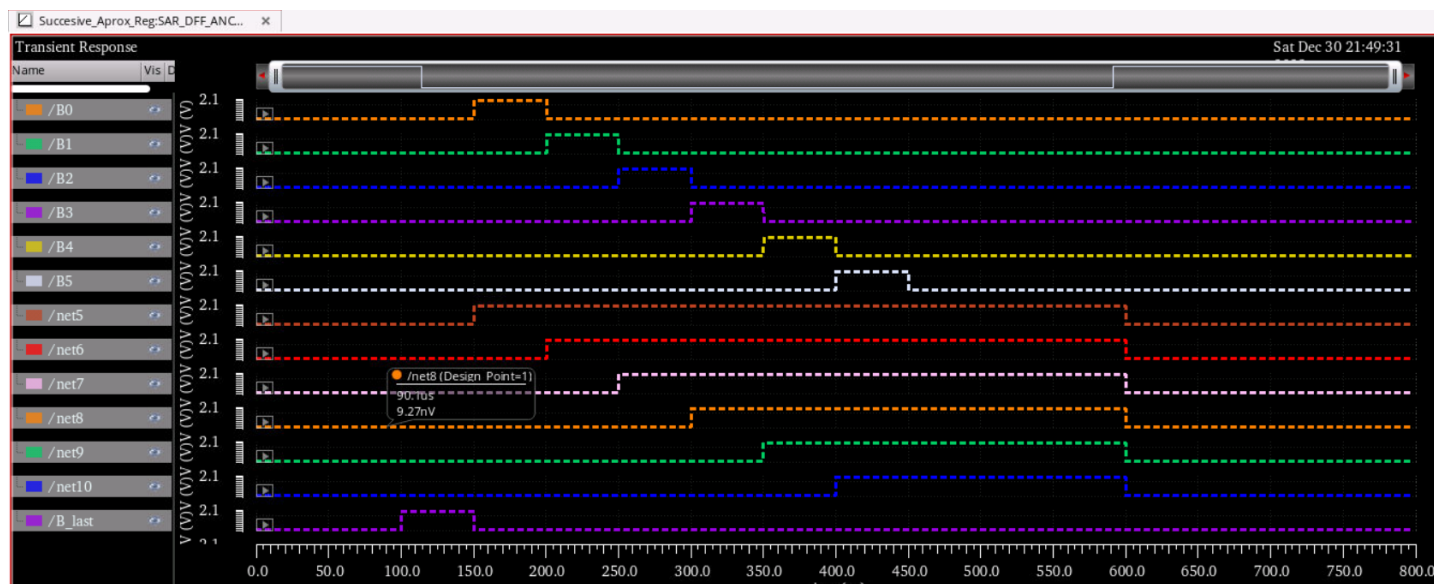


Test bench SAR:

Pentru testarea registrului de aproximări succesive am utilizat 7 surse vpwl pentru a genera semnalele de la ieșirea shift registerului, o sursă pwl pentru a genera un semnal de ieșire din comparator și încă o sursă pwl pentru a genera și un semnal de reset. Blocul a fost alimentat printr-o sursă vdc. Se poate observa modul în care blocul aproximează valorile biților, ieșirile d0 -> d5 (net 5-10), în funcție de semnalul de la comparator și biții de la intrare.



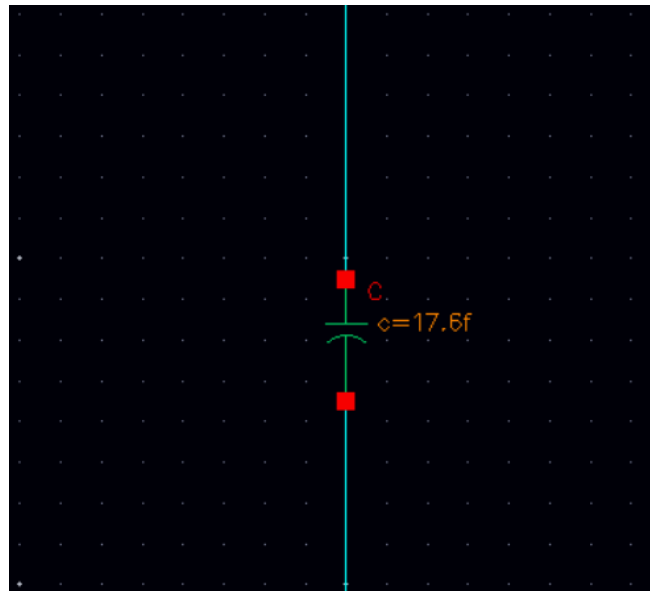
Simulări SAR:



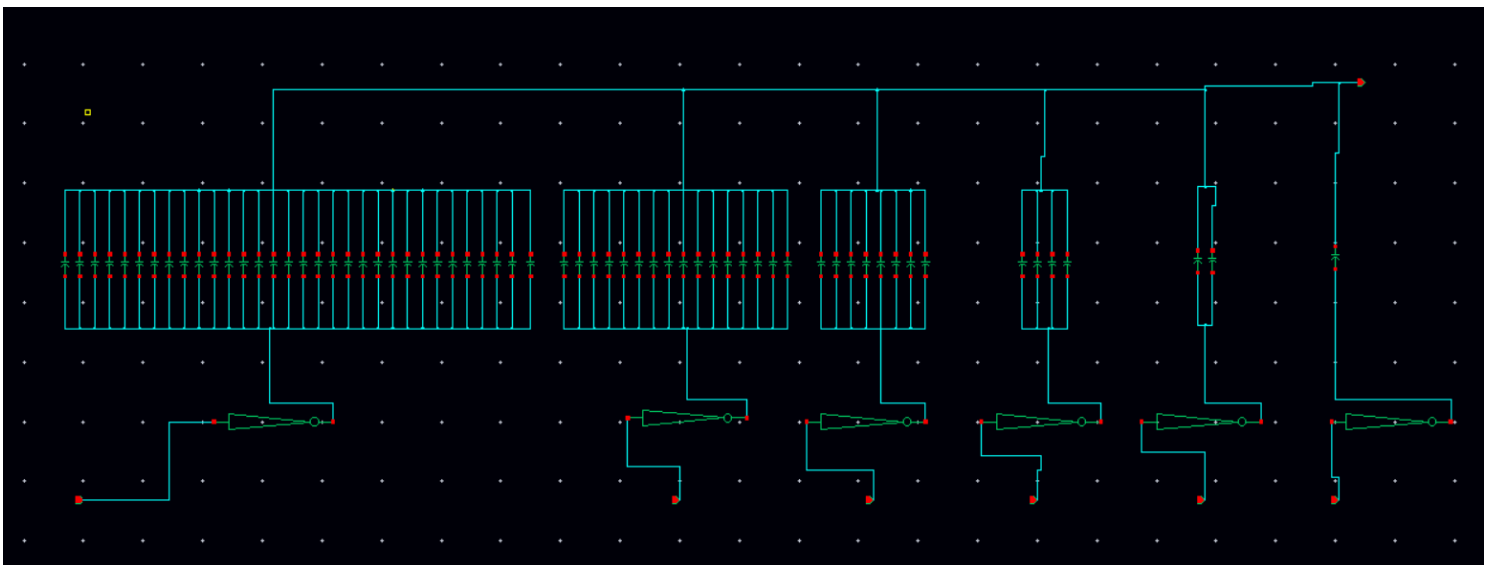
5.3 DAC

Am ales realizarea unui DAC capacitiv pentru a avea un timp de conversie mai rapid. Condensatoarele utilizate vor simula funcționalitatea unui bloc track&hold, iar DAC-ul se va baza pe principiul redistribuirii sarcinii pentru a genera o tensiune de ieșire analogică.

Dac-ul capacitiv are arhitectura de tip segmentată, acesta are 6 segmente fiecare gestionând unul dintre biții de la intrare. Condensatoarele utilizate sunt de 16.7 [fF]. În funcție de bitul pe care îl gestionează pentru a avea o capacitate mai mare, dar o impedanță redusă în acel nod am utilizat rețele de condensatoare în paralel.

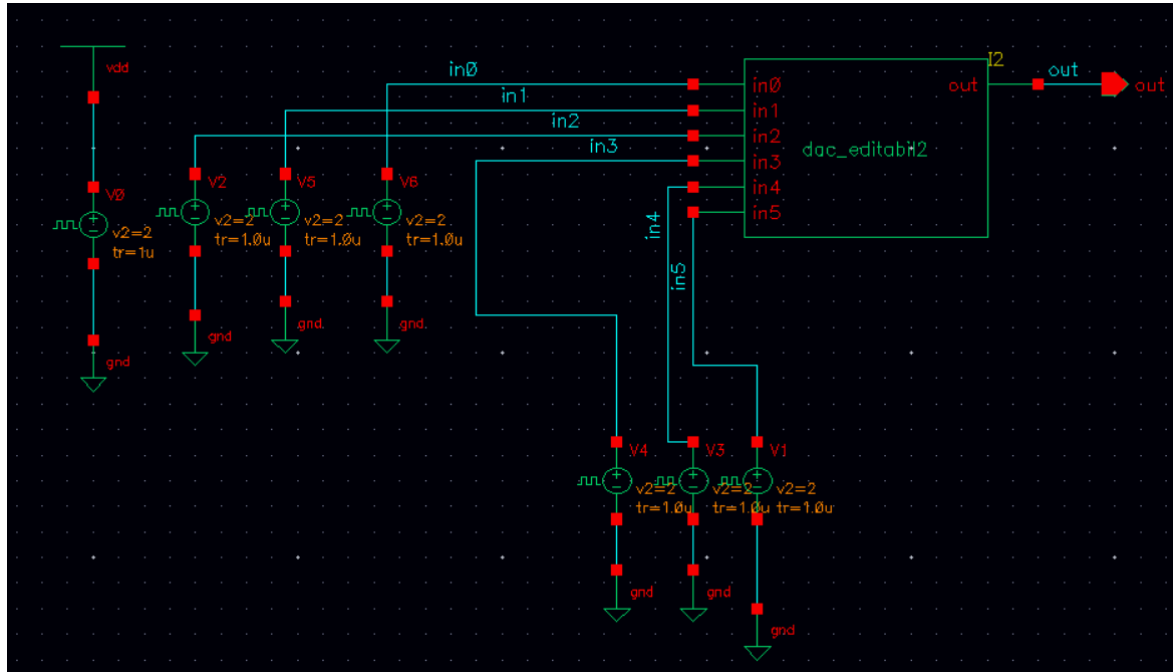


Schema DAC:

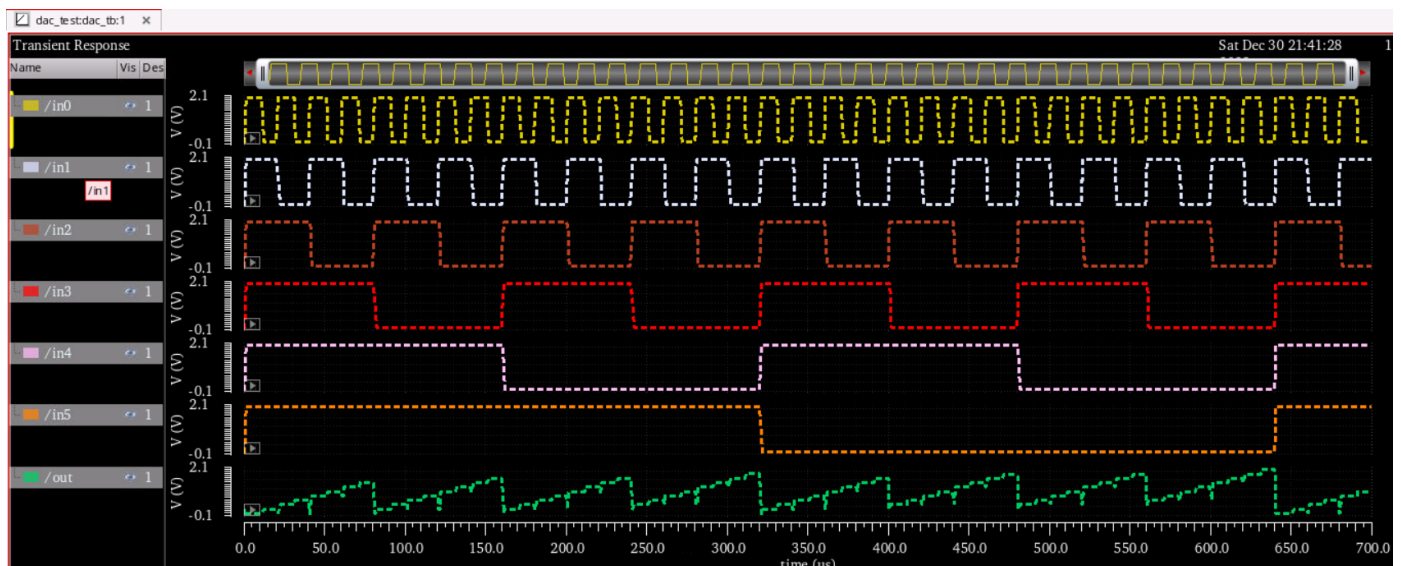


Test bench DAC:

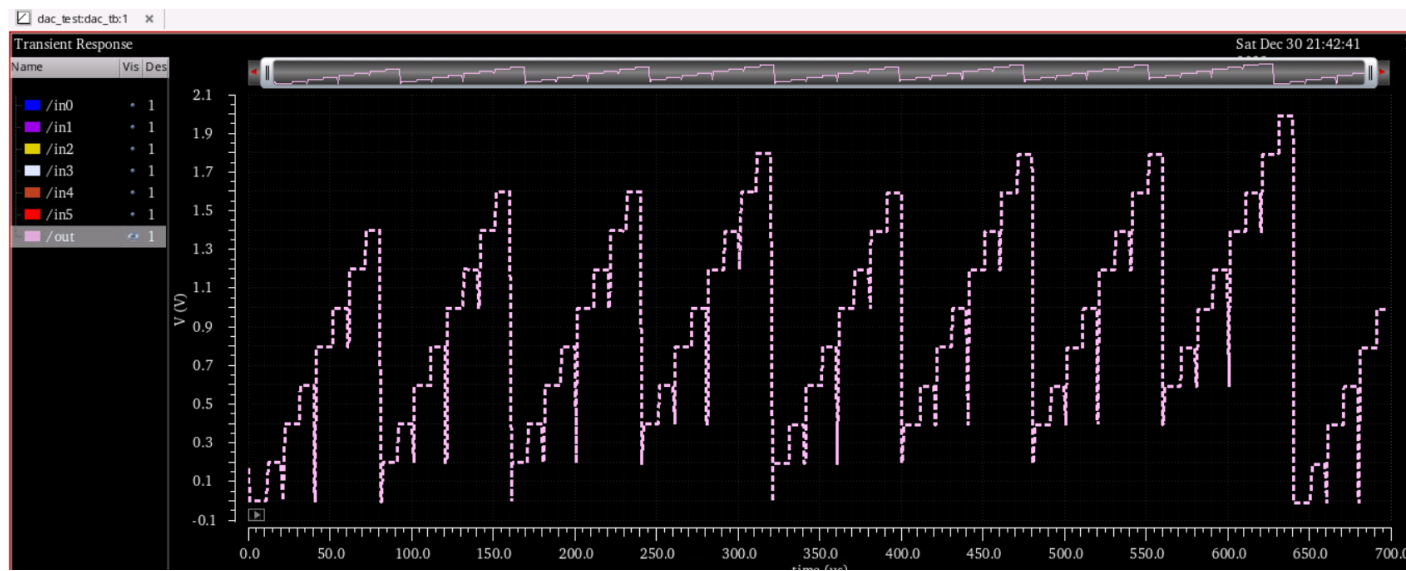
Pentru a testa DAC-ul am utilizat 6 surse vpulse, fiecare reprezentând câte unul din cei 6 biți de la ieșirea SAR-ului. Pentru LSB (b0) frecvența este cea mai mare, iar pentru MSB (b5) frecvența este cea mai mică. Frecvențele au fost astfel alese pentru a putea observa tranzițiile DAC-ului în ordine crescătoare.



Simulare DAC:



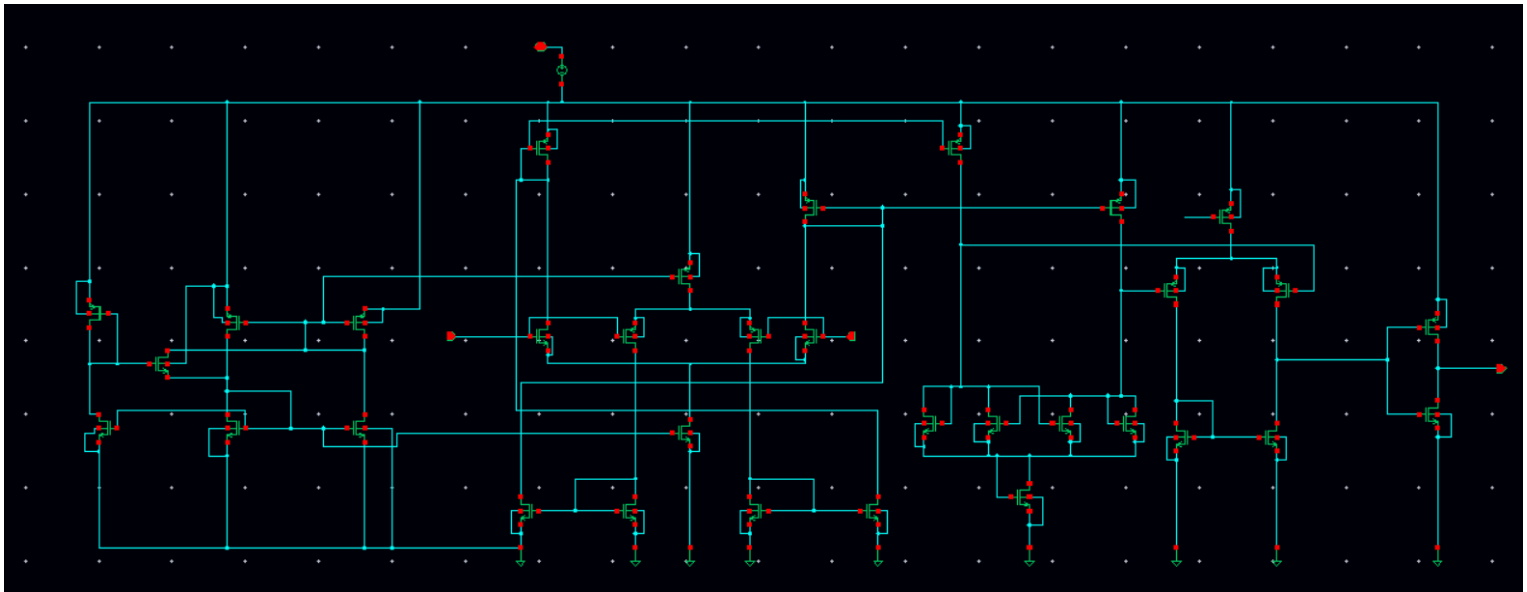
ieșirea DAC-ului în urma simulării:



5.4 Comparator

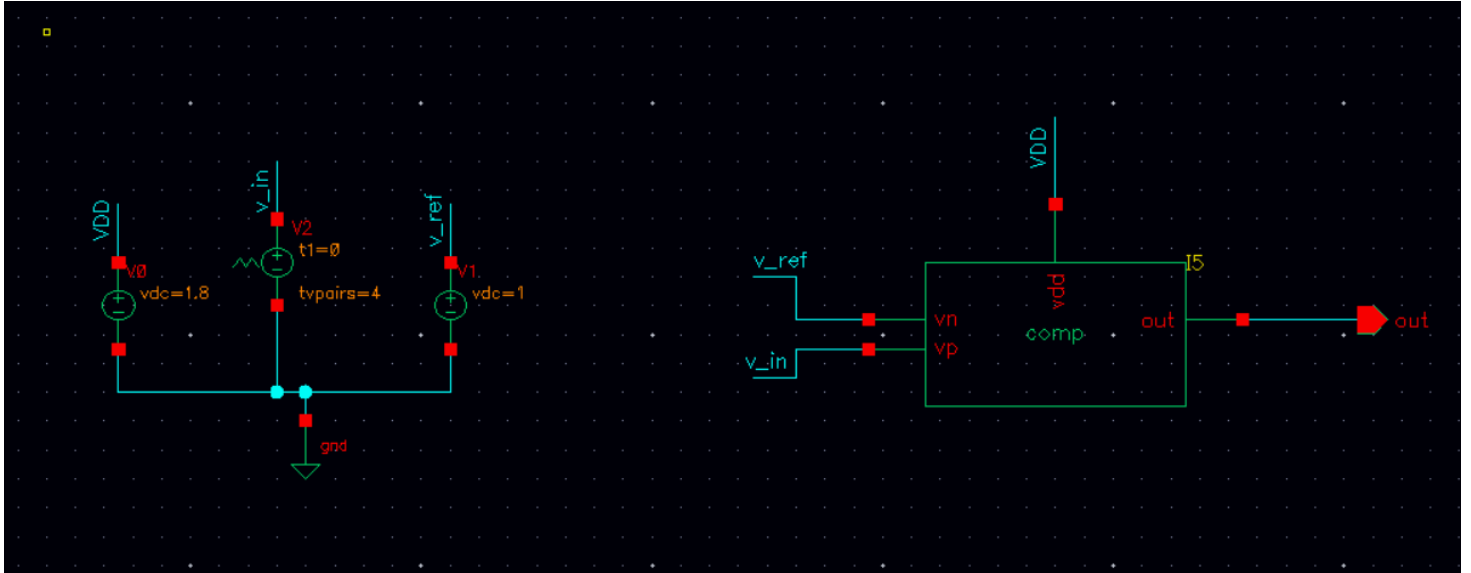
Schema comparatorului proiectat are 3 secțiuni: preamplificator, amplifică semnalul de la intrare pentru a se putea efectua o comparație mai precisă, rețeaua de reacție pozitivă unde are loc comaparea semnalului de intrare cu o tensiune de referință și un buffer la ieșire, ce determină un output high sau low în funcție de rezultatul etapei anterioare: dacă v_p este mai mare decât v_n output = high și dacă v_p este mai mic decât v_n output = low.

Schema Comparator:



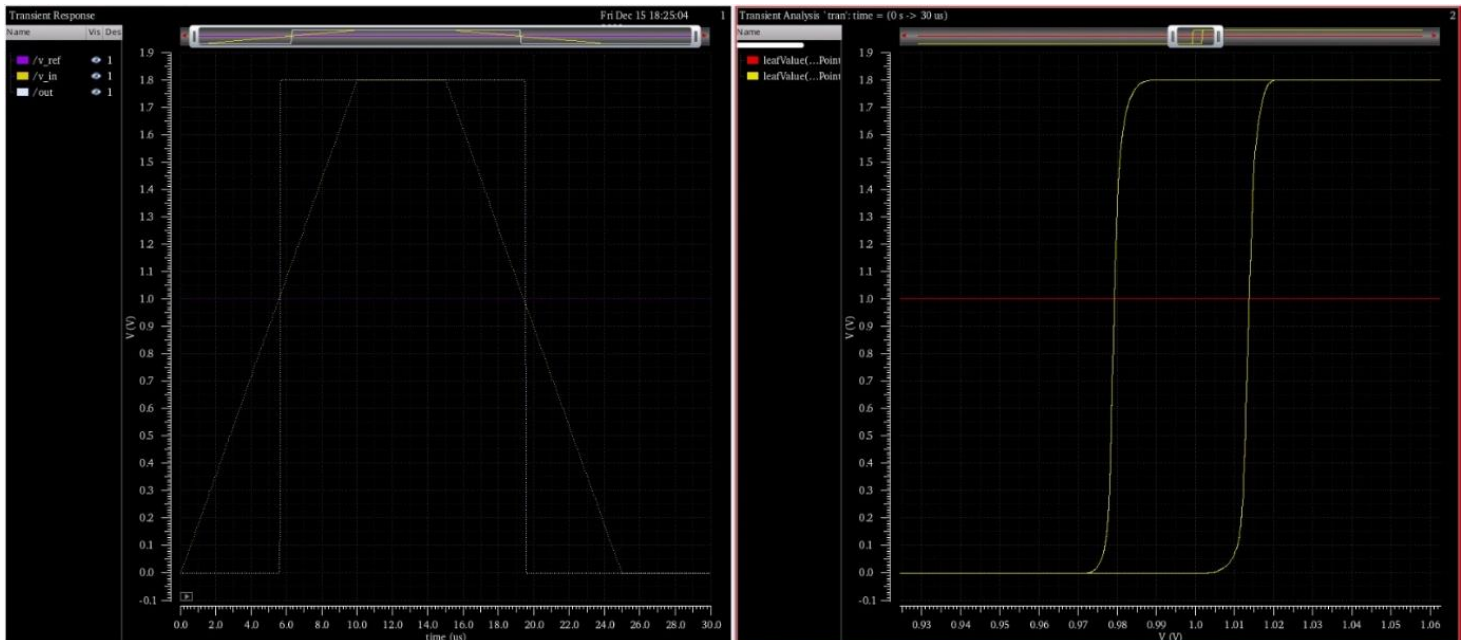
Test bench Comparator:

Pentru testarea acestui bloc am utilizat o sursă pwl pentru generarea unui semnal de intrare, o sursă vdc pentru generarea unui semnal de referință constant, cu care va fi comparat semnalul de intrare, și o sursă vdc pentru alimentare.



Simulari Comparator:

Comparatorul proiectat este rail-to-rail, cu histerezis și are un timp de răspuns de ordinul us/ns.



6. Bibliografie/Webografie

- [1] CMOS Circuit Design, Layout and Simulation R.Jacob Baker
- [2] Design and Simulation of 4 bit- Successive Approximation ADC Suraj P. Gaikwad
- [3] Design and Simulation of a 6-Bit Successive-Approximation ADC Using Modeled Organic Thin-Film Transistors
- [4] <https://hardwarebee.com/successive-approximation-analog-to-digital-conversion/>