



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ (ИУ7)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

О Т Ч Е Т

по лабораторной работе № 2

Название: Исследование дешифраторов

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-45Б

(Группа)

(Подпись, дата)

А.П. Бугаенко

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

Ю.А. Попов

(И.О. Фамилия)

Цель работы – изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

Задание №1. Исследование линейного двухвходового дешифратора с инверсными выходами.

а) собрать линейный стробируемый дешифратор на элементах ЗИ-НЕ; наборы входных адресных сигналов 0 1 А А , задать в выходов 0 1 Q Q , четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора

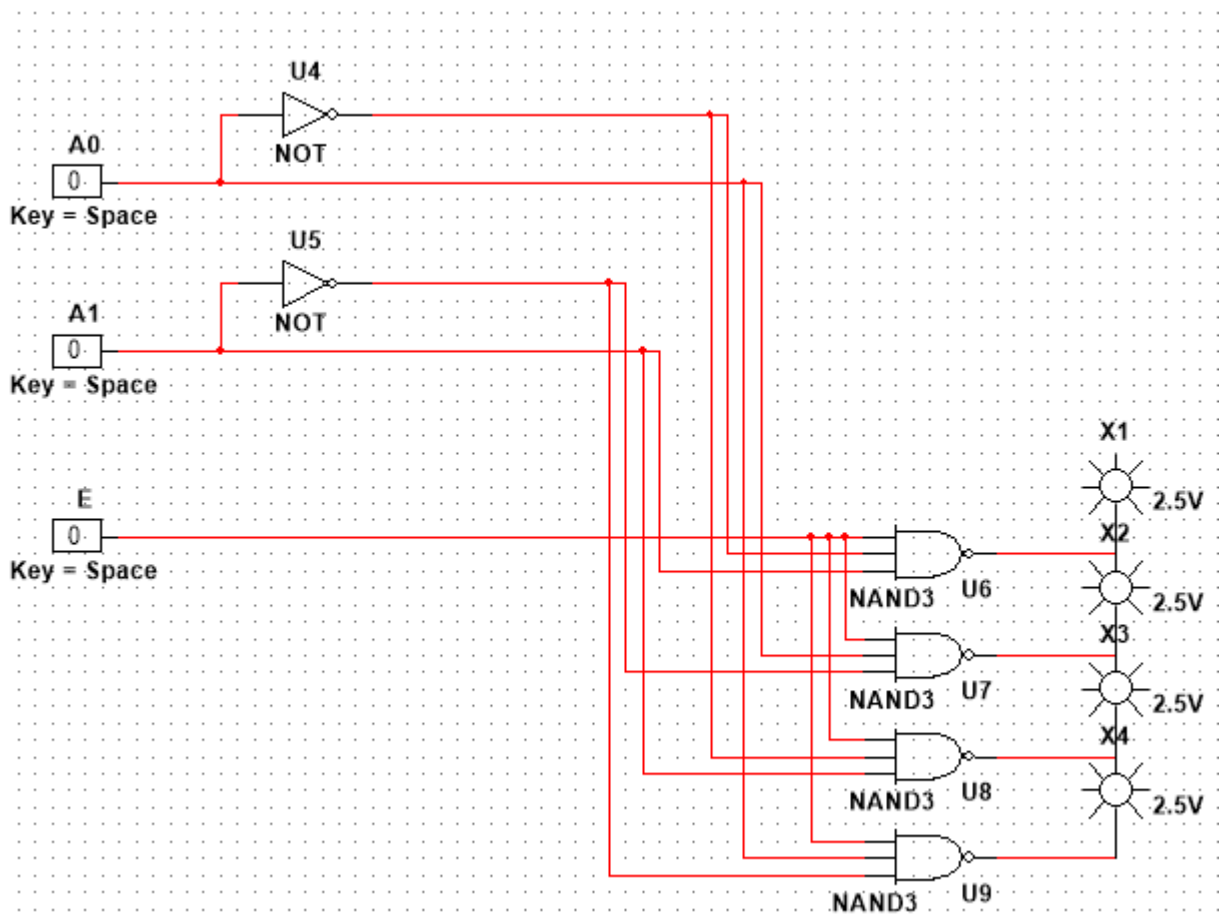


Рис 1. схема линейного стробируемого дешифратора

б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при EN=1);

E	A ₀	A ₁	F ₁	F ₂	F ₃	F ₄
0	*	*	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

Таблица 1. таблица истинности нестробируемого дешифратора

в) подать на вход счетчика сигнала прямоугольный сигнал генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

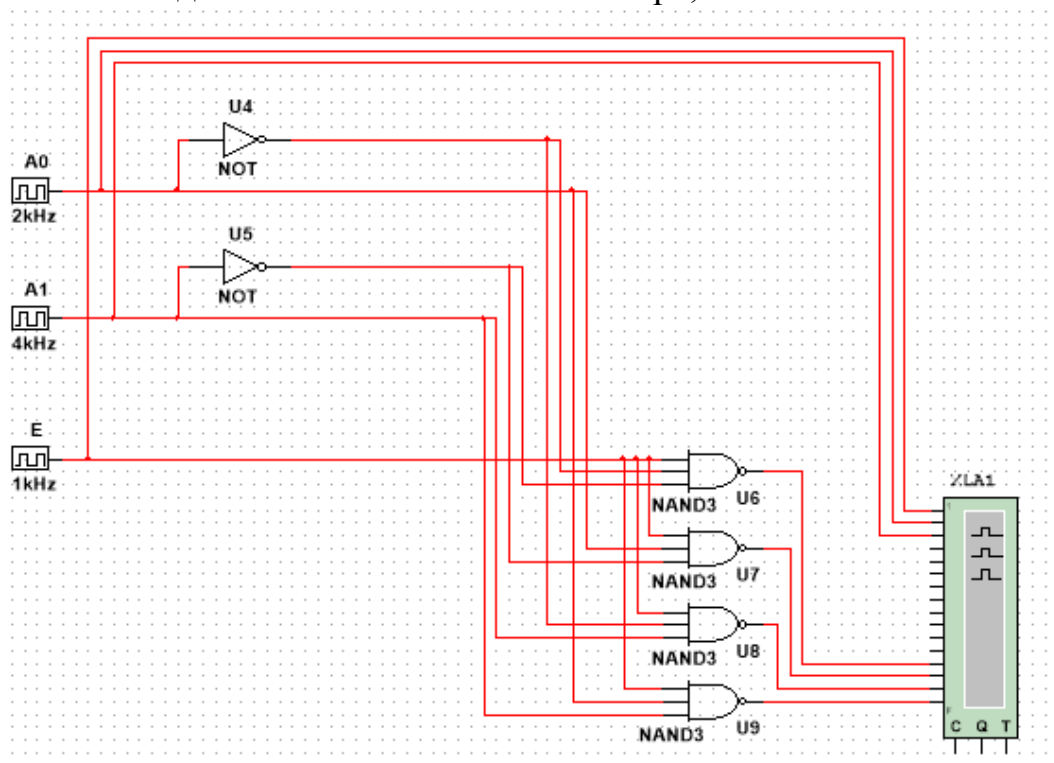


Рис 2. схема линейного стробируемого дешифратора с подключенным логическим анализатором

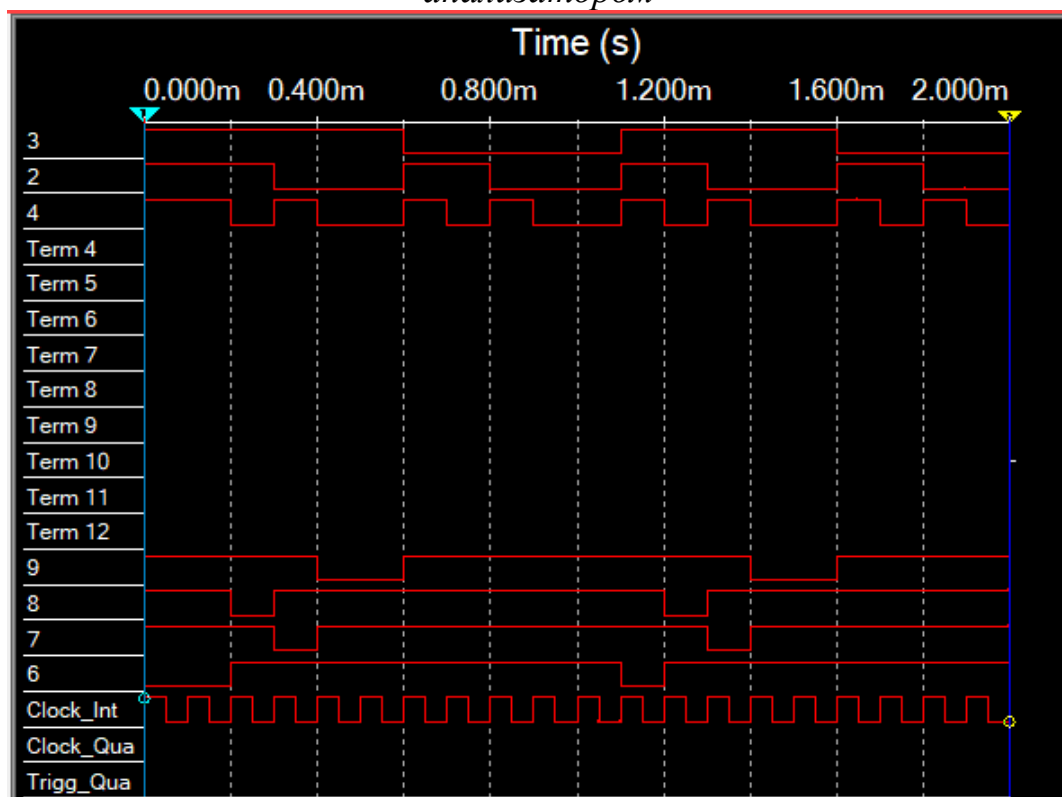


Рис 3. временные диаграммы сигналов дешифратора

г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;

Так как мы проводим симуляцию на компьютере, то гонок сигналов наблюдаться не будет. Для того, чтобы гонок не было на реальных схемах необходимо, чтобы стробирующий сигнал принимал значение равное единице, когда идёт

переключение сигналов. Если считать значение времени теоретически, то среднее время задержки будет равно сумме средних времён прохождения сигнала через элементы НЕ и И-НЕ.

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

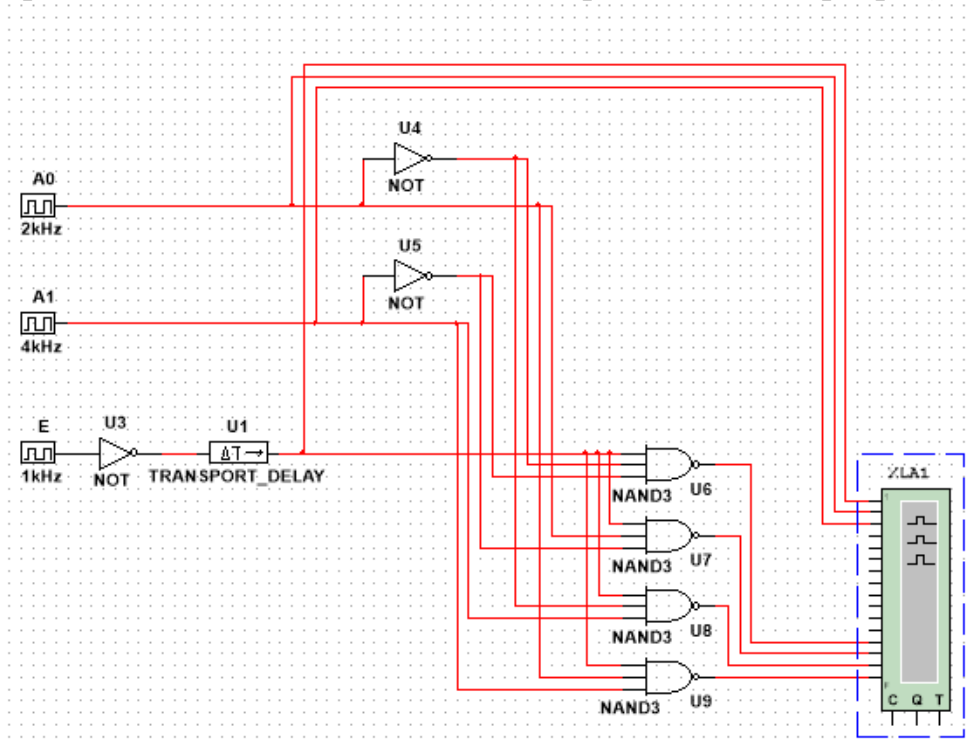


Рис 4. схема стробируемого дешифратора с линией задержки

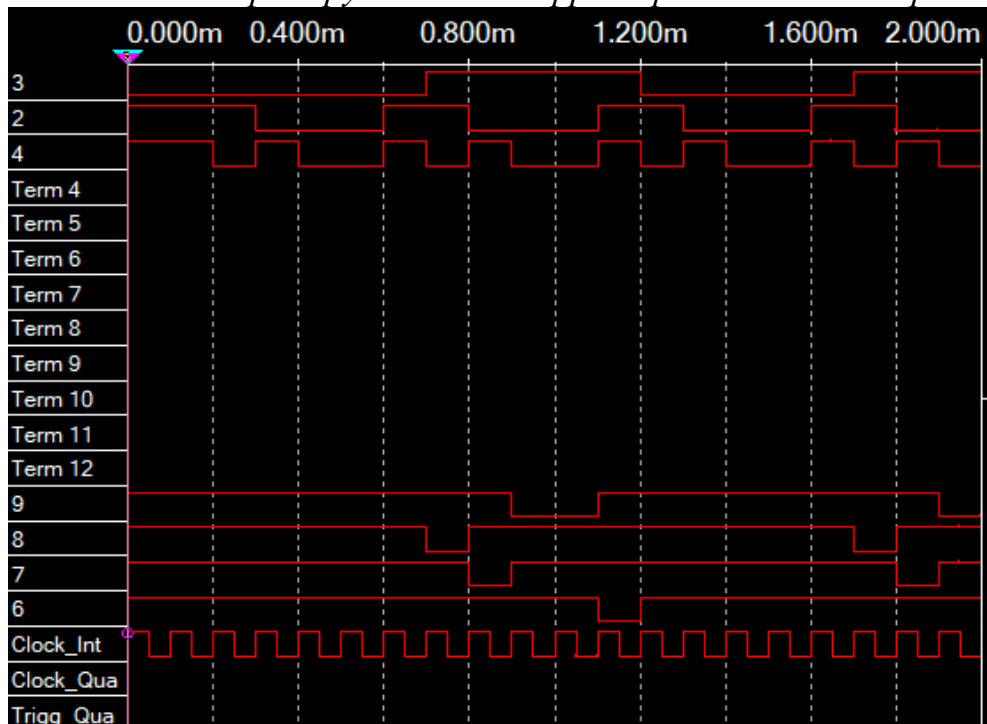


Рис 5. временные диаграммы сигналов дешифратора

е) определить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

Как я уже писал выше среднее время задержки будет равно сумме средних времён прохождения сигнала через элементы НЕ и И-НЕ.

Задание №2. Исследование дешифраторов ИС К155ИД4 (74LS155).

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q_0 и Q_1 выходов счетчика, а на стробирующие входы 3 и 4 – импульсы генератора, задержанные линией задержки;

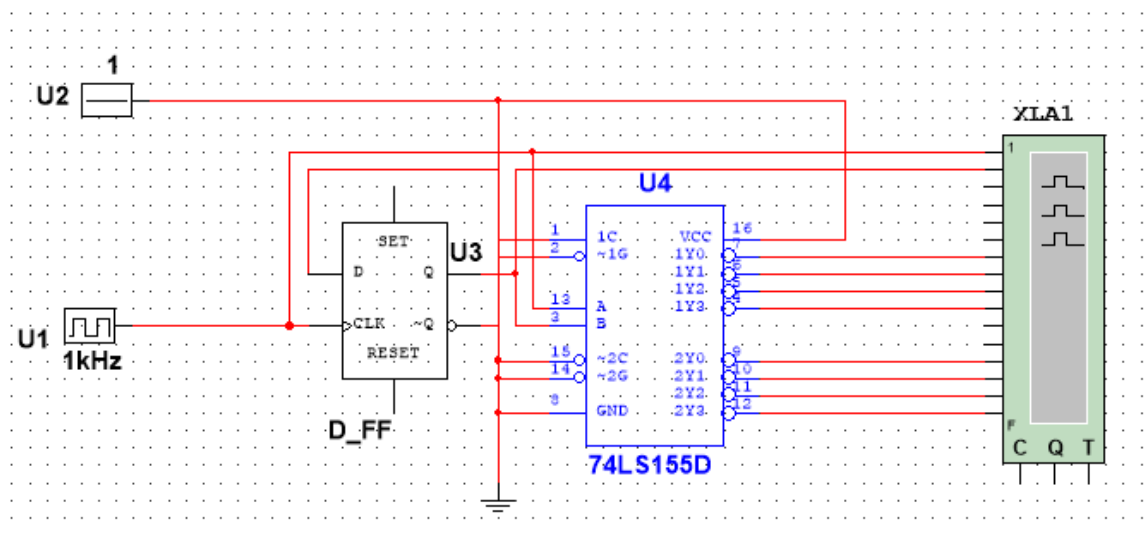


Рис 6. схема подключения двухвходового дешифратора

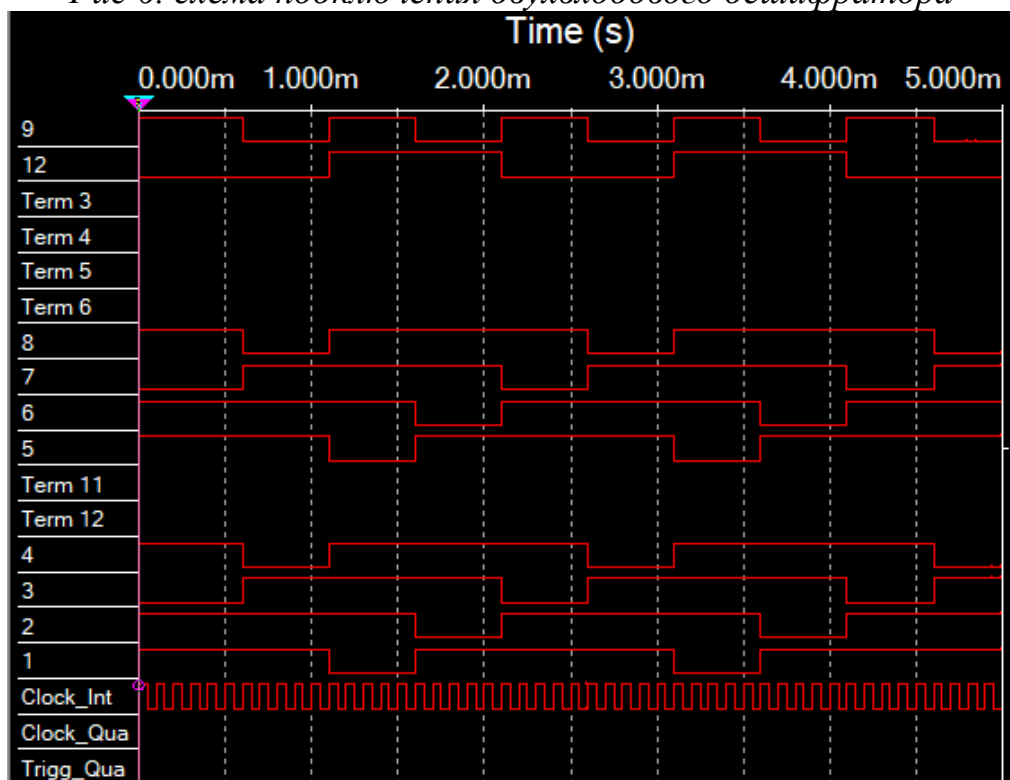


Рис 7. временные диаграммы сигналов двухвходового дешифратора

б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

Так как время задержки определяется средним временем распространения сигнала всеми элементами этой цепи, то в нашем случае это будет 0, так как в симуляции задержек нет.

в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4, задавая входные сигналы 0 1 2 $A_0 A_1 A_2$ с выходов 0 1 2 $Q_0 Q_1 Q_2$ счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

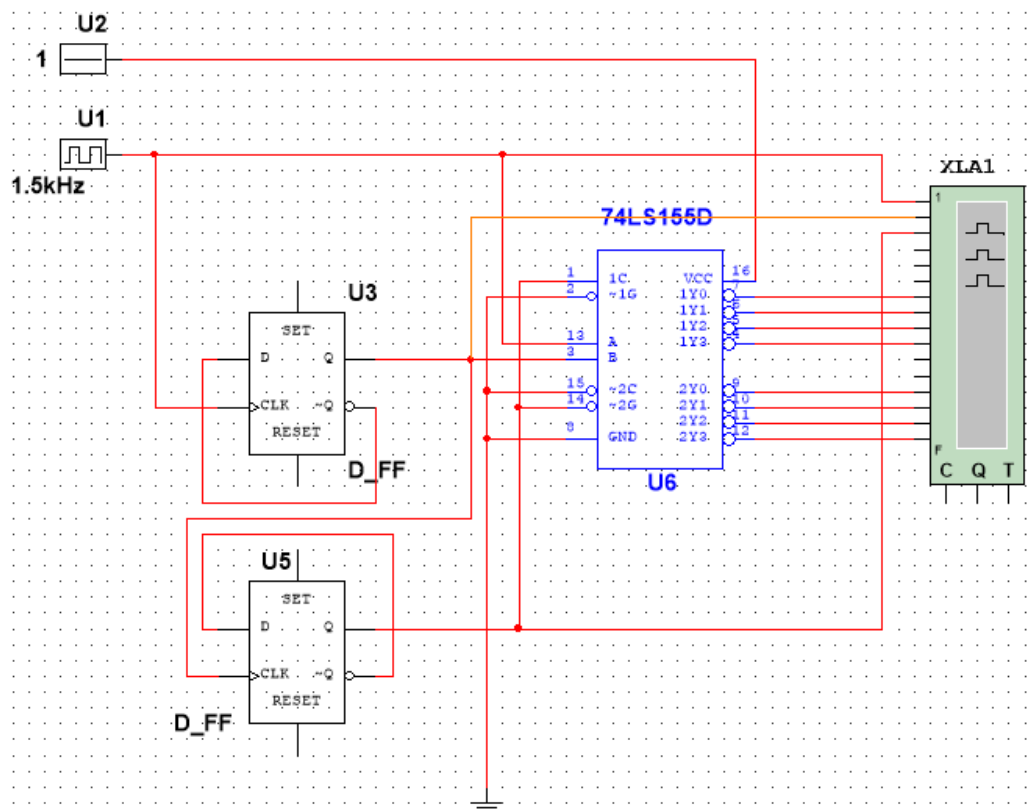


Рис 8. схема трехвходового дешифратора на основе дешифратора К155ИД4

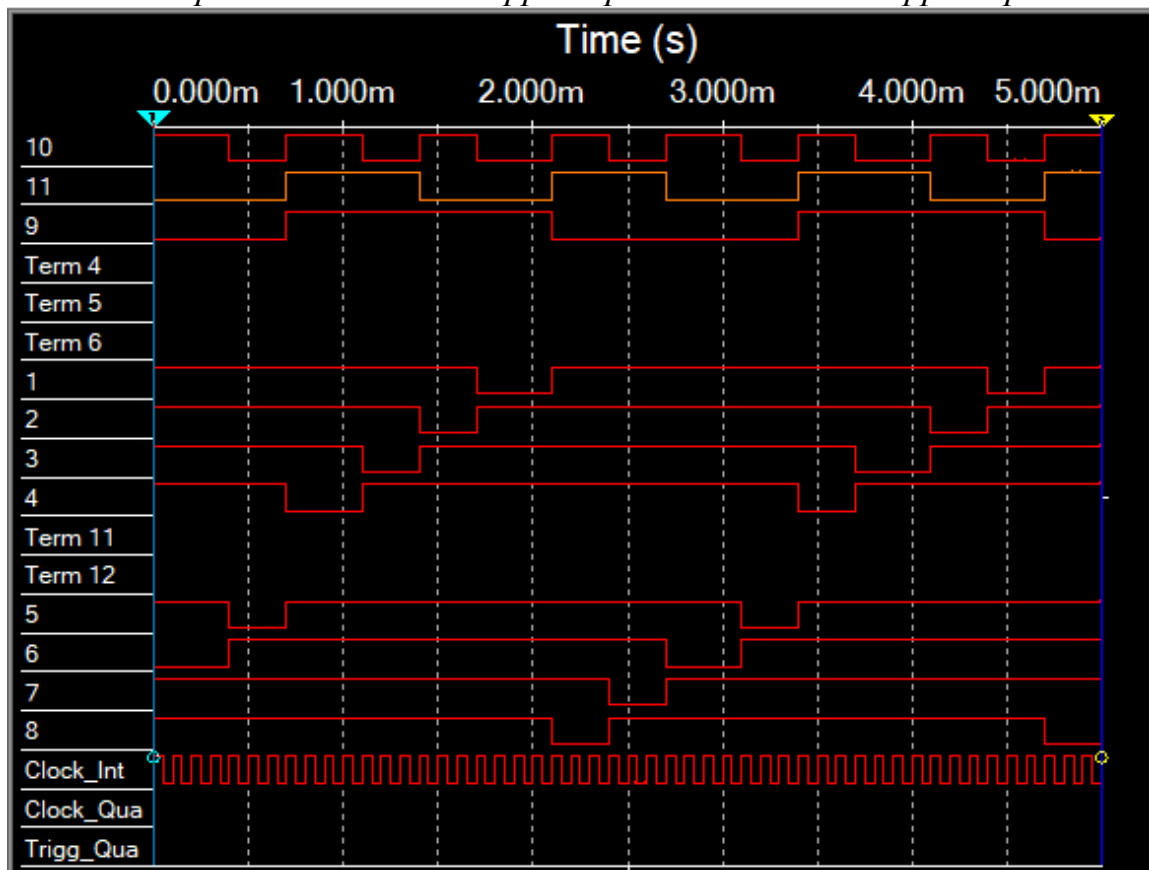


Рис 9. временные диаграммы сигналов дешифратора

A ₀	A ₁	A ₂	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆	F ₇
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Таблица 2. таблица истинности трёхвходового дешифратора

Задание №3. Исследование дешифраторов ИС КР531ИД14 (74LS139).

ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B, см. рис. ниже) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции $1 \cdot 2$, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

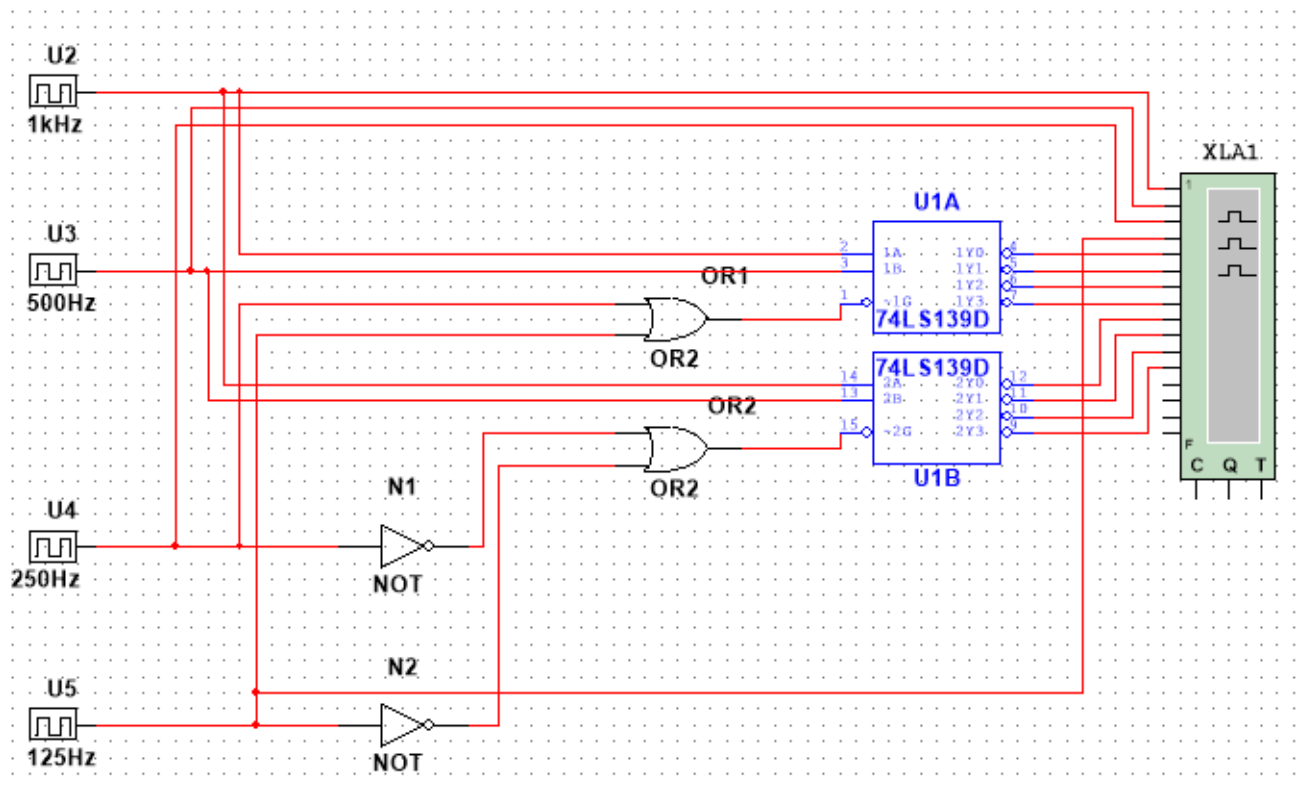


Рис 10. схема для исследования дешифраторов ИС КР531ИД14

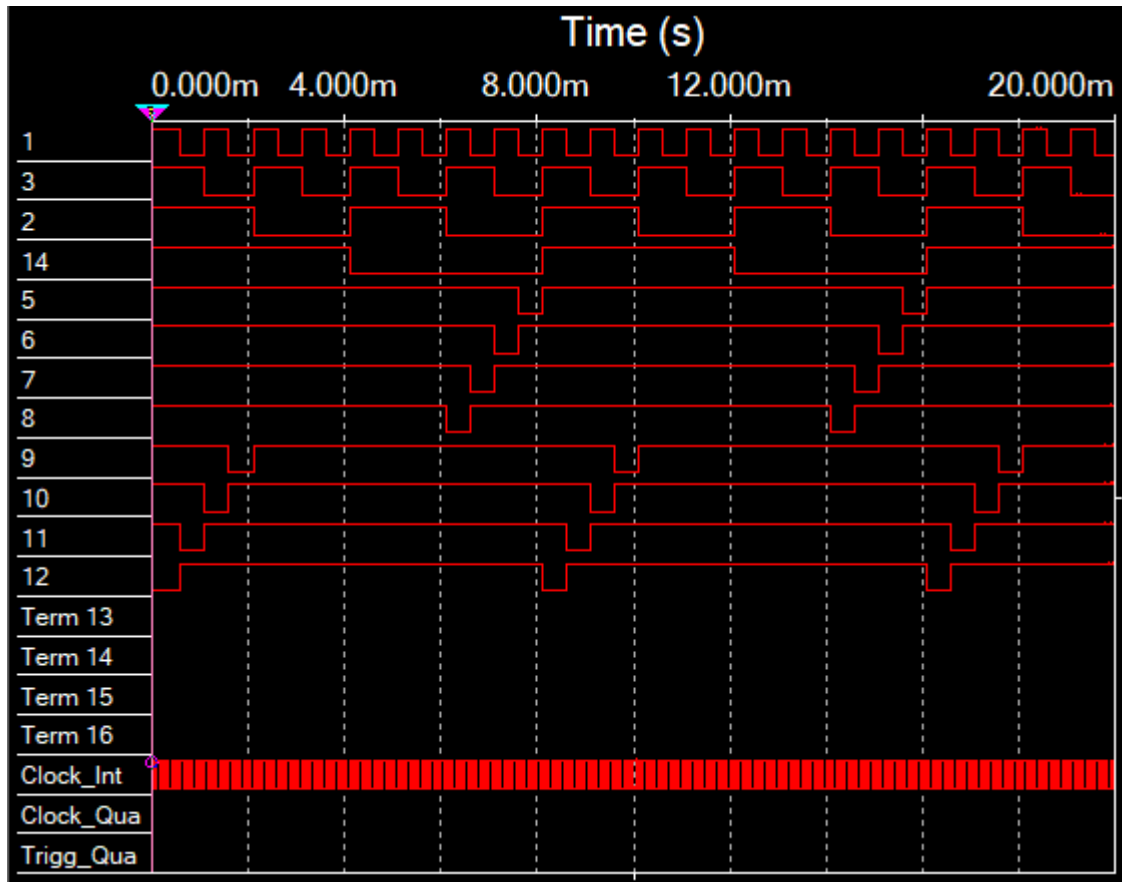


Рис 11. временные диаграммы сигналов дешифраторов

Задание №4. Исследовать работоспособность дешифраторов ИС 533ИД7.

Снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы 0 1 2 Q Q Q , , с выходов счетчика, а на входы разрешения E1, E2, E3 – сигналы лог. 1, 0, 0 соответственно;

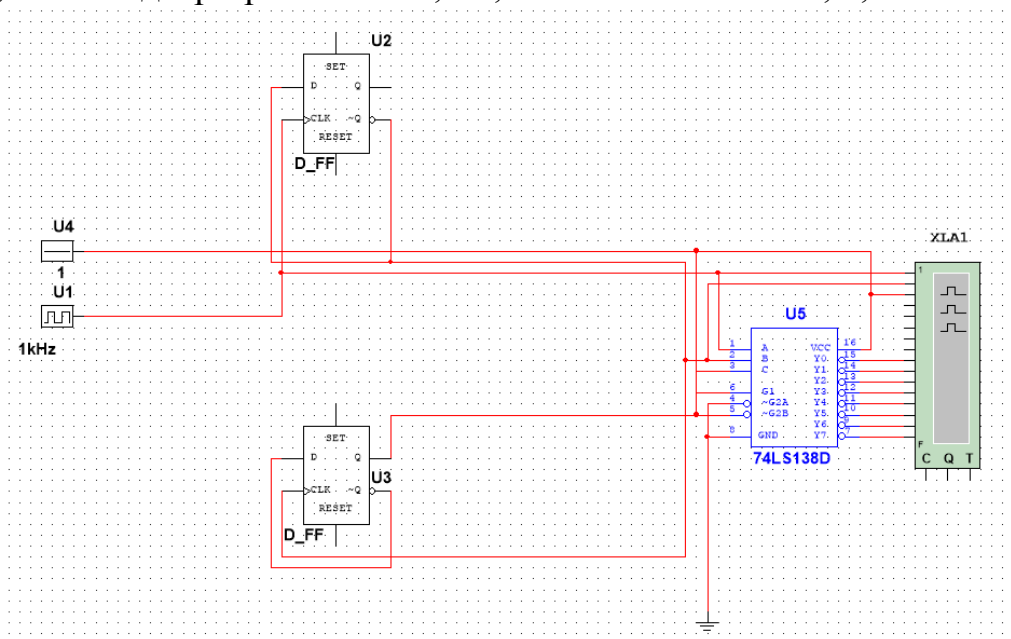


Рис 12. схема для исследования работоспособности дешифраторов ИС 533ИД7

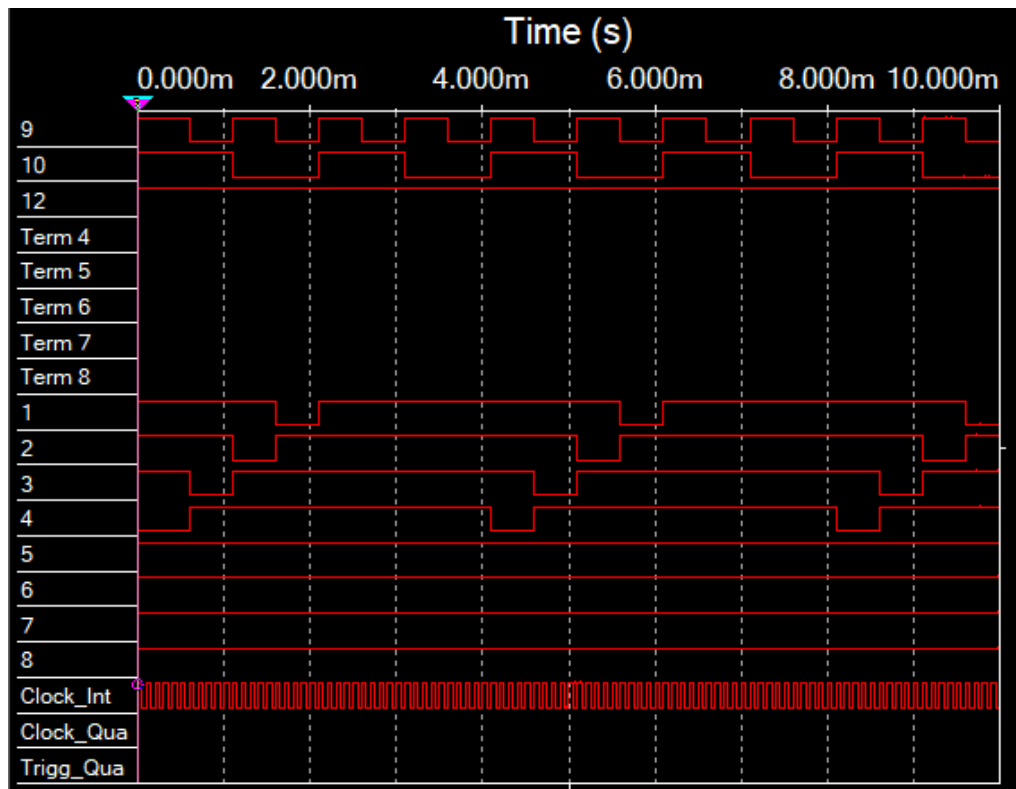


Рис 13. временные диаграммы сигналов дешифраторов

Вывод:

В результате данной лабораторной работы мы выяснили, что дешифратор – это комбинационный узел с n входами и N выходами. Данный узел позволяет преобразовывать каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору. Дешифраторы обычно применяются для преобразования кодов операций в управляющие сигналы выбора ячеек при записи, считывании и других видов действий с информацией. Помимо этого дешифраторы могут применяться для формирования алгебры логики, или как демультиплексор при наличии входа разрешения. Также они могут наращиваться для увеличения числа входов и выходов.