



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение высшего образования
«Московский государственный технический университет имени
Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Компьютерные системы и сети»

НАПРАВЛЕНИЕ ПОДГОТОВКИ «09.03.04 Программная инженерия»

ОТЧЕТ по лабораторной работе №2

Название: Исследование дешифраторов

Дисциплина: Архитектура ЭВМ

Студент:	<u>ИУ7-43Б</u>	<u> </u>	<u>02.04.2020</u>	<u>А. В. Романов</u>
	группа	подпись	дата	(И. О. Фамилия)

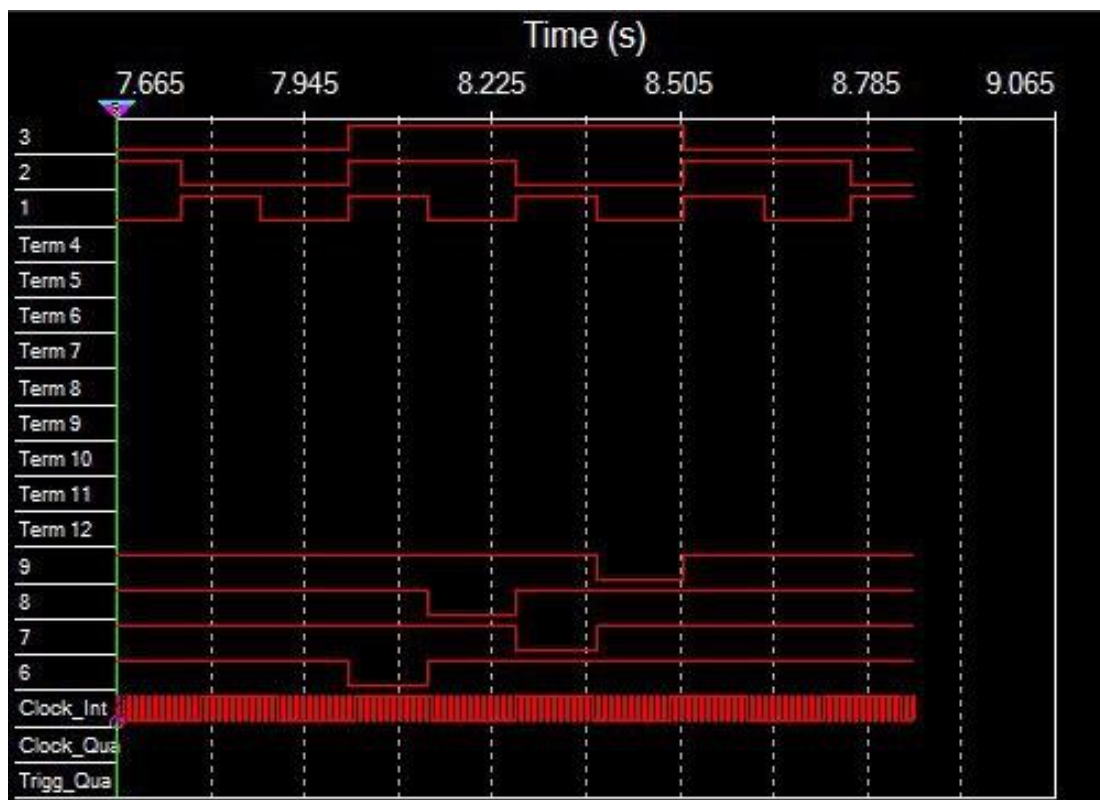
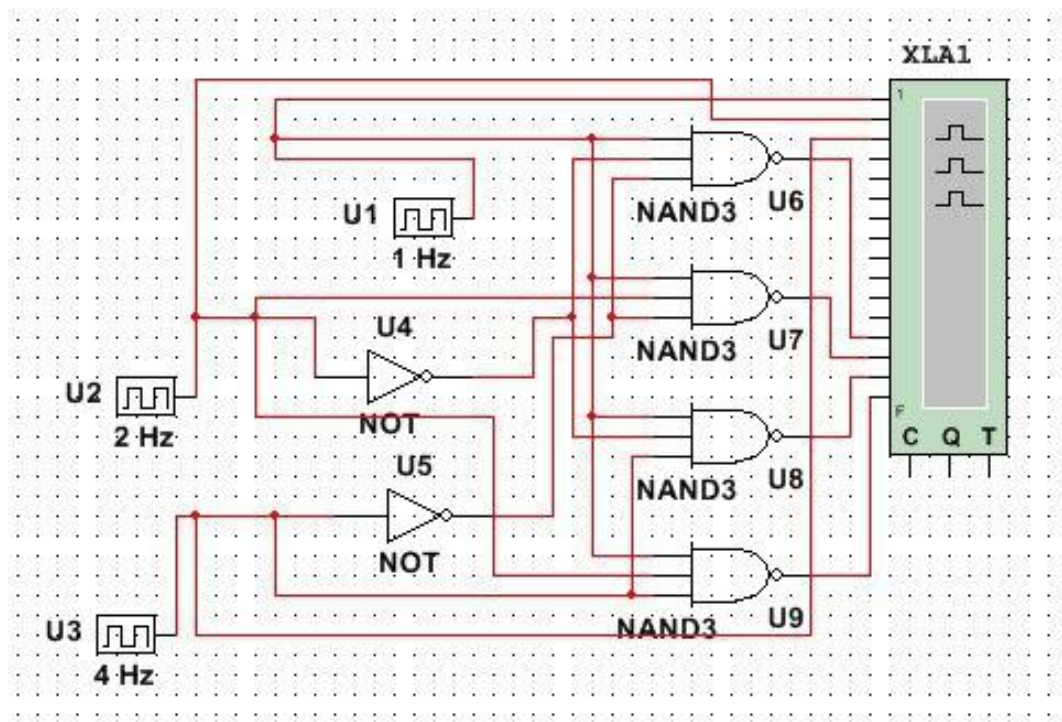
Преподаватель:	<u> </u>	<u> </u>	<u>А. Ю. Попов</u>
	подпись	дата	(И. О. Фамилия)

Москва — 2020 г.

1. Цель работы

Изучение принципов построения методов синтеза дешифраторов; макетирование и экспериментальное исследования дешифраторов

2. Линейный двухвходовый дешифратор



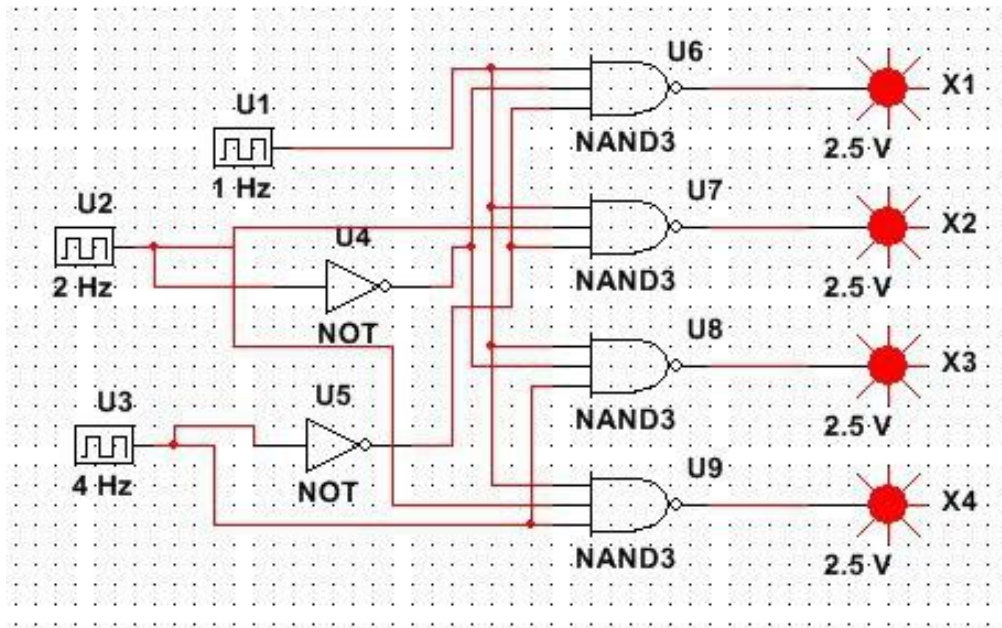


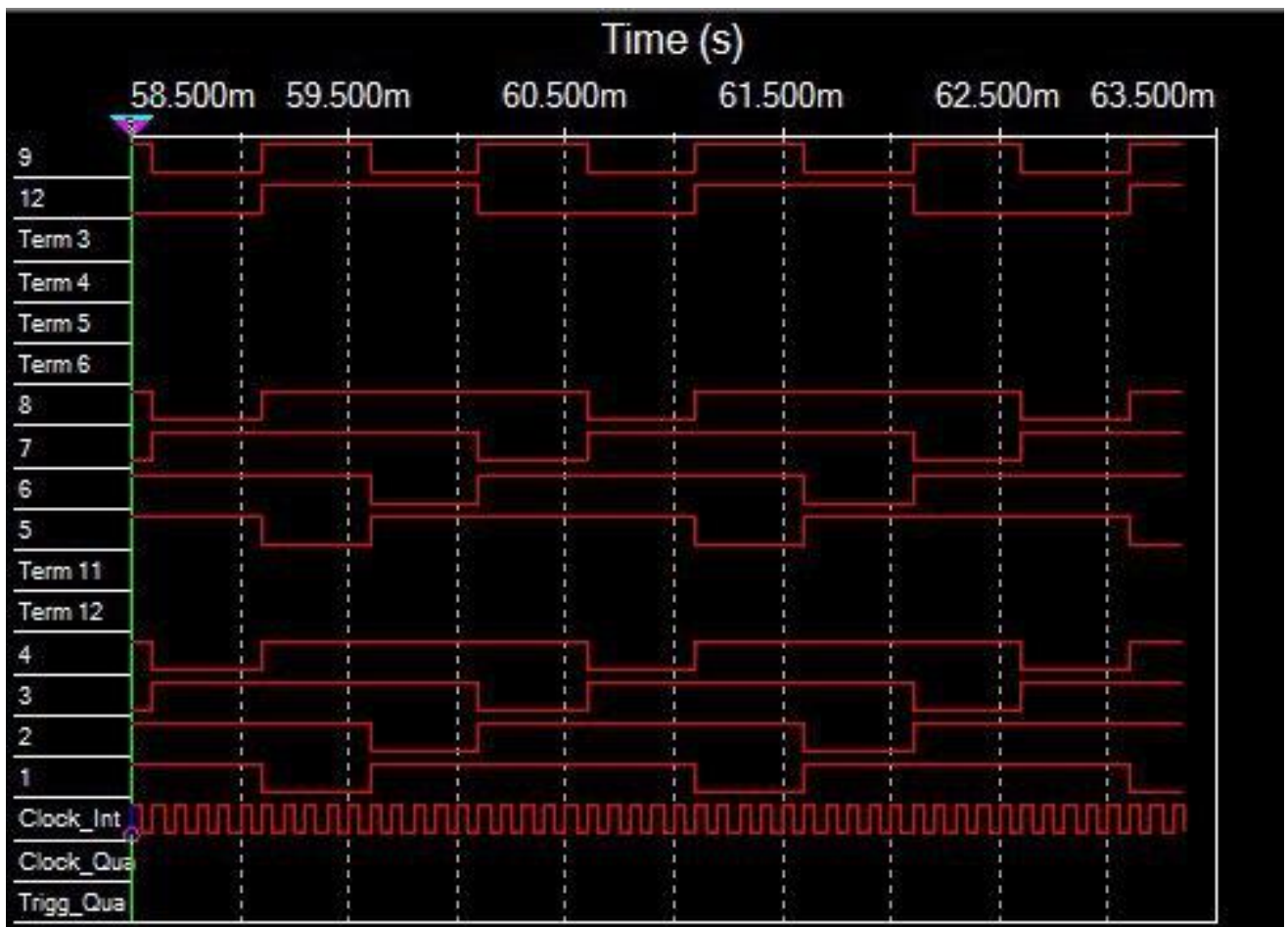
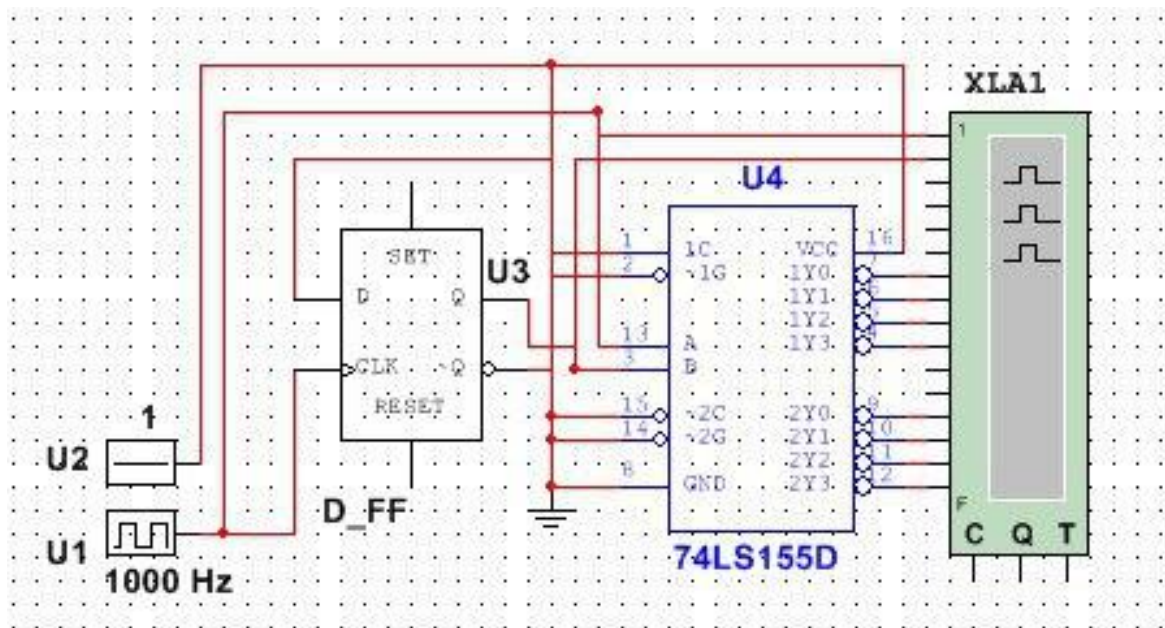
Таблица переходов:

E	A_1	A_2	F_1	F_2	F_3	F_4
0	*	*	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

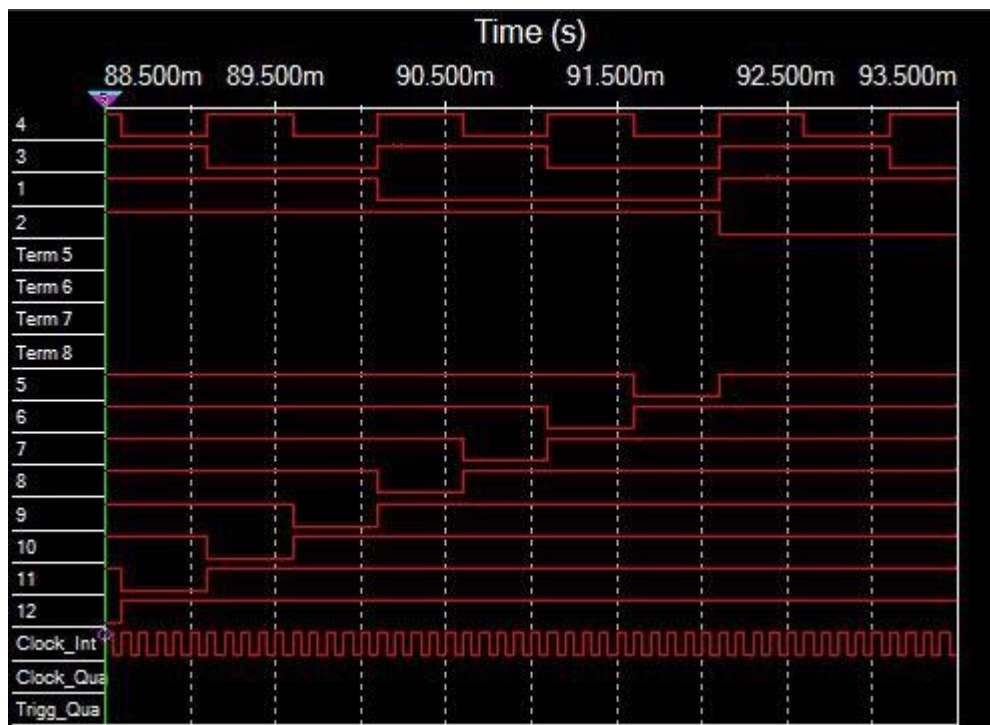
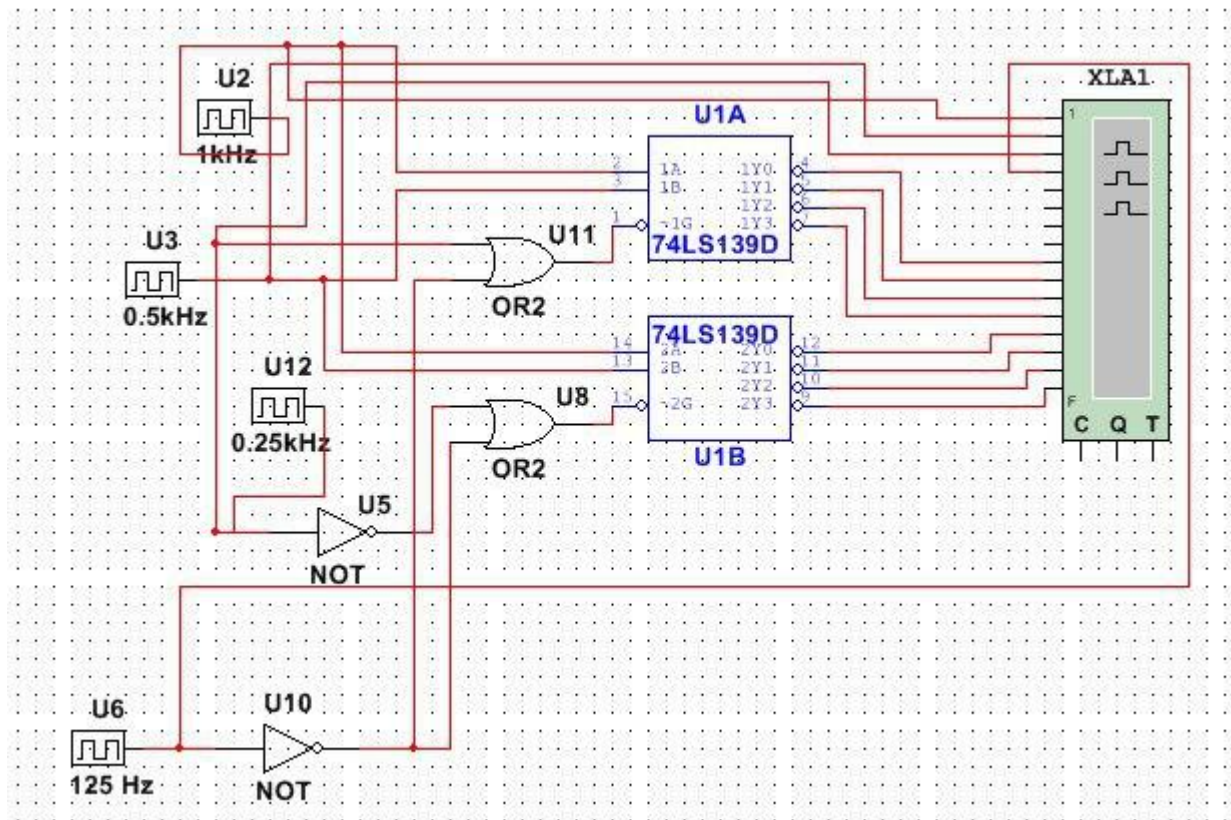
Так как мы моделируем в компьютере (не в реальной жизни), устранять гонки сигналов не обязательно. Чтобы их не было в реальной жизни, нужно чтобы стобирующий сигнал не был равен единице во время переключения сигналов. Тут получается среднее время задержки равно сумме средних времен сигнала через НЕ и И-НЕ.

Файлы: 1.ms12 и 2.ms12

3. Дешифратор ИС К155ИД4

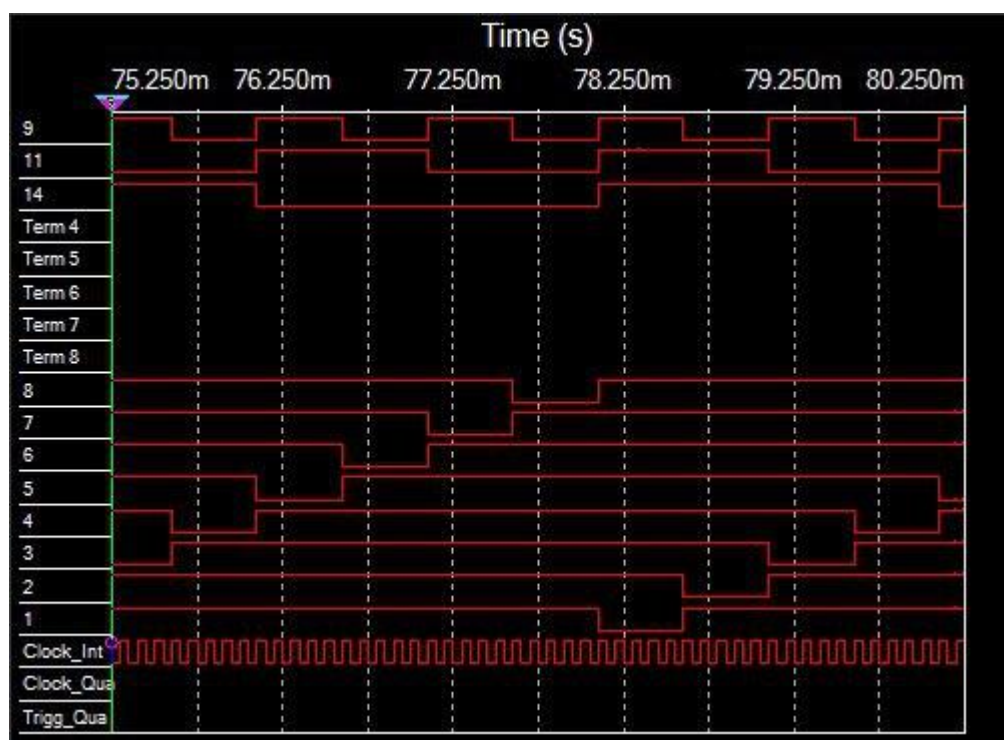
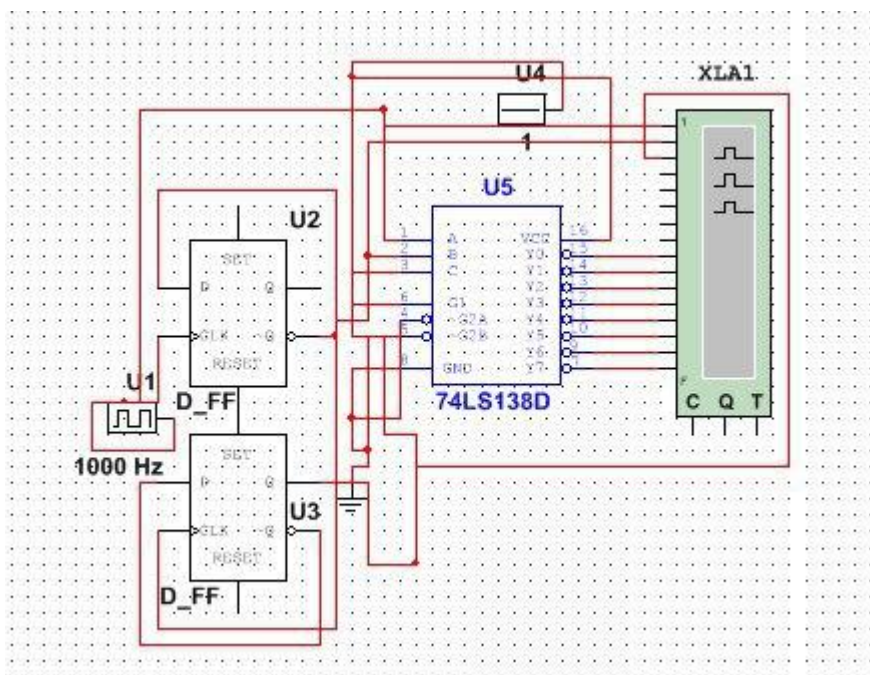


4. Исследование дешифраторов ИС КР531ИД14



Файл: 5.ms12

5. Трехвходовый дешифратор 533ИД7



Файл: 6.ms12

6. Вывод

При выполнении этой лабораторной работы я изучил принципы построения и методы синтеза дешифраторов, при этом экспериментально изучив дешифраторы.

7. Контрольные вопросы

1. Что называется дешифратором?

Дешифратор – комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий $2n$ выходов, называется полным, при меньшем числе выходов – неполным.

3. Определите закон функционирования дешифратора аналитически и таблично.

Функционирование дешифратора $DC\ n - N$ определяется таблицей истинности:

Входы							Выходы					
EN	A_{n-1}	A_{n-2}	A_{n-3}	...	A_1	A_0	F_0	F_1	F_2	...	F_{N-2}	F_{N-1}
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
.
.
.
1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

Аналитически описать дешифратор можно совокупностью логических функций в СДНФ:

$$F_0 = EN \cdot \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_i \cdot \bar{A}_1 \cdot \bar{A}_0,$$

$$F_1 = EN \cdot \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_i \cdot \bar{A}_1 \cdot A_0,$$

$$F_2 = EN \cdot \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_i \cdot A_1 \cdot \bar{A}_0,$$

.....

$$F_{N-2} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_i \cdot A_1 \cdot \bar{A}_0,$$

$$F_{N-1} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_i \cdot A_1 \cdot A_0,$$

4. Поясните основные способы построения дешифраторов.

Линейный дешифратор строится в соответствии с системой, представленной в предыдущем вопросе, и представляет собой 2^n конъюнкторов или логических элементов ИЛИ-НЕ с n - входами каждый при отсутствии стробирования и с $n + 1$ входами - при его наличии. Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций. *На первом этапе* реализуются конъюнкции двух переменных. *На втором* – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную.. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки, приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора $DC\ n - N$ используются простые дешифраторы $DC\ n_1 - N_1$, причем $n_1 \ll n$, следовательно и $N_1 \ll N$.

1. Число каскадов равно $= \frac{n}{n_1}$. Если K – целое число, то во всех каскадах используются полные дешифраторы $DC\ n_1 - N_1$. Если – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор $DC\ n_1 - N_1$.

2. Количество простых дешифраторов $DC\ n_1 - N_1$ в выходном каскаде равно $\frac{N}{N_1}$, в предвыходном - $\frac{N}{N_1^2}$, в предпредвыходном - $\frac{N}{N_1^3}$ и т.д.; во входном каскаде - $\frac{N}{N_1}$. Если $\frac{N}{N_1}$ – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.