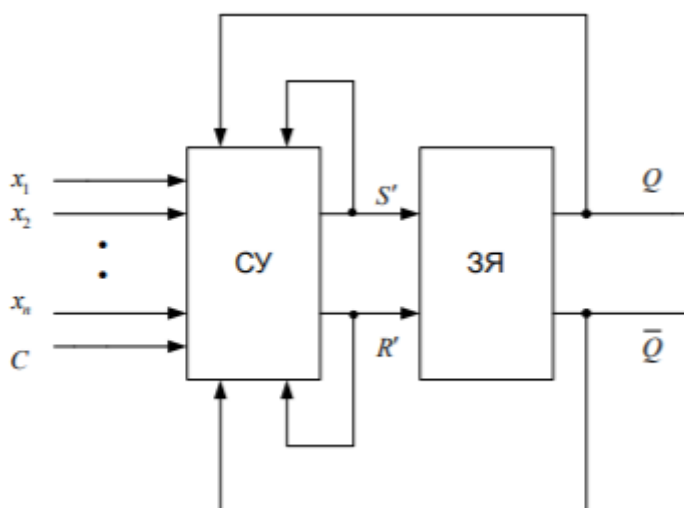
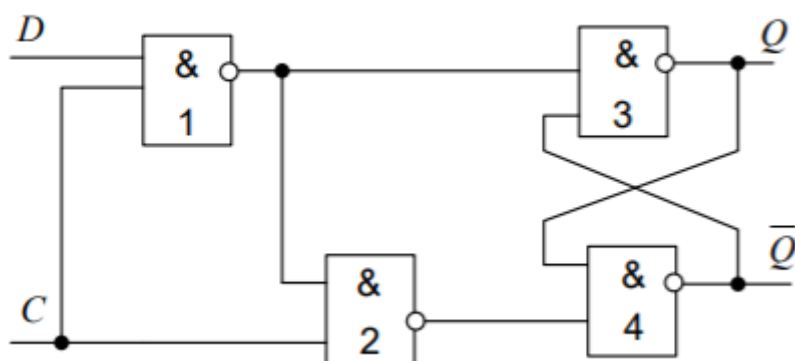


В общем случае триггер – это запоминающий элемент с двумя устойчивыми состояниями, которые кодируются цифрами 1 и 0. Внутренние состояния триггера определяются по его выходному сигналу. Триггер имеет два выхода: прямой и инверсный. Если триггер находится в состоянии 0, то на прямом выходе действует сигнал 0, а на инверсном (или обратном) действует сигнал 1.

Общая структурная схема триггера:



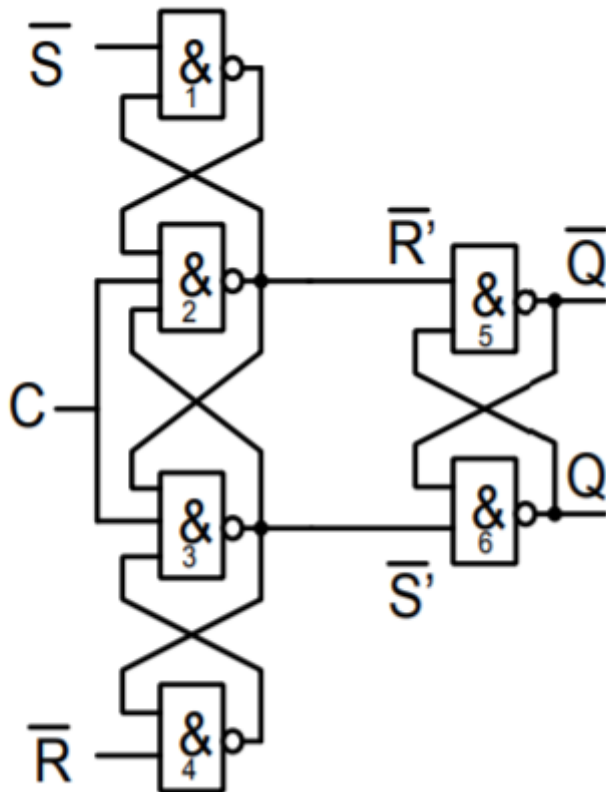
Одним из «подвидов» триггеров является синхронный D-триггер. Этот триггер имеет один информационный вход D, состояние которого передаётся на вход, когда поступает синхронизирующий сигнал. Таким образом выходные сигналы представляют собой задержанные входные сигналы. Поэтому D-триггер – элемент задержки (или хранения) входных сигналов на один такт. Схема D-триггера выглядит следующим образом:



Основным недостатком простейшего D-триггера является наличие режима «прозрачности». Если на входе присутствует высокий потенциал, то триггер записывает входную информацию. Для того, чтобы избежать попадания входного сигнала на выход схемы приходится на вход триггера подавать

очень узкие импульсы. Однако фронт синхронизации не может длиться долгое время (в отличие от высокого или низкого потенциала). В идеальном случае длительность фронта импульса равна нулю. Поэтому в триггере, запоминающем поступающую информацию по фронту не нужно предъявлять требования к длительности тактового сигнала.

Динамический D-триггер, запоминающий информацию по фронту, позволяет исправить этот недостаток. Данный триггер может быть построен на элементах И-НЕ следующим образом:



Сигнал синхронизации C будет подаваться на статические D-триггеры в противофазе, в результате чего данный триггер будет принимать только те сигналы, которые были на его информационных входах до того, как на вход C был подан синхросигнал и после него в течение времени, необходимого для переключения триггера, которое определяется внутренними переходными процессами, которые происходят внутри него.