



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ (ИУ7)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

ОТЧЕТ

по лабораторной работе № 3

Название: Исследование синхронных счётчиков

Дисциплина: Архитектура ЭВМ

Студент ИУ7-45Б
(Группа)

А.П. Бугаенко
(Подпись, дата) (И.О. Фамилия)

Преподаватель

Ю.А. Попов
(Подпись, дата) (И.О. Фамилия)

Цель работы – изучение принципов построения счетчиков, овладение методом синтеза синхронных счетчиков, экспериментальная оценка динамических параметров счетчиков, изучение способов наращивания разрядности синхронных счетчиков.

Задание №1. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом на Т-триггерах.

Построим схему синхронного суммирующего счётчика с параллельным переносом на Т-триггерах:

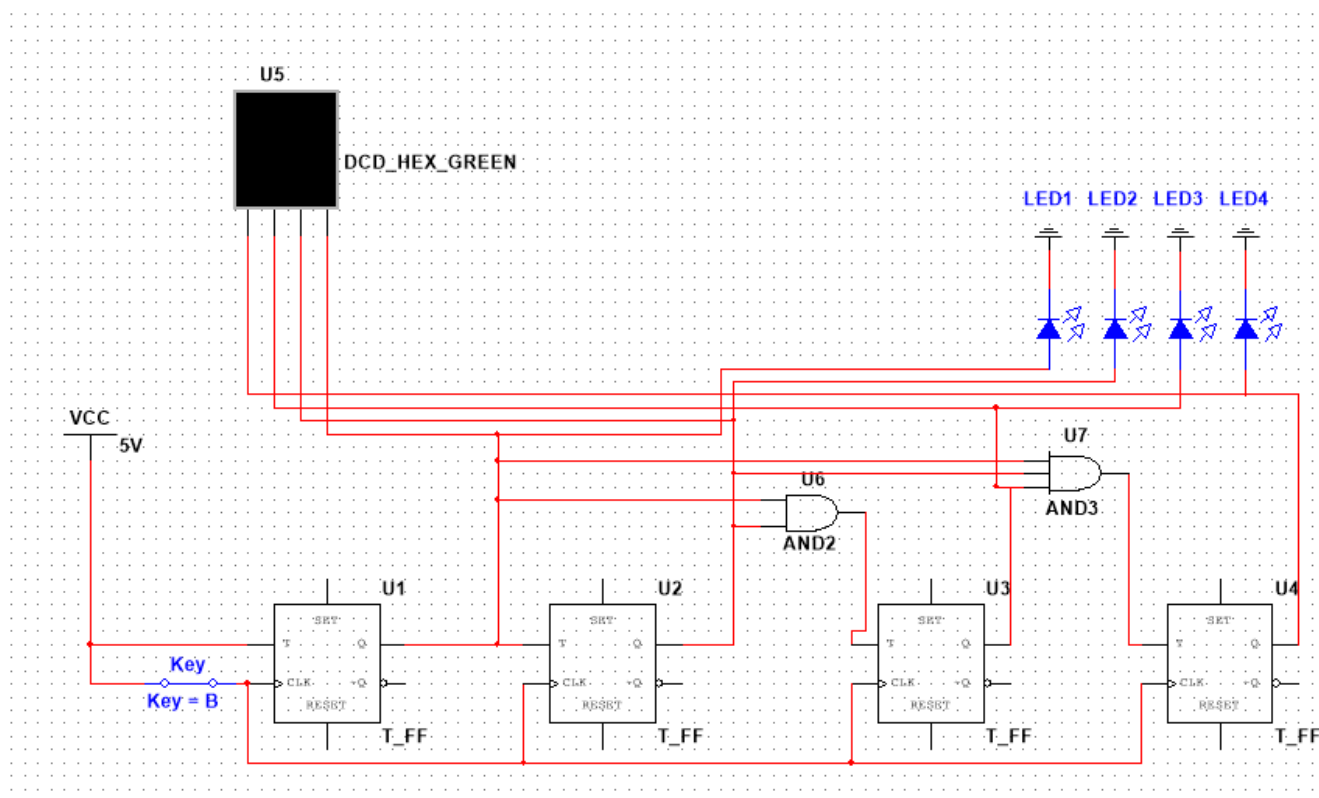


Рис 1. Схема синхронного суммирующего счётчика с параллельным переносом на Т-триггерах.

Лампочки отражают двоичное представление числа, на hex-экране можно увидеть 16-ричное представление числа. Также стоит отметить, что порядок изменения состояния на данном счётчике является естественным.

Подключим к схеме импульсный генератор и логический анализатор сигналов:

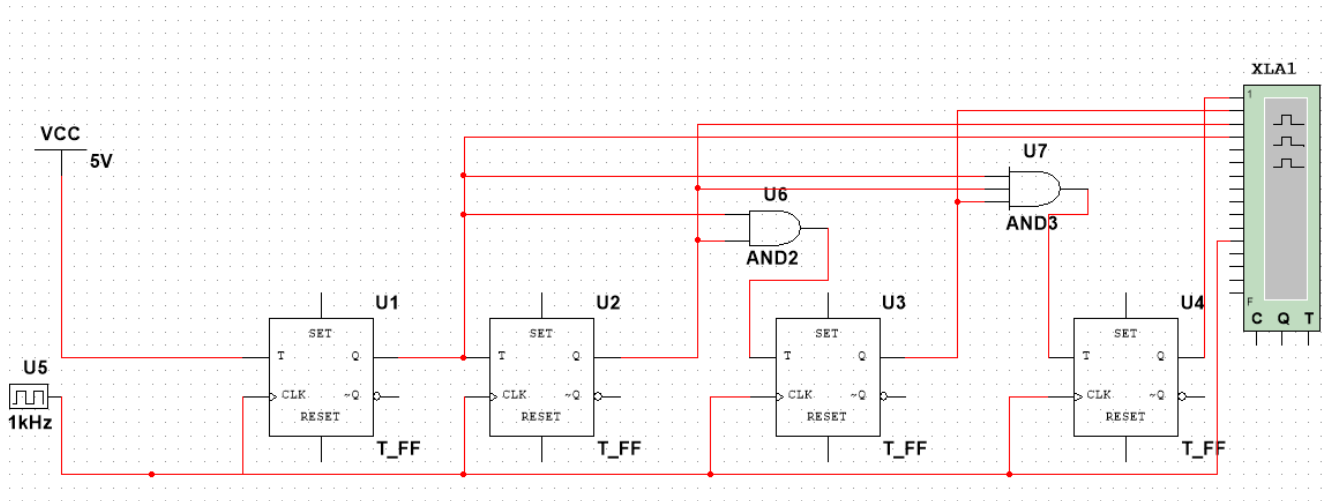


Рис 2. Схема синхронного суммирующего счётчика с параллельным переносом на Т-триггерах с включёнными в неё импульсным генератором и логическим анализатором.

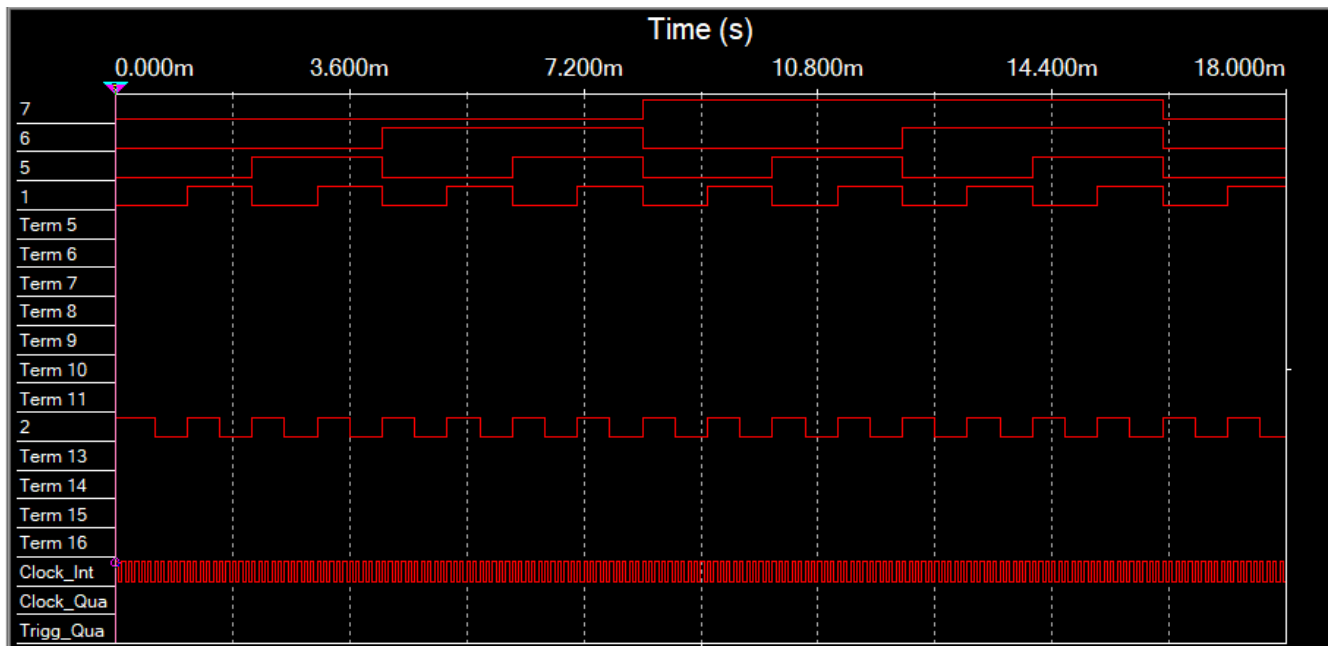


Рис 3. Результат работы счётчика в виде сигнала на логическом анализаторе.

Мы можем наблюдать, как четырёхразрядный счётчик последовательно возвращает сигналы, соответствующие десятичным числам от 0 до 15. При этом стоит заметить, что комбинируя разное количество триггеров можно получать счётчики разной разрядности.

Задание №2. Синтезировать двоично-десятичный счётчик с заданной последовательностью состояний.

Вариант №4:

4 | 0,1,2,3,4,5,8,9,10,11

Тогда в нашем случае последовательность состояний - 0, 1, 2, 3, 4, 5, 8, 9, 10, 11.

Сборку схемы проведём на элементах интегрального базиса (И-НЕ; И, ИЛИ, НЕ) и синхронных JK-триггерах.

Сначала определим количество триггеров для синтеза счётчика:

$$M = 10, L = 11, n_1 = \log_2 M$$

Составим таблицу функционирования счётчика:

	t				t+1											
№	Q3	Q2	Q1	Q0	Q3*	Q2*	Q1*	Q0*	J3	K3	J2	K2	J1	K1	J0	K0
0	0	0	0	0	0	0	0	1	0	a	0	a	0	a	1	a
1	0	0	0	1	0	0	1	0	0	a	0	a	1	a	a	1
2	0	0	1	0	0	0	1	1	0	a	0	a	a	0	1	a
3	0	0	1	1	0	1	0	0	0	a	1	a	a	1	a	1
4	0	1	0	0	0	1	0	1	0	a	a	0	0	a	1	a
5	0	1	0	1	1	0	0	0	1	a	a	1	0	a	a	1
8	1	0	0	0	1	0	0	1	a	0	0	a	0	a	1	a
9	1	0	0	1	1	0	1	0	a	0	0	a	1	a	a	1
10	1	0	1	0	1	0	1	1	a	0	0	a	a	0	1	a
11	1	0	1	1	0	0	0	0	a	1	0	a	a	1	a	1

Таблица 1. Таблица функционирования счётчика.

Q3 Q2 \ Q1 Q0	00	01	11	10
00	1	a	a	1
01	1	a	-	-
11	-	-	-	-
10	1	a	a	1
$J0 = 1$				

Таблица 2.

Q3 Q2 \ Q1 Q0	00	01	11	10
00	a	1	1	a
01	a	1	-	-
11	-	-	-	-
10	a	1	1	a
$K0 = 1$				

Таблица 3.

Q3 Q2 \ Q1 Q0	00	01	11	10
00	0	1	a	a
01	0	0	-	-
11	-	-	-	-
10	0	1	a	a
$J1 = (\sim Q3 \sim Q2 Q0) \parallel (Q3 \sim Q2 Q0) = Q0 \sim Q2$				

Таблица 4.

Q3 Q2 \ Q1 Q0	00	01	11	10
00	a	a	1	0
01	a	a	-	-
11	-	-	-	-
10	a	a	1	0
$K1 = Q0$				

Таблица 5.

Q3 Q2 \ Q1 Q0	00	01	11	10
00	0	0	1	0
01	a	a	-	-
11	-	-	-	-
10	0	0	0	0
$J_2 = \sim Q_3 Q_1 Q_0$				

Таблица 6.

Q3 Q2 \ Q1 Q0	00	01	11	10
00	a	a	a	a
01	0	1	-	-
11	-	-	-	-
10	a	a	a	a
$K_2 = Q_2 Q_0$				

Таблица 7.

Q3 Q2 \ Q1 Q0	00	01	11	10
00	0	0	0	0
01	0	1	-	-
11	-	-	-	-
10	a	a	a	a
$J_3 = Q_2 Q_0$				

Таблица 8.

Q3 Q2 \ Q1 Q0	00	01	11	10
00	a	a	a	a
01	a	a	-	-
11	-	-	-	-
10	0	0	1	0
$K_3 = Q_1 Q_0$				

Таблица 9.

Реализация комбинационной части счётчика:

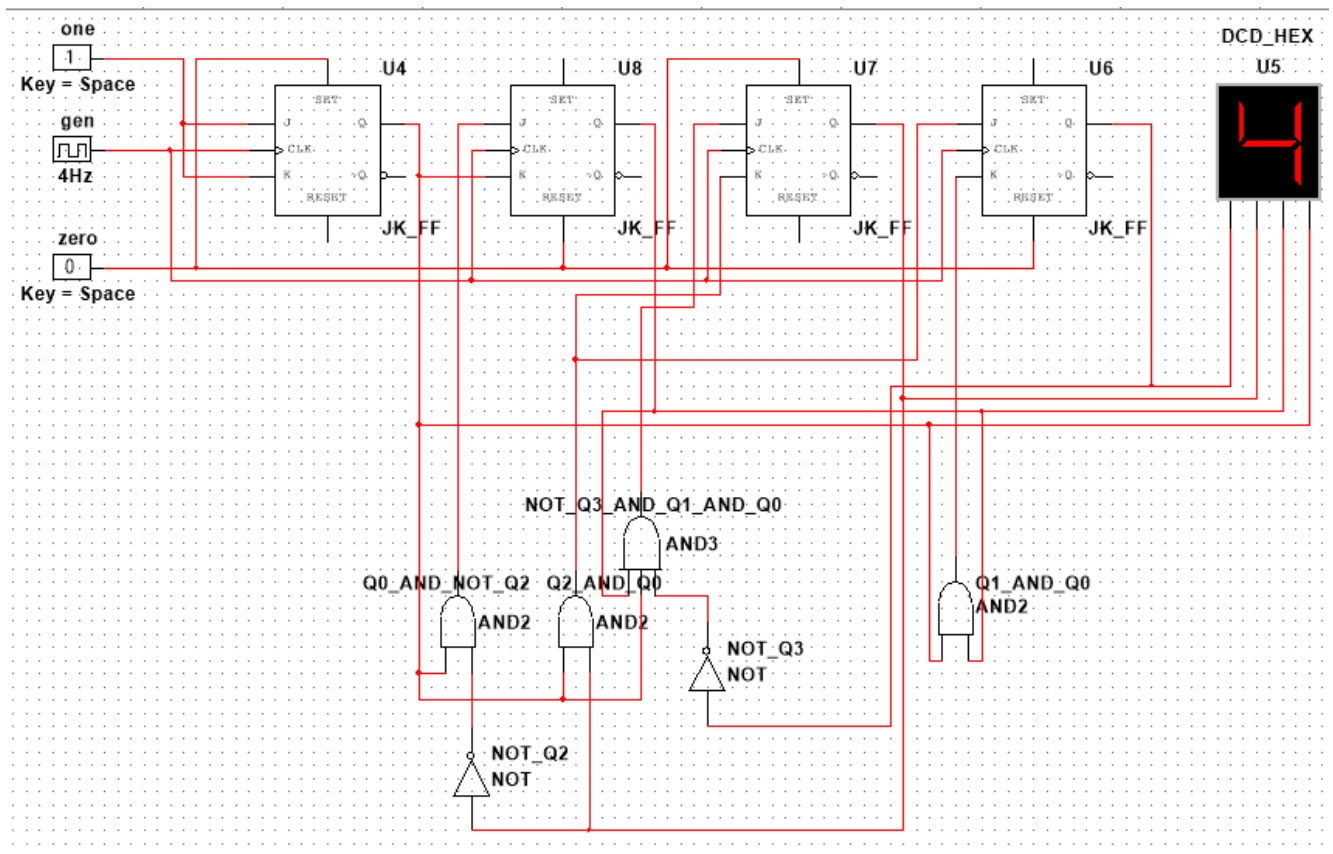


Рис 4. Схема счётчика

Проверка корректности с помощью логического анализатора:

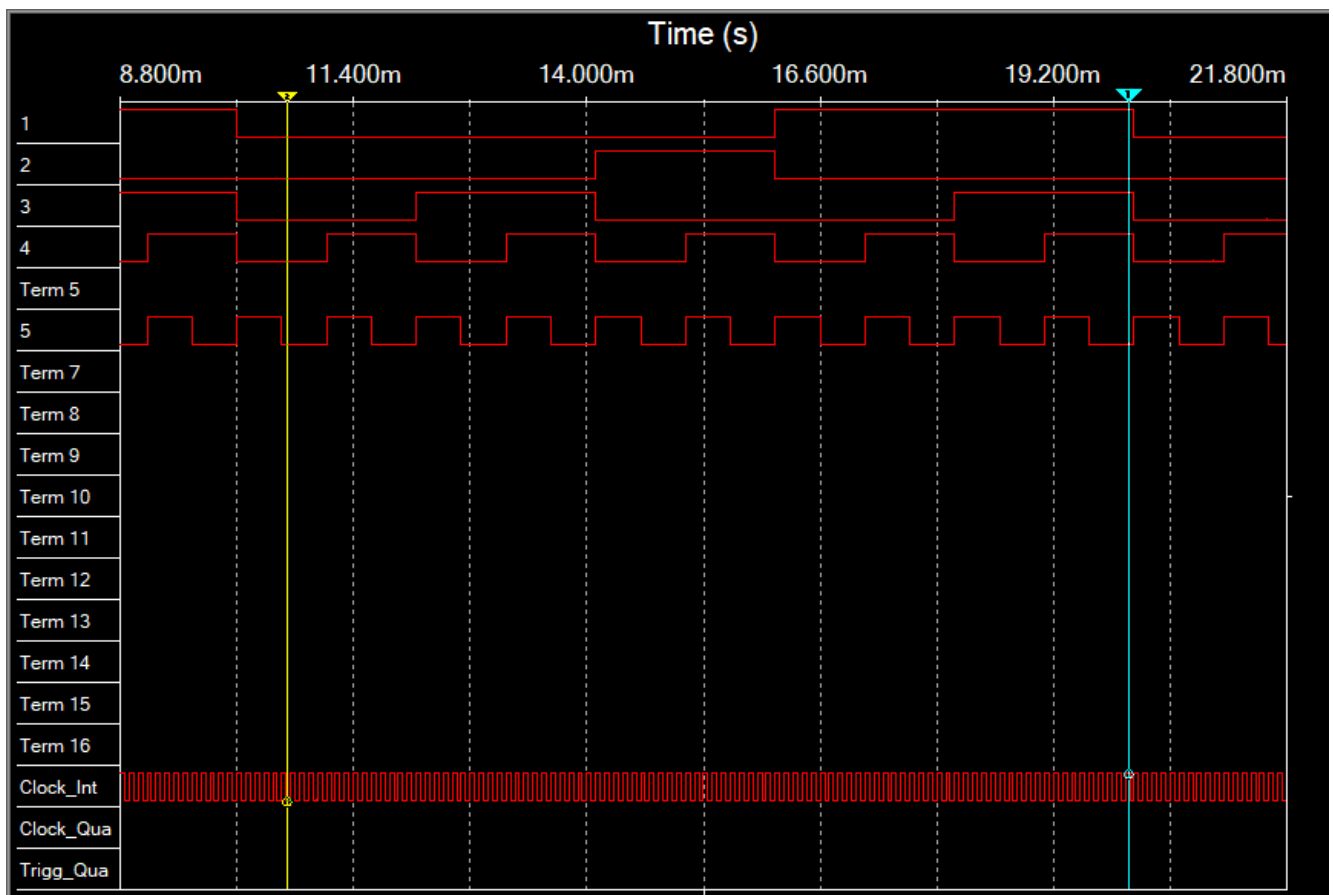


Рис 5. Результаты анализа.

Желтый указатель показывает начало счёта из состояния 0, а синий показывает конец счёта в состоянии 11. Также синтезированный счётчик является самовосстанавливающимся, так как при принятии состояния 15 следующее состояние будет 0, и при принятии состояния 6 переход в состояние 14.

Задание №3. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом. Проверить работу счётчика.

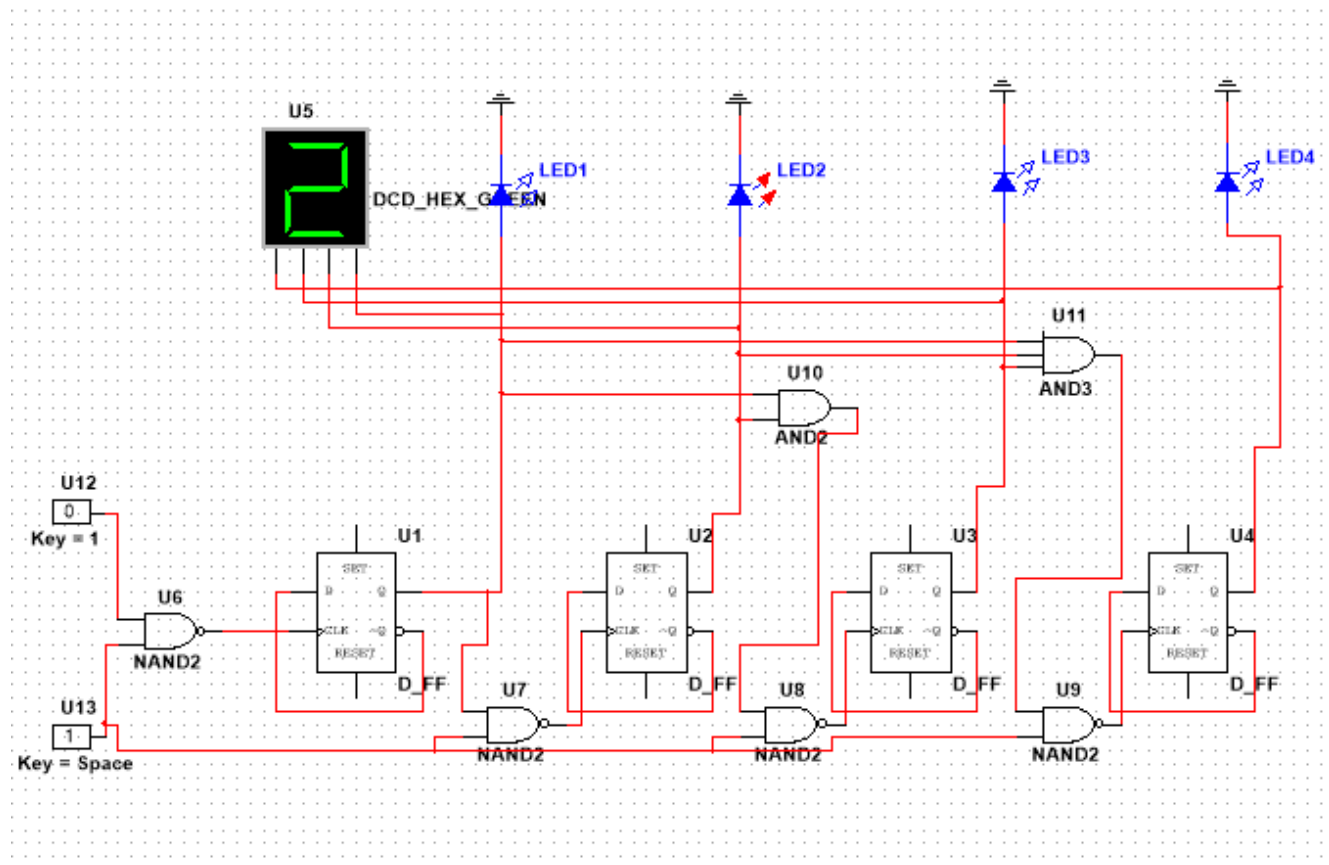


Рис 6. Четырёхразрядный синхронный суммирующий счётчик с параллельным переносом и ручным управлением.

Задание №4. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом ИС К555ИЕ9, аналог ИС 74LS160. Проверить работу счётчика.

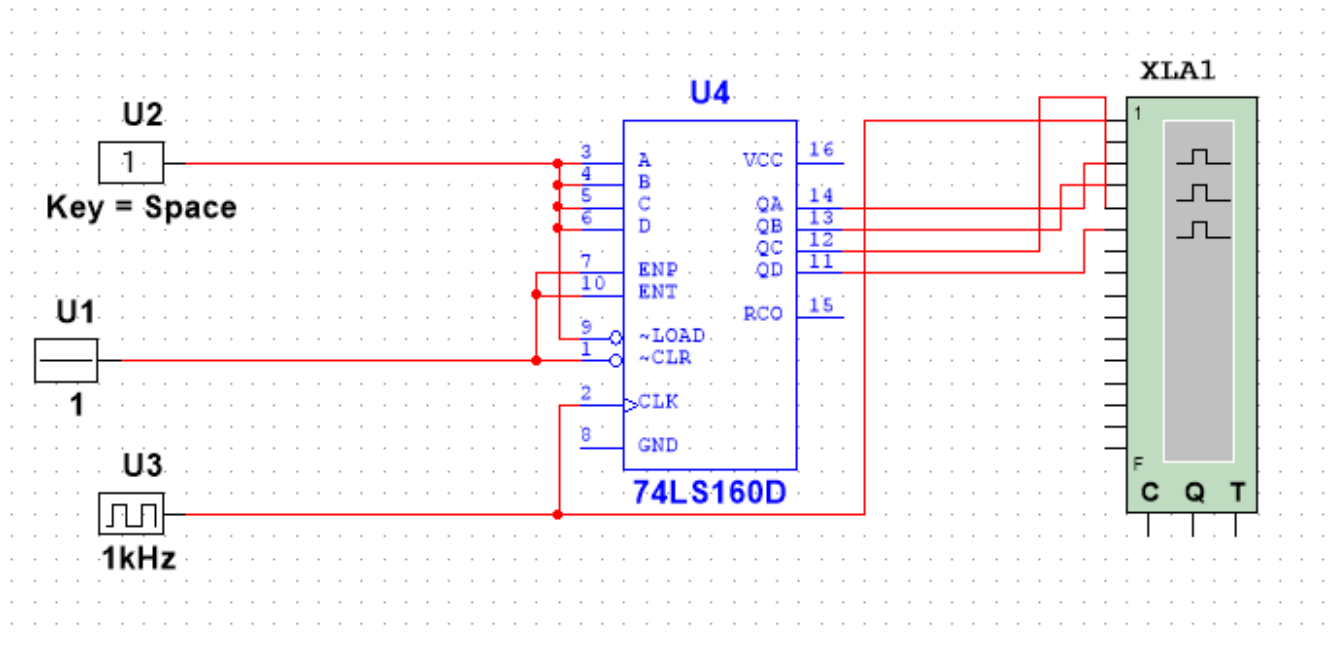


Рис 7. Схема четырёхразрядного синхронного суммирующего счётчика с параллельным переносом ИС К555ИЕ9.

Как можно заметить из графика ниже, данный счётчик работает и выполняет счёт от одного до девяти.

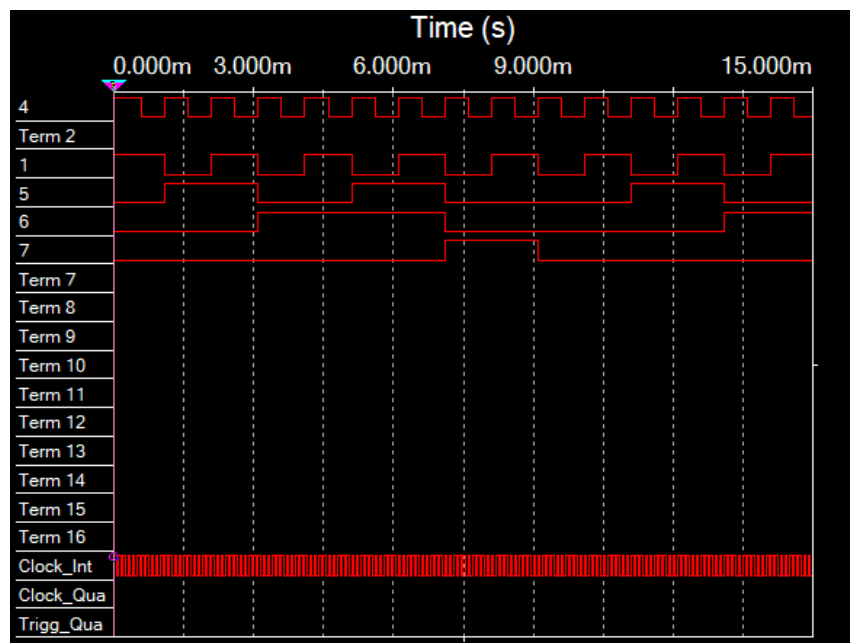


Рис 8. Временной анализ счётчика.

Задание №5. Исследование схем наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями и по структуре «быстрого» счета.

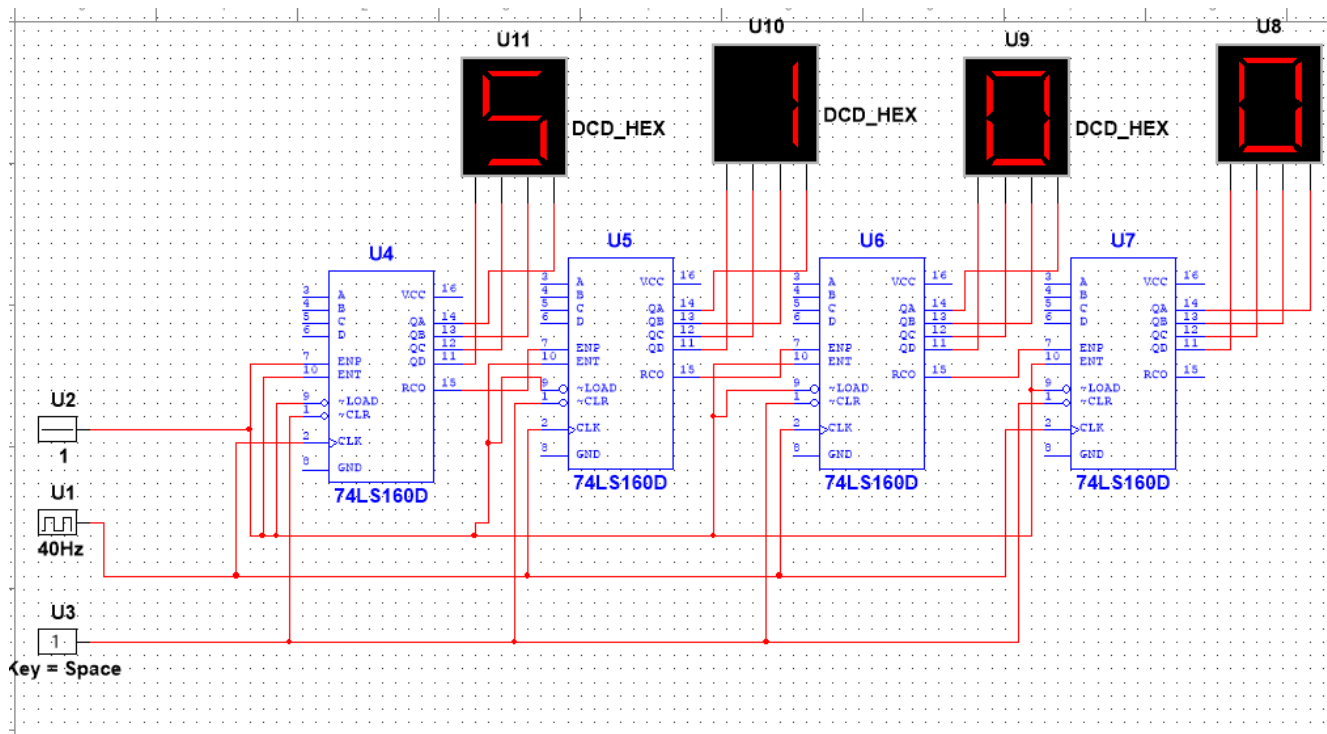


Рис 8. Последовательный перенос между секциями.

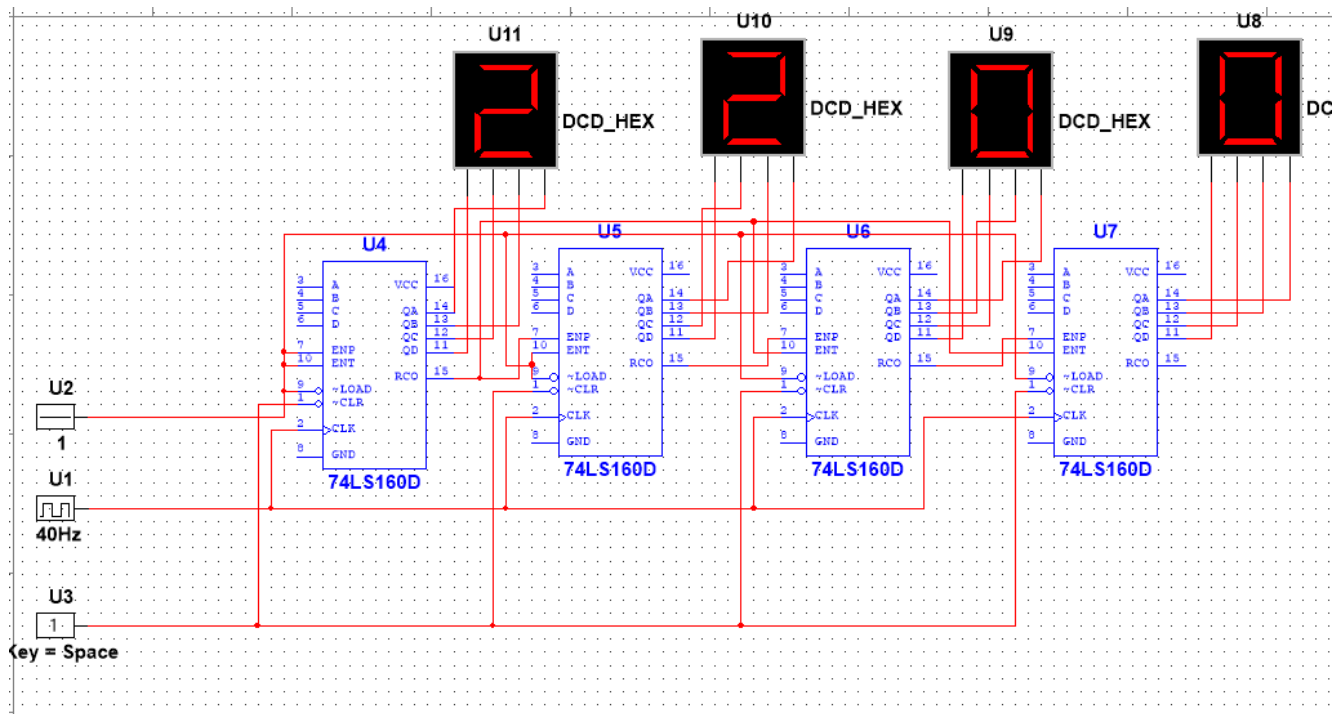


Рис 9. структура «быстрого» счета.

Вывод:

В данной лабораторной работе мы исследовали различные виды счётчиков. Помимо этого был создан рабочий прототип счётчика с неестественным порядком счёта, что показывает громадный потенциал данных схем в области электроники и алгебры логики. Также были исследованы некоторые виды построений счётчиков, и мною была замечена ощутимая разница во времени выполнения операций между параллельной и последовательной конфигурацией, причём параллельная конфигурация существенно выигрывает у последовательной.