

## 6. Interfaces

### 6.2 Serielle Ein/Ausgabe: V.24-Schnittstelle

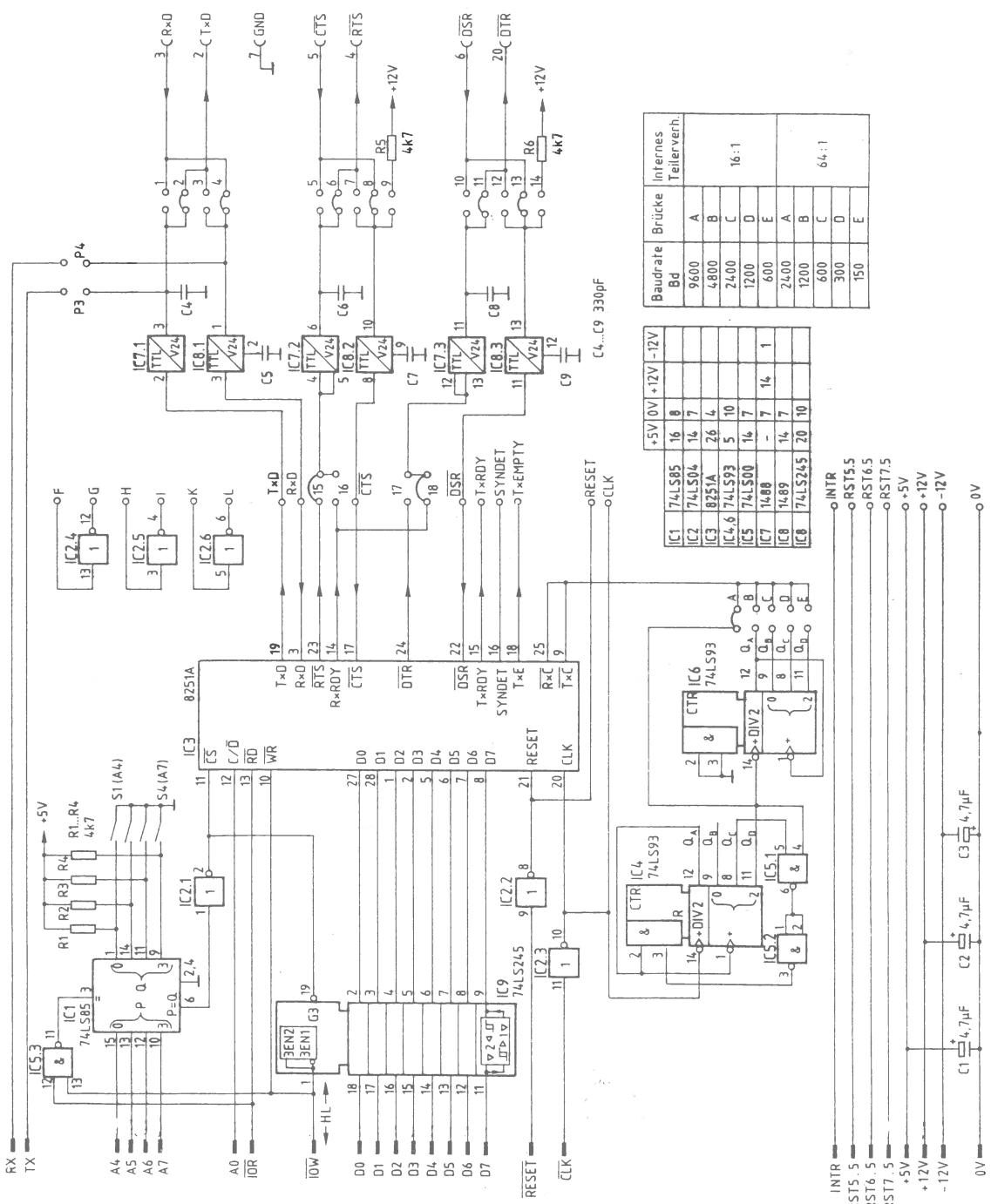


Bild 75: Der Stromlaufplan der V.24-Schnittstelle.

## 6. Interfaces

### 6.3 Analoge Ein/Ausgabe, software-gesteuert

In diesem Kapitel wird eine Baugruppe beschrieben, mit der auf 2 Kanälen unabhängig voneinander je eine DA- oder AD-Wandlung durchgeführt werden kann.

Fast alle elektronisch gesteuerten Geräte und Anlagen sind mit äußeren Schaltungsteilen verbunden, welche Eingabesignale an die Steuerung abgeben, aber auch Ausgabesignale von der Steuerung erhalten. Durch dieses Zusammenwirken der Steuereinheit mit den Eingabe- und Ausgabe-Signalen wird der Zustand einer Anlage überwacht und beeinflußt. Eingabesignale stammen beispielsweise von Endschaltern, Niveaufühlern und Thermostaten. Hierbei liegen vielfach bereits digitale Informationen vor (»EIN«- und »AUS«-Zustände), deren Erfassung, Auswertung und Weiterverarbeitung in digitalen und computergestützten Einrichtungen direkt möglich ist. Auch digitale Werte z. B. zum Ansteuern von Lampen, Relais, Magnetventilen und Schützen können direkt ausgegeben werden.

Neben digitalen Signalen müssen häufig auch analoge Werte überwacht und verarbeitet werden. Beispiele hierfür sind Temperaturmessungen mit Thermoelementen, Drehzahlerfassungen mit Tachogeneratoren und Drehmomentmessungen mit Dehnungsmeßstreifen. Obwohl es zum Teil auch hierfür bereits digital arbeitende Meßfühler gibt, verwendet man aus Kostengründen und wegen der Kompatibilität zu bereits bestehenden Anlagenteilen dennoch oft analoge Meßfühler, die häufig einen Ausgangspegel von 0 V bis 10 V besitzen. Dieser Signalbereich muß daher auch von digital arbeitenden Steuereinrichtungen verarbeitet werden können. Hierzu wird der analoge Spannungsbereich von 0 V bis 10 V in Digitalwerte umgesetzt, wozu Analog/Digital-Wandler (AD-Wandler) dienen. Sollen Analogwerte von der Steuerung ausgegeben werden, so werden die Digitalwerte mit Hilfe von Digital/Analog-Wandlern (DA-Wandler) umgesetzt.

Dieses Kapitel beschreibt Aufbau, Funktion und Einsatz einer Baugruppe, mit der sich DA- und AD-Wandlungen durchführen lassen. Dabei wird eine in der Mikrocomputertechnik übliche Schaltungstechnik angewendet. Die Baugruppe besitzt zwei 8-Bit-DA-Wandler.

Ein AD-Wandler ist nicht vorhanden; daher wird auf die direkte AD-Wandlung nicht eingegangen. Ausführlich beschrieben wird jedoch die AD-Wandlung mit Hilfe eines DA-Wandlers sowie das hierzu erforderliche Steuerprogramm.

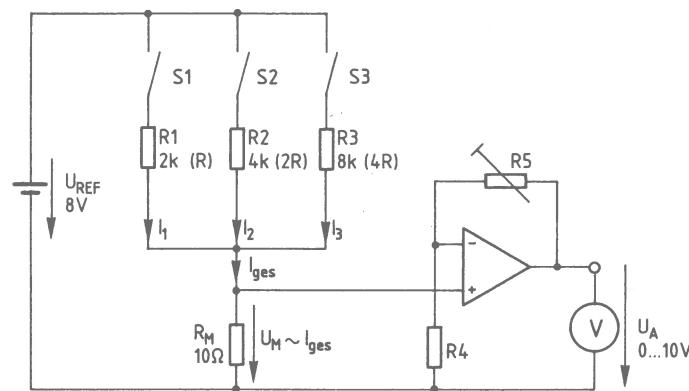
**Das Prinzip eines DA-Wandlers**

Bild 76: Das Prinzip eines DA-Wandlers; die angegebenen Werte sind lediglich Beispiele zum Verständnis der Funktion.

Der DA-Wandler von Bild 76 hat drei durch die Schalter S1 bis S3 gebildete Digital-Eingänge und wird daher als 3-Bit-DA-Wandler bezeichnet. In der gezeichneten Schalterstellung ist der Stromkreis, der von der Referenzspannungsquelle  $U_{REF}$ , den Widerständen R1 bis R3 und dem Meßwiderstand  $R_M$  gebildet wird, unterbrochen.

Wird z. B. S1 geschlossen, so fließt durch R1 und  $R_M$  ein Strom in Höhe von 4 mA, da  $U_{REF} = 8 \text{ V}$  und  $R1 = 2 \text{ k}\Omega$  beträgt. Der Wert von  $R_M = 10 \Omega$  ist hierbei unbedeutend.

Wird auch S2 geschlossen, fließt mit I2 ein zusätzlicher Strom in Höhe von 2 mA durch  $R_M$ , weil R2 mit  $4 \text{ k}\Omega$  den doppelten Wert von R1 besitzt. Der Gesamtstrom  $I_{ges}$ , der jetzt durch  $R_M$  fließt, beträgt 6 mA.

R3 hat mit  $8 \text{ k}\Omega$  den vierfachen Wert von R1. Daher fließt beim Schließen von S3 ein Strom von I3 = 1 mA.

Sind alle drei Schalter geschlossen, dann ergibt sich ein Gesamtstrom von 7 mA. Er setzt sich aus den drei Teilströmen  $I1 = 4 \text{ mA}$ ,  $I2 = 2 \text{ mA}$  und  $I3 = 1 \text{ mA}$  zusammen. Am Meßwiderstand, der den Gesamtstrom in eine proportionale Spannung umwandelt, entsteht dabei ein Spannungsabfall von  $U_M = 70 \text{ mV}$ , der vom Operationsverstärker bis auf die gewünschte maximale Ausgangsspannung in Höhe von 10 V verstärkt wird. Hierzu kann die Verstärkung mit R5 eingestellt werden.

In Bild 77 sind alle Kombinationsmöglichkeiten der Schalter S1 bis S3 zusammengefaßt und die dabei entstehenden Werte von  $I_{ges}$ ,  $U_M$  und  $U_A$  angegeben.

S1	S2	S3	$I_{ges}$	$U_M$	$U_A$
0	0	0	0 mA	0 V	0 V
0	0	1	1 mA	10 mV	1,43 V
0	1	0	2 mA	20 mV	2,86 V
0	1	1	3 mA	30 mV	4,28 V
1	0	0	4 mA	40 mV	5,71 V
1	0	1	5 mA	50 mV	7,14 V
1	1	0	6 mA	60 mV	8,57 V
1	1	1	7 mA	70 mV	10,0 V

S1 , S2 , S3 :  
 1  $\Delta$  Schalter geschlossen  
 0  $\Delta$  Schalter geöffnet

Bild 77: Die Wertetabelle des DA-Wandlers von Bild 76.

Bedingt durch die jeweilige Verdoppelung bzw. die 1-2-4-Abstufung der Widerstandswerte von R1, R2 und R3 ergeben sich bei den 8 Kombinationsmöglichkeiten der drei Schalter jeweils gleiche Stromänderungen in Höhe von 1 mA (Bild 77). Der Gesamtstrom wächst dabei von 0 bis auf 7 mA an. Entsprechend erhöht sich der Spannungsabfall am Meßwiderstand um jeweils 10 mV. Als Folge davon wächst die Ausgangsspannung  $U_A$  in sieben Schritten von 0 V auf 10 V an. Jeder Schritt bewirkt bei dem vorliegenden 3-Bit-DA-Wandler eine Spannungsänderung von etwa 1,43 V.

Diese recht grobe Auflösung eines 3-Bit-DA-Wandlers wird durch eine größere Zahl von Schaltern und Widerständen verbessert. Bei vier Schaltern ergeben sich bereits 16 Schritte, bei fünf 32 usw. Jeder weitere Widerstand muß dabei den doppelten Wert des vorherigen besitzen, damit er einen nur halb so großen Strohschritt bzw. Ausgangsspannungs-Schritt bewirkt. Bei einem 8-Bit-DA-Wandler nach Bild 76 müßten die acht strombestimmenden Widerstände folgende Werte (jeweils in  $\text{k}\Omega$ ) besitzen: 2, 4, 8, 16, 32, 64, 128 und 256.

Hieran erkennt man den entscheidenden Nachteil dieses als »DA-Wandlung nach dem 1-2-4-8-Verfahren« bezeichneten Prinzips: Die strombestimmenden Widerstände weisen sehr unterschiedliche Werte auf, die in der erforderlichen Genauigkeit (bei einem 8-Bit-Wandler etwa  $\pm 0,1\%$ ) nur schwer herstellbar sind. In der Praxis findet man dieses Verfahren daher nur selten. Es zeigt aber deutlich das Prinzip der DA-Wandlung.

Viele DA-Wandler arbeiten nach dem R-2R-Verfahren, mit dem auf einfache Weise eine höhere Genauigkeit als bei der 1-2-4-8-Methode erzielbar ist. Auch in der hier vorgestellten Baugruppe wird das R-2R-Verfahren eingesetzt. Obwohl dabei ein integrierter Schaltkreis eingesetzt wird, dessen Funktion als gegeben hingenommen werden muß, wird die R-2R-Methode vor allem wegen ihrer grundsätzlichen Bedeutung erklärt.

Die Bezeichnung »R-2R« drückt aus, daß die strombestimmenden Widerstände hier nur zwei verschiedene Werte aufweisen, wobei der eine Widerstandswert doppelt so groß wie der andere ist. Da sich der doppelte Wert eines Widerandes durch die Hintereinanderschaltung zweier gleicher Widerstände bilden läßt, benötigt man sogar nur einen einzigen Widerstandswert für die gesamte Schaltung.

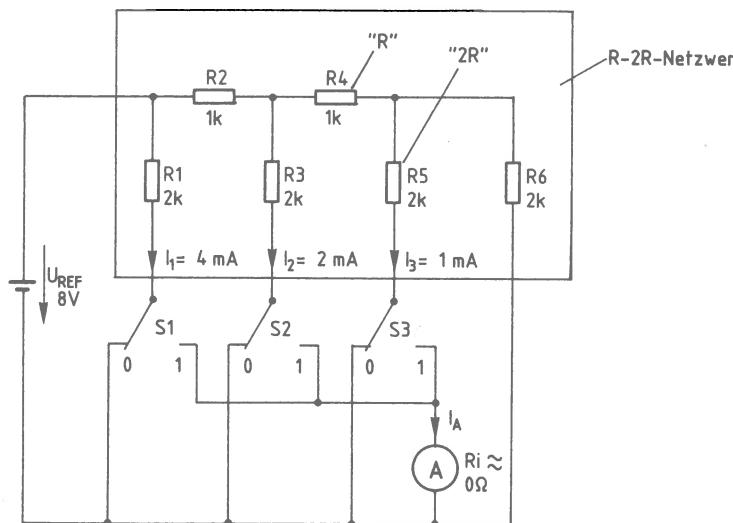


Bild 78: Ein DA-Wandler nach dem R-2R-Verfahren.

Der R-2R-Wandler von Bild 78 besteht aus einer Referenzspannungs-Quelle, vier  $2\text{-k}\Omega$ -Widerständen, zwei  $1\text{-k}\Omega$ -Widerständen, drei Umschaltern und einem Ampermeter. Aus insgesamt zehn gleichen Widerständen (mit je  $1\text{k}\Omega$ ) kann dieses R-2R-Netzwerk aufgebaut werden. Meistens setzt man ein R-2R-Netzwerk in integrierter Form ein; bei ihm sind die Widerstände intern miteinander verbunden.

Durch die vorliegende Dimensionierung ergeben sich die Ströme  $I_1$ ,  $I_2$  und  $I_3$  zu  $4\text{ mA}$ ,  $2\text{ mA}$  und  $1\text{ mA}$ , also jeweils um die Hälfte verringert: Bild 79.

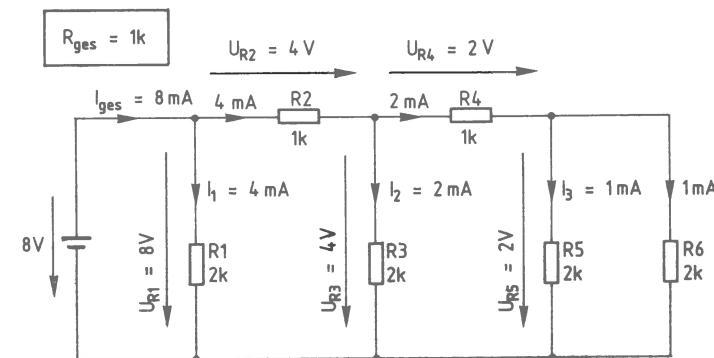


Bild 79: Ströme und Spannungen beim DA-Wandler nach dem R-2R-Verfahren.

Zur Berechnung der Strom- und Spannungswerte muß zunächst der Gesamtwiderstand ermittelt werden. Man beginnt bei  $R_5$  und  $R_6$ , die zusammen betrachtet einen Wert von  $1\text{k}\Omega$  besitzen (Bild 79). Hierzu in Reihe liegt  $R_4$ ; dies ergibt einen Wert von  $2\text{k}\Omega$  für  $R_4$ ,  $R_5$  und  $R_6$ . Dazu parallel geschaltet ist  $R_3$ , so daß  $R_3$  bis  $R_6$  zusammen einen Widerstand von  $1\text{k}\Omega$  aufweisen. Mit  $R_2$  in Reihe dazu ergeben sich  $2\text{k}\Omega$  für  $R_2$  bis  $R_6$ . Diesem Wert ist noch  $R_1$  parallel geschaltet, wodurch sich ein Gesamtwiderstand der Schaltung von  $1\text{k}\Omega$  ergibt.

Bei einer Spannung von  $8\text{ V}$  fließt ein Gesamtstrom von  $8\text{ mA}$ , der sich in zwei gleiche Teile für  $R_1$  ( $I_1$ ) und  $R_2$  aufteilt. Am Widerstand  $R_2$  entsteht ein Spannungsabfall von  $4\text{ V}$ , so daß an  $R_3$  die Differenz zur Gesamtspannung in Höhe von ebenfalls  $4\text{ V}$  anliegt.  $R_3$  führt einen Strom von  $2\text{ mA}$  ( $I_2$ ). Für  $R_4$  verbleibt ein Strom von  $2\text{ mA}$ , der an  $R_4$  einen Spannungsabfall von  $2\text{ V}$  erzeugt. Hierdurch haben  $R_5$  und  $R_6$  ebenfalls  $2\text{ V}$ , und beide Widerstände führen je einen Strom von  $1\text{ mA}$ .

Bei der in Bild 78 gezeichneten Schalterstellung (alle Schalter in Stellung 0) fließt kein Strom durch das Ampermeter.

Wird z. B.  $S_1$  umgeschaltet, fließt  $I_1$  durch das Ampermeter. Wird auch  $S_2$  umgeschaltet, kommt  $I_2$  hinzu. Dies gilt auch für  $S_3$  und  $I_3$ . Untersucht man nun alle möglichen Schalterstellungen, so erhält man die gleiche 1-mA-Abstufung des Stromes wie beim DA-Wandler nach dem 1-2-4-8-Verfahren (Bild 77).

Statt des Ampermeters kann ein niederohmiger Widerstand in die Schaltung von Bild 78 eingesetzt werden; dadurch entsteht ein dem Strom proportionaler Spannungsabfall, der durch einen nachgeschalteten Operationsverstärker auf die gewünschte Ausgangsspannung gebracht werden kann. Dies wurde bereits in Bild 76 gezeigt.

In praktisch ausgeführten Schaltungen werden die Kontakte eines DA-Wandlers durch Schalttransistoren ersetzt, die sich oft zusammen mit dem R-2R-Netzwerk in einem IC befinden. Für den Einsatz in Mikrocomputern gibt es DA-Wandler, deren Struktur speziell an das Bus-System eines Computers angepaßt ist. Derartige Bausteine besitzen Zwischenspeicher für die digitalen Werte, damit die umzuwendelnden Bits nur einmal für kurze Zeit bereitgestellt werden müssen.

Unabhängig von dem Wandlungsverfahren und der Schaltungstechnik eines DA-Wandlers kann der Zusammenhang zwischen der Bitzahl, der Anzahl der Schritte und der Schrittwertigkeit folgendermaßen ausgedrückt werden:

$$\begin{aligned} \text{Anzahl der mögl. Kombinationen} &= 2^n & (n = \text{Bitzahl des DA-Wandlers}) \\ \text{Schrittzahl bis zum Maximalwert} &= 2^n - 1 \\ \text{Wertigkeit eines Schrittes} &= U_{A\max}/(2^n - 1) & (U_{A\max} = \text{maximale Ausgangsspannung des DA-W.}) \end{aligned}$$

Hier kommt ein 8-Bit-DA-Wandler mit einer maximalen Ausgangsspannung von 10 V zum Einsatz. Hierauf angewendet ergeben sich folgende Werte:

$$\begin{aligned} \text{Anzahl der mögl. Kombinationen} &= 2^8 = 256 \\ \text{Schrittzahl bis zum Maximalwert} &= 256 - 1 = 255 \\ \text{Wertigkeit eines Schrittes} &= 10 \text{ V}/255 = 39,22 \text{ mV} \end{aligned}$$

### Blockschaltbild und Arbeitsweise der Analog-E/A-Baugruppe

Bild 80 zeigt das Blockschaltbild der 2kanaligen Analog-Ein/Ausgabe, die im wesentlichen einen Adreßvergleicher, zwei DA-Wandler mit Ausgangsverstärkern und zwei Komparatoren mit nachgeschalteten Tri-State-Gattern enthält.

Die Dateneingänge beider 8-Bit-DA-Wandler sind parallel geschaltet und direkt mit den Datenleitungen D0 bis D7 des Systembus verbunden.

Jeder DA-Wandler besitzt die Steuereingänge  $\overline{CS}$  (Chip Select) und  $\overline{CE}$  (Chip Enable). Beide müssen gleichzeitig L-Pegel führen, wenn einer der Wandler vom Prozessor Daten erhalten soll.

Die  $\overline{CE}$ -Eingänge der Wandler sind direkt mit dem Bussignal  $\overline{IOW}$  verbunden und nehmen bei jedem E/A-Schreibvorgang L-Pegel an, wenn der Prozessor z.B. einen Digitalwert zur DA-Wandlung ausgibt.

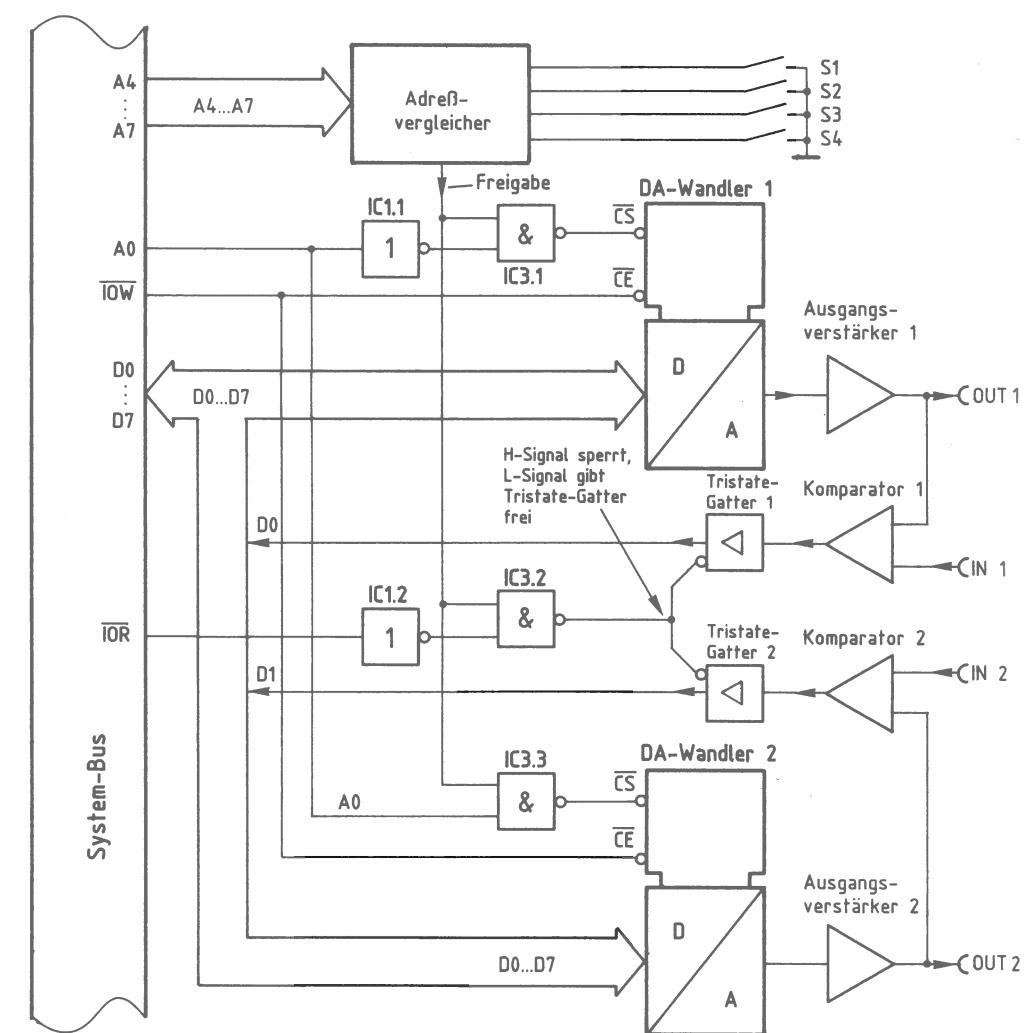


Bild 80: Das Blockschaltbild der 2kanaligen Analog-Ein/Ausgabe.

Über die  $\overline{CS}$ -Eingänge in Verbindung mit den NAND-Gattern IC3.1 und IC3.3 wird gesteuert, welcher DA-Wandler das vom Prozessor auszugebende Datenwort erhält.

Eines der Eingangssignale für die NAND-Gatter wird vom Adreßvergleicher geliefert. Dieser schaltet nur dann ein H-Signal auf die Freigabe-Leitung, wenn die Bitkombination der Adreßleitungen A4 bis A7 gleich ist mit der Bitkombination, die mit den Schaltern S1 bis S4 eingestellt ist (Baugruppen-Nummer).

Das zweite Eingangssignal für die NAND-Gatter stammt von der Adreßleitung A0, deren Signalzustand durch IC1.1 invertiert auf IC3.1 geführt wird. Hierdurch ist bei L-Pegel an A0 der Wandler 1 ausgewählt, wenn außerdem die Freigabeleitung H-Pegel führt. Für den Wandler 2 ist A0 direkt mit IC3.3 verbunden. Somit wird bei H-Pegel an A0 und bei richtiger Baugruppen-Nummer der Wandler 2 angesprochen. Durch die Adreßleitung A0 erfolgt also die Unterscheidung der beiden DA-Wandler.

Dem Analogausgang jedes DA-Wandlers ist ein Gleichspannungsverstärker nachgeschaltet, der eine Ausgangsspannung zwischen 0 V und 10 V an die Buchsen OUT1 und OUT2 abgibt. Beide Ausgangssignale sind außerdem mit Komparatoren verbunden, welche an die Buchsen IN1 und IN2 anschließbare äußere Gleichspannungen mit der Ausgangsspannung des jeweiligen DA-Wandlers vergleichen. Dieser Spannungsvergleich wird bei der AD-Wandlung mit Hilfe eines DA-Wandlers benötigt, worauf später noch näher eingegangen wird.

Die Ausgänge der Komparatoren führen über Tristate-Gatter auf die Datenleitungen D0 und D1. Hierdurch kann der Prozessor durch einen Lesevorgang die Schaltzustände der Komparatoren abfragen. IC1.2 invertiert das L-aktive Signal  $\overline{IOR}$ , und IC3.2 verknüpft es mit der Freigabe. Bei L-Signal an  $\overline{IOR}$  und bei gültiger Baugruppennummer gibt IC3.2 beide Tristate-Gatter frei, deren Ausgänge dann gleichzeitig auf den Datenbus durchgeschaltet sind.

### Der interne Aufbau des DA-Wandler-Bausteins AD558

Bild 81 zeigt das Anschlußschema und den internen Aufbau des verwendeten DA-Wandlers. Neben den bereits in Bild 78 gezeigten Komponenten Referenzspannungsquelle, R-2R-Netzwerk und Umschalter besitzen die DA-Wandler einen 8-Bit-Eingangsspeicher, eine Übernahme-Logik und einen Pegelverstärker.

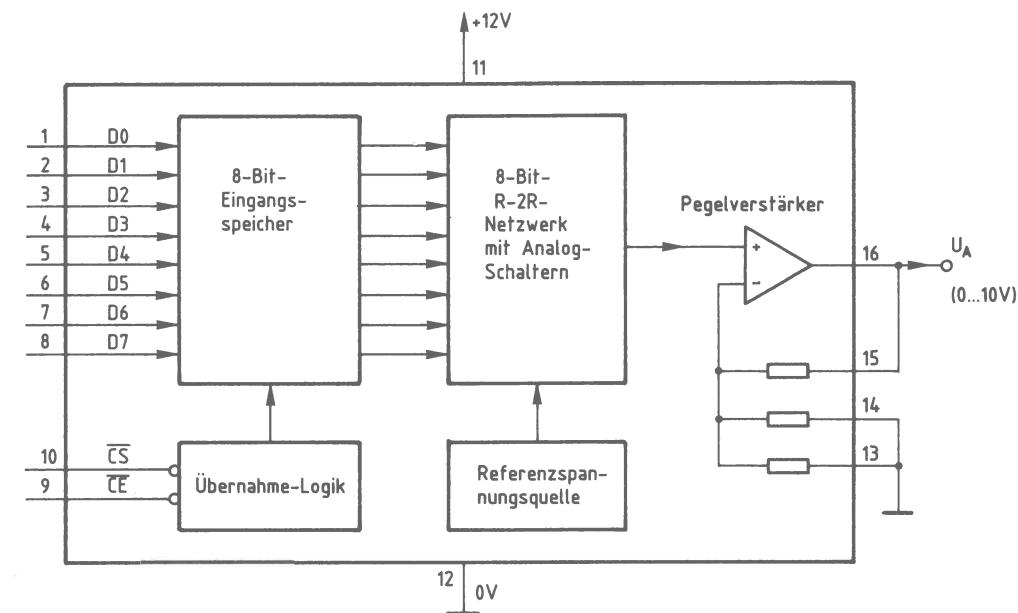


Bild 81: Anschlüsse und Aufbau des DA-Wandler-Bausteins AD558.

Wenn beide Steuereingänge der Übernahmelogik ( $\overline{CS}$ , Pin 10, und  $\overline{CE}$ , Pin 9) L-Pegel führen, wird das in einen Analogwert umzuwandelnde 8-Bit-Datenwort (D0 bis D7) in den Eingangsspeicher übernommen und verbleibt dort, bis es durch ein neues Datenwort überschrieben wird (Bild 81).

Vom Eingangsspeicher werden die als Analogschalter bezeichneten Umschalter des R-2R-Netzwerkes angesteuert. Da die Ausgangsspannung des Netzwerkes sehr gering ist, wird sie bereits innerhalb des DA-Wandlers verstärkt. Durch die gewählten Verbindungen der verstärkungsbestimmenden Widerstände treten am Ausgang des DA-Wandlers Spannungswerte im Bereich zwischen 0 V (beim Digitalwert 00) und 10 V (beim Digitalwert FF) auf. Je nach Anwendungsfall können auch andere Verstärkungswerte erzielt werden; darüber geben die Datenbücher des Herstellers weiteren Aufschluß.

Die in Bild 80 eingezeichneten Ausgangsverstärker sind außerhalb der DA-Wandler zusätzlich vorhanden. Sie ermöglichen eine exakte Kalibrierung der Schaltung.

### Adressevergleicher und Baugruppen-Nummer

Der Mikroprozessor steuert die Analog-E/A-Baugruppe wie jede andere Eingabe- und Ausgabe-Einheit an. Da immer nur eine einzige Einheit aktiviert sein darf, müssen alle im System vorhandenen Eingabe- und Ausgabe-Einheiten unterschiedliche Baugruppen-Nummern besitzen. Aus diesem Grund ist die Baugruppen-Nummer mit Hilfe von Schaltern einstellbar. Ein Adressevergleicher aktiviert die Baugruppe nur dann, wenn der Prozessor diejenige Adresse aussendet, die der eingestellten Baugruppen-Nummer entspricht: Bild 82.

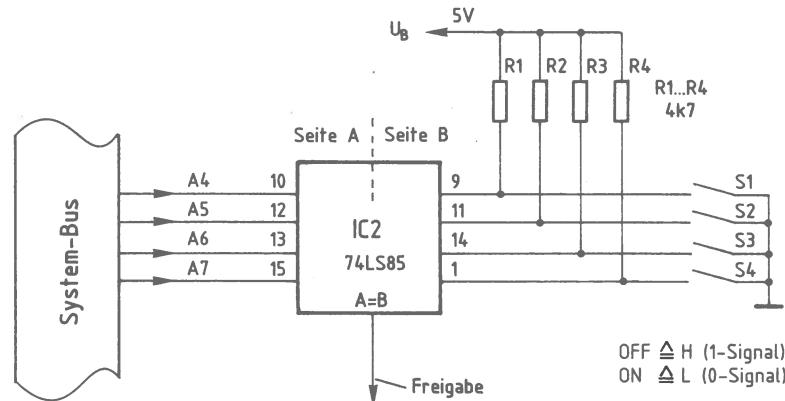


Bild 82: Baugruppenadresse und Freigabe-Signal.

Nur wenn die Bitkombination auf den Adreßleitungen A4 bis A7 der mit den Schaltern S1 bis S4 eingestellten Bitkombination entspricht, gibt der 4-Bit-Vergleicher IC2 an seinem Ausgang »A=B« ein H-Signal ab. Es wird hier als Freigabesignal bezeichnet.

In Bild 82 ist das Ausgangssignal des Adressevergleichers für den DA-Wandler 1 mit IC3.1, für die Komparatoren mit IC3.2 sowie für den DA-Wandler 2 mit IC3.3 verknüpft. Nur bei der richtigen Baugruppen-Nummer kann daher die Analog-Ein/Ausgabe Daten empfangen oder an den Prozessor abgeben.

Der Prozessor gibt stets eine vollständige 8-Bit-Adresse an A0 bis A7 aus, wenn er eine Eingabe- oder Ausgabe-Einheit anspricht. Bei dem hier durchgeführten Adressevergleich werden jedoch die Adreßleitungen A0 bis A3 nicht berücksichtigt. Daher steht nicht der volle Adreßbereich von 00H bis FFH mit 256 verschiedenen Adreßwerten zur Verfügung, sondern mit den Schaltern S1 bis S4 können lediglich 16 verschiedene Signalzustände (Baugruppen-Nummern) eingestellt werden.

Da diese Schalter den vier höherwertigen Adreß-Bits A4 bis A7 zugeordnet sind, kann die Baugruppen-Nummer nur die Werte 0XH bis FXH annehmen. Das X steht hier für die vier niedrigerwertigen Adreß-Bits A0 bis A3, die beim Adressevergleich nicht benutzt werden:

A7 (S4)	A6 (S3)	A5 (S2)	A4 (S1)	A3 - unberücksichtigt -	A2	A1	A0	HEX- Adresse.	
0	0	0	0	—	—	—	—	0 X	
0	0	0	1	—	—	—	—	1 X	
0	0	1	0	—	—	—	—	2 X	
0	0	1	1	—	—	—	—	3 X	
0	1	0	0	—	—	—	—	4 X	
~									
1	0	1	1	—	—	—	—	B X	
1	1	0	0	—	—	—	—	C X	
1	1	0	1	—	—	—	—	D X	
1	1	1	0	—	—	—	—	E X	
1	1	1	1	—	—	—	—	F X	
~									
								niedrigerwertiger Adreßteil	
								höherwertiger Adreßteil	

Bild 83: Die Bildung der Baugruppen-Nummern auf der 2kanaligen Analog-Ein/Ausgabe.

Im folgenden werden diese Schalterstellungen zugrundegelegt:

S4(A7)	S3(A6)	S2(A5)	S1(A4)
ON 0	OFF 1	ON 0	ON 0

Hierdurch ergibt sich die Baugruppen-Nummer 4XH. Prinzipiell kann jede der 16 möglichen Baugruppen-Nummern verwendet werden. Es ist aber darauf zu achten, daß sämtliche Eingabe- oder Ausgabe-Baugruppen eines Mikrocomputer-Systems unterschiedliche Adressen besitzen; andernfalls kann es zu Schäden am Gerät kommen.

**Adressierung und Schreib/Lese-Steuerung**

A7	A6	A5	A4	A3	A2	A1	A0	$\overline{IOW}$	$\overline{IOR}$	Betriebszustand Nr. ...
0	1	0	0	X	X	X	X	1	1	1 (nicht aktiv)
0	1	0	0	X	X	X	0	0	1	2 (Prozessor gibt Daten an den Wandler 1 aus)
0	1	0	0	X	X	X	1	0	1	3 (Prozessor gibt Daten an den Wandler 2 aus)
0	1	0	0	X	X	X	X	1	0	4 (Prozessor liest Komparator-Schaltzustände)

siehe Anmerkungen

A1 bis A3 können 1 oder 0 sein, da nicht verwendet

Baugruppennummer 4X liegt vor, Leitung "Freigabe" führt hierdurch H-Pegel

Bild 84: Adressierung und Schreib/Lese-Steuerung.

Die Adreßleitungen A4 bis A7 besitzen die in Bild 84 angegebenen Signalzustände, die der Baugruppennummer 4XH entsprechen. Da die Adreßleitungen A1 bis A3 nicht angeschlossen sind, kann ihr logischer Pegel 1 oder 0 sein. Dies wird in der Tabelle durch die Bezeichnung X ausgedrückt.

**Zum Betriebszustand 1:**

Da die Schreibleitung  $\overline{IOW}$  und die Leseleitung  $\overline{IOR}$  beide H-Pegel (1-Signal) führen, werden weder Daten in die Baugruppe geschrieben, noch werden die Zustände der Komparatoren abgefragt. Der Signalzustand der Adreßleitung A0 ist daher beliebig. In diesem Betriebszustand verhält sich die Baugruppe passiv. Dennoch muß dieser Fall beachtet werden, da er immer auftritt, wenn der Prozessor eine Speicherzeile mit der Adresse XX4XH anspricht.

**Zum Betriebszustand 2:**

Der Prozessor steuert die Schreibleitung  $\overline{IOW}$  auf L-Pegel. In diesem Betriebszustand sendet er Daten zur DA-Wandlung an die Baugruppe. Da die Adreßleitung A0 einen L-Pegel aufweist, erhält der DA-Wandler 1 diese Daten (siehe auch Bild 80). Wegen der nicht benutzten Adreßleitungen A1 bis A3 kann der Wandler 1 unter folgenden Adressen angesprochen werden: 40H, 42H, 44H, 46H, 48H, 4AH, 4CH und 4EH. Diese Mehrfach-Adressierung ist durch die einfache Schaltung bedingt, die nicht alle Adreßleitungen zur Adreßbildung verwendet. Von den acht genannten Adreßmöglichkeiten wird hier der Wert 40H verwendet, um Daten an den DA-Wandler 1 auszugeben.

**Zum Betriebszustand 3:**

Die Schreibleitung  $\overline{IOW}$  führt weiterhin L-Pegel, aber die Adreßleitung A0 hat H-Pegel. Da diese Leitung A0 bei H-Pegel den Wandler 2 auswählt, werden die Prozessordaten jetzt unter den folgenden Adressen an den DA-Wandler 2 ausgegeben: 41H, 43H, 45H, 47H, 49H, 4BH, 4DH und 4FH. Hier wird der Wert 41H verwendet.

**Zum Betriebszustand 4:**

$\overline{IOW}$  liegt wieder auf H-Pegel, aber die Leseleitung  $\overline{IOR}$  führt L-Pegel. Aus Bild 80 ist zu entnehmen, daß jetzt die Tri-State-Gatter der Baugruppe aktiviert sind und die Ausgänge beider Komparatoren auf den Datenbus schalten. In diesem Betriebszustand fragt der Prozessor die Schaltzustände der Komparatoren ab. Da die Adreßleitung A0 hieran nicht beteiligt ist, kann sie H- oder L-Pegel haben. Das Lesen der Daten kann unter 16 verschiedenen Adressen (von 40H bis 4FH) erfolgen. Hier wird der Wert 40H verwendet.

Der Betriebszustand, daß  $\overline{IOW}$  und  $\overline{IOR}$  gleichzeitig L-Pegel haben, tritt nicht auf. Liegt eine andere Adresse als die gewählte Baugruppen-Nummer vor, dann ist die Baugruppe nicht aktiv (wie im Betriebszustand 1).

Bild 85 zeigt den Stromlaufplan der 2kanaligen Analog-Ein/Ausgabe-Baugruppe. Im Anschluß daran werden die bisher noch nicht behandelten Schaltungseinzelheiten erklärt.

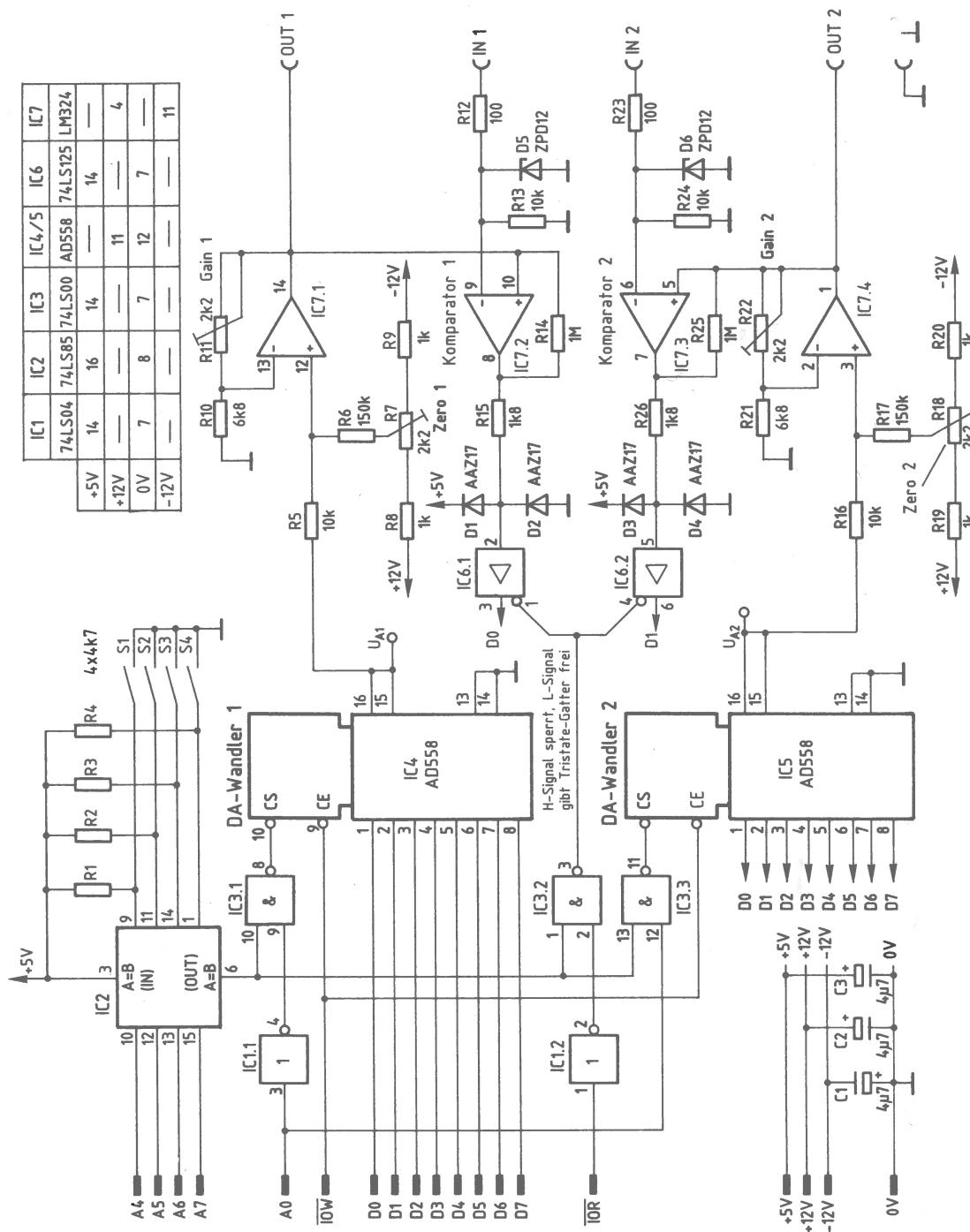


Bild 85: Der Stromlaufplan der 2kanaligen Analog-E/A-Baugruppe.

Die drei Betriebsspannungen der Baugruppe in Höhe von 5 V, 12 V und -12 V werden von den Kondensatoren C1 bis C3 abgeblockt. Alle TTL-Schaltkreise (IC1 bis IC3 und IC6) sind an die 5-V-Versorgung angeschlossen, die DA-Wandler (IC4 und IC5) erhalten +12 V und der 4fach-Operationsverstärker (IC7) ±12 V.

Die folgenden Erklärungen beziehen sich auf den DA-Wandler 1. Sie gelten aber ebenso für den anderen Kanal, der lediglich andere Bauteilnummern besitzt.

Die analoge Ausgangsspannung des Wandlers 1 wird über R5 auf den nicht-invertierenden Ausgangsverstärker IC7.1 geführt. Mit R7 erfolgt der exakte Null-Abgleich des Kanals 1, der beim Digitalwert 00H genau 0 V an der Buchse OUT1 abgeben soll.

Da beim Digitalwert FFH am Ausgang von IC4 (Pin 16) bereits eine Spannung von etwa 9,8 V auftritt, braucht IC7.1 nur ganz gering zu verstärken, um den gewünschten maximalen Ausgangsspannungswert von 10 V zu erzielen. Mit R11 kann die Verstärkung von IC7.1 im Bereich von 1 bis 1,3 eingestellt werden. Wie der Null-Abgleich und die Kalibrierung des maximalen Ausgangsspannungswertes im einzelnen geschieht, kann hier nicht ausgeführt werden.

Die Buchse IN1 ermöglicht den Anschluß einer äußeren Gleichspannung, deren Höhe durch den Komparator 1 (IC7.2) mit der Ausgangsspannung des DA-Wandlers 1 verglichen wird. Durch die Schutzbeschaltung am invertierenden Eingang von IC7.2 wird die angeschlossene Spannung im positiven Bereich auf 12 V und im negativen auf 0,7 V begrenzt. Hierdurch erhält der invertierende Komparatoreingang im Prinzip nur positive Eingangsspannungswerte zwischen 0 V und 10 V (wie der nicht-invertierende Eingang).

Solange die Spannung des DA-Wandlers kleiner ist als die äußere Spannung, liegt der Ausgang von IC7.2 (Pin 8) auf -12 V. Dies entspricht in dieser Schaltung L-Pegel. Erreicht die DA-Wandler-Spannung den Wert der äußeren Spannung oder liegt sie darüber, schaltet der Komparatorausgang auf +12 V um.

Der Widerstand R15 und die Germaniumdiode D1 dienen zur TTL-Anpassung der Komparator-Ausgangsspannung für das Tristate-Gatter IC6.1. D1 begrenzt die positive Spannung auf ungefähr +5,3 V. D2 schließt die negative Spannung bis auf etwa 0,3 V kurz. Beides sind zulässige Werte. R15 begrenzt den fließenden Strom.

## Beispiele zur DA-Wandlung

### Die direkte DA-Wandlung eingegebener Werte

Zur Erklärung der Arbeitsweise des DA-Wandlers in Verbindung mit dem Mikroprozessor zeigt Bild 86 eine Anordnung, wie sie z.B. bei der Inbetriebnahme der Baugruppe aufgebaut wird. Die an den Schaltern der 8-Bit-Parallel-Eingabe (siehe Kapitel 4.1) eingestellten Datenwerte werden dabei mit Hilfe eines Programms vom Prozessor gelesen und an den DA-Wandler ausgegeben, der sie in Analogwerte umsetzt.

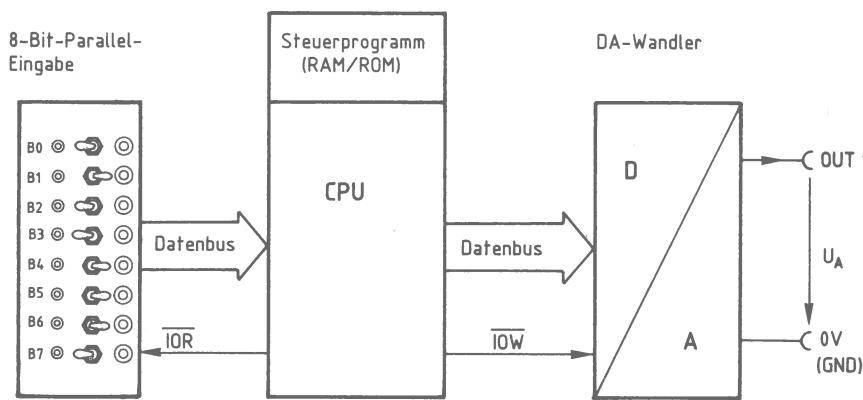


Bild 86: Ein Aufbau zur direkten DA-Wandlung.

Nachfolgend ist das Steuerprogramm für diese DA-Wandlung wiedergegeben, das sich z.B. im Speicher ab der Adresse F800 befindet. Dabei wird von den Adressen 01H für die 8-Bit-Parallel-Eingabe und 40H für den DA-Wandler ausgegangen.

Speicher-adresse	Befehle in Maschinen-sprache	Befehle in Assembler-sprache	Bemerkungen, Erklärungen
F800	DB 01	IN 01	Lies die Daten der Eingabe-Baugruppe mit der Nummer 01H in den Akku ein
F802	D3 40	OUT 40	Gib den Akku-Wert an die Ausgabe-Baugruppe Nr. 40H aus (Kanal 1 des DA-Wandlers)
F804	C3 00F8	JMP 0F800	Gehe zum Programmanfang zurück und wiederhole den Vorgang

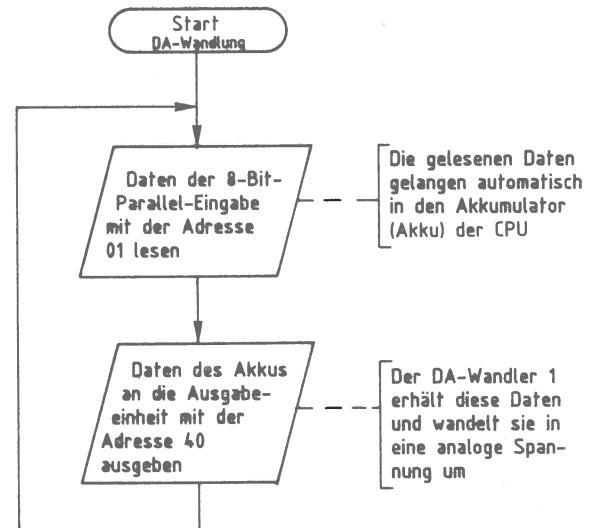


Bild 87: Das Flußdiagramm zur einfachen DA-Wandlung mit der oben wiedergegebenen Befehlsfolge.

Der erste Befehl (IN 01) bewirkt das Lesen der Daten der 8-Bit-Parallel-Eingabe in den Akkumulator der CPU.

Durch den Befehl OUT 40 wird der Akku-Inhalt an den DA-Wandler 1 ausgegeben und dort in eine entsprechende Spannung zwischen 0 V und 10 V umgewandelt. Sie kann am Ausgang OUT1 abgenommen werden.

Der letzte Befehl JMP 0F800 schließt die Programmschleife und bewirkt so, daß der beschriebene Vorgang ständig wiederholt wird. Jede Veränderung der Eingabeschalter der 8-Bit-Parallel-Eingabe ergibt eine Ausgangsspannung, die dem jeweils eingestellten Digitalwert entspricht.

Im praktischen Einsatz werden die an einen DA-Wandler ausgegebenen Digitalwerte meist durch umfangreiche Signalverarbeitungs-Prozesse gewonnen, an denen logische und mathematische Programmschritte beteiligt sind. Die nächsten Beispiele zeigen einige Möglichkeiten hierzu.

### Der DA-Wandler als Sägezahn-Generator

Durch ein einfaches Steuerprogramm kann ein DA-Wandler so betrieben werden, daß er eine sägezahnförmige Ausgangsspannung wie in Bild 88 abgibt.

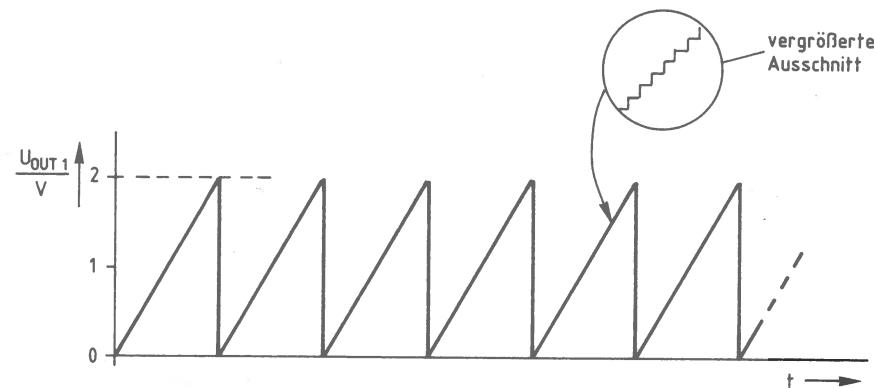


Bild 88: Der Verlauf der Sägezahn-Spannung.

Eine Sägezahnspannung nach Bild 88 entsteht, wenn der DA-Wandler vom Prozessor in ständiger Wiederholung zuerst den Datenwert 00, danach 01, dann 02 usw. bis zu demjenigen Wert erhält, der dem Spitzenwert von 2 V entspricht.

Für den Bereich von 0 V bis 2 V sind 51 Schritte erforderlich (33H). Dies ergibt sich daraus, daß der vorliegende 8-Bit-DA-Wandler maximal 255 Schritte ausführen kann und der höchste Ausgangsspannungswert 10 V beträgt. Jeder Schritt bewirkt eine Spannungserhöhung von 39,22 mV (siehe Seite 456). Nach dem Erreichen des gewünschten Wertes von 2 V beginnt der Prozessor wieder von vorn mit der Ausgabe des Datenwertes 00H.

Jeder der ausgegebenen Digitalwerte wird vom DA-Wandler in eine Spannung umgewandelt. Dies geschieht schrittweise, so daß die Sägezahnspannung nicht linear ansteigt, sondern einen treppenförmigen Anstieg besitzt (siehe Ausschnitt in Bild 88), der durch ein nachgeschaltetes Tiefpaßfilter beseitigt werden kann.

Die Frequenz der Sägezahnspannung wird durch das Steuerprogramm bestimmt. Dabei sind niedrige Frequenzwerte leicht erzielbar, nach oben hin besteht aber durch die Arbeitsgeschwindigkeit des Prozessors bei etwa 1 kHz eine Grenze.

Das folgende Beispiel zeigt die Programmierung eines Sägezahngenerators für einen Spannungsverlauf nach Bild 88. Hierbei liegt wieder der Aufbau von Bild 86 zugrunde. Die 8-Bit-Parallel-Eingabe dient jetzt dazu, die Frequenz der Sägezahnspannung im Bereich von etwa 10 Hz bis 735 Hz zu beeinflussen. Der Programmaufbau und alle Befehle können dem Flußdiagramm (Bild 89) entnommen werden. Das Assemblerprogramm benutzt die Adressen 01H für die 8-Bit-Parallel-Eingabe und 40H für den DA-Wandler.

Hier noch einige Hinweise zum Programm für den Sägezahngenerator:

- Der Anfangswert des C-Registers (hier 33H) bestimmt die Anzahl der Schritte zu je 39,22 mV.
- Der Anfangswert des B-Registers (hier 00H) bestimmt den Minimalwert der Sägezahnspannung.
- Der Maximalwert der Sägezahnspannung wird durch beide Register beeinflußt.
- Bei einer höheren Sägezahnspannung ergibt sich durch die größere Schrittzahl zwangsläufig eine geringere Frequenz und umgekehrt.
- Entfällt der Programmteil »Verzögerungszeit« ganz, so entsteht die höchste mögliche Frequenz (beim angeführten Beispiel etwa 1,2 kHz).
- Negative Ausgangsspannungen können durch eine nachgeschaltete Zusatzausstattung zur Pegelverschiebung erzielt werden.

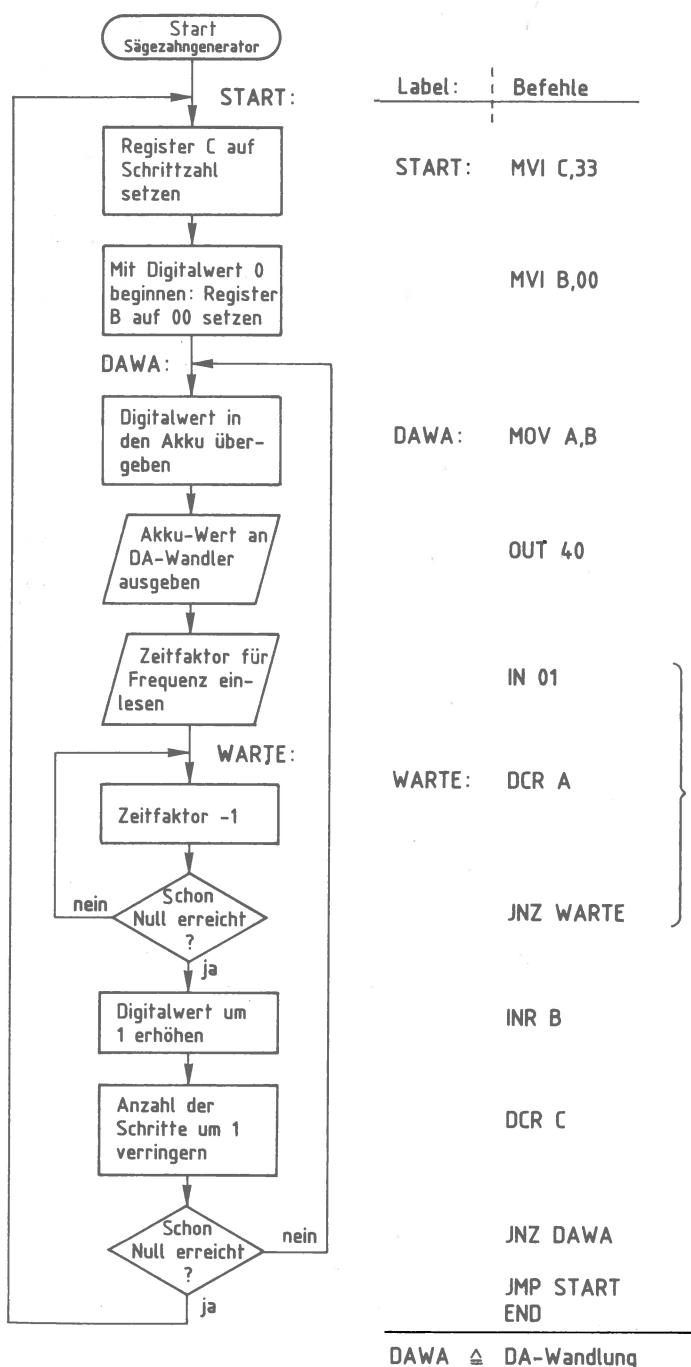


Bild 89: Flußdiagramm und Programm für den Sägezahn-Generator.

**Der DA-Wandler als Dreieck-Generator**

Das folgende Beispiel beschreibt die Erzeugung einer Dreieck-Spannung mit Hilfe eines DA-Wandlers: Bild 90.

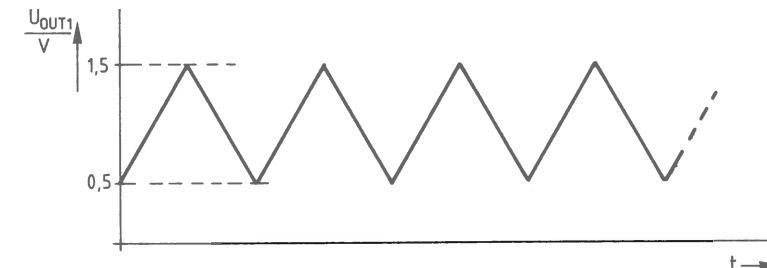


Bild 90: Der Verlauf der Dreieck-Spannung.

Die Berechnung der Konstanten für den Minimal- und den Maximalwert der Spannung von Bild 90:

Da dem Datenwert 1 eine Spannung von 39,22 mV entspricht, müsste für die Minimalspannung von 0,5 V der Dezimalwert 12,75 an den DA-Wandler ausgegeben werden. Dies ist nicht möglich, daher wird der nächst höhere Wert 13 (0DH) gewählt. Für den Maximalwert der Ausgangsspannung in Höhe von 1,5 V wäre der Dezimalwert 38,25 auszugeben. Hierfür wird der Wert 38 gewählt. Die Differenz zwischen dem Maximalwert und dem Minimalwert entspricht der Schrittzahl, die sich in diesem Beispiel zu:  $38 - 13 = 25$  (19H) ergibt.

Das Steuerprogramm für den Dreieckgenerator ist folgendermaßen aufgebaut: Zuerst wird der Wert 0DH an den DA-Wandler ausgegeben, der daraus eine Ausgangsspannung von 0,5 V erzeugt. Anschließend erhöht der Prozessor schrittweise den Ausgabewert, bis eine Ausgangsspannung von 1,5 V erreicht ist. Hierzu sind 25 Schritte erforderlich. Nach dem Erreichen des Maximalwertes wird die Ausgangsspannung wieder in 25 Schritten verringert, wodurch sie von 1,5 V auf 0,5 V abfällt. Diese Vorgänge werden ständig wiederholt. Dabei ergibt sich durch die Arbeitgeschwindigkeit des Prozessors eine Frequenz von etwa 1,4 kHz.

Bild 91 zeigt das Flußdiagramm und alle Programmschritte des Dreieckgenerators. Das Programm benutzt die Adressen 01H für die 8-Bit-Parallel-Eingabe und 40H für den DA-Wandler.

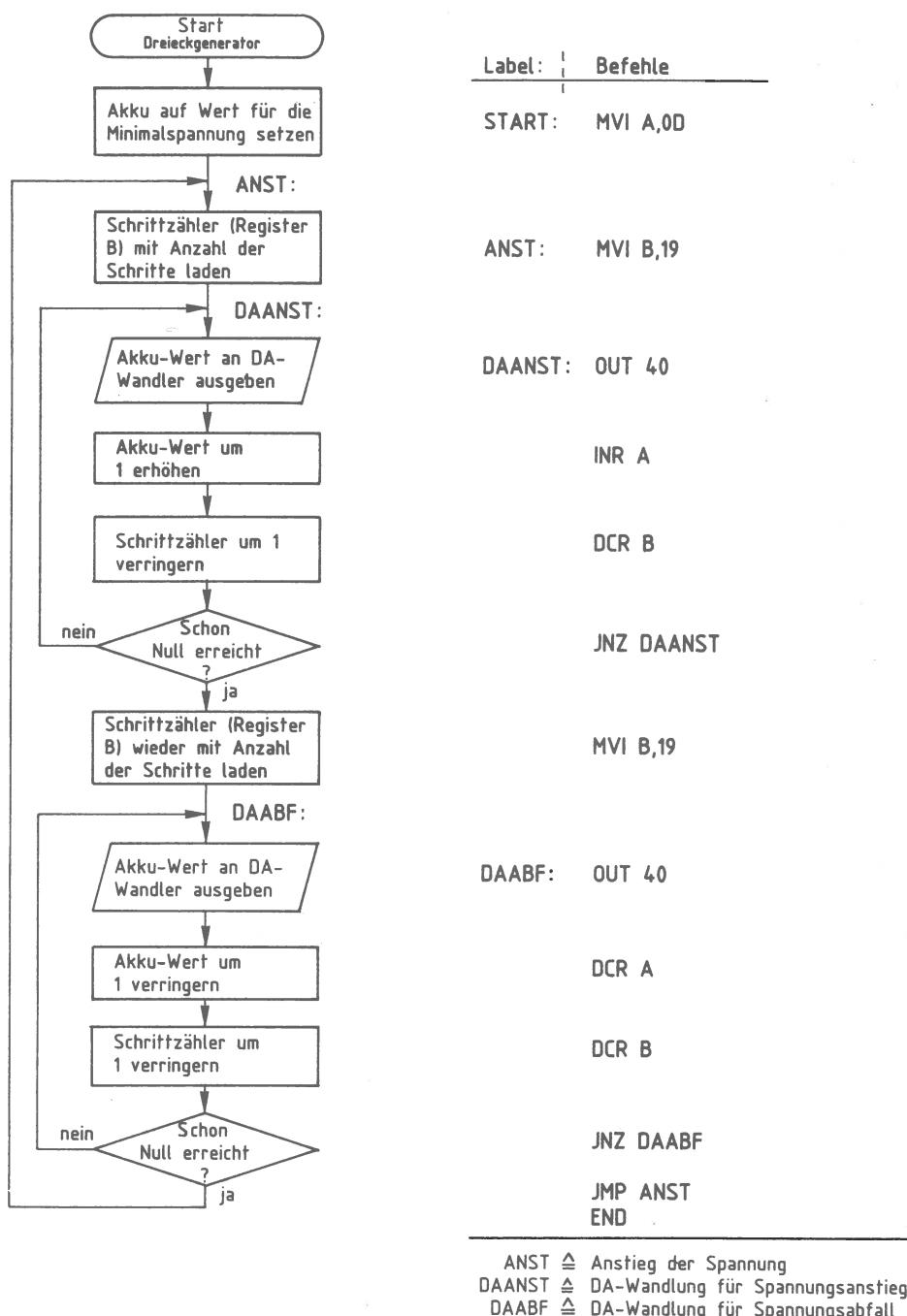


Bild 91: Flußdiagramm und Programm für den Dreieck-Generator.

Abschließend noch einige Hinweise zum Programm des Dreieckgenerators:

- Der Akku-Anfangswert bestimmt die Minimalspannung der Dreieckschwungung.
- Der Wert des Registers B bestimmt die Spitze-Spitze-Differenz der Dreieckspannung.
- Bei größerer Amplitude ergibt sich eine geringere Frequenz und umgekehrt.

### Der DA-Wandler als Sinus-Generator

Mit Hilfe einer Tabelle, die alle Spannungswerte der gewünschten Kurvenform in digitaler Form enthält, kann ein beliebiger Kurvenverlauf der Ausgangsspannung eines DA-Wandlers erzielt werden. Als Beispiel hierzu soll der Prozessor zusammen mit dem DA-Wandler eine sinusförmige Spannung nach Bild 92 erzeugen.

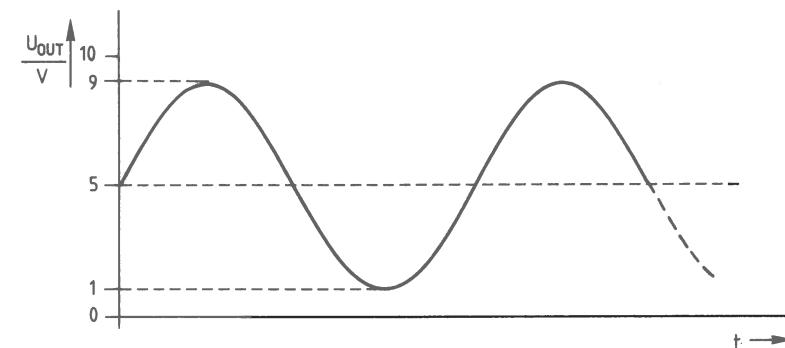


Bild 92: Der Verlauf der Sinus-Spannung.

Eine Spannung nach Bild 92 entsteht, wenn der Prozessor möglichst oft innerhalb einer Periode diejenigen Digitalwerte an den DA-Wandler ausgibt, die den Augenblickswerten der Spannungskurve entsprechen. Alle Werte der gewünschten Kurvenform sind in einer Tabelle gespeichert, wobei etwa 100 Werte pro Periode bereits eine recht gute Annäherung an die Sinusform ergeben.

Eine Sinuskurve ist durch die Zahlenwerte der ersten Viertelperiode vollständig definiert; alle anderen Werte lassen sich daraus ableiten. Die erforderliche Tabelle enthält daher nicht die Werte einer ganzen Periode, sondern nur einen Teil davon. Verwendet man eine Tabelle mit den Sinuswerten der ersten Halbperiode zwischen 0 Grad und 180 Grad, so muß der Prozessor die fehlenden Bereiche berechnen. Hierbei ist es wichtig, die gleiche Rechenzeit für jeden der zwei Abschnitte zu erhalten, da sonst zusätzliche Verzerrungen auftreten.

Zum Erzielen eines geringen Rechenaufwandes enthält die Tabelle die Sinuswerte für eine vollständige positive Halbperiode im Abstand von 5 Grad. Die Werte der negativen Halbperiode werden vom Prozessor berechnet.

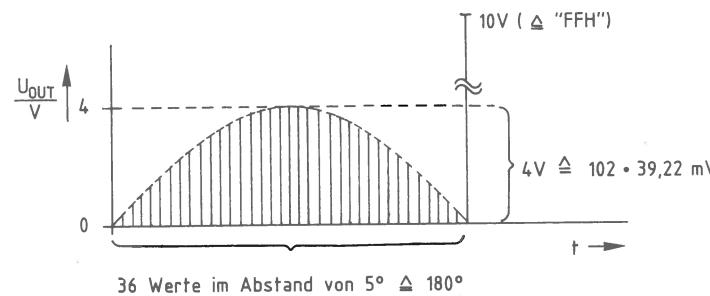


Bild 93: Die Kurve für die Wertetabelle des Sinus-Generators.

Die Halbwelle von Bild 93 ist aus 36 Werten zusammengesetzt. Da die kleinste Einheit der Spannung 39,22 mV beträgt, tritt beim Spannungsmaximum von 4 V als höchster Tabellenwert 102 (66H) auf.

Zur Bildung der 5-V-Mittellinie von Bild 92 addiert der Prozessor während der positiven Halbperiode eine entsprechende Konstante (80H) zum jeweiligen Tabellenwert. Das Ende der Tabelle erkennt der Prozessor am Wert FFH, der aber nicht ausgegeben wird. Während der negativen Halbwelle wird der jeweilige Tabellenwert vom Wert der Mittellinie subtrahiert. Die vollständige Schwingung entsteht so durch zweimalige Verwendung der Wertetabelle.

Bild 94 zeigt das Flußdiagramm und alle Programmschritte des Sinusgenerators. Das Programm benutzt die Adresse 40H für den DA-Wandler. Die Frequenz der Sinusschwingung beträgt etwa 400 Hz. Zum Erzielen einer kleineren Amplitude sollte ein Spannungsteiler verwendet werden, damit die Auflösung in vertikaler Richtung nicht verschlechtert wird. Eine feinere Abstufung in horizontaler Richtung erhält man z. B. mit einer 3-Grad-Wertetabelle statt der hier benutzten 5-Grad-Abstufung.

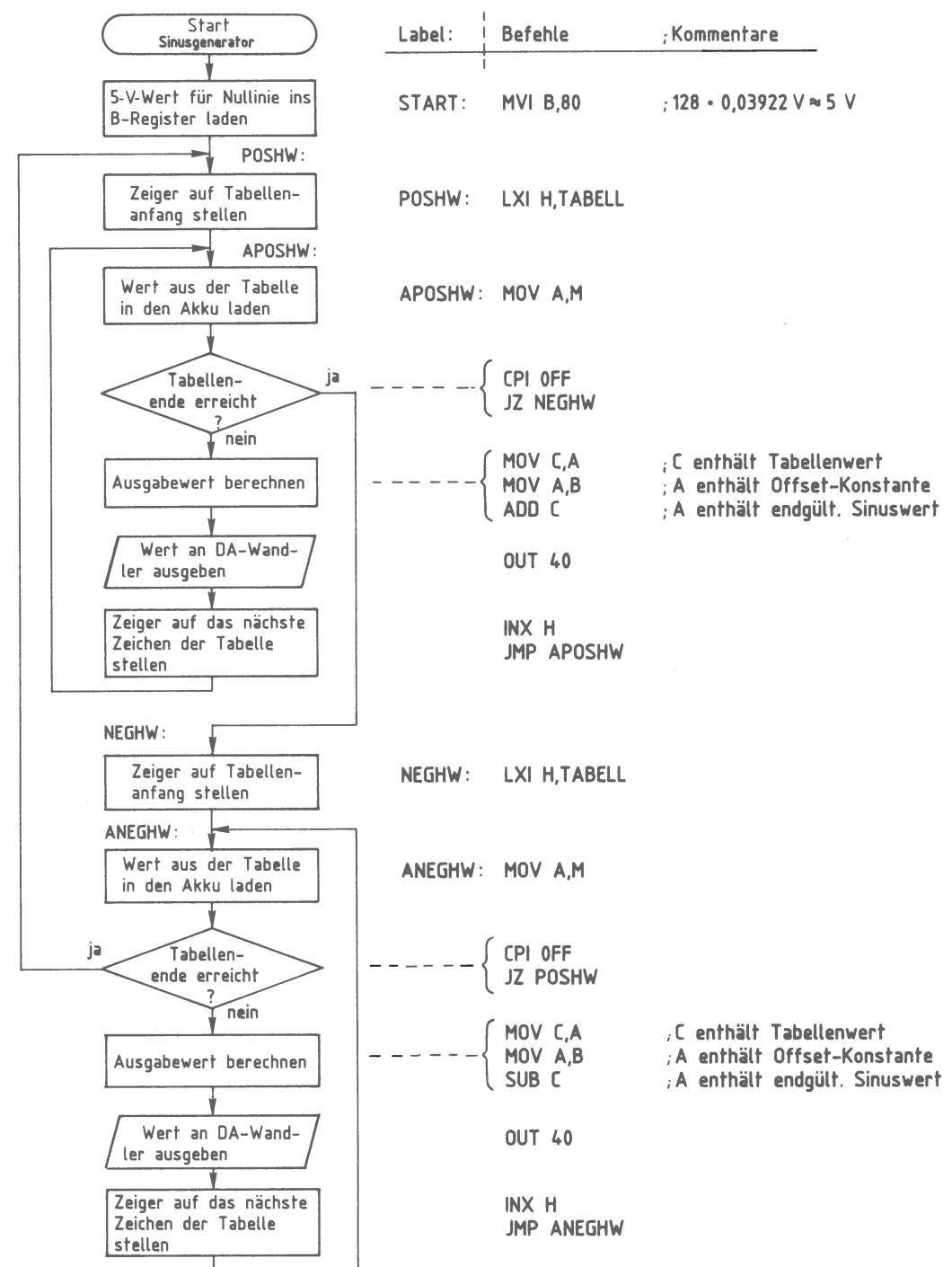


Bild 94: Flussdiagramm und Programm für den Sinus-Generator; Tabelle: Seite 476.

Tabellenwerte und Labels zu Bild 94 (DB ist eine Anweisung zum Eingeben von Datenbytes):

TABELL :DB	00,09,12,1B,23,2B,33,3B,42
DB	48,4E,54,59,5D,60,62,64,65
DB	66,65,64,62,60,5D,59,54,4E
DB	48,42,3B,33,2B,23,1B,12,09, OFF

**POSHW**  $\triangleq$  Positive Halbwelle der Sinusspannung  
**APOSHW**  $\triangleq$  Ausgabeschleife für positive Halbwelle  
**NEGHW**  $\triangleq$  Negative Halbwelle der Sinusspannung  
**ANEHW**  $\triangleq$  Ausgabeschleife für negative Halbwelle  
**TABELL**  $\triangleq$  Anfang der Wertetabelle

### Die Analog/Digital-Wandlung mit einem DA-Wandler

Mit der hier vorgestellten Analog-Ein/Ausgabe-Baugruppe (vgl. Bilder 80 und 85) können auch Analog/Digital-Umwandlungen durchgeführt werden, obwohl die Baugruppe nur DA-Wandler besitzt. Das Prinzip der AD-Wandlung mit Hilfe eines DA-Wandlers wird in Bild 95 gezeigt.

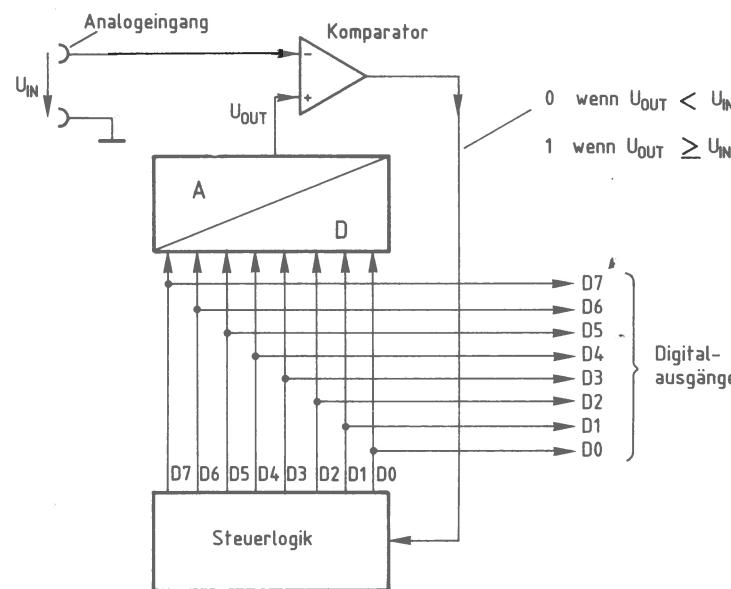


Bild 95: Der Einsatz des DA-Wandlers zur AD-Wandlung.

Zur AD-Wandlung mit Hilfe eines DA-Wandlers ist neben dem Wandler eine Steuerlogik und ein Komparator erforderlich; siehe Bild 95. Die Steuerlogik gibt einen Digitalwert an den DA-Wandler aus, der ihn in die Spannung  $U_{OUT}$  umwandelt. Diese liegt am nicht-invertierenden Eingang des Komparators an. Der Analog-Eingang der Schaltung, an dem die in einen Digitalwert umzuwandelnde Spannung  $U_{IN}$  angeschlossen wird, ist mit dem invertierenden Komparatoreingang verbunden.

In Abhängigkeit der Spannungswerte von  $U_{IN}$  und  $U_{OUT}$  führt der Komparator H- oder L-Pegel an seinem Ausgang: Ist die Spannung des DA-Wandlers kleiner als die Eingangsspannung, so liegt am Komparator-Ausgang L-Pegel an. Der Komparatorausgang führt H-Pegel, wenn die Ausgangsspannung des DA-Wandlers gleich oder größer ist als die analoge Eingangsspannung.

Der Ausgang des Komparators ist mit der Steuerlogik verbunden und wirkt auf diese ein. Solange der Komparator L-Pegel abgibt, erhöht die Steuerlogik den Digitalwert für den DA-Wandler. Jeder neue Digitalwert wird wieder in eine Spannung umgewandelt. Anschließend wird der Schaltzustand des Komparators erneut überprüft.

Sobald der Komparator-Ausgang von L- auf H-Pegel umschaltet, ist die DA-Wandlung abgeschlossen, da der von der Steuerlogik an den DA-Wandler ausgegebene Digitalwert der analogen Eingangsspannung entspricht. Der gefundene Digitalwert (D0...D7) kann an den Ausgängen der Steuerlogik abgenommen werden.

Je nach der Arbeitsweise der Steuerlogik unterscheidet man verschiedene Verfahren der AD-Wandlung mit Hilfe eines DA-Wandlers.

Häufig eingesetzt wird das Zählverfahren, bei dem die Steuerlogik sehr einfach aufgebaut ist, das aber eine ziemlich große Wandlungszeit besitzt. Besonders schnell arbeitet die Sukzessive Approximation (schrittweise Annäherung), die auch als Wägeverfahren bekannt ist. Das gelegentlich verwendete Nachlaufverfahren liegt in seiner Arbeitsgeschwindigkeit zwischen den beiden genannten Methoden.

Für jedes Verfahren ist eine andere Schaltung erforderlich, wenn die Steuerlogik in TTL- oder CMOS-Technik aufgebaut wird. Setzt man für die Steuerlogik jedoch einen Mikroprozessor ein, so kann im Prinzip jede Wandlungsmethode mit der gleichen Schaltung realisiert werden, indem jeweils ein anderes Mikrocomputer-Steuerprogramm verwendet wird. Hier wird nur das Zählverfahren in Verbindung mit einem Mikrocomputer behandelt.

### Das Prinzip der AD-Wandlung nach dem Zählverfahren

Bild 96 zeigt das Prinzipschaltbild eines AD-Wandlers nach dem Zählverfahren, der aus den Teilen Start/Stop-Oszillator, 8-Bit-Binärzähler, DA-Wandler und Komparator besteht und die Steuertasten Reset und Start besitzt.

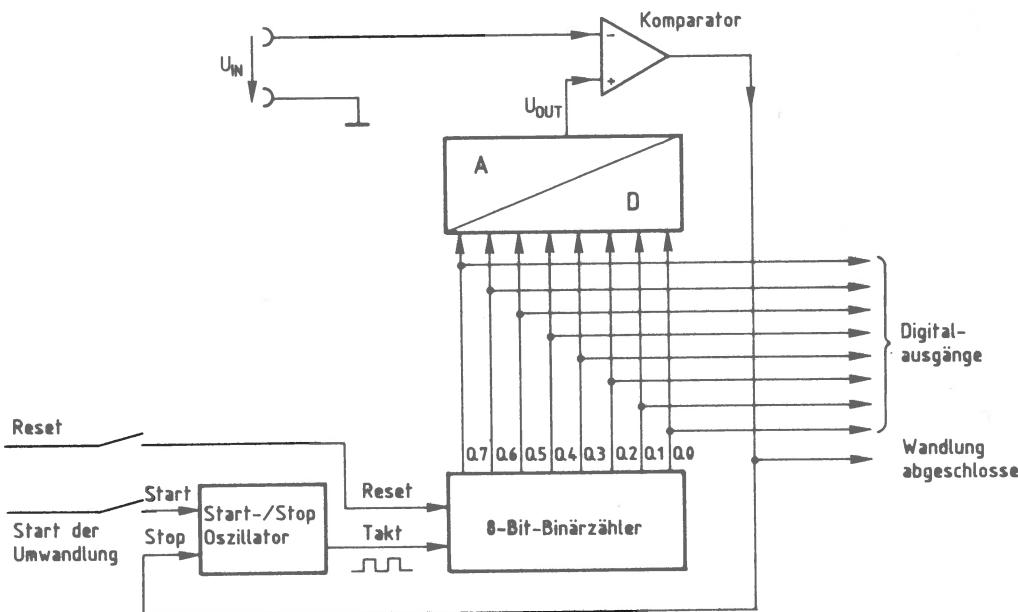


Bild 96: Der AD-Wandler nach dem Zählverfahren.

Die Reset-Taste dient dazu, den 8-Bit-Binärzähler auf null zurückzusetzen, wodurch die Zählerausgänge Q0 bis Q7 L-Pegel annehmen. Nach Betätigung der Start-Taste gibt der Start/Stop-Oszillator Taktimpulse ab, die den Zählerstand von null an fortlaufend erhöhen. Jeder Zählerstand wird vom DA-Wandler in eine Analogspannung ( $U_{OUT}$ ) umgewandelt, die der Eingangsspannung  $U_{IN}$  verglichen.

Erreicht die Ausgangsspannung des DA-Wandlers den Wert der Eingangsspannung, so schaltet der Komparator um und unterbricht den Takt des Start/Stop-Oszillators. Die Anzahl der bis dahin abgegebenen Taktimpulse entspricht dem Digitalwert der Eingangsspannung, der an den Zählerausgängen Q0...Q7 abgenommen werden kann.

Während des Zählens ändert sich ständig der Zählerstand. Daher darf der Digitalwert erst nach dem Stoppen des Oszillators ausgewertet werden. Als Meldesignal hierzu kann das Komparator-Ausgangssignal dienen, das am Ende eines Wandlungsvorgangs von L- auf H-Pegel wechselt.

Bei kleinen Analogwerten ist schon nach wenigen Schritten der dazugehörige Digitalwert ermittelt, bei großen Werten dauert es entsprechend länger. Die Wandlungszeit des Zählverfahrens hängt daher stark von der Höhe der Analogspannung ab. Dieser Nachteil verbietet den Einsatz des Zählverfahrens für schnelle AD-Wandlungen, wie sie z. B. bei der Sprachdigitalisierung erforderlich sind. Für viele Anwendungen in der industriellen Meß-, Steuer- und Regelungs-Technik reicht aber die mit diesem Verfahren erzielbare Wandlungszeit völlig aus. Sie beträgt beim hier vorgestellten System etwa 3 ms pro Volt Analog-Eingangsspannung.

### Der Einsatz des Mikroprozessors zur AD-Wandlung

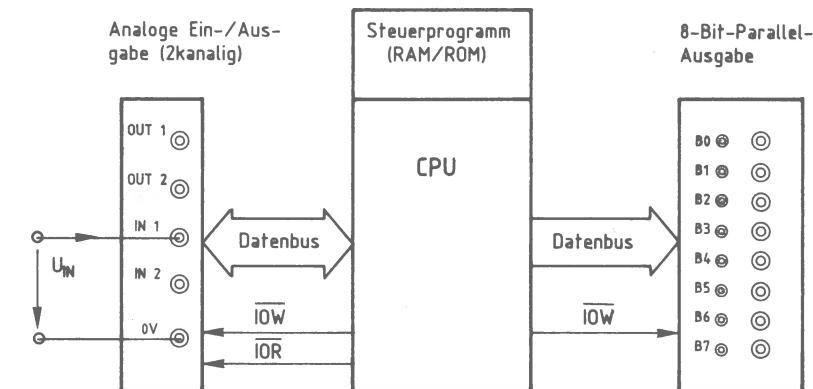


Bild 97: Ein Aufbau eines AD-Wandlers mit dem Mikrocomputer.

Die in einen Digitalwert umzuwandelnde Spannung  $U_{IN}$  zwischen 0 V und 10 V ist hier an den Analogeingang IN1 der zweikanaligen Analog-Ein/Ausgabe angeschlossen. Auf der 8-Bit-Parallel-Ausgabe (siehe Kapitel 4.2) wird der ermittelte Digitalwert angezeigt. Bei einem Vergleich der Bilder 96 und 97 stellt man fest, daß die CPU die Funktionen des Start/Stop-Oszillators, des 8-Bit-Binärzählers und der Reset- und Start-Steuerung übernehmen muß. Bild 98 zeigt das Flußdiagramm für das entsprechende Programm.

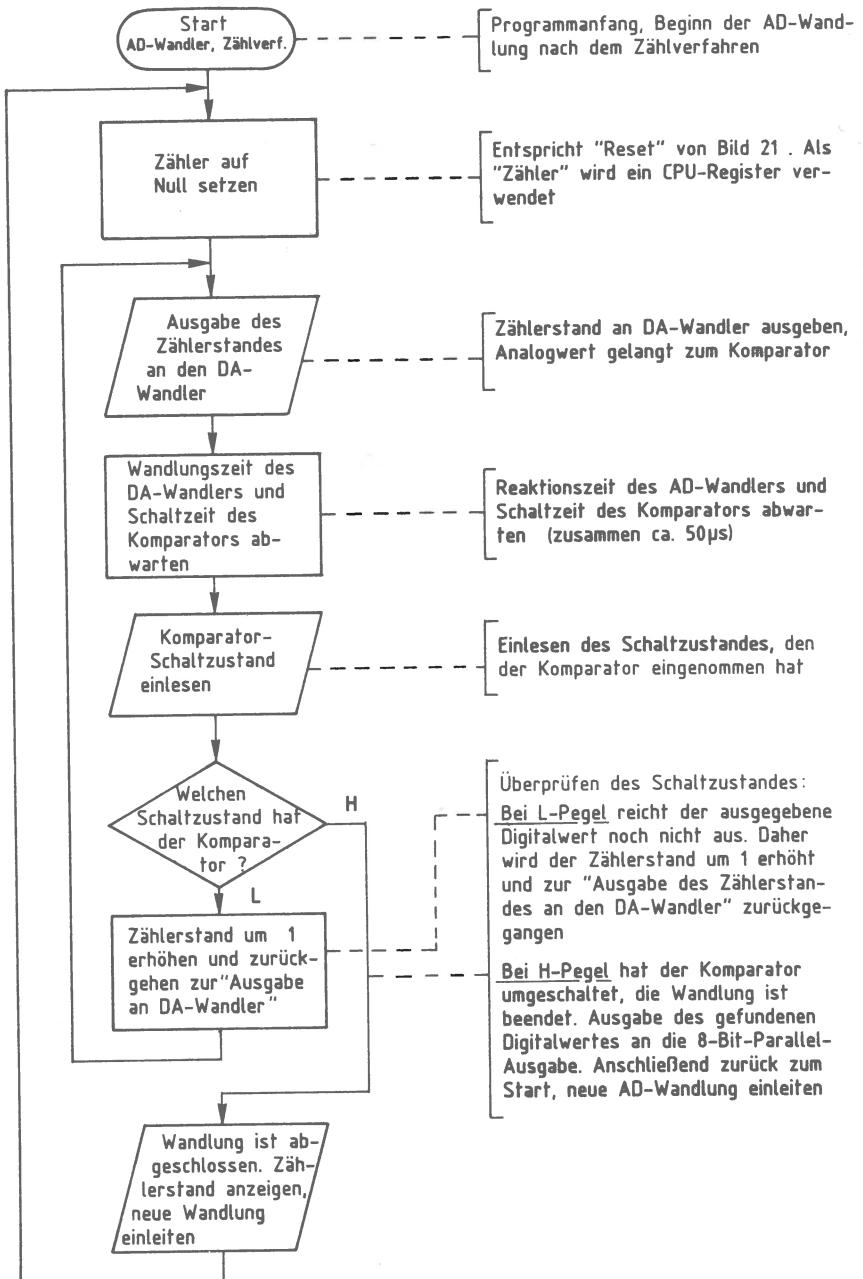


Bild 98: Das Flußdiagramm zur AD-Wandlung nach dem Zählverfahren; vgl. den Aufbau in Bild 97.

## Erläuterungen zu Bild 98:

Zur AD-Wandlung gibt die CPU zuerst den Zähleranfangswert 00H an die Analog-Ein/Ausgabe aus. Dieser Vorgang entspricht der Betätigung der Reset-Taste von Bild 96. Als Zähler wird dabei ein CPU-Register verwendet, das durch einen Befehl den Wert 00H annimmt.

Innerhalb der Baugruppe wird der von der CPU empfangene Datenwert in eine Analogspannung umgewandelt und mit der Spannung  $U_{IN}$  verglichen.

Nach einer kurzen Verzögerungszeit, die zur Signalverarbeitung innerhalb des DA-Wandlers erforderlich ist, fragt die CPU den Schaltzustand des Komparators ab. Dies entspricht in Bild 96 der Verbindung zwischen dem Komparator-Ausgang und dem Start/Stop-Oszillatoren. Beim Komparator-Schaltzustand L-Pegel erhöht die CPU den Datenwert um 1, gibt diesen neuen Wert an den DA-Wandler aus und prüft den Komparator erneut. Dieser Vorgang geschieht so oft, bis der Komparator auf H-Pegel umschaltet. Das Erhöhen des Zählregisters erfolgt dabei durch Inkrementieren, wobei der Registerinhalt jeweils um den Wert 1 erhöht wird.

Der beim Umschalten des Komparators auf H-Pegel vorliegende Zählerstand wird an die 8-Bit-Parallel-Ausgabe übergeben und von dieser angezeigt. Danach beginnt die CPU wieder von vorn mit der Ausgabe des Wertes 00H usw.

Auf der nächsten Seite finden Sie das vollständige Programm zur AD-Wandlung nach dem Zählverfahren. Es benutzt das Register B als Zählregister. Der DA-Wandler wird unter der Adresse 40H angesprochen und die 8-Bit-Parallel-Ausgabe unter der Adresse 02H. Die erforderliche Wartezeit von etwa 50 Mikrosekunden wird mit Hilfe des Unterprogramms WARTE gebildet.

Das Steuerprogramm für den AD-Wandler nach dem Zählverfahren:

Label	Befehle	Kommentare
START: AUSDA:	MVI B,00 MOV A,B OUT 40 CALL WARTE  IN 40 ANI 01 JNZ AUSGA	Zählregister (B) auf Null setzen Ausgabe des momentanen Zählerstandes an den DA-Wandler 1 Warte Wandlungszeit des DA-Wandlers und Schaltzeit des Komparators ab Komparator-Schaltzustand einlesen Nur Bit 0 berücksichtigen (Komparator 1) Hat der Komparator H- oder L-Pegel am Ausgang? Bei H: Wandlung ist beendet. Absprung zum Programmteil »Ausgabe des Zählerendwertes an die 8-Bit-Parallelausgabe« gehen Bei L: Wandlung fortsetzen, Zählregister erhöhen und zum Programmteil »Ausgabe des Zählerstandes an den DA-Wandler 1« gehen
AUSGA:	INR B JMP AUSDA	
WARTE: WART1:	MOV A,B OUT 02  JMP START  MVI A,08 DCR A JNZ WART1 RET	Ausgabe des Zählerendwertes (B-Reg.) an die 8-Bit-Parallel-Ausgabe, Anzeige des ermittelten Digitalwertes Beginne von vorn, leite neue AD-Wandlung ein Unterprogramm zur Zeitverzögerung. Es bildet eine Warteschleife mit einer Verzögerungszeit von etwa 50 Mikrosekunden Ende des Unterprogramms, Rückkehr zum Hauptprogramm (Befehl IN 40)

Viele elektronische Verarbeitungssysteme werden im Bereich der Meß-, Regelungs- oder Steuerungstechnik eingesetzt. Die Anwendung der digitalen Schaltungstechnik ist heute so weit verbreitet, daß vielfach analoge Systeme vom Markt verdrängt wurden. Digitale Signale können im Gegensatz zu analogen Signalen direkt verarbeitet oder gespeichert werden. Ein weiterer Vorteil liegt in der digitalen Signalübertragung. Die Signale werden auf dem Übertragungsweg kaum verfälscht. Deshalb wird man in der Praxis die analogen Signale so früh wie möglich digitalisieren.

Die meisten Meßfühler für elektrische und nichtelektrische Größen (z. B. Temperatur, Druck, Drehzahl) liefern analoge elektrische Signale. Vor ihrer Verarbeitung in digitalen Systemen müssen diese analogen elektrischen Signale in Digitalwerte umgewandelt werden. Dies geschieht mit sogenannten Analog/Digital-Wandlern. Soll das Ergebnis einer digitalen Verarbeitung auf analoge Signalempfänger gegeben werden, so ist hier zuvor eine Digital/Analog-Wandlung auszuführen.

Beide Wandlungsarten lassen sich mit dem Einschub der hier vorgestellten Baugruppe »AD/DA-Wandler« durchführen: 1 Kanal analog-ein, 1 Kanal analog-aus.

Die Baugruppe ist beliebig adressierbar und läßt sich wie eine Eingabe- oder Ausgabe-Baugruppe ansprechen. Obwohl beim Benutzen der Hardware-Wandler Kenntnisse über verschiedene Wandlungsverfahren nicht erforderlich sind, ist es hilfreich, die Prinzipien der AD- und der DA-Wandlung zu kennen.

Bei den hier eingesetzten 8-Bit-Wandlern werden sowohl für die AD- als auch für die DA-Wandlung nur jeweils ca. 20 µs benötigt. Daher läßt sich die Baugruppe sowohl für analoge Meßdaten-Erfassung als auch für regelungstechnische Vorgänge einsetzen.

### Blockschaltbild und Arbeitsweise der AD/DA-Baugruppe

Bild 99 zeigt das Blockschaltbild der AD/DA-Wandler-Baugruppe, die im wesentlichen aus den Schaltungsteilen Adreßvergleicher, AD-Wandlerbaustein und DA-Wandlerbaustein besteht. Vor der Beschreibung spezieller Einzelheiten wird zunächst die grundsätzliche Wirkungsweise der Baugruppe anhand dieses Blockschaltbildes erklärt.

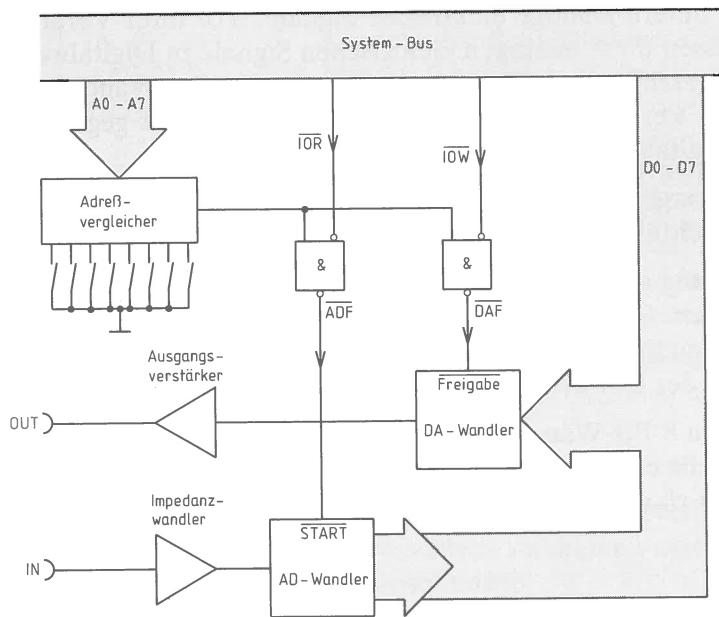


Bild 99: Das Blockschaltbild der AD- und DA-Wandler-Baugruppe.

Wenn der Adreßvergleicher die Gleichheit der Adresse (A0...A7) mit der eingestellten Baugruppen-Nummer signalisiert, so ist zur Einleitung der AD-Wandlung das  $\overline{IOR}$ -Steuersignal erforderlich und zur DA-Wandlung das  $\overline{IOW}$ -Steuersignal. Mit Hilfe der UND-Gatter werden die beiden Aktivierungs-Signale  $\overline{ADF}$  (Analog/Digital-Freigabe) und  $\overline{DAF}$  (Digital/Analog-Freigabe) erzeugt.

Mit  $\overline{ADF}$  wird die AD-Wandlung eingeleitet, die dafür sorgt, daß der am IN-Eingang anliegende analoge Wert als entsprechende digitale Größe am Ausgang des AD-Wandler-Bausteins erscheint. Von hier aus gelangt er zum System-Bus.

Das  $\overline{DAF}$ -Signal gibt den DA-Wandler-Baustein frei. Damit ist am OUT-Anschluß der analoge Wert verfügbar, der als digitale Größe vom System-Bus ausgesendet wurde.

### Der AD-Wandler-Baustein ZN 427

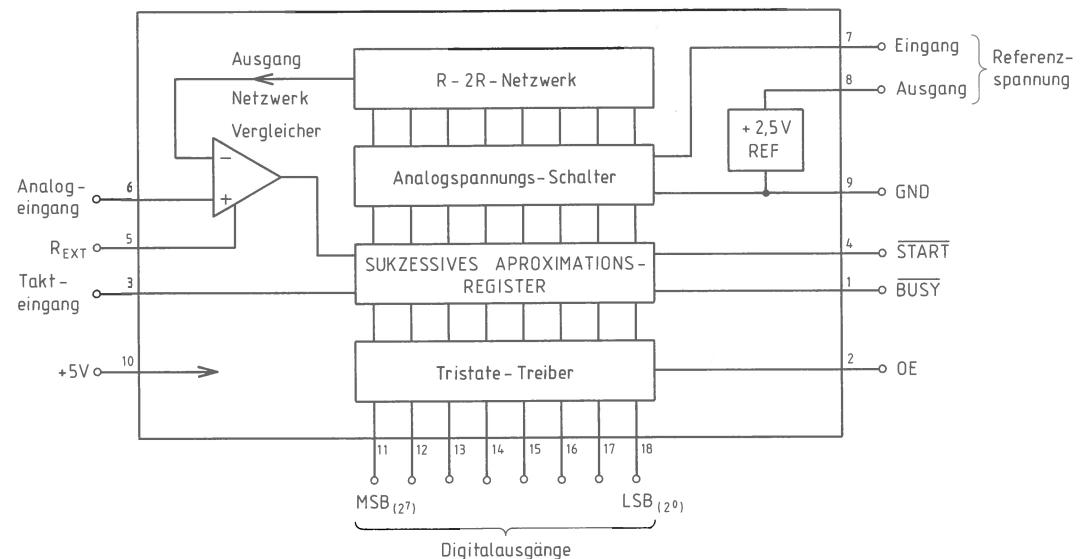


Bild 100: Das Blockschaltbild des 8-Bit-AD-Wandler-Bausteins ZN 427.

Der ZN 427 benutzt das sogenannte sukzessive Approximations-Verfahren (schrittweise Annäherung). Dieses wird auch als Iterations- oder Wägeverfahren bezeichnet und benötigt sehr kurze Konversionszeiten (Wandlungszeiten). Man beginnt mit dem Bit mit dem höchsten Stellenwert (MSB =  $2^7$ ). Ergibt das MSB einen Wert, der kleiner ist als das analoge Eingangssignal, so wird dieses Bit gesetzt. Danach wird die Summe aus MSB und dem Bit  $2^6$  gebildet und mit dem Eingangssignal verglichen. Ist z. B. die Summe aus MSB und Bit  $2^6$  zu groß, so entfällt  $2^6$ , und es wird die Summe aus MSB und Bit  $2^5$  gebildet. Mit dieser Methode nähert man sich immer mehr dem Eingangssignal an.

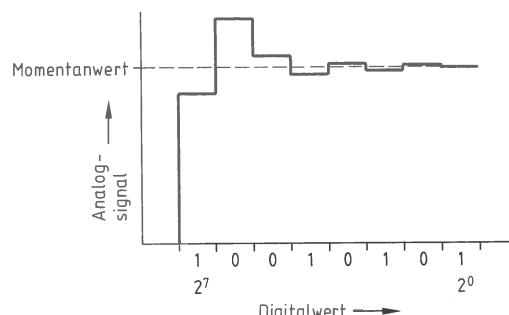


Bild 101: Das Prinzip der sukzessiven Approximation; vgl. Text.

### Die Erzeugung des Takt-Signals

Für die AD-Wandlung ist ein Taktsignal erforderlich. Dieses wird mit Hilfe von zwei Binärteilern im IC 74LS73 aus dem 2-MHz-Systemtakt gewonnen. Dadurch erhält man am Ausgang der Binärteiler ein 500-kHz-Signal.

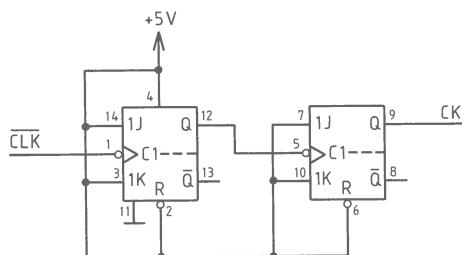


Bild 102: Die Erzeugung des CK-Signals mit 500 kHz aus dem 2-MHz-Systemtakt.

### Die zeitliche Steuerung der AD-Wandlung

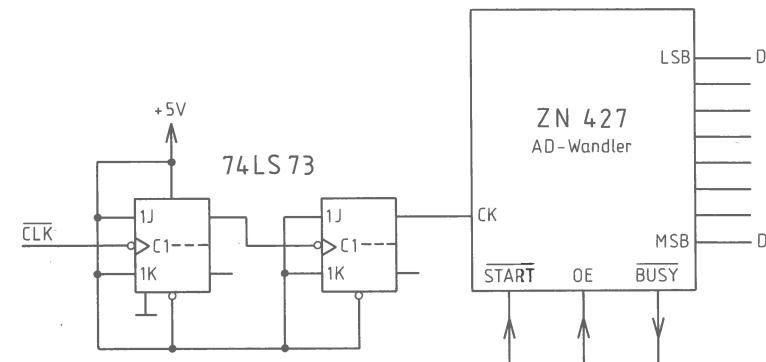


Bild 103: Die Daten- und Steuer-Signale am Baustein ZN 427.

Über die Binärteiler erhält der ZN427 ständig das Takt signal. Damit wird aber noch keine Wandlung eingeleitet. Die Wandlung beginnt erst dann, wenn der Eingang START einen Startimpuls bekommt. Während der Wandlungszeit von 18 µs Dauer liefert der Ausgang BUSY ein L-Signal und zeigt damit an, daß der ZN427 mit der Wandlung beschäftigt ist und für keinen neuen Startimpuls bereit ist; siehe Bild 104.

Der Eingang OE (Output Enable) steuert die Tristate-Ausgänge D0...D7 des Wandlers. Mit einem L-Signal an OE werden die Datenausgänge vollkommen abgeschaltet. Das H-Signal an OE gibt die Ausgänge wieder frei, so daß ein Zugriff auf die Daten möglich ist.

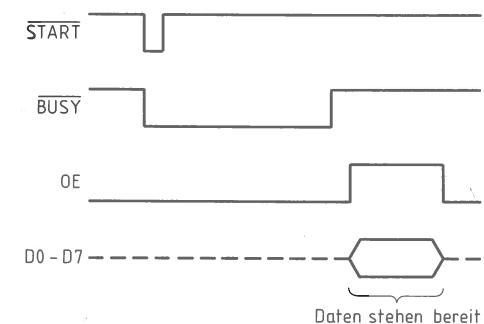


Bild 104: Das Zeitdiagramm der AD-Wandlung beim ZN427.

## Die Erzeugung der Signale START, OE und READY

Soll eine AD-Wandlung eingeleitet werden, so müssen zunächst die Adreßvergleicher IC4 und IC5 Gleichheit signalisieren. Auf die Arbeitsweise des 8-Bit-Adreßvergleichers wird hier nicht eingegangen; siehe z. B. Kapitel 4.1.

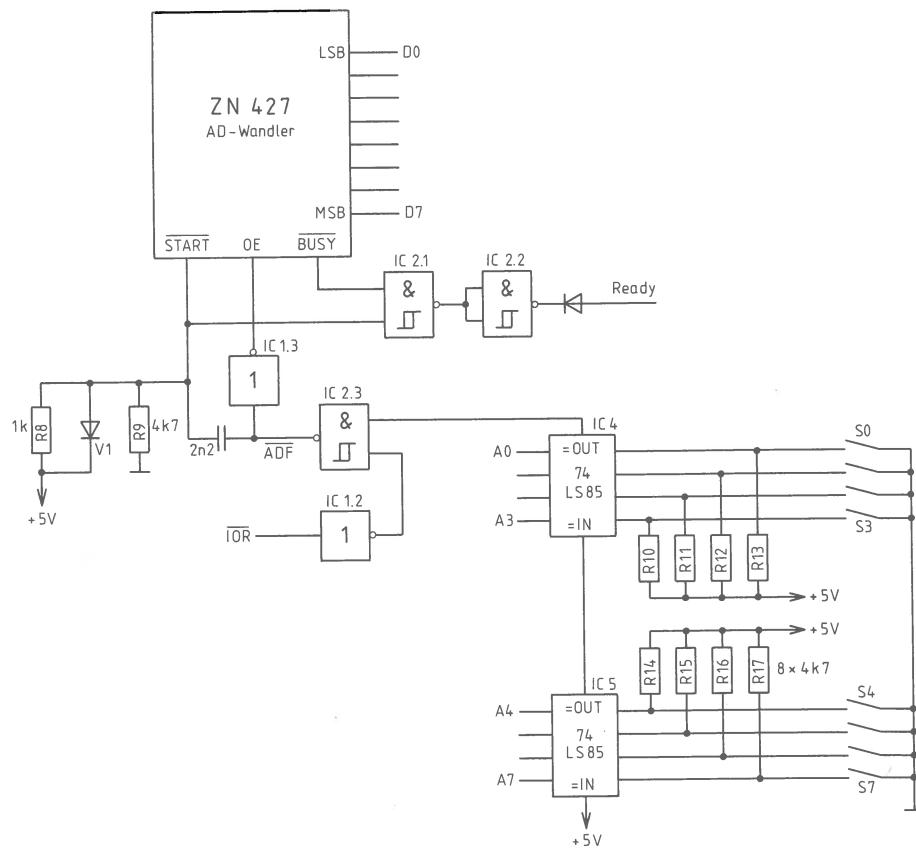


Bild 105: Die Erzeugung der Steuersignale.

Mit Hilfe von IC1.2 und IC2.3 wird das OUT-Signal von IC4 mit dem  $\overline{IOR}$ -Signal des System-Bus verknüpft. Am Ausgang von IC2.3 erscheint jetzt das  $\overline{ADF}$ -Signal (Analog/Digital-Freigabe). Der low-Pegel von  $\overline{ADF}$  ist während der gesamten Wandlungszeit (ca. 18  $\mu$ s) vorhanden. Zum Starten ist aber ein kurzzeitiger Impuls erforderlich. Deshalb wird das  $\overline{ADF}$ -Signal mit Hilfe der Widerstände  $R_8$  und  $R_9$  sowie des Kondensators  $C_2$  differenziert. Die Diode V1 begrenzt bei der steigenden Flanke von  $\overline{ADF}$  das  $\overline{START}$ -Signal auf ca. 5,7 Volt.

Der Eingang OE erhält während der gesamten Wandlungszeit einen H-Pegel (Bild 106). Innerhalb dieser Zeit liefern die Tristate-Ausgänge D0...D7 veränderliche digitale Signale.

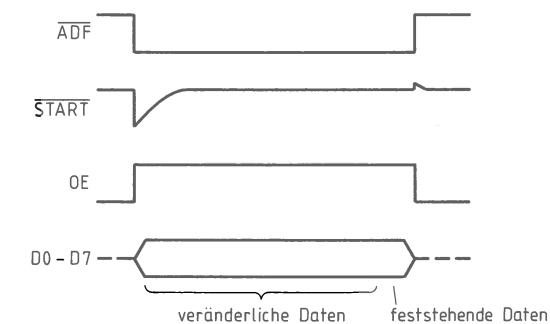


Bild 106: Das Zeitdiagramm von  $\overline{ADF}$ ,  $\overline{START}$  und  $OE$ .

Erst am Ende der Wandlung, wenn das digitale Ergebnis bereitsteht, übernimmt die CPU den digitalen Wert. Während der Wandlung wird sie über den READY-Anschluß angehalten. Die CPU läßt sich über den READY-Anschluß aber nur dann anhalten, wenn zwischen der fallenden Flanke von  $\overline{IOR}$  und dem L-Pegel am READY-Eingang nicht mehr als ca. 80  $\mu$ s liegen. Das BUSY-Signal des Wandlers reagiert allerdings auf den START-Impuls mit einer Verzögerung von ca. 250  $\mu$ s.

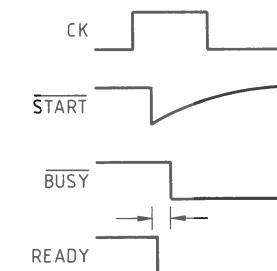


Bild 107: Das Zeitdiagramm von START, BUSY und READY.

Aus diesem Grunde kann der BUSY-Ausgang nicht direkt den READY-Eingang ansteuern. Das READY-Signal wird deshalb aus dem START-Impuls und dem BUSY-Signal gebildet; siehe Bilder 105 und 107. So ergibt sich nur noch eine Verzögerung von maximal 50 µs. Um das gleichzeitige Arbeiten mit Baugruppen zu ermöglichen, die ebenfalls das READY-Signal benutzen, wird in die READY-Leitung eine Germanium-Diode gelegt. Dadurch erhält man eine ODER-Verknüpfung der einzelnen Baugruppen.

### Der Analog-Eingang des ZN427

Der AD-Wandler ZN427 erhält das analoge Eingangssignal über den Eingang IN (Pin 6). Er besitzt einen zulässigen Analogbereich von 0 V bis zu dem Pegel, der am Referenzspannungs-Eingang (Pin 7) anliegt. Da in der vorliegenden Schaltung dem Referenzspannungs-Eingang die intern erzeugte Referenzspannung zugeführt wird, darf der Pegel am Anschluß 6 den Wert von 2,5 V nicht überschreiten.

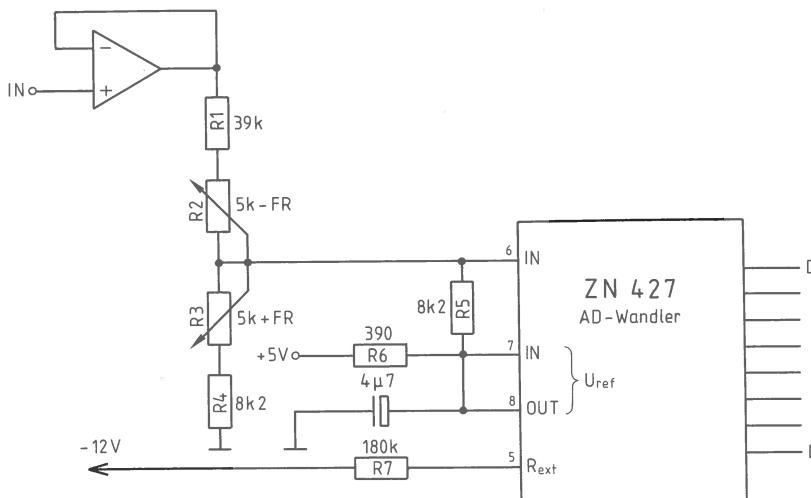


Bild 108: Der Eingangsspannungs-Teiler.

Wird ein bipolarer Analogbereich gewünscht, so muß am Anschluß 6 mit Hilfe von richtig dimensionierten Spannungsteilern ( $R_1 - R_5$  in Bild 108) der niedrigste Analogwert am Eingang den Pegel 0 V an Pin 6 und der höchste Analogwert den Pegel von +2,5 V ergeben.

Bei der Berechnung von  $R_1 - R_5$  wird hier von einem Analogbereich ausgegangen, der sich von -12,8 V bis +12,7 V erstreckt. So erhält man am digitalen Ausgang D0...D7 eine Zuordnung von 1 Digit pro 0,1 V. Für einen anderen Eingangsspannungsbereich müssen die Widerstände  $R_1 - R_5$  geändert werden.

Bei unipolaren Operationen gilt:

$$R_1 + R_2 = \frac{U_{\text{emax}}}{2,5 \text{ V}} \times 4 \text{ k}\Omega$$

$$R_3 + R_4 = \frac{U_{\text{emax}}}{U_{\text{emax}} - 2,5 \text{ V}} \times 4 \text{ k}\Omega$$

Der Widerstand  $R_5$  sollte durch eine Reihenschaltung aus einem 1-MΩ-Potentiometer und einem 680-kΩ-Festwiderstand ersetzt werden.

Bei bipolaren Operationen gilt:

$$R_1 + R_2 = \frac{U_{\text{emax}}}{2,5 \text{ V}} \times 8 \text{ k}\Omega$$

$$R_3 + R_4 = \frac{U_{\text{emax}}}{U_{\text{emax}} - 2,5 \text{ V}} \times 8 \text{ k}\Omega$$

Der Widerstand  $R_5$  kann als 8,2-kΩ-Festwiderstand eingesetzt werden.

Über den Widerstand  $R_7$  wird ein interner Differenzverstärker mit einer negativen Spannung versorgt. Steht keine Spannung von -12 V zur Verfügung, so muß  $R_7$  entsprechend der folgenden Tabelle geändert werden:

U/V	-3	-5	-10	-12	-15	-20	-25	-30
R/kΩ	47	82	150	180	220	330	390	470

### Die interne Referenzspannungs-Erzeugung

Der AD-Wandler ZN427 besitzt eine interne 2,5-V-Z-Diode. Mit Hilfe des vorgeschalteten externen Widerstandes  $R_6$  wird die 2,5-V-Referenzspannung erzeugt (Bild 109). Der Kondensator  $C_1$  sorgt für eine zusätzliche Stabilisierung der Referenzspannung.

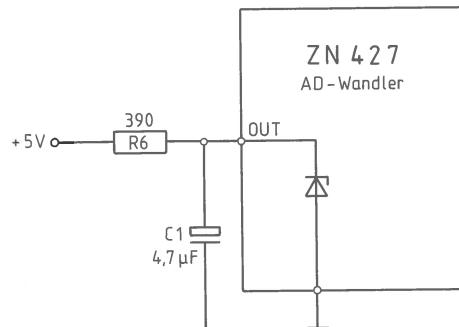


Bild 109: Die interne Referenzspannungs-Erzeugung am ZN427.

### Der DA-Wandler-Baustein ZN428

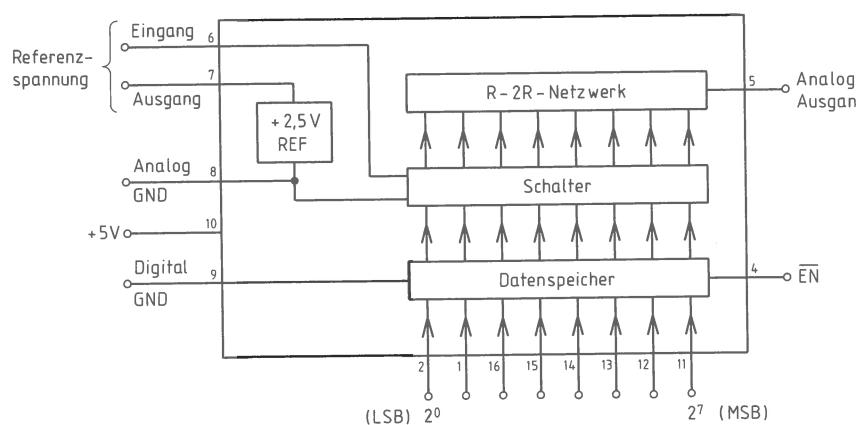


Bild 110: Das Blockschaltbild des 8-Bit-DA-Wandler-Bausteins ZN428.

Der ZN428 besitzt einen Datenspeicher für die digitale Eingangsinformation. Die Ausgänge dieses Datenspeichers werden einem R-2R-Widerstandsnetzwerk zugeführt.

Am Ausgang des Netzwerks kann das analoge Ausgangssignal abgegriffen werden. Ähnlich wie der ZN427 besitzt auch der DA-Wandler ZN428 eine interne Referenzspannungs-Quelle. Die intern erzeugte Referenzspannung von 2,5 V wird direkt dem Referenzspannungs-Eingang zugeführt.

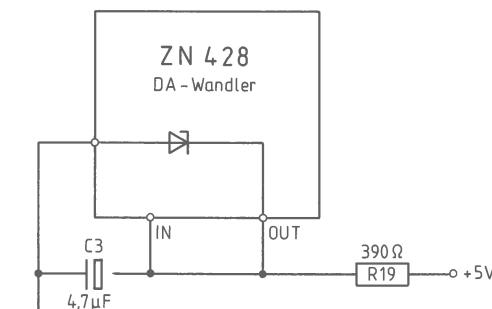


Bild 111: Die Versorgung des Referenzspannungs-Eingangs am ZN428.

### Der analoge Ausgang des ZN428

Der analoge Ausgang des DA-Wandlers (Pin 5) liefert Ausgangsspannungen von 0 V bis 2,5 V. Die nachgeschaltete Operationsverstärkerschaltung sorgt für einen Bereich von  $-12,8 \text{ V}$  bis  $+12,7 \text{ V}$ . Das entspricht einer Schrittweite von 1 Digit pro 0,1 V. Aufgrund der hier verwendeten Versorgungsspannung des Mikrocomputer-Systems von  $\pm 12 \text{ V}$  reduziert sich der Bereich bei gleicher Schrittweite auf  $\pm 10 \text{ V}$  am Ausgang des Operationsverstärkers.

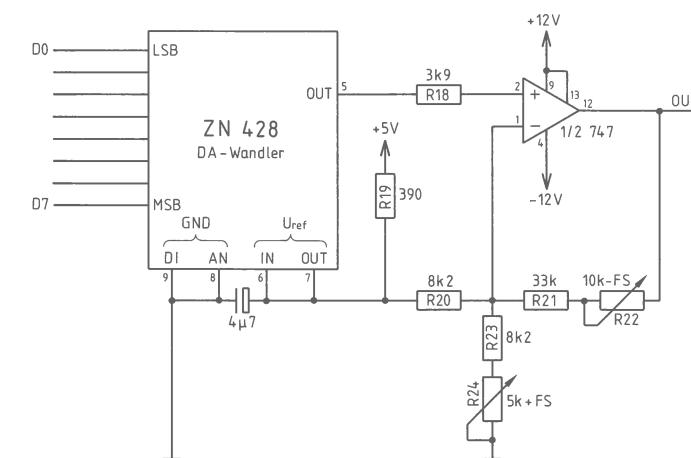


Bild 112: Die Erzeugung der analogen Ausgangsspannung.

Mit Hilfe der Widerstände  $R_{20} - R_{24}$  lässt sich die analoge Ausgangsspannung den jeweiligen Erfordernissen anpassen.

Für unipolare Ausgangsspannungen gilt:

$$R_{20} = \infty \quad (R_{20} \text{ entfernen})$$

$$R_{21} + R_{22} = \frac{U_{\text{amax}}}{2,5 \text{ V}} \times 4 \text{ k}\Omega$$

$$R_{23} + R_{24} = \frac{U_{\text{amax}}}{U_{\text{amax}} - 2,5 \text{ V}} \times 4 \text{ k}\Omega$$

Für bipolare Ausgangsspannungen gilt:

$$R_{20} = 8,2 \text{ k}\Omega$$

$$R_{21} + R_{22} = \frac{U_{\text{amax}}}{U_{\text{amax}} - 2,5 \text{ V}} \times 8 \text{ k}\Omega$$

$$R_{23} + R_{24} = \frac{U_{\text{amax}}}{2,5 \text{ V}} \times 8 \text{ k}\Omega$$

### Das Prinzip des R-2R-Widerstandsnetzwerks

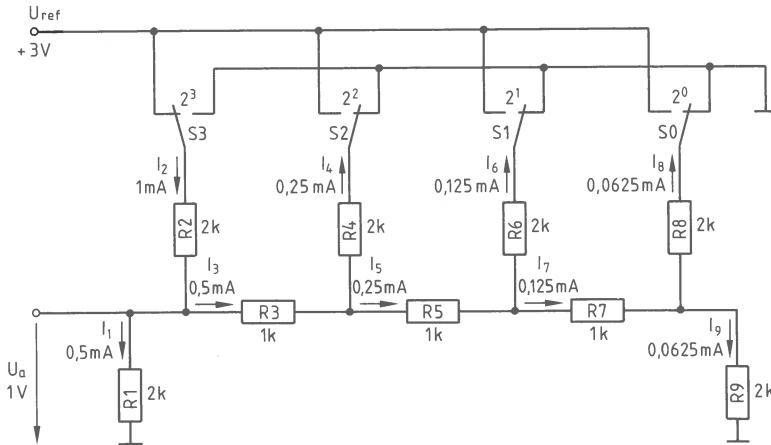


Bild 113: Das R-2R-Netzwerk, hier gezeigt mit dem Digitalwert  $1000_2$ .

Das R-2R-Netzwerk (siehe auch Seite 454ff.) besitzt nur Widerstände mit zwei unterschiedlichen Werten, wobei ein Widerstand den doppelten Wert des anderen besitzt. Bild 113 zeigt das Prinzip eines 4-Bit-Netzwerks zur DA-Wandlung.

Dieser Wandler besteht im wesentlichen aus einer Referenzspannungs-Quelle, den Widerständen und den Umschaltern  $S_0 - S_3$ . In einer integrierten Schaltung werden die Umschalter aus elektronischen Elementen (z. B. Schalttransistoren) hergestellt.

Durch die Dimensionierung der Widerstände ergeben sich bei den eingezeichneten Schaltstellungen (Digitalwert =  $1000_2$ ) die Ströme  $I_1$  bis  $I_9$ . Der Strom  $I_1$  erzeugt am Widerstand  $R_1$  eine Spannung, die proportional zum eingestellten Digitalwert ist ( $0,125 \text{ V/Digit}$ ). Die Ausgangsspannung (hier  $1,000 \text{ V}$ ) kann jetzt mit Hilfe eines Operationsverstärkers auf den gewünschten Wert gebracht werden.

### Die zeitliche Steuerung von $\overline{\text{IOW}}$ , $\overline{\text{DAF}}$ und $\overline{\text{EN}}$

Mit Hilfe von IC1.1 und IC2.4 wird das OUT-Signal des Adreßvergleichers mit dem  $\overline{\text{IOW}}$ -Signal des Systems verknüpft. Am Ausgang von IC2.4 erscheint jetzt das  $\overline{\text{DAF}}$ -Signal (Digital/Analog-Freigabe).

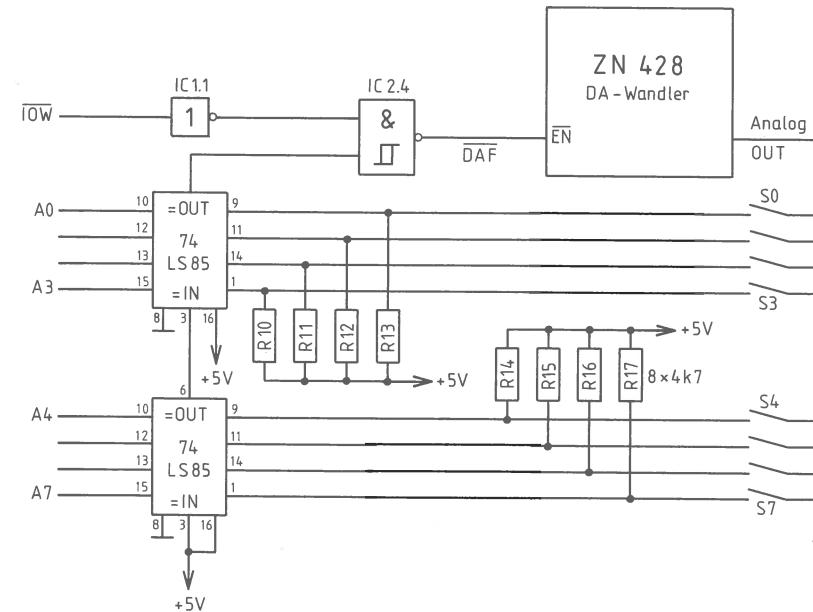


Bild 114: Die Erzeugung des  $\overline{\text{DAF}}$ -Signals.

Das  $\overline{\text{DAF}}$ -Signal wird direkt zur Steuerung des internen Datenspeichers benutzt. Erhält der Eingang  $\overline{\text{EN}}$  einen L-Pegel, so wird der Digitalwert vom internen Speicher übernommen und ist damit am Ausgang (Pin 5) als Analogsignal verfügbar. Nimmt das  $\overline{\text{DAF}}$ -Signal wieder H-Pegel an, so bleibt der Digitalwert gespeichert.

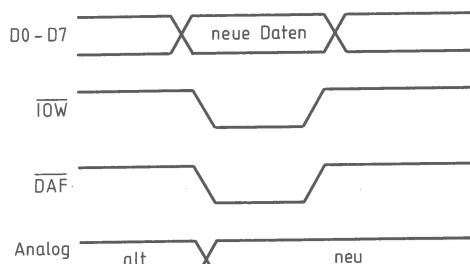


Bild 115: Die zeitliche Steuerung der DA-Wandlung.

### Die Programmbefehle zur Wandlung

Im Gegensatz zu der auf den Seiten 451 bis 482 beschriebenen Baugruppe ist diese hier mit Hardware-Wandlern versehen. Daher genügt zur AD- wie zur DA-Wandlung jeweils ein einziger Befehl (IN bzw. OUT; dabei ist XX die Hex-Adresse der Baugruppe).

Für die AD-Wandlung:

IN XX

für die DA-Wandlung:

OUT XX

(hierzu muß das auszugebende Byte im Akku stehen).

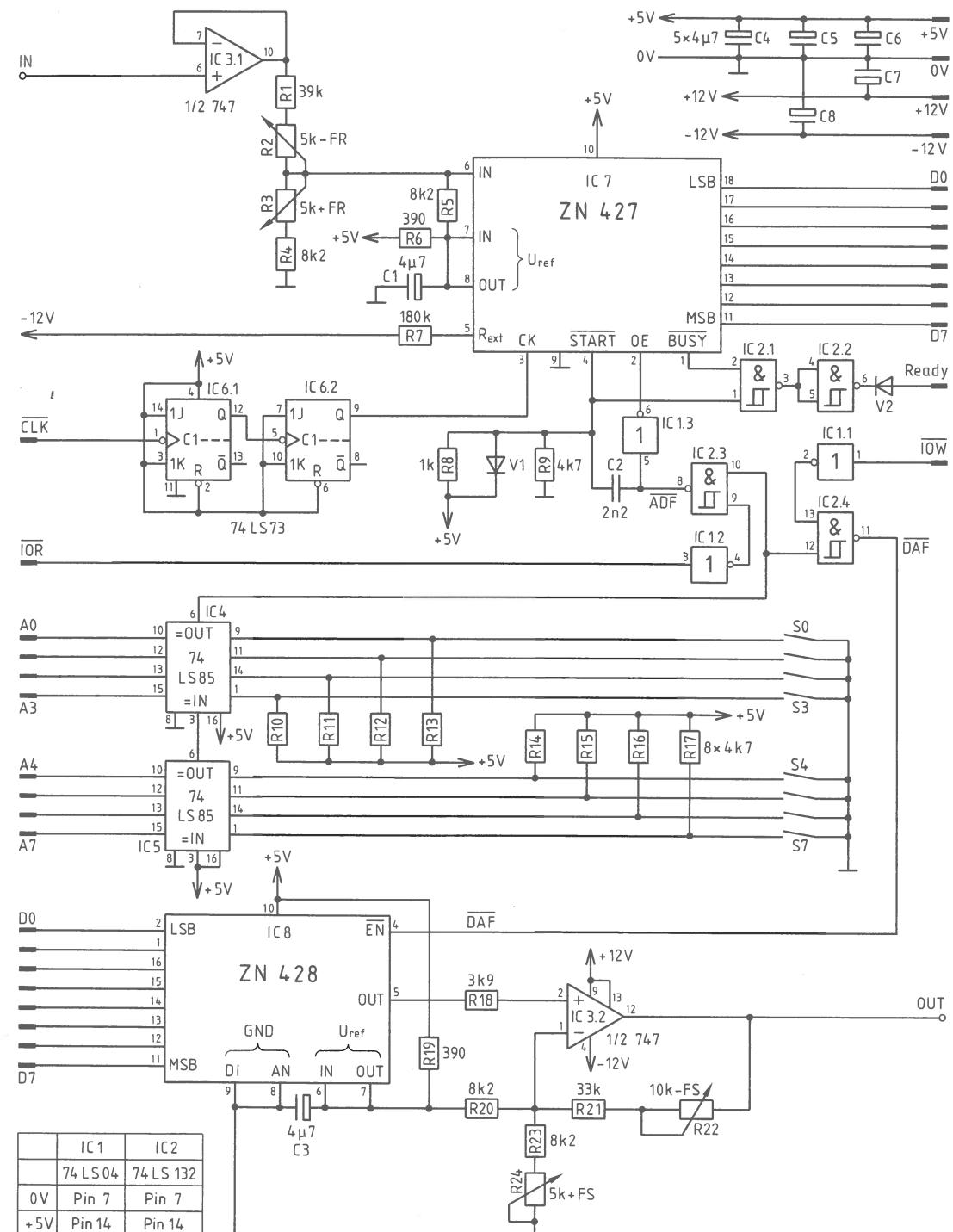


Bild 116: Der Gesamt-Stromlaufplan der AD/DA-Baugruppe mit Hardware-Wandlern.