



UNIVERSIDADE FEDERAL RURAL DO SEMI-ÁRIDO
CENTRO MULTIDISCIPLINAR DE PAU DOS FERROS
DEPARTAMENTO DE ENGENHARIAS E TECNOLOGIA

LABORATÓRIO DE CIRCUITOS DIGITAIS

Abordagem por Hierarquia em *SystemVerilog*

Prof.: Pedro Thiago Valério de Souza
UFERSA – Campus Pau dos Ferros
pedro.souza@ufersa.edu.br

Descrição por Hierarquia em SystemVerilog

- Descreve o circuito pela associação de blocos previamente definidos, permitindo a construção de um sistema maior;
- Declaração:

```
<nome_do_modulo> nome(mapeamento);
```

- **nome_do_modulo**: Nome do módulo a ser referenciado;
- **nome**: nome da instância específica do módulo;
- **mapeamento**: forma que as entradas e saídas estão ligadas;
 - Lista;
 - Nome;

Descrição por Hierarquia em SystemVerilog

- **Associação por Lista:**

- As entradas/saídas são colocadas na ordem no qual foram declaradas no modulo;
- A ordem importa;
- Exemplo:

```
module half_adder(a, b, s, c);
```

```
half_adder ha1 (a1, b1, s1, c1);
```

Descrição por Hierarquia em SystemVerilog

- **Associação por Nome:**

- As entradas/saídas são associadas a pinos específicos do módulo;
- A ordem não importa;
- Exemplo:

```
module half_adder(a, b, s, c);
```

```
half_adder ha1 (.a(a1), .b(b1), .s(s1), .c(c1));
```

```
half_adder ha1 (.a(a1), .s(s1), .b(b1), .c(c1));
```

Descrição por Hierarquia em SystemVerilog

- Observações:
 - Deve-se utilizar **logic** para fazer a ligação entre blocos;
 - Os módulos primários devem estar:
 - No mesmo projeto do módulo principal;
 - O módulo principal é aquele que é o *Top-Level*;
 - No mesmo arquivo do módulo principal;
 - O modulo principal é aquele com o nome do arquivo;

Descrição por Hierarquia em SystemVerilog

Exemplo 3: Projete um somador de 4-bits em SystemVerilog. Para isso, utilize a abordagem estrutural e hierarquia.

- Inicie o seu projeto com um somador completo.
- Utilizando o somador completo do item (a), implemente o somador de 4-bits.

