

**OBJETIVO**

Descrever circuitos digitais utilizando a abordagem comportamental do SystemVerilog.

**COMPONENTES**

- FPGA Cyclone DE2-115.

**PROCEDIMENTO PRÁTICO**

Projete, em FPGA, um contador de módulo 60, correspondentes a um mostrador de segundos em um relógio digital, conforme apresentado na Figura abaixo.

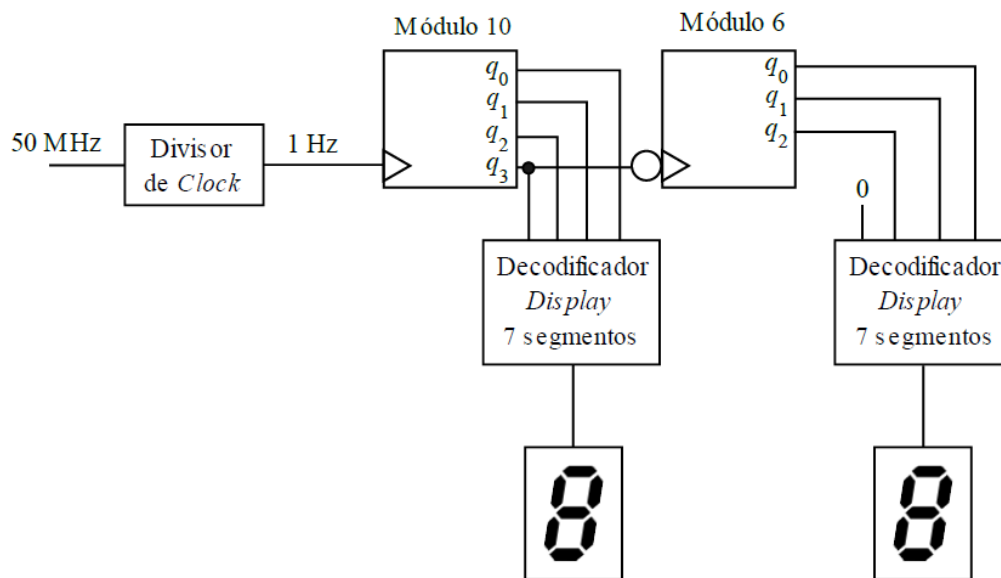


Figura 1 – Contador de segundos em um relógio digital.

Neste caso, o primeiro contador, de módulo 10, será responsável por realizar a contagem das unidades dos segundos. O segundo contador, de módulo 6, será responsável por realizar a contagem das dezenas dos segundos. O sinal de relógio do contador de módulo 6 é gerado pelo contador de módulo 10, que aplicará um pulso de relógio toda vez que o contador de módulo 10 for reiniciado. *Dica:* Isso pode ser feito pensando-se que o sinal de *clock* do contador de módulo 6 é gatilhado pela borda de descida do *clock* e aplicando-se o *bit* mais significativo do contador de módulo 10 na entrada de *clock* do contador de módulo 6.

As saídas deverão ser visualizadas em *display* de sete segmentos da FPGA. Para isso, projete, utilizando alguma abordagem já vista no curso, um decodificador para *display* de sete segmentos. Verifique, utilizando a documentação da placa, se o *display* é ânodo ou cátodo comum.

Utilize um divisor de *clock* de forma a gerar um sinal de relógio com frequência 1 Hz a partir do *clock* de 50 MHz da FPGA. Uma referência para tal é <https://www.fpga4student.com/2017/08/verilog-code-for-clock-divider-on-fpga.html>