

LABORATÓRIO DE CIRCUITOS DIGITAIS

6º Experimento: Circuitos Combinacionais no SystemVerilog

UFERSA – Campus Pau dos Ferros – DETEC

Prof.: Pedro Thiago Valério de Souza

2024.3



OBJETIVO

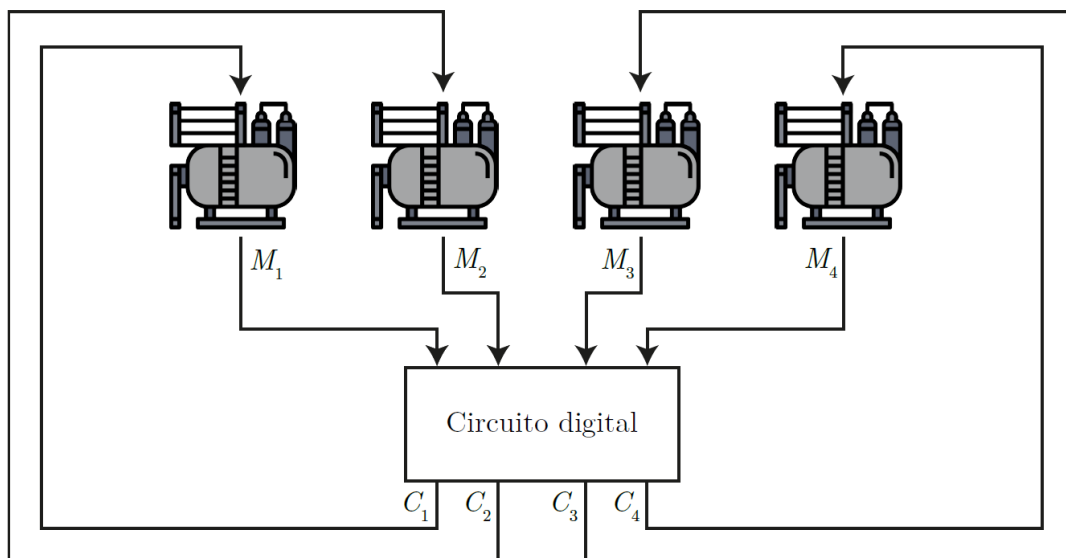
Descrever circuitos digitais utilizando a abordagem por fluxo de dados do SystemVerilog.

COMPONENTES

- FPGA Cyclone DE2-115.

PROCEDIMENTO PRÁTICO

Uma indústria possui quatro máquinas de alta potência, podendo ser ligadas, no máximo, duas delas simultaneamente. Projete um circuito lógico para efetuar este controle, respeitando a prioridade de funcionamento da máquina 1 sobre a máquina 2, da máquina 2 sobre a máquina 3 e da máquina 3 sobre a máquina 4, ou seja, quando três ou mais máquinas forem acionadas simultaneamente, as duas de maior prioridade serão ligadas.



- Determine a tabela da verdade deste circuito.
- Obtenha a expressão lógica para C_1 , C_2 , C_3 e C_4 .
- Desenhe o diagrama de circuito lógico para o circuito projetado.
- Descreva o circuito correspondente em SystemVerilog, utilizando somente operadores lógicos.
- Simule o funcionamento do circuito do QuestaSim ou no ModelSim, considerando todas as possíveis combinações das entradas.
- Implemente o circuito na FPGA DE2-115 utilizando o seguinte mapeamento no *Pin Planner*:

Entrada/Saída	Recurso da FPGA	Localização do Pino
M_1	SW0	PIN_AB28
M_2	SW1	PIN_AC28
M_3	SW2	PIN_AC27
M_4	SW3	PIN_AD27
C_1	LEDR0	PIN_G19
C_2	LEDR1	PIN_F19
C_3	LEDR2	PIN_E19
C_4	LEDR3	PIN_F21

Teste para todas as condições de entrada.

Prática 06

m_1 m_2 m_3 m_4

s_1 s_2 s_3 s_4

ligado: 1
desligado: 0

0	0	0	0	0	0	0	0	✓
0	0	0	1	0	0	0	1	✓
0	0	1	0	0	0	0	1	✓
0	0	1	1	0	0	0	1	✓
0	1	0	0	0	1	0	1	✓
0	1	1	0	0	1	1	0	✓
0	1	1	1	0	1	1	0	✓
1	0	0	0	1	0	0	0	✓
1	0	0	1	0	1	0	1	✓
1	0	1	0	1	0	1	0	✓
1	0	1	1	1	0	1	0	✓
1	1	0	0	1	1	0	0	✓
1	1	0	1	1	1	0	0	✓
1	1	1	0	1	1	0	0	✓
1	1	1	1	1	1	0	0	✓

$$s_1 = m_1 \quad s_2 = m_2$$

$$s_3 = \overline{m_1} m_3 + \overline{m_2} m_3$$

$$s_4 = \overline{m_1} \overline{m_2} m_4 + \overline{m_1} \overline{m_3} m_4 + \overline{m_2} \overline{m_3} m_4$$

