

LABORATÓRIO DE CIRCUITOS DIGITAIS

8º Experimento: Abordagem por Fluxo de Dados no SystemVerilog

UFERSA – Campus Pau dos Ferros – DETEC

Prof.: Pedro Thiago Valério de Souza

2024.3



Anderson Carlos da Silva Marais Marília Foneça Ladeira

OBJETIVO

Descrever circuitos digitais utilizando a abordagem por fluxo de dados do SystemVerilog.

COMPONENTES

- FPGA Cyclone DE2-115.

PROCEDIMENTO PRÁTICO

O sistema apresentado na Figura 1 é capaz de calcular o módulo de um discriminante de uma equação do segundo grau com $a = 1$ e $b, c > 0$. Ou seja, sendo:

$$x^2 + bx + c = 0,$$

uma equação do segundo grau, a saída do circuito, denotada como s , é calculada como:

$$s = |\Delta| = b^2 - 4ac = b^2 - 4c.$$

No sistema, as entradas b e c são de 4 bits e a saída s é de 8 bits.

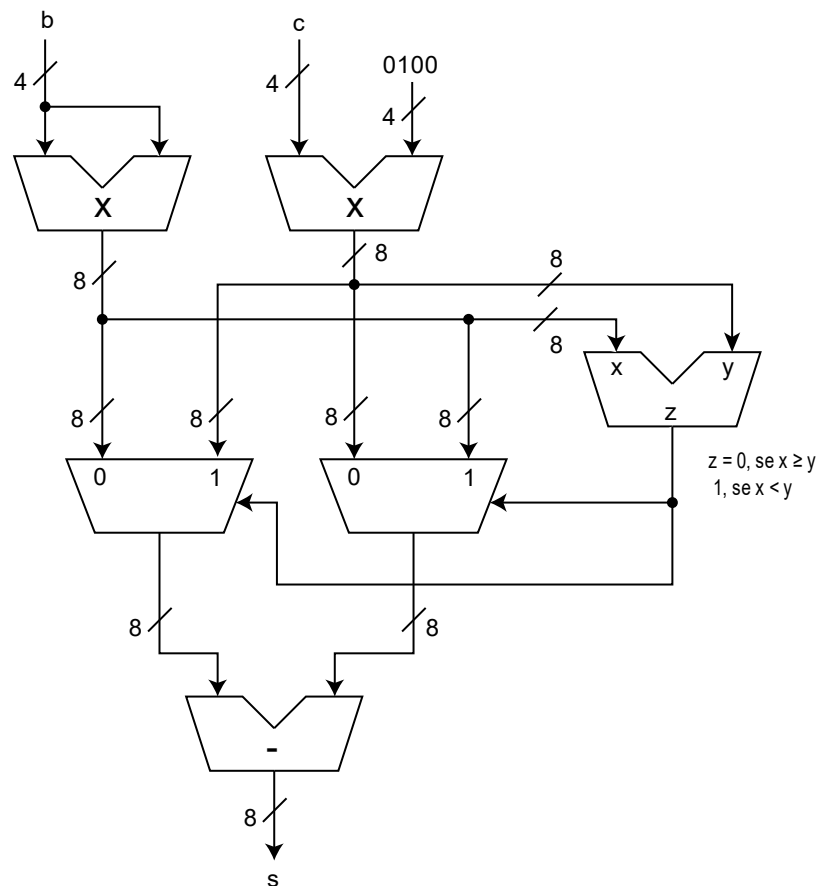
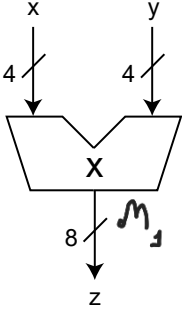
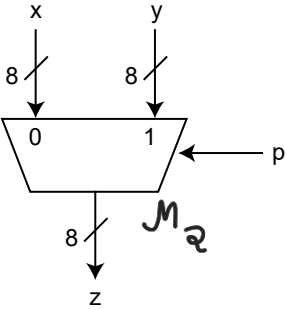
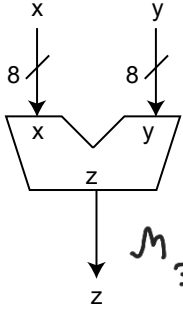
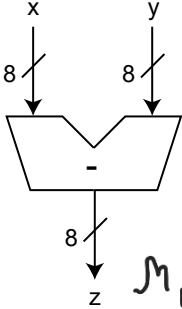


Figura 1 – Sistema para calcular o módulo do discriminante de uma equação do segundo grau com $a = 1$ e $b, c > 0$.

No quadro abaixo é apresentado a descrição dos blocos utilizados no diagrama da Figura 1.

Quadro 1 – Blocos utilizados na implementação do sistema da Figura 1.

Bloco	Função	Descrição
	Multiplicador de 4 bits	Multiplica as duas entradas x e y , ambas de 4 bits, gerando a saída z , de 8 bits.
	Multiplexador 2x1 de 8 bits	Seleciona uma das entradas, x ou y (ambas de 8 bits), para ser transferida para saída z (de 8 bits), dependendo do sinal de controle p . Se $p = 0$, então $z = x$. Se $p = 1$, então $z = y$.
	Comparador de Magnitudes de 8 bits	Compara a magnitude dos valores de x e y (ambas de 8 bits). Sendo $x \geq y$, então a $z = 0$. Caso contrário, então $z = 1$.
	Subtrator de 4 bits	Subtrai as duas entradas x e y , ambas de 8 bits, gerando a saída $z = x - y$, de 8 bits.

Implemente em Verilog o sistema desejado. Para isso, realize os seguintes passos:

1. Explique, de uma forma resumida, como o sistema apresentado na Figura 1 consegue calcular o módulo do discriminante de uma equação do segundo grau com $a = 1$ e $b, c > 0$.
2. Considerando que b e c são entradas de 4 bits, qual é o valor máximo para o módulo do discriminante? Lembre que $b, c > 0$. O escolha da quantidade de bits usada para a saída s é coerente?

3. Implemente, utilizando uma das abordagens já estudadas no curso (hierárquica ou por fluxo de dados), todos os blocos presentes no Quadro 1.
4. Utilizando os blocos projetados no item (3), implemente o sistema apresentado na Figura 1.
5. Simule o funcionamento do circuito do ModelSim, considerando os seguintes casos: (i) $b = 5$ e $c = 6$. (ii) $b = 1$ e $c = 1$. (iii) $b = 2$ e $c = 1$.
6. Implemente o circuito na FPGA utilizado no laboratório. As entradas devem ser impostas em chaves e as saídas devem ser visualizadas em LEDs.

1. O circuito divide as etapas da cálculo em componentes separados. Um componente para realizar o " b^2 ", outro componente realiza " $4c$ ", em seguida é necessário comparar os valores para identificar qual é o maior e menor valor em módulo, a identificação é usada para que se possa repassar as entradas ao subtrator e a saída correspondente a operação $|A| = b^2 - 4c$

2. Valor máximo: $15^2 = 225$

Sim, a saída é coerente, com 8 bits é possível representar 225.

5. I) $|5^2 - 4 \cdot 6| = 1$

II) $|1^2 - 4 \cdot 1| = 3$

III) $|2^2 - 4 \cdot 1| = 0$