

**UNIVERSIDADE DO VALE DO RIO DOS SINOS (UNISINOS)**  
**UNIDADE ACADÊMICA DE GRADUAÇÃO**  
**CURSO DE ENGENHARIA ELETRÔNICA**

**THIAGO DA SILVA FRANÇA**

**PROJETO DE CONVERSOR TIME-TO-DIGITAL VERNIER EM TECNOLOGIA  
CMOS 65 nm PARA CIRCUITOS ADPLL COM FREQUÊNCIA CENTRAL DE 2,4  
GHz**

**São Leopoldo**  
**2023**

THIAGO DA SILVA FRANÇA

**PROJETO DE CONVERSOR TIME-TO-DIGITAL VERNIER EM TECNOLOGIA  
CMOS 65 nm PARA CIRCUITOS ADPLL COM FREQUÊNCIA CENTRAL DE 2,4  
GHz**

Trabalho de Conclusão de Curso  
apresentado como requisito parcial para  
obtenção do título de Bacharel em  
Engenharia Eletrônica, pelo Curso de  
Engenharia Eletrônica da Universidade do  
Vale do Rio dos Sinos (UNISINOS).

Orientador(a): Prof. Dr. Sandro Binsfeld Ferreira

São Leopoldo

2023

## RESUMO

O presente estudo apresenta o projeto de um Conversor *Time-to-Digital* Vernier com foco em aplicações de sistemas ADPLL operando em 2,4 GHz. A evolução constante de circuitos eletrônicos em aplicações de Internet das Coisas, no aumento de complexidade de circuitos e exigência cada vez maior de precisão, eficiência e baixo consumo motivou o foco do projeto. O circuito projetado utiliza blocos lógicos de atraso e flip-flops com transistores MOSFET dimensionados de forma a focar em eficiência e baixo consumo para abranger a faixa de IoT para sistemas de comunicação como Bluetooth e Wi-Fi. O circuito foi projetado com tecnologia CMOS 65 nm utilizando a topologia de um TDC Vernier, realizando análises de performance de operação, simuladas computacionalmente e análise de *layout* para validação de viabilidade de manufatura. Os blocos do circuito foram projetados com inversores CMOS e um flip-flop D com base na tecnologia TSPC. O circuito apresentou resolução de aproximadamente 16,54 ps na análise de operação com a extração de parasitas do *layout* e uma área total de 1851,2  $\mu\text{m}^2$  contemplando 28 elementos de *delay* em cada linha de atraso e 28 flip-flops distribuídos em cada etapa de *delay*. A potência média mensurada em análise transiente, com amostragem em 833 MHz, foi de 855  $\mu\text{W}$ .

**Palavras-chave:** Conversor Time-to-digital, ADPLL, Internet das Coisas, circuito integrado, CMOS.

## LISTA DE FIGURAS

Figura 1 – Operação de transistor NPN em três estágios. ....	18
Figura 2 – Transistor MOSFET. ....	19
Figura 3 – Transistor nMOS (a) e pMOS(b). ....	20
Figura 4 – Esquemático e símbolo para o Inversor CMOS. ....	21
Figura 5 – Princípio da célula de delay com dois inversores.....	23
Figura 6 – Transistor nMOS nas regiões linear (a), corte (b) e saturação (c).....	25
Figura 7 – Flip-flop D com disparo em borda de subida. (a) Símbolo e tabela verdade, (b) formas de onda. ....	27
Figura 8 – Flip-flop TSPC convencional. ....	28
Figura 9 – Ramos centrais do Flip-flop D TSPC.....	28
Figura 10 – Diagrama de blocos de um PLL sintetizador de frequência. ....	29
Figura 11 – Diagrama de blocos do ADPLL. ....	30
Figura 12 – Arquitetura base de um Flash TDC. ....	31
Figura 13 – Modulador $\Delta\Sigma$ de primeira ordem single bit.....	32
Figura 14 – Esquema básico de um TDC com Oscilador em Anel.....	33
Figura 15 – Princípio de operação da linha de delay Vernier. ....	35
Figura 16 – Linha de Delay Vernier.....	36
Figura 17 – Diagrama de blocos do TDC Cyclic Pulse-Shrinking.....	36
Figura 18 – Arquitetura base de um TDC Vernier. ....	41
Figura 19 – Circuito de teste para extração dos parâmetros do transistor nMOS. ....	42
Figura 20 – Circuito de teste para extração dos parâmetros do transistor pMOS. ....	44
Figura 21 – Esquemático da célula de Delay 1. ....	45
Figura 22 – Esquemático da célula de Delay 2. ....	45
Figura 23 – Testbench das linhas de atraso. ....	46
Figura 24 – Esquemático do Flip-flop projetado. ....	48
Figura 25 – Testbench do TDC Vernier projetado.....	49
Figura 26 – Layout da célula de delay 1.....	51
Figura 27 – Layout da célula de delay 2.....	51
Figura 28 – Layout do flip-flop D. ....	52
Figura 29 – Bloco com quatro células de delay e dois flip-flops. ....	53
Figura 30 – Layout final do TDC Vernier projetado. ....	53

## LISTA DE GRÁFICOS

Gráfico 1 – Remessas Anuais de dispositivos Bluetooth. ....	16
Gráfico 2 – Atraso de propagação e tempos de subida e descida .....	22
Gráfico 3 – Variação de $ID$ em relação a $VDS$ e regiões de operação.....	26
Gráfico 4 – $VGS$ x $ID$ para diferentes valores de $W$ no transistor nMOS. ....	43
Gráfico 5 – $VGS$ x $ID$ para diferentes valores de $W$ no transistor pMOS. ....	44
Gráfico 6 – Respostas transientes das linhas de atrasos (a) da célula de delay 1 e (b) célula de delay 2. ....	47
Gráfico 7 – Teste transiente para o Flip-flop D. Sinais (a) de entrada $D$ , (b) clock $CLK$ , (c) saída $Q$ e (d) saída $\bar{Q}$ . ....	48
Gráfico 8 – Análise transiente do TDC projetado. (a) sinais de entrada Stop e Start, (b) linha de atraso Start, (c) linha de atraso STOP e (d) thermometer code da saída dos flip-flops. ....	50
Gráfico 9 – Sinais de entrada Start e Stop. ....	54
Gráfico 10 – Sinais de atraso das linhas de delay (a) Start e (b) Stop. ....	55
Gráfico 11 – Saída thermometer code de flip-flops para um atraso de entrada de 50 ps. ....	56
Gráfico 12 – Simulação Monte Carlo da resolução individual das linhas de atraso. ....	56
Gráfico 13 – Simulação Monte Carlo da resolução final obtida. ....	57

## **LISTA DE TABELAS**

Tabela 1 – Características de protocolos de comunicação IoT .....	15
Tabela 2 – Comparativo entre código decimal e thermometer code. ....	37
Tabela 3 – Comparação de resultados com o estado da arte. ....	58

## LISTA DE SIGLAS

ADPLL	<i>All-Digital Phase-Locked Loop</i>
BLE	<i>Bluetooth Low Energy</i> (Bluetooth de baixa energia)
CI	Circuito Integrado
CMOS	<i>Complementary Metal Oxide Semiconductor</i> (semicondutor de óxido metálico complementar)
DCO	<i>Digital Controlled Oscillator</i> (oscilador controlado digitalmente)
IoT	<i>Internet of Things</i> (internet das coisas)
ISM	<i>Industrial, Scientific and Medical</i> (industrial, científica e médica)
MOS	<i>Metal-Oxide-Semiconductor</i> (semicondutor de óxido metálico)
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i> (transistor de efeito de campo semicondutor de óxido metálico)
nMOS	<i>N-Type MOS</i> (MOS tipo n)
PDK	<i>Process Design Kit</i> (conjunto de desenvolvimento de processo)
PET	<i>Positron Emission Tomography</i> (tomografia por emissão de pósitrons)
PFD	<i>Phase-Frequency Detector</i> (detector de frequência-fase)
PLL	<i>Phase-Locked Loop</i>
pMOS	<i>P-Type MOS</i> (MOS tipo p)
RF	Radiofrequência
RFID	<i>Radio Frequency Identification</i> (identificação por radiofrequência)
SAPD	<i>Single Photon Avalanche Diodes</i> (fotodiodo de avalanche de fóton único)
SoC	<i>System-on-a-Chip</i> (sistema em um chip)
SNR	<i>Signal-to-Noise Ratio</i> (relação sinal-ruído)
TDC	<i>Time-to-Digital Converter</i> (conversor de tempo para digital)
TOF	<i>Time of Flight</i> (tempo de voo)
TSMC	<i>Taiwan Semiconductor Manufacturing Company</i>
VCO	<i>Voltage Controlled Oscillator</i> (oscilador controlado por tensão)

## SUMÁRIO

<b>1 INTRODUÇÃO .....</b>	<b>9</b>
1.1 TEMA .....	10
1.2 DELIMITAÇÃO DO TEMA.....	10
1.3 PROBLEMA .....	10
1.4 OBJETIVOS .....	10
<b>1.4.1 Objetivo geral .....</b>	<b>10</b>
<b>1.4.2 Objetivos específicos.....</b>	<b>11</b>
1.5 JUSTIFICATIVA .....	11
<b>2 FUNDAMENTAÇÃO TEÓRICA .....</b>	<b>13</b>
2.1 INTERNET DAS COISAS.....	13
<b>2.1.1 Arquitetura de Rede IoT .....</b>	<b>14</b>
<b>2.1.2 Protocolos de Comunicação .....</b>	<b>14</b>
2.2 BLUETOOTH .....	15
2.3 TRANSISTOR .....	16
<b>2.3.1 MOSFET .....</b>	<b>18</b>
<b>2.3.2 CMOS.....</b>	<b>20</b>
2.3.2.1 Inversor CMOS.....	20
<b>2.3.3 Delay.....</b>	<b>21</b>
<b>2.3.4 Elementos de Delay.....</b>	<b>22</b>
<b>2.3.5 Tensão de Limiar <math>V_{TH}</math>.....</b>	<b>23</b>
<b>2.3.6 Regiões de operação .....</b>	<b>24</b>
<b>2.3.7 Flip-flop .....</b>	<b>26</b>
2.3.8.1 Flip-flop Tipo D .....	27
2.4 PHASE-LOCKED LOOP .....	28
<b>2.4.1 Phase-Frequency Detector .....</b>	<b>29</b>
2.5 ALL-DIGITAL PLL .....	30
2.6 TIME-TO-DIGITAL CONVERTER .....	31
<b>2.6.1 Princípio de funcionamento .....</b>	<b>31</b>
<b>2.6.2 Arquiteturas de Circuitos TDC .....</b>	<b>32</b>
2.6.2.1 Delta Sigma TDC.....	32
2.6.2.2 Gated Ring Oscillator Based TDC .....	33
2.6.2.3 Stochastic TDC .....	34



2.6.2.4 Vernier TDC.....	34
2.6.2.5 Cyclic Pulse-Shrinking TDC .....	36
2.7 THERMOMETER CODE .....	37
2.8 FIGURAS DE MÉRITO.....	37
<b>3. METODOLOGIA .....</b>	<b>39</b>
3.1 MÉTODO DE PESQUISA .....	39
3.2 DEFINIÇÃO DE TOPOLOGIA.....	39
3.3 DIMENSIONAMENTO.....	39
3.4 LAYOUT .....	40
3.5 ANÁLISE SIMULACIONAL.....	40
3.6 ANÁLISE DE DADOS.....	40
<b>4. IMPLEMENTAÇÃO E RESULTADOS.....</b>	<b>41</b>
4.1 CIRCUITO .....	41
4.2 DIMENSIONAMENTO.....	42
4.3 LAYOUT – IMPLEMENTAÇÃO FÍSICA.....	50
4.4 RESULTADOS APÓS EXTRAÇÃO DE PARASITAS .....	54
<b>4.4.1 Figura de Mérito .....</b>	<b>56</b>
<b>4.4.2 Consumo do Circuito .....</b>	<b>57</b>
<b>4.4.3 Estado da Arte .....</b>	<b>57</b>
<b>5. CONCLUSÃO .....</b>	<b>59</b>
5.1 TRABALHOS FUTUROS .....	60
<b>REFERÊNCIAS.....</b>	<b>61</b>

## 1 INTRODUÇÃO

O avanço do mercado de Internet das Coisas (IoT) é um dos tópicos mais relevantes no cenário de tecnologia atual. Mesmo com os desafios globais enfrentados durante a pandemia do COVID-19, a estimativa de valor de mercado do IoT varia entre 5,5 e 12,6 trilhões de dólares (CHUI, *et al.*, 2021). Esse crescimento está diretamente ligado com a inclusão de tecnologia IoT em dispositivos industriais ou mesmo domésticos, como a popularização de dispositivos *smart*, sistemas de sensoriamento, acessibilidade e segurança. A Transforma Insights (2023) projeta um número de conexões IoT na casa de 19 bilhões em 2025, tendo mensurado em 2019 uma faixa de 8,7 bilhões.

Nesse cenário, a demanda de novos circuitos, da miniaturização de componentes, de sistemas cada vez mais eficientes e com baixo consumo, são alguns dos maiores desafios no ramo da microeletrônica atualmente. A Lei de Moore ainda se mantém como uma base lógica, encontrando sobrevida no desenvolvimento de técnicas de *layout*, mas os limites atingidos na miniaturização de transistores em relação as capacidades tecnológicas desenvolvidas se tornam mais rígidos, assim como o custo de desenvolvimento aumenta gradativamente. Esses fatores levam os projetistas a pesquisarem e descobrirem métodos cada vez mais revolucionários de alocar transistores em espaços nanométricos, mas é improvável que os avanços de integração e paralelismo de transistores continuem apresentando um avanço exponencial de evolução tecnológica (WILLIAMS, 2017).

Com a crescente necessidade de precisão, os circuitos também se tornam cada vez mais sensíveis a variações de processo, devido aos valores otimizados de dimensionamento, de polarização, frequência de operação, eficiência, entre outros, que estimulam a presença de circuitos de ajuste ou autocorreção em sistemas complexos. O *All-Digital Phase-Locked Loop* (ADPLL), é um dos circuitos amplamente empregados em Circuitos Integrados (CI) de Radiofrequência (RF) atualmente, devido a sua capacidade de sincronização e geração de *clocks* e a redução de área em comparação com os circuitos analógicos PLL utilizados anteriormente. Entre os blocos digitais do ADPLL, o *Time to Digital Converter* (TDC) aparece como um dos atuadores principais dessa aplicação, sendo o bloco responsável por mensurar a diferença de fase do *clock* gerado e o sinal de referência

e apresentar uma resposta digital que será empregada na correção da frequência de saída do oscilador.

O presente trabalho apresenta uma proposta de circuito TDC para sistemas ADPLL operando na faixa de 2,4 GHz, com foco em dispositivos IoT. Utilizando tecnologia de semicondutor de óxido metálico complementar (do inglês, CMOS) de 65 nm, os transistores foram dimensionados com base nos parâmetros do modelo simulacional buscando a melhor relação de resolução, consumo e linearidade, com base nas respostas encontradas para as topologias empregadas. O resultado do circuito foi validado com a figura de mérito, comparando-o com o estado da arte.

## 1.1 TEMA

Estudo de projeto e simulação de um circuito conversor *Time-to-Digital*, com foco em aplicações de sistemas *All-Digital PLL* em comunicação por radiofrequência.

## 1.2 DELIMITAÇÃO DO TEMA

O estudo é delimitado por:

- a) Análise por simulação em tecnologia CMOS de 65 nm.
- b) Utilização de sinais externos ideais como base de operação.
- c) Frequência de operação com foco em 2,4 GHz.

## 1.3 PROBLEMA

É possível realizar o projeto de um conversor *Time-to-Digital* em tecnologia CMOS 65 nm para sistemas ADPLL em 2,4 GHz apresentando uma alta resolução e baixo consumo?

## 1.4 OBJETIVOS

### 1.4.1 Objetivo geral

Projetar através do dimensionamento de todos os componentes do circuito, validar sua operação e dimensionar o *layout* em tecnologia CMOS 65 nm de um circuito TDC para aplicações em sistemas de radiofrequência.

### 1.4.2 Objetivos específicos

Os seguintes objetivos específicos são englobados nesse estudo:

- a) comparar e avaliar diferentes topologias para a aplicação em questão;
- b) resolução final na faixa de 10 a 15 ps;
- c) consumo de potência  $P_{RMS}$  abaixo de 1 mW;
- d) avaliar o circuito utilizando figura de mérito, tendo como referência o estado da arte.

### 1.5 JUSTIFICATIVA

O mercado de IoT movimenta anualmente valores bilionários de gastos corporativos e a tendência é de que a taxa de crescimento desse investimento cresça cada vez mais nos próximos anos, atingindo um aumento de quase 27% ao ano e o valor de aproximadamente 412 bilhões de dólares (WEGNER, 2021). Circuitos dedicados para o mercado de IoT apresentam um cenário promissor de desenvolvimento e pesquisa, com incentivos crescentes e aplicações de complexidade desafiadoras.

O avanço de tecnologia é um dos pilares da microeletrônica, com a miniaturização de transistores ou paralelismos de dispositivos atingindo novos limites constantemente conforme os pesquisadores evoluem no desenvolvimento de ferramentas, equipamentos e metodologias. Esses novos limites, principalmente em circuitos de RF, tornam o projeto de circuitos lineares, robustos e acessíveis mais desafiante, tendo como uma das tecnologias mais empregadas para desenvolvimento de circuitos o CMOS, que apresenta boa resposta operando na banda *Industrial, Scientific and Medical* (ISM), com redução de área e otimização de consumo (SILVA, 2019).

Os circuitos ADPLL são constantemente estudados e evoluídos em busca de melhores respostas de consumo, de redução de área, de linearidade e resposta ao ruído, avançando nessas pesquisas de acordo com evolução da capacidade tecnológica de *layout*. Cada um de seus blocos digitais básicos, TDC, *Digital Controlled Oscillator* (DCO) e *Loop Filter*, abrem ramificações diversas de pesquisa e inovação, envolvendo as complexidades de cada foco operacional. Estudos dedicados

desses blocos apresentam novas ideias sobre o processo de projeto de circuitos e metodologias de prototipação, assim como validações experimentais de modelos.

## 2 FUNDAMENTAÇÃO TEÓRICA

A seguir são apresentados todos os tópicos relevantes que envolveram o estudo realizado para o desenvolvimento desse projeto e que embasam os métodos e considerações que foram empregados para a realização desse estudo. São apresentados os conceitos de: Internet das Coisas, Bluetooth, transistores, tecnologia CMOS, inversores, flip-flops, circuitos PLL e ADPLL, TDC e figura de mérito.

### 2.1 INTERNET DAS COISAS

Em 1999 o termo IoT era definido e utilizado como título de uma apresentação por Kevin Ashton, que apresentava a ideia de utilizar etiquetas de identificação por radiofrequência nos produtos com o intuito de melhorar o controle do processo logístico (RANGEL, 2014), idealizando assim a tecnologia *Radio Frequency Identification* (RFID). Em 2023, o cenário atual nos apresenta uma infinidade de produtos, técnicas e ideias que estão englobados dentro do conceito que se tornou o IoT

Apesar de gerar certa confusão no entendimento direto do termo, principalmente pelo fato da nomenclatura apresentar duas possibilidades de visão, uma orientada a uma rede de conexão enquanto outra com foco em objetos genéricos (ATZORI, 2010), uma definição ampla é encontrada em:

A Internet das Coisas (IoT) refere-se a uma rede distribuída conectando objetos físicos que são capazes de detectar ou agir em seu ambiente e capazes de se comunicar uns com os outros, outras máquinas ou computadores. Os dados relatados por esses dispositivos podem ser coletados e analisados para revelar insights e sugerir ações que produzirão economia de custos, aumentarão a eficiência ou melhorarão produtos e serviços. (DAVIES, 2015).

A partir dessa definição, é fácil ilustrar cenários atuais em escalas industriais ou mesmo aplicações residenciais que utilizam as tecnologias IoT, como sistemas de sensoriamento em linhas de produção, em linhas de gás, tubulações de água, ou mesmo nos produtos para casas inteligentes como lâmpadas inteligentes ou assistentes virtuais. Mesmo em um cenário já aparentemente popularizado, o número de dispositivos conectados continua em uma crescente notável, conforme projeções

(ABINC, 2022) as conexões globais de IoT crescerão de 11,3 bilhões para 29,3 bilhões até o fim de 2030.

### **2.1.1 Arquitetura de Rede IoT**

Existem diversas propostas de arquitetura para definir uma rede IoT, adicionando níveis e subdivisões de acordo com a complexidade de detalhamento buscada pelos autores. Yang (2011) apresenta um modelo simplificado com três níveis capaz de apresentar uma ideia de arquitetura:

- a) Camada de Aplicação onde os dados são processados e ações podem ser executadas através da compreensão desses dados;
- b) Camada de Rede onde as informações obtidas na camada de percepção são transmitidas após a coleta na rede, permitindo que a camada de aplicação acesse e processe os dados.
- c) Camada de Percepção onde os dados são obtidos, através dos sensores e dispositivos atuando e capturando os dados de interesse.

WU (2010) apresenta uma arquitetura com cinco camadas, substituindo a camada de rede por uma camada de transporte, que transmite os dados da camada de percepção para a camada de processamento onde os dados são então analisados e processados. Uma última camada de negócios tem como foco a possibilidade de utilizar aplicações de gerenciamento. Conforme o foco de aplicação do sistema implementado, diferentes modelos de arquitetura podem ser utilizados como base, já que não há um modelo oficialmente definido como referência, porém todos tem uma estrutura similar com os conceitos apresentados.

### **2.1.2 Protocolos de Comunicação**

A Tabela 1 exibe alguns dos principais protocolos de comunicação, apresentando características relevantes em relação às possíveis aplicações para uma rápida comparação (KUMAR, 2020). Dentre os protocolos de comunicação listados, quatro deles operam com frequência central de 2,4 GHz, com diferentes faixas de consumo, alcance e velocidade de dados. Todos os protocolos seguem padrões internacionais e operam dentro da banda ISM (LOY, 2023).

Tabela 1 – Características de protocolos de comunicação IoT

Tecnologia	Frequência (GHz)	Consumo	Velocidade	Alcance (m)	Padrão
Bluetooth (BLE)	2,4	10 mW	1 Mbps	50 m	IEEE 802.15.1
ZigBee	2,4	Muito Baixo	250 Kbps	100 m	IEEE 802.15.4
Z-Wave	0,90842	Muito Baixo	100 Kbps	30 m	Z-Wave Alliance
6LoWPAN	2,4*	Muito Baixo	250 Kbps	10-100 m	IEEE 802.15.4
Wi-fi	2,4 - 5	Alto	100-250 Mbps	100 m +	IEEE 802.11
LoRa	0,47-0,51	Alto	27 Kbps	10 km +	IEEE
LoRaWAN	0,865-0,925				802.15g
WiMAX	2-11	N/A	70 Mbps	50 km	IEEE 802.16
GSM/GPRS	850 - 1,9	Muito Alto	Moderada	35 km +	ETSI
LTE	0,7-2,6	Muito Alto	0,1-1Gbps	28 km / 10 km	3GPP
LTE-M	Várias	Moderado	1 Mbps	Longo	3GPP
NB-IoT	Várias*	Moderado	250 Kbps	20 km +	3GPP

Fonte: Adaptado de Kumar (2020, p. 110)

## 2.2 BLUETOOTH

Criado como uma tecnologia de comunicação sem fio entre dois dispositivos, o Bluetooth rapidamente evoluiu da transmissão exclusiva entre dois dispositivos na faixa de 712 kb/s com o *Bluetooth Basic Rate*, para um dos protocolos mais utilizados em circuitos RF com o surgimento do *Bluetooth Low Energy* (BLE), com transmissões multidispositivos acima de 2 Mb/s e alta redução de consumo de potência.



Além da redução de consumo atingida, o BLE gerou a possibilidade de transmissão de dados do dispositivo Bluetooth para diversos outros componentes, algo que não era atingido com a arquitetura anterior. Principalmente por esse avanço, o Bluetooth se tornou uma das tecnologias de comunicação mais utilizadas para sistemas de IoT, com uma ampla gama de dispositivos, sensores, atuadores e *smart devices*.

Assim como o protocolo Wi-Fi, o Bluetooth opera na banda ISM de 2,4 GHz. Essa banda de frequências apresenta alta praticidade para usuários, já que não precisam de licença para o uso, e contam com poucas regras de operação, em comparação com outras faixas, sendo uma das regras principais o controle de potência de transmissão, evitando interferência entre sistemas coexistentes. A ISM é utilizada para desenvolvimento científico, médico e industrial, além de desenvolvimento livre.

Gráfico 1 – Remessas Anuais de dispositivos Bluetooth.



Fonte: Adaptado de Bluetooth (2023).

O surgimento de novos protocolos de comunicação não impediu o crescimento do Bluetooth, que em 2025 deve ultrapassar o valor de 1 bilhão de remessas de dispositivos (BLUETOOTH, 2023), conforme Gráfico 1, que também apresenta a taxa de crescimento anual composta (do inglês, CAGR) prevista em 21%.

## 2.3 TRANSISTOR

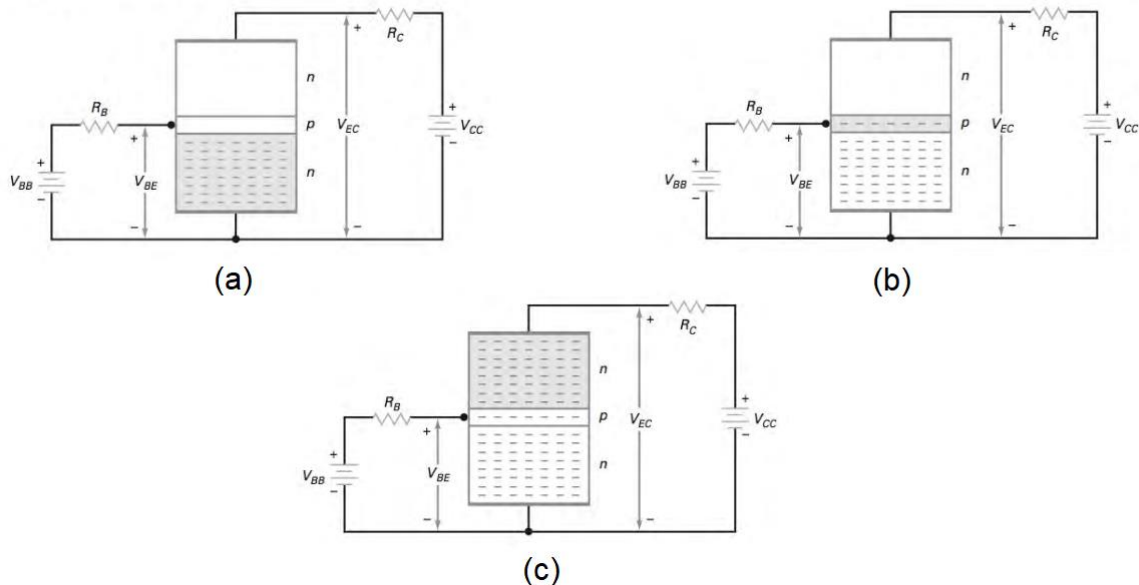
Possivelmente uma das maiores invenções da ciência moderna surgiu através de William Shockley em 1951, com a criação do Transistor de Junção. A invenção do transistor revolucionou os circuitos eletrônicos, substituindo as válvulas, os

transistores possibilitaram a redução de preços e nas dimensões dos circuitos, a melhora na eficiência energética dos sistemas e foram primordiais no avanço tecnológico dos anos posteriores.

Um transistor, em uma definição básica, é caracterizado por um componente semiconductor de três terminais, capaz de realizar chaveamento ou amplificação de sinais. Esses terminais são denominados por: coletor (C), emissor (E) e base (B), onde cada um é conectado a uma região de silício dopada. Sua constituição se dá pela adição de impurezas no Silício. O Silício puro possui quatro átomos em sua camada de valência, e no cristal de puro silício não há lacunas ou átomos livres suficientes que permitam que ele se comporte como um condutor, sendo assim um isolante na temperatura ambiente. Porém, com a adição de outros elementos químicos, chamados de impurezas, são originadas lacunas ou adicionados elétrons livres, alterando a capacidade de condução do material, classificando-o como um semiconductor extrínseco. Para aumentar a quantidade de elétrons livres, criando regiões  $n$ , átomos pentavalentes caracterizam a impureza a ser adicionada ao silício, enquanto para que seja aumentada a quantidade de lacunas, criando regiões  $p$ , átomos trivalentes são usados na dopagem (CALLISTER, 2006). Os pentavalentes são os elementos com cinco elétrons na camada de valência, como o fósforo, enquanto os trivalentes possuem três, como o boro.

Com as regiões dopadas distribuídas, o princípio básico de um transistor consiste em aplicar diferença de potencial na base e gerar o deslocamento de elétrons livres, atraindo-os ou repelindo-os, com o intuito de criar um canal de condução interligando os terminais coletor e emissor. A Figura 1 retrata três momentos da transição de um transistor NPN.

Figura 1 – Operação de transistor NPN em três estágios.



Fonte: adaptado de Malvino (2007, p. 191).

Em um primeiro momento, a base não está polarizada, e o fluxo de elétrons não ocorre pois não há um canal de condução que faça os elétrons livres no emissor ultrapassarem a barreira de depleção. Em (b), a base é polarizada e os elétrons livres passam a ser injetados do emissor para a base e partir disso é que o fluxo de elétrons começa a percorrer o transistor e tem como saída o canal de coletor. Praticamente todos os elétrons seguem o fluxo através do coletor pois a base é fracamente dopada e muito estreita (MALVINO, 2007).

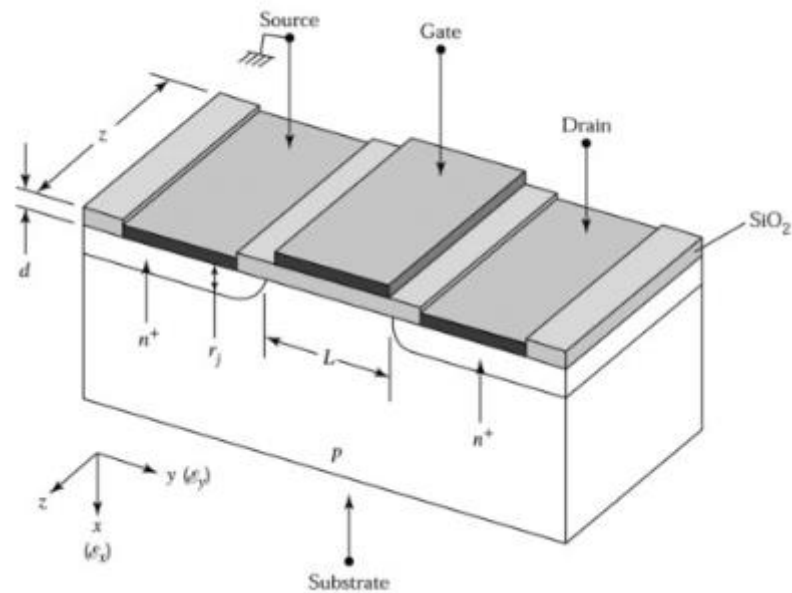
### 2.3.1 MOSFET

O *Metal Oxide Semiconductor Field Effect Transistor* (MOSFET) é um transistor unipolar caracterizado pelos terminais de fonte, porta e dreno, tendo como fator mais relevante o isolamento da porta para o canal, com a presença de uma camada de polissilício e uma fina camada isolante de dióxido de silício ( $SiO_2$ ), permitindo a polarização com uma corrente ainda mais baixa do que a de outros modelos de transistores. O corpo do transistor também possui um terminal, chamado de corpo, que pode ser polarizado de acordo com a aplicação no circuito. Em geral, os MOSFET modernos utilizam a camada de polissilício na porta, mas o termo “metal” caracterizava o alumínio utilizado como material condutivo da porta. Apesar da ideia

de o MOSFET ter surgido na década de 30, inclusive antes do transistor bipolar, a aplicação prática da tecnologia só foi viável nos anos 60 (RAZAVI, 2013).

A operação do MOSFET pode ser compreendida com a visualização de um capacitor MOS e duas junções *pn* adjacentes ao capacitor (SZE, 2006). Na Figura 2 um transistor MOSFET é apresentado, onde é possível perceber a presença do  $\text{SiO}_2$  abaixo do terminal da porta, onde a camada de polisilício é depositada e será polarizada para gerar o canal de condução.

Figura 2 – Transistor MOSFET.



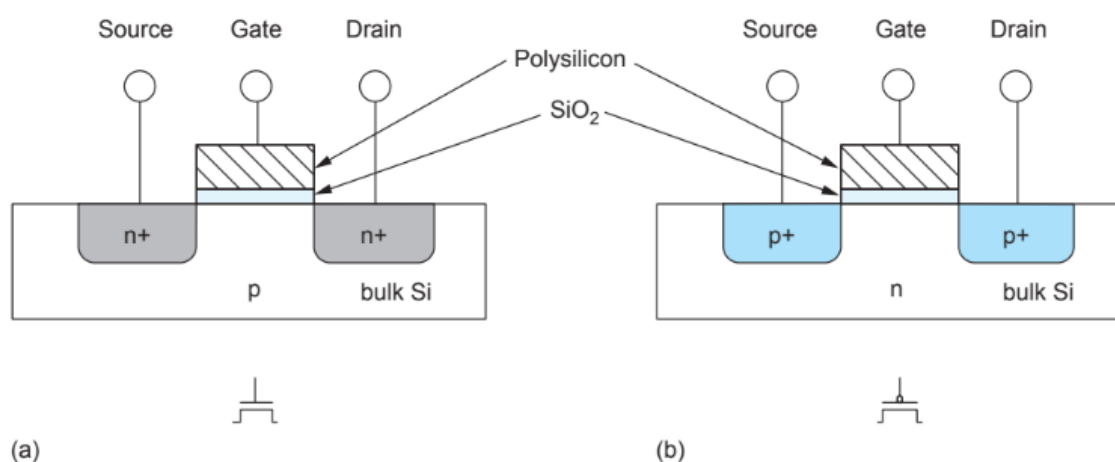
Fonte: SZE (2006, p. 181).

Quando uma tensão suficientemente alta é aplicada à porta, os elétrons livres presentes na região *p* do transistor, que está diretamente ligado ao terminal de corpo, são atraídos para a porta, ficando acumulados na região entre os substratos tipo *n*. Esse acúmulo de elétrons cria um canal de condução para o fluxo de corrente entre os terminais de fonte e dreno, definindo seu sentido apenas pela diferença de potencial entre os dois terminais. Essa formação do canal também chamada de inversão, pois o acúmulo de portadores minoritários fará com que o substrato tenha a polaridade invertida.

### 2.3.2 CMOS

Na metade da década 60 surge a tecnologia CMOS, com uma rápida e ampla aceitação dentro do mercado de semicondutores, principalmente pela miniaturização de circuitos e o baixo consumo obtido com poucos dispositivos (RAZAVI, 2013). Praticamente todos os atuais circuitos eletrônicos de alta tecnologia utilizam os transistores com tecnologia CMOS, como chips de memória, microprocessadores ou sensores, devido ao avanço constante dessa tecnologia e aos benefícios de redução de potência e ruído.

Figura 3 – Transistor nMOS (a) e pMOS(b).



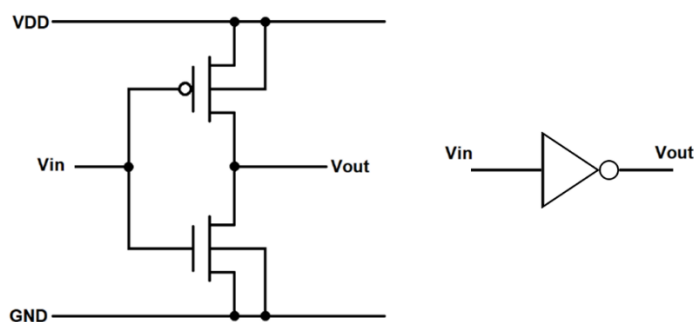
Fonte: Weste e Harris (2005, p. 7).

A lógica CMOS é caracterizada pelo par de transistores MOSFET de canal  $p$  e  $n$ , ilustrados na Figura 3, utilizando-se do fato de que as tensões de operação são opostas, mas similares, facilitando composições de circuitos.

#### 2.3.2.1 Inversor CMOS

A aplicação mais comum de transistores CMOS, o inversor, tem sua representação em esquemático ilustrada na Figura 4. As portas dos dois transistores são conectadas, fazendo com que o nível do sinal de entrada ative ou desative cada um dos transistores.

Figura 4 – Esquemático e símbolo para o Inversor CMOS.



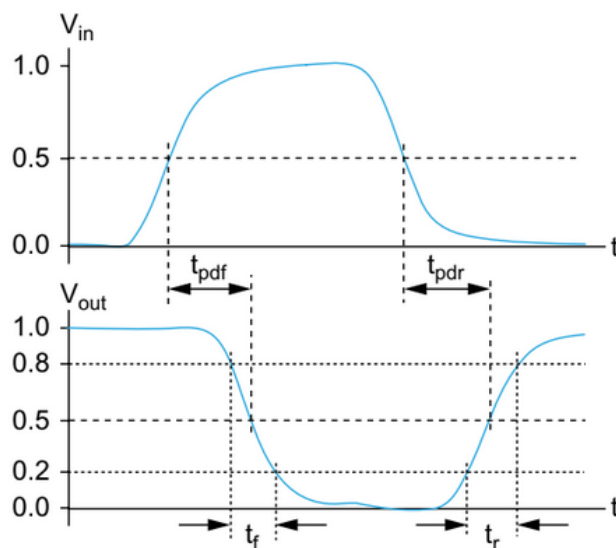
Fonte: Elaborado pelo autor (2023).

Em uma definição simplificada, uma tensão  $V_{in}$  maior do que zero aciona a porta do transistor nMOS e deixa o pMOS em aberto, enquanto uma tensão igual a zero irá polarizar o pMOS e abrir o nMOS. A tensão de saída  $V_{out}$  será definida em estado alto quando o pMOS estiver acionado, já que o transistor fechado forma um caminho direto entre a carga e a fonte de alimentação, e em nível baixo quando o nMOS estiver acionando formando um caminho direto para  $GND$ , operando assim como inversor da tensão de entrada na porta do inversor. O terminal de corpo é conectado diretamente ao referencial negativo, ou zero,  $GND$ , no nMOS, e à tensão de alimentação  $V_{DD}$ , no pMOS, de forma a facilitar as tensões de polarização da porta e evitar efeitos de corpo. O ponto de transição do sinal de entrada depende diretamente da tensão de limiar do transistor, que define o valor mínimo de tensão na porta do transistor para que haja condução de corrente efetiva entre os terminais de dreno e fonte.

### 2.3.3 Delay

A transição de nível entre os sinais de entrada e saída de um circuito CMOS geralmente apresenta valores temporais muito baixos. Porém, tratando-se de aplicações com alta frequência, como os sistemas IoT, os atrasos (*delays*) na propagação de sinal se tornam elementos cruciais no dimensionamento do circuito, assim como os efeitos de parasitas de *layout* que incrementam esses atrasos. O Gráfico 2 apresenta os sinais de entrada e saída de um inversor, destacando os principais períodos de atrasos de um sinal, sendo:

Gráfico 2 – Atraso de propagação e tempos de subida e descida



Fonte: Weste e Harris (2005, p. 142).

- a) Atraso de propagação  $t_{pd}$ : compreendido entre o momento em que o sinal cruza metade de seu valor máximo na entrada e na saída. O atraso de propagação é usualmente o valor mais relevante e por muitas vezes chamado de *delay* do circuito. Quando há uma transição de sinal alto na entrada, o período entre o cruzamento de 50% do sinal de entrada até a transição de nível baixo na saída é chamado atraso de propagação de descida ( $t_{pdf}$ ), enquanto a transição de entrada para nível baixo e saída para nível alto é chamado Atraso de propagação de subida ( $t_{pdr}$ ). Por diferenças do circuito, de dimensionamento ou efeitos de fabricação, os atrasos de subida e descida tendem a ter diferenças e o objetivo do projetista é minimizá-las.
- b) Atraso de descida  $t_f$ : período que um sinal precisa para reduzir sua amplitude de 80 até 20%.
- c) Atraso de subida  $t_r$ : período que um sinal precisa para reduzir sua amplitude de 80 até 20%.

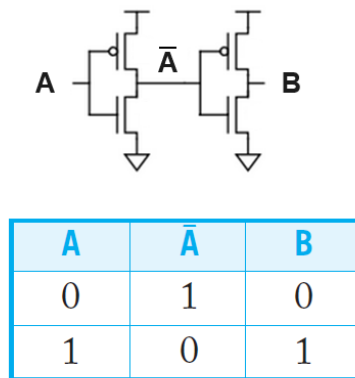
### 2.3.4 Elementos de *Delay*

Um atraso de propagação de um sinal pode ser considerado um ponto negativo quando um sistema necessita de alta resolução e qualquer melhoria no tempo de

resposta apresenta um circuito mais eficiente. Porém, diversas aplicações necessitam de blocos de circuitos que tem como objetivo injetar um atraso específico em um sinal, como cascatas de elementos de *delay*, que podem ser utilizadas para amostragem de sinais, medições e comparações de amplitude.

Um elemento de *delay* básico na tecnologia CMOS é obtido com a associação de dois inversores em cascata, conforme Figura 5, formando assim um circuito que recebe um sinal de entrada  $V_{IN}$ , inverte esse sinal com um atraso de propagação do primeiro inversor e aplica esse sinal diretamente à entrada de um segundo inversor, que apresenta na saída  $V_{OUT}$  o mesmo nível alto ou baixo de  $V_{IN}$  com um outro atraso de propagação definido pelas características de dimensionamento e alimentação dos transistores dos dois inversores.

Figura 5 – Princípio da célula de *delay* com dois inversores.



Fonte: Adaptado de Weste e Harris (2005, p. 144).

A tabela verdade presente na Figura 5 também demonstra a operação da célula de atraso, considerando o nível de sinal de entrada igual ao nível de saída, porém sem considerar o atraso de propagação nessas transições internas.

### 2.3.5 Tensão de Limiar $V_{TH}$

O valor mínimo de tensão de polarização aplicado à base do transistor que permite o fluxo de elétrons entre os terminais de dreno e fonte. Esse valor é definido pelos materiais semicondutores e dopantes que compõem o transistor, seu comprimento e largura de canal e por isso é específico para cada transistor.



Observando o comportamento de polarização do MOSFET, conforme a tensão  $V_G$  aumenta as cargas negativas são atraídas em direção à porta, gerando uma região de depleção em decorrência da repulsão das “lacunas” e um acúmulo de elétrons livres, que cresce conforme o nível de polarização. Os elétrons alocados ficam posicionados entre fonte e dreno do MOSFET, criando assim um canal de condução de portadoras livres. O valor de  $V_G$  que atinge essa condução em região de operação de inversão forte é denominado  $V_{TH}$ .

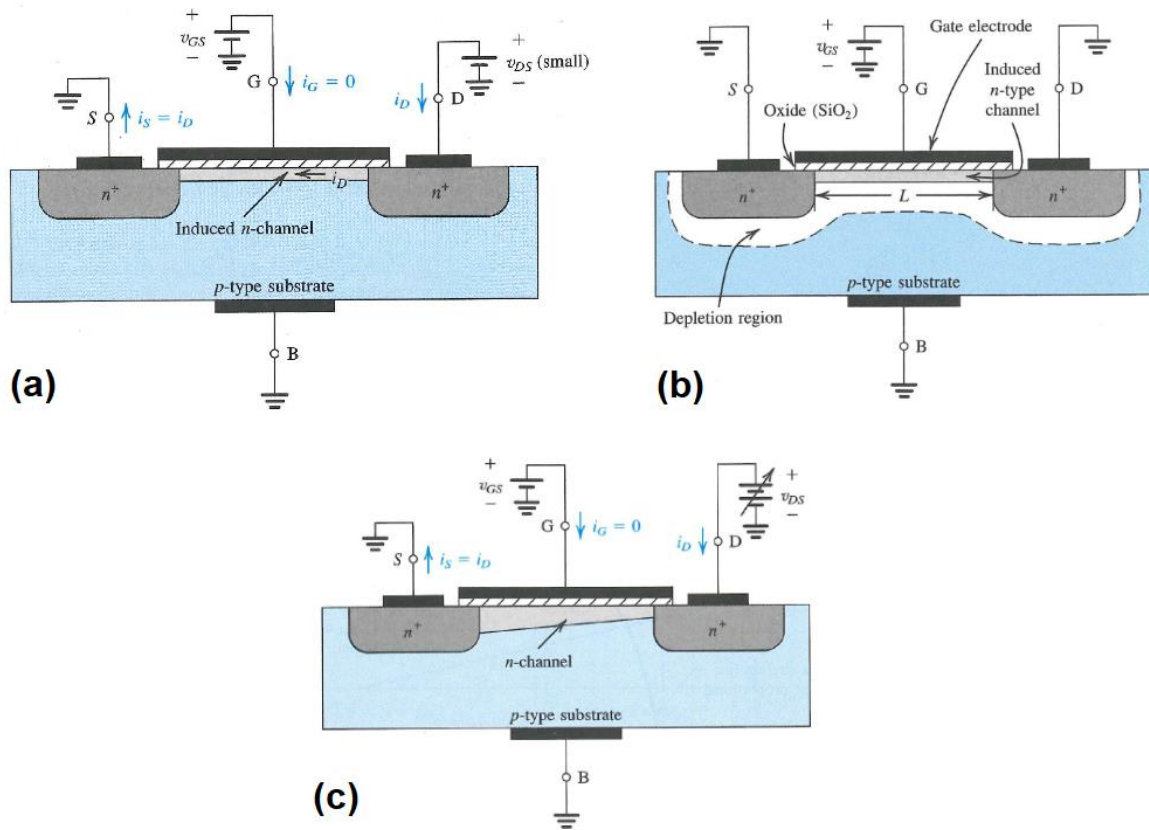
### 2.3.6 Regiões de operação

O MOSFET pode operar, conforme Figura 6, em três regiões básicas: região linear, de corte ou saturação. A região de corte é caracterizada pelas correntes nulas, na prática aproximadamente nulas, e o transistor visualizado como uma chave aberta. Essa região ocorre enquanto a tensão de polarização  $V_{GS}$  estiver tão abaixo de  $V_{TH}$ , com uma polarização baixa de  $V_{DS}$ , que não é capaz de gerar fluxo de corrente no transistor.

A região de saturação é onde o transistor está acionado de forma efetiva permitindo um fluxo alto de corrente entre dreno e fonte. Essa região é atingida quando a polarização na base do transistor é suficientemente alta, sendo  $V_{GS} > V_{TH}$  e  $V_{DS} > V_{GS} - V_{TH}$ . O fato do nível de tensão  $V_{DS}$  ser maior do que a tensão de polarização da porta, gera um efeito de “estrangulamento” no canal chamado “*pinch-off*”. Com esse efeito, a corrente de dreno se torna dependente principalmente da tensão da porta, e não da tensão  $V_{DS}$ .

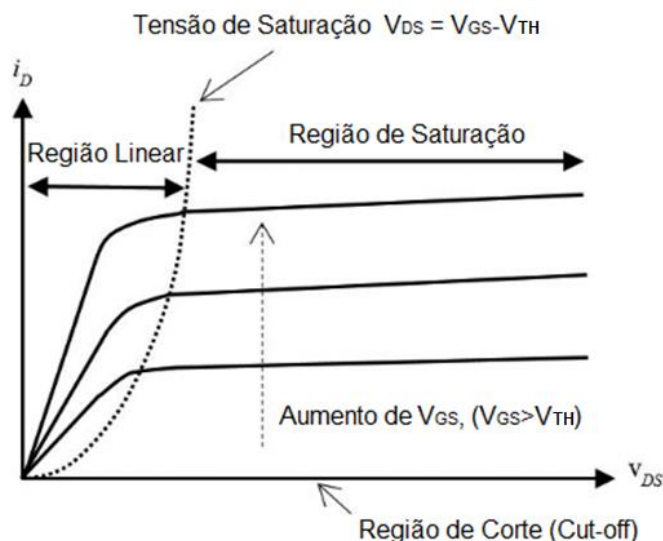
A região linear, por sua vez, se caracteriza pelo estágio de amplificação do transistor. Nessa região a tensão  $V_{GS}$  é maior do que a tensão de limiar, mas  $V_{DS} < V_{GS} - V_{TH}$ . Pode-se visualizar o MOSFET como um resistor, controlado pela tensão de polarização na porta.

Figura 6 – Transistor nMOS nas regiões linear (a), corte (b) e saturação (c).



Fonte: Adaptado de Sedra (2004, p. 239).

Com essas regiões de operação estabelecidas, é possível relacionar as regiões de inversão denominadas Inversão Forte, Inversão Fraca e Inversão Moderada. Conforme Martegani (2011). As regiões de operação, através da curva característica de  $I_D$  em relação a  $V_{DS}$ , podem ser observadas no Gráfico 3.

Gráfico 3 – Variação de  $I_D$  em relação a  $V_{DS}$  e regiões de operação.

Fonte: Adaptado de Zaidi (2018, p.117).

A inversão forte é caracterizada quando a tensão  $V_{GS}$  está acima de 100 mV de  $V_{TH}$ , com o canal de inversão estabelecido. A inversão fraca apresenta uma relação exponencial entre a corrente  $I_D$  e a tensão  $V_{GS}$ , que está polarizada em baixos valores. A Inversão moderada ocorre quando a tensão  $V_{GS}$  está próxima da tensão de limiar  $V_{TH}$ , tendo uma resposta de condução entre as duas regiões anteriores.

### 2.3.7 Flip-flop

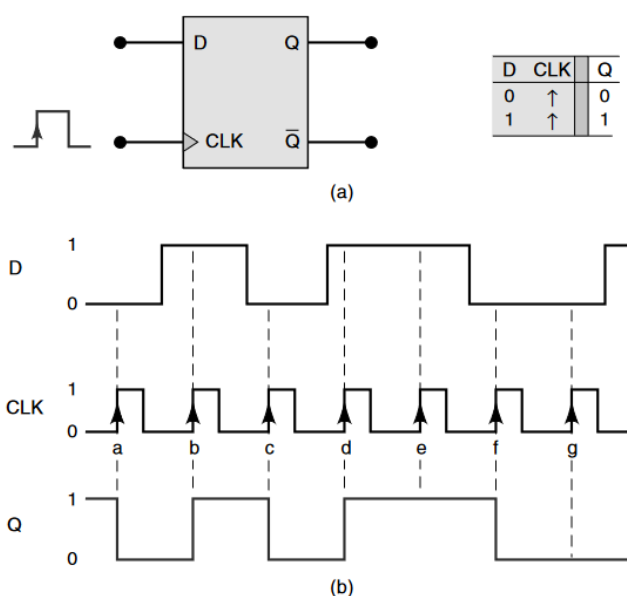
O flip-flop é um circuito convencional de memória dentro da eletrônica digital, estando presente em elementos básicos como contadores e registradores. Este circuito é um dispositivo biestável capaz de armazenar um estado de saída, enquanto houver alimentação, e alterá-lo apenas nos intervalos de pulsos de seu *clock*. Ele consiste em um bloco que opera em um sinal de *clock* gerando sinais de saída de acordo com um ou mais sinais de entrada e seu foco principal é entregar um sinal de estável, armazenando níveis lógicos de acordo com os níveis de entrada no momento de transição do *clock*.

O flip-flop possui diferentes topologias, que variam a tabela verdade do circuito, o número de sinais de entrada, se o acionamento do *clock* é definido por rampa de subida ou descida, entre outros. Exemplos de modelos convencionais empregados de flip-flop são o tipo D, o JK, o SR e o T.

### 2.3.8.1 Flip-flop Tipo D

O flip-flop tipo D apresenta um modelo simples de aplicação, alterando o seu estado de saída para o mesmo nível do sinal de entrada no momento da rampa de subida do pulso de *clock*. A Figura 7 ilustra em (a) o símbolo padrão, assim como a tabela verdade do circuito, e as formas de onda em (b), sendo *D* a porta de entrada do sinal, *CLK* o *clock* de operação, *Q* a porta de saída, e  $\bar{Q}$  a saída com estado invertido.

Figura 7 – Flip-flop D com disparo em borda de subida. (a) Símbolo e tabela verdade, (b) formas de onda.

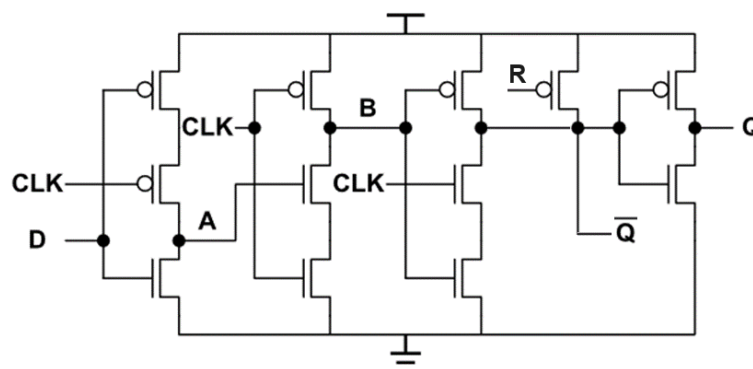


Fonte: Tocci (2016, p. 193).

Uma das constituições de flip-flops D possíveis utilizando transistores CMOS se baseia na tecnologia TSPC (YUAN, 1989) e seu modelo esquemático pode ser verificado na Figura 8. Nesse circuito, pode-se observar o pino de reset *R* sendo ligado diretamente a base de um transistor pMOS responsável por polarizar o último inversor do circuito. Logo, ao aplicar um sinal 0 em *R*, o transistor é polarizado, o nível de  $\bar{Q}$  se torna 1 e o transistor nMOS é polarizado levando *Q* à 0. O acionamento padrão do último inversor é definido, quando o sinal de *R* está em 0, pela polarização dos blocos anteriores, constituídos por inversores que são habilitados pelas bordas de subida e descida do *clock*. O tempo de carga e descarga das capacitâncias desses transistores

é responsável por manter o estado da saída no nível correto e apenas alterar o seu estado de acordo com a rampa de subida do sinal de *clock*.

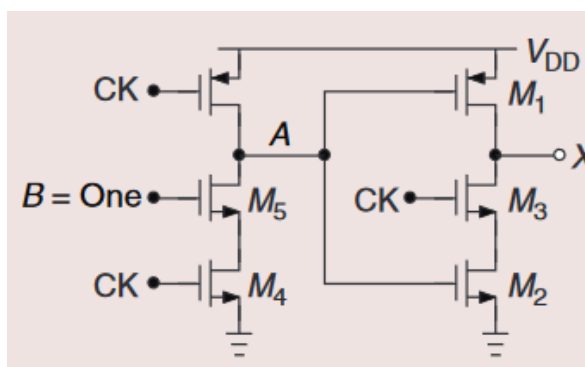
Figura 8 – Flip-flop TSPC convencional.



Fonte: Adaptado de Lee (2012, p. 1808).

Conforme Razavi (2016), para reduzir efeitos de transição, gerados pelas descargas dos transistores quando são polarizados e despolarizados nesse circuito, é possível dimensionar os transistores nMOS dos dois ramos centrais com uma pequena diferença. Com base na Figura 9, os transistores M4 e M5 devem ser dimensionados com comprimentos menores enquanto M2 e M3 com valores maiores.

Figura 9 – Ramos centrais do Flip-flop D TSPC.



Fonte: Razavi (2016, p. 12).

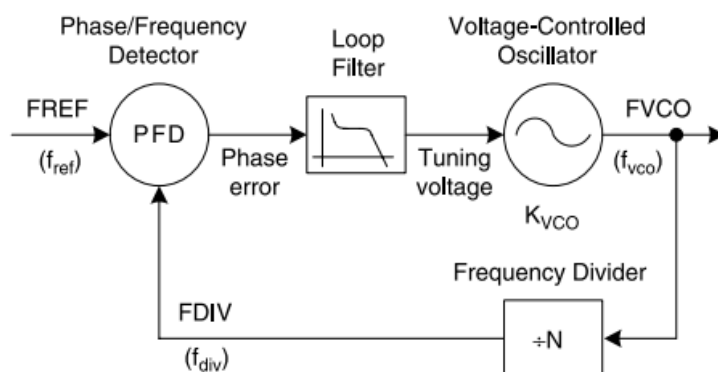
## 2.4 PHASE-LOCKED LOOP

O PLL é um circuito de autocorreção, onde um sinal de saída constantemente é ajustado através da comparação com um sinal de referência. Um PLL base tem em seu diagrama de blocos, um Detector de fase, um filtro para ruídos e um oscilador

controlado por tensão. O objetivo geral do sistema é eliminar a diferença de fase entre o clock de referência e o *clock* do sinal de saída através de uma malha fechada.

Esse modelo de circuito de sincronismo é amplamente utilizado em *System on Chip* (SoC), circuitos de *Data Recovery*, distribuição de *clock*, entre outros (ZAZZERA, 2012).

Figura 10 – Diagrama de blocos de um PLL sintetizador de frequência.



Fonte: Staszewski (2006, p. 8).

Outra aplicação comum do PLL é a geração de um sinal de alta frequência que seja múltiplo do *clock* de referência, um sintetizador de frequência, conforme modelo da Figura 10. Seu sistema de operação mantém a mesma estrutura, com a adição de um bloco de divisão de frequência na linha de realimentação entre o oscilador e o detector de fase.

#### 2.4.1 Phase-Frequency Detector

Bloco onde o sinal de referência, que tem como origem um oscilador de alta estabilidade, usualmente um oscilador a cristal, tem sua fase e sua frequência comparadas com a do *clock* gerado na saída do Oscilador Controlado por Tensão (do inglês, VCO). O *Phase-Frequency Detector* (PFD) apresenta uma saída linear de acordo com a diferença de fase encontrada, sendo essencial para a entrada do VCO, já que o oscilador entrega a frequência de saída de acordo com a tensão de entrada do circuito.

Em um PFD básico, dois sinais de entrada são aplicados ao circuito: o sinal de referência e o *feedback*. A referência é definida por um sinal de *clock* estável enquanto

o *feedback* é um sinal originado dessa referência, mas que necessita de ajuste em comparação à referência, e por isso os dois sinais serão mensurados e comparados.

A diferença de fase entre os sinais é medida com elementos de amostragem, como flip-flops ou contadores, e posteriormente convertida em um sinal de erro, proporcional à direção e desvio de fase.

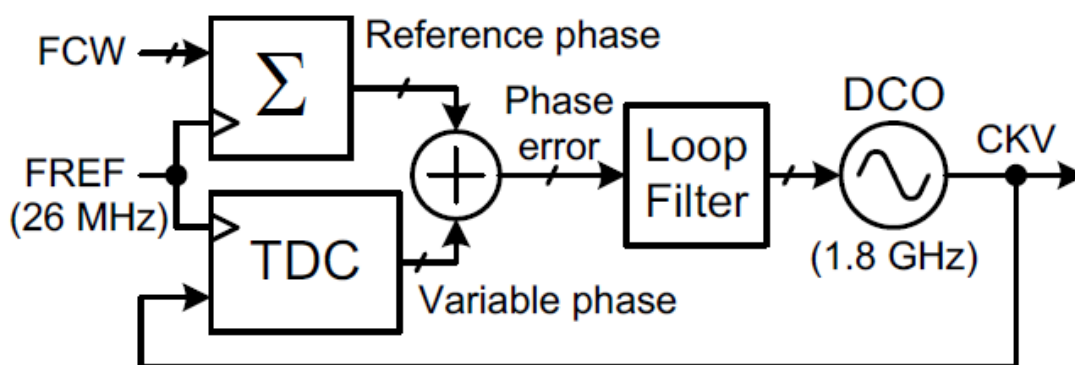
A detecção de frequência considera o número de transições de borda dos sinais de entrada durante um determinado período para realizar a comparação de frequência entre eles, apresentando então uma saída proporcional ao erro encontrado. Essa ideia é replicada para os modelos de TDC.

## 2.5 ALL-DIGITAL PLL

O ADPLL pode ser compreendido como a evolução dos circuitos PLL, já que sua principal característica está na presença de blocos digitais que permitiram uma maior capacidade de programação, auto calibração, redução de área e fácil portabilidade (SOUZA, 2020).

Um ADPLL é composto de três blocos digitais principais: o Detector de Fase, usualmente um circuito TDC, o Filtro de *Loop* e o DCO, um VCO digital. Para entender a operação do ADPLL com base no diagrama da Figura 11, o sinal de referência opera como entrada do circuito detector de fase junto a uma saída digital controlada do DCO.

Figura 11 – Diagrama de blocos do ADPLL.



Fonte: Staszewski (2020, p. 20).

A saída digital, com base no erro mensurado pelo detector de fase, é filtrada, buscando eliminar ruídos e espúrios indesejados, pelo filtro digital e a saída ajustada é apresentada em  $V_f$ . Com o sinal  $V_f$  conectado à entrada do DCO, a frequência de

saída do circuito é ajustada automaticamente, e a realimentação da saída do DCO ao TDC continua o ciclo.

## 2.6 TIME-TO-DIGITAL CONVERTER

TDC é um circuito digital capaz de converter a diferença temporal entre dois sinais em uma palavra digital de saída. Além da aplicação em ADPLL, o TDC possui implementações em sistemas de imagem biomédicos como Tomografia por emissão de pósitrons (do inglês, PET), medições de tempo de voo (do inglês, TOF), detector de partículas de alta energia, telêmetro SPAD, entre outros (TANCOCK, 2019).

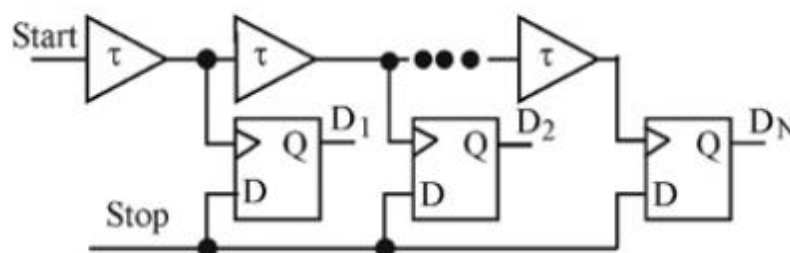
No ADPLL, a introdução do TDC se dá como o circuito responsável por mensurar o erro entre a frequência de referência e o sinal de *clock* gerado na saída, substituindo os comparadores de fase analógicos presentes nos circuitos PLL.

### 2.6.1 Princípio de funcionamento

O TDC tem como base de operação a aplicação de blocos de *delay*, responsáveis por propagar dois sinais em uma cadeia de elementos de *delay* e mensurar, através da detecção de eventos de bordas de *clock*, o erro entre os dois sinais.

Na Figura 12 um circuito básico de um *Flash* TDC, a arquitetura mais simples de TDC, é representado. Os sinais são descritos como “Start” e “Stop”, onde Start será propagado através de cada um dos elementos de *delay*, representados como inversores com período de *delay* pré-definido  $\tau$ , antes de ser conectado à cada uma das entradas de *clock* dos flip-flops.

Figura 12 – Arquitetura base de um Flash TDC.



Fonte: Yuan (2014, p. 3).



O sinal de Stop, no ADPLL a frequência ou *clock* de referência, é diretamente conectado à entrada  $D$ , e seu nível definirá a saída  $Q$  de cada flip-flop no momento de transição dado pela borda do sinal Start com delay  $\tau$ .

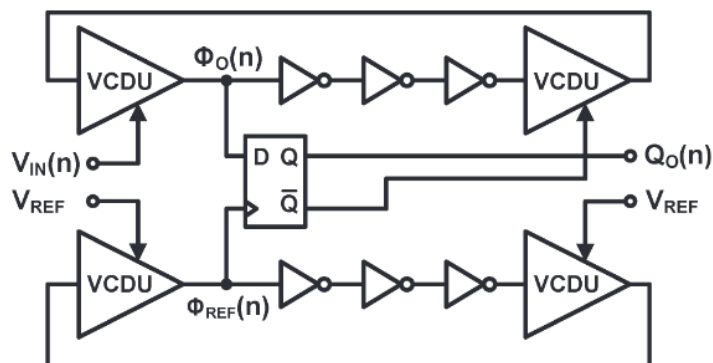
## 2.6.2 Arquiteturas de Circuitos TDC

A seguir, são listados alguns dentre os modelos de arquitetura mais usuais para circuitos TDC, com um resumo sobre suas topologias e uma comparação entre os modelos.

### 2.6.2.1 Delta Sigma TDC

Um Delta Sigma TDC ( $\Delta\Sigma$ -TDC) utiliza técnicas de modulação Delta-Sigma e a operação de um TDC para realizar a medição dos tempos entre sinais de interesse. O sinal é convertido com uma alta amostragem e comparado com uma rampa analógica, e a diferença é quantizada e codificada em um formato digital. Após, para diminuir a taxa de amostragem, é aplicado um processo de decimação, que reduz a quantidade de dados, mas busca manter a informação essencial sobre o intervalo de tempo. Roberts (2010) apresenta um modelo de modulador  $\Delta\Sigma$  de bit simples na Figura 13, que pode ser adaptado para aplicação com TDC. Nesse exemplo, destacam-se a presença de quatro blocos de unidades de *delay* controlados por tensão, um flip-flop D e o integrador com entrada dupla da tensão de referência  $V_{REF}$ .

Figura 13 – Modulador  $\Delta\Sigma$  de primeira ordem single bit.



Fonte: Roberts (2010, p. 155).

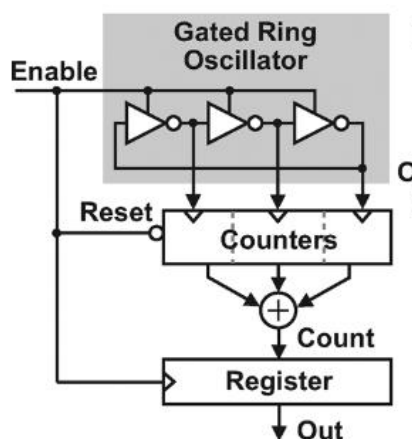
As principais vantagens dessa topologia envolvem a altíssima resolução, obtendo faixas de picosegundos e atingindo femtossegundos em alguns modelos, e uma boa imunidade a ruídos. Outro ponto a destacar é que esse modelo de TDC não requer componentes analógicos como comparadores de alta velocidade ou amplificadores de ganho fixo.

Por outro lado, essa topologia requer um alto processamento digital, com uma taxa de amostragem elevada e pode apresentar limitação na velocidade de medição, em comparação com outros modelos.

#### 2.6.2.2 Gated Ring Oscillator Based TDC

Essa topologia adiciona um oscilador anelar (*Ring Oscillator*) com portas lógicas controladas na estrutura de medição de tempo do TDC. Através de um sinal de oscilação gerado no anel de portas lógicas, o oscilador opera em uma frequência estável pré-determinada e os sinais de entrada são utilizadas para controlar o estados dos *gates* no anel de osciladores. Ao detectar o sinal Start, um *gate* abre e faz a passagem do sinal oscilador. Ao detectar o sinal Stop, outro *gate* é aberto interrompendo o sinal de oscilação, interrompendo o ciclo de contagem que determinará o intervalo de tempo entre os sinais de acordo com o número de oscilações ocorridas. A contagem de oscilações se dá geralmente, assim como em outras topologias, por contadores binários ou outros métodos simples de contagem. A Figura 14 mostra um modelo base de um TDC com a aplicação de um oscilador a anel.

Figura 14 – Esquema básico de um TDC com Oscilador em Anel.



O *Gated Ring Oscillator* TDC tem uma alta resolução temporal, na faixa de picosegundos, e tem fácil implementação em CI's. Porém, assim como diversos circuitos oscilatórios, possui sensibilidade a variações de temperatura, ruídos e distorções, além de dificuldades de linearidade em comparação com outros modelos.

#### 2.6.2.3 Stochastic TDC

O TDC Estocástico é um modelo que mede intervalos de tempo com alta precisão através de técnicas estocásticas, que na área da probabilidade tem por base a utilização de eventos aleatórios para determinar estados. No TDC, a operação de medição de tempo envolve pulsos ou eventos aleatórios, gerados comumente por fontes de ruídos ou geradores pseudoaleatórios. O intervalo de tempo é então comparado com esses pulsos ou eventos aleatórios e através de avaliações estatísticas, com uso de correlação ou estimação de máxima verossimilhança, a diferença de tempo é estimada.

Entre os pontos mais relevantes, o TDC estocástico possui uma alta resolução, sendo capaz de alcançar resolução subpicosegundo, são mais resistentes a erros sistemáticos e não-linearidades. Por outro lado, exigem altos recursos computacionais e algoritmos de processamento complexos, além de estarem suscetíveis incertezas na medição em decorrência de fontes de ruído e *jitter*.

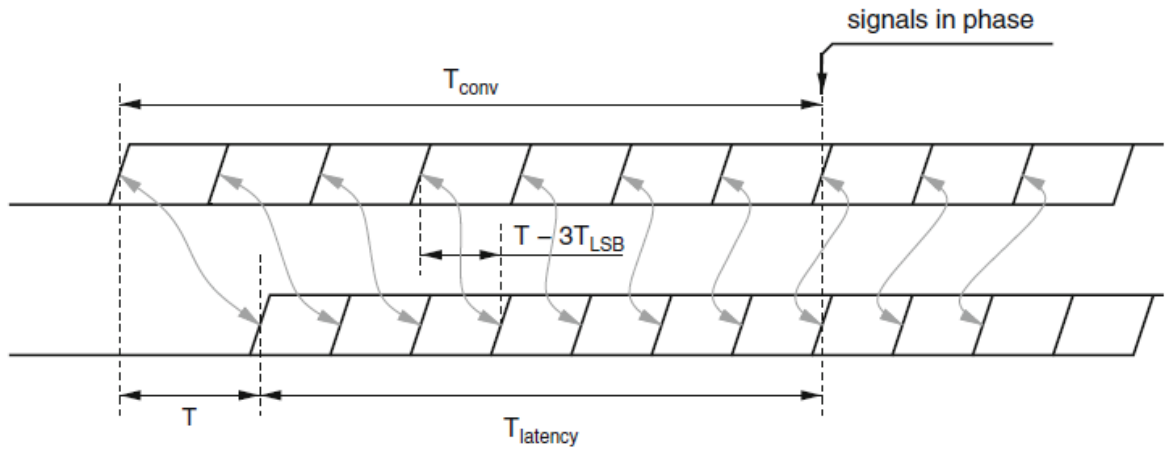
#### 2.6.2.4 Vernier TDC

Nessa arquitetura, o princípio básico de operação está em determinar a resolução de tempo através da diferença medida na propagação de sinais entre duas cadeias de *delay*. No ADPLL, o sinal de Start é propagado por um *buffer* de *delay* enquanto o sinal Stop é propagado pelo outro, sendo que a cada estágio de *delay* a diferença de tempo entre os sinais é reduzida pela diferença entre os dois, o que gera a resolução  $T_{LSB}$  do TDC: .

$$T_{LSB} = t_1 - t_2 \quad (1)$$

Onde  $t_1$  é o atraso de propagação do elemento de *delay* da linha de maior atraso e  $t_2$  é o atraso de propagação da segunda linha. Essa relação de sinais pode ser visualizada na Figura 15.

Figura 15 – Princípio de operação da linha de *delay* Vernier.

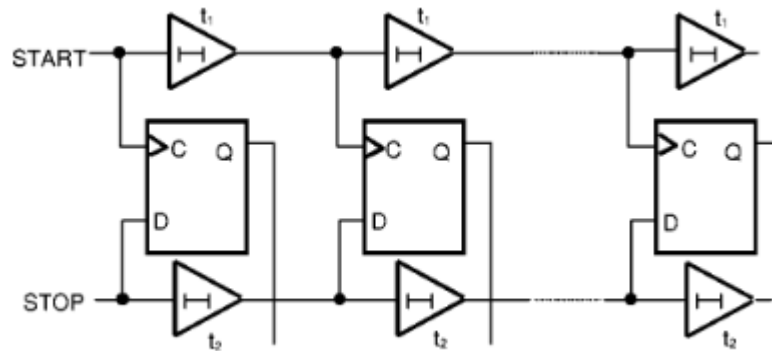


Fonte: Henzler (2010, p. 75).

O número máximo de estágios  $N$  depende da resolução obtida com a diferença de atrasos e do intervalo máximo de medição  $T_{max}$  que será utilizado, geralmente definido pelo período da onda do sinal de entrada:

$$N = \frac{T_{max}}{T_{LSB}} \quad (2)$$

Na Figura 16, uma linha de *delay* Vernier é ilustrada e é possível compreender que a diferença de fase será determinada pelas saídas dos flip-flops. Os sinais a cada estágio de *delay* são conectados aos flip-flops. Em um modelo de flip-flop D, por exemplo, a linha de *delay* do sinal Start é conectada à entrada  $D$ , enquanto a linha de *delay* de Stop é responsável pelo *clock*. A ideia do sistema é contar quantos flip-flops terão sua saída em nível alto '1' até que o atraso de Stop alcance o sinal de Start. A combinação de saídas conectada geralmente a um *encoder*, gera a palavra de saída (*output word*) que definirá o tempo mensurado. Em geral, as transições de nível dos flip-flops de cada estágio são definidas pelo sinal que primeiramente está em nível alto.

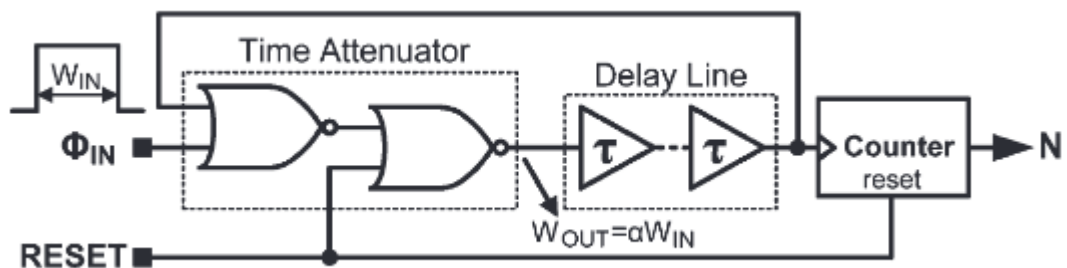
Figura 16 – Linha de *Delay* Vernier.

Fonte: Dudek (2000, p. 241).

Com essa arquitetura, é possível obter uma alta capacidade de resolução, mas limitada por erros como descasamento de transistores, ruído ou o comprimento da linha de *delay*, além de cuidados com o número de elementos de *delay* e a área efetiva que eles ocupam e por consequência a potência total dissipada pelo circuito.

#### 2.6.2.5 Cyclic Pulse-Shrinking TDC

Essa topologia se baseia na utilização de um atenuador temporal com realimentação após uma linha de *delay* e um contador, conforme diagrama de blocos na Figura 17. A operação consiste em propagar o pulso de sinal  $W_{in}$  através da realimentação com um fator que diminui constantemente o sinal. O contador é responsável por realizar a contagem das bordas de subida até que o pulso desapareça completamente. A cadeia de *delay* atrasa o pulso para garantir que o *delay* do *feedback* seja maior do que a do sinal original, fazendo o sistema operar com o pulso original no primeiro ciclo e depois com o sinal de *feedback* nos outros.

Figura 17 – Diagrama de blocos do TDC *Cyclic Pulse-Shrinking*.

Fonte: Roberts (2010, p. 157).

## 2.7 THERMOMETER CODE

*Thermometer code*, também chamado de *Unary Coding*, é uma forma de codificação de níveis de saída implementada em circuitos digitais. Ela apresenta uma forma simples de representação de saída, com uma sequência de zeros ou '1' sendo acionados conforme a representação desejada aumente. Diferentemente do código binário, que alterna o nível de cada bit de acordo com o aumento do nível a ser representado, nessa codificação os bits são alterados apenas uma vez e permanecem nesse estado conforme o nível aumenta. Conforme apresentado na Tabela 2, a conversão entre decimal e o *thermometer code* pode ser compreendida como a contagem de  $n$  bits em estado alto. Também é comum a representação alternativa do *thermometer code*, acionando níveis 0 ao aumentar a magnitude desejada em uma sequência estabelecida de  $n$  bits '1'.

Tabela 2 – Comparativo entre código decimal e *thermometer code*.

Decimal	Thermometer Code
0	000000
1	000001
2	000011
3	000111
4	001111
5	011111
6	111111

Fonte: Elaborado pelo autor (2023).

## 2.8 FIGURAS DE MÉRITO

Em decorrência da ampla gama de topologias, suas características de funcionamento, as variações de operações e classificações, muitas vezes é difícil realizar comparações diretas para avaliar a eficiência de cada sistema. Por isso, são utilizadas as Figuras de mérito, como parâmetros quantitativos para avaliar e comparar o desempenho de dispositivos. As Figuras de Mérito buscam apresentar uma medida clara para as qualidades de um sistema para uma finalidade específica.

São exemplos de Figuras de Mérito: ganho de tensão ou corrente, tempo de resposta, largura de banda, consumo, figura de ruído, SNR, entre outros.

Para este estudo, tendo em vista as dificuldades em comparar diferentes projetos com aplicações de diferentes topologias e arquiteturas, foram escolhidas duas avaliações importantes como figuras de mérito: a resolução final do sistema e a equação (3) proposta por Wang (2015), que reúne parâmetros de potência  $P$ , resolução  $T_{LSB}$ , frequência de entrada  $f_{inp}$ , e o tempo de medida total  $T_{range}$ .

$$FoM = \frac{P \cdot T_{LSB}}{f_{inp} \cdot T_{range}} \quad (3)$$

### 3. METODOLOGIA

Os tópicos seguintes apresentam a metodologia empregada no desenvolvimento do estudo. São detalhadas as etapas a serem desenvolvidas, as pesquisas e definições de circuito, dimensionamento, coleta de dados e análise de resultados. O cronograma proposto para as atividades é apresentado ao final.

#### 3.1 MÉTODO DE PESQUISA

O estudo desenvolvido tem como base os princípios abordados em uma pesquisa experimental, com um fluxo inicial de estudo e aprofundamento teórico para posterior análise simulacional e avaliação de resultados. O cronograma foi planejado e seguido de acordo com as etapas de pesquisa experimental do método científico (GERHARDT; SILVEIRA, 2009).

#### 3.2 DEFINIÇÃO DE TOPOLOGIA

A partir das definições e características levantadas sobre as diferentes topologias dos conversores e considerando os requisitos básicos estipulados inicialmente para o projeto, foi definida a melhor topologia para o intuito do circuito. As vantagens e desvantagens relevantes em cada modelo são especificadas no decorrer do capítulo 2 e foram consideradas como pontos principais para a definição de topologia.

#### 3.3 DIMENSIONAMENTO

Com base nas regiões de operação do transistor, do comportamento da corrente de dreno, e dos parâmetros do modelo da tecnologia, foram dimensionados os transistores CMOS do circuito através de análise simulacional dos parâmetros com variações paramétricas, visando utilizar uma ferramenta de alta performance para diferentes respostas. O projeto foi desenvolvido com *Process Design Kit* (PDK) da *foundry* TSMC de 65 nm utilizando o *software* Virtuoso Layout Suite da Cadence Design Systems.



### 3.4 LAYOUT

O layout do projeto foi desenvolvido buscando a maior redução possível de elementos parasitas e otimização de área no substrato, através das ferramentas de desenvolvimento de *layout* contidas no Virtuoso. Após o projeto do *layout*, os elementos parasitas da implementação físicas foram extraídos na ferramenta e implementados em nova análise simulacional para verificar os resultados finais estimados do circuito.

### 3.5 ANÁLISE SIMULACIONAL

Com as ferramentas de análise transiente do *software* Virtuoso foi realizado o projeto e dimensionamento de todos os blocos do circuito, a análise simulacional com testes operacionais e avaliação das curvas de resposta desejadas. Os valores teóricos e práticos foram avaliados de forma a evidenciar as interferências de layout no modelo proposto e os possíveis pontos de melhorias futuras.

### 3.6 ANÁLISE DE DADOS

A partir dos dados coletados nas simulações, a eficiência do sistema foi avaliada com a utilização de Figuras de Mérito e comparação com o estado da arte, levantando os parâmetros de operação e projetos que foram considerados relevantes para o estudo do circuito.

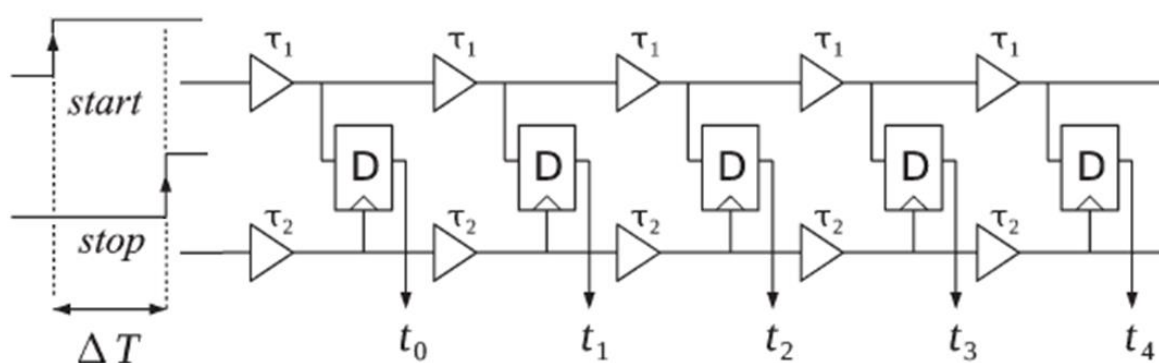
## 4. IMPLEMENTAÇÃO E RESULTADOS

Com a aplicação da metodologia elaborada no capítulo 3, o projeto do circuito foi realizado e os resultados foram obtidos através de simulações do esquemático e do *layout* desenvolvido com extração de parasitas.

### 4.1 CIRCUITO

Buscando obter uma baixa resolução para a utilização em um sistema ADPLL de 2,4 GHz, a arquitetura base do circuito definida foi a de um TDC Vernier, com arquitetura padrão apresentada na Figura 18. As linhas de atraso com *delays*  $\tau_1$  e  $\tau_2$  definem a resolução do circuito pela diferença de *delay* entre as duas cadeias de atraso, nesse projeto estimada entre 10 e 15 ps, apresentando uma resolução adequada para implementações com sistemas ADPLL.

Figura 18 – Arquitetura base de um TDC Vernier.



Fonte: Adaptado de Andersson (2014, p. 773).

A base do circuito TDC Vernier possui duas linhas de *delay*, com atrasos diferentes, e uma sequência de flip-flops conectados à cada etapa de atraso. A resolução do circuito será dada pela diferença entre os atrasos de cada linha, pois essas serão responsáveis por ativar, ou não ativar, cada saída do flip-flop gerando uma saída. Após o sinal Start alcançar o pulso do sinal Stop, a saída *Q* do flip-flop será '0', pois a linha Start está conectada diretamente ao *clock* do flip-flop enquanto a linha Stop está conectada a entrada *D*.

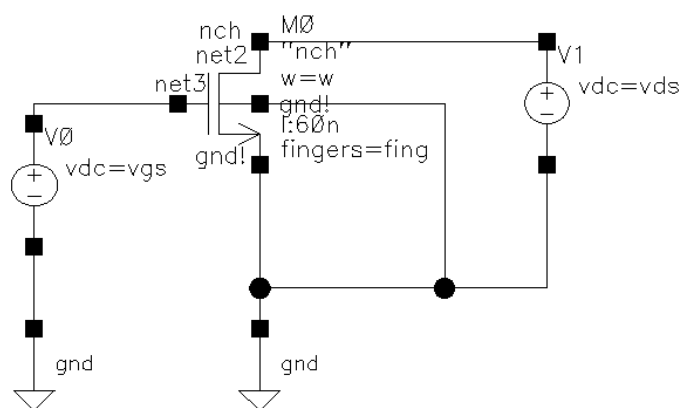
Para a aplicação desse circuito, os pontos de maior criticidade são reduzir o atraso de sinal em uma célula de *delay*, visando apresentar uma resposta ágil para o

bloco seguinte do ADPLL, utilizar baixos valores de dimensionamento para evitar alto consumo de potência e projetar uma segunda célula com a diferença de *delay* desejada. As células de *delay*, compostas de inversores CMOS, devem ser compactas para obter a menor área útil possível e buscar redução de parasitas para que o impacto nos atrasos de sinal seja mínimo, já que a cadeia de *delay* deverá obter baixa resolução e elementos suficientes para cobrir todo o período de análise do sinal. Os flip-flops foram projetados seguindo a topologia da tecnologia TSPC

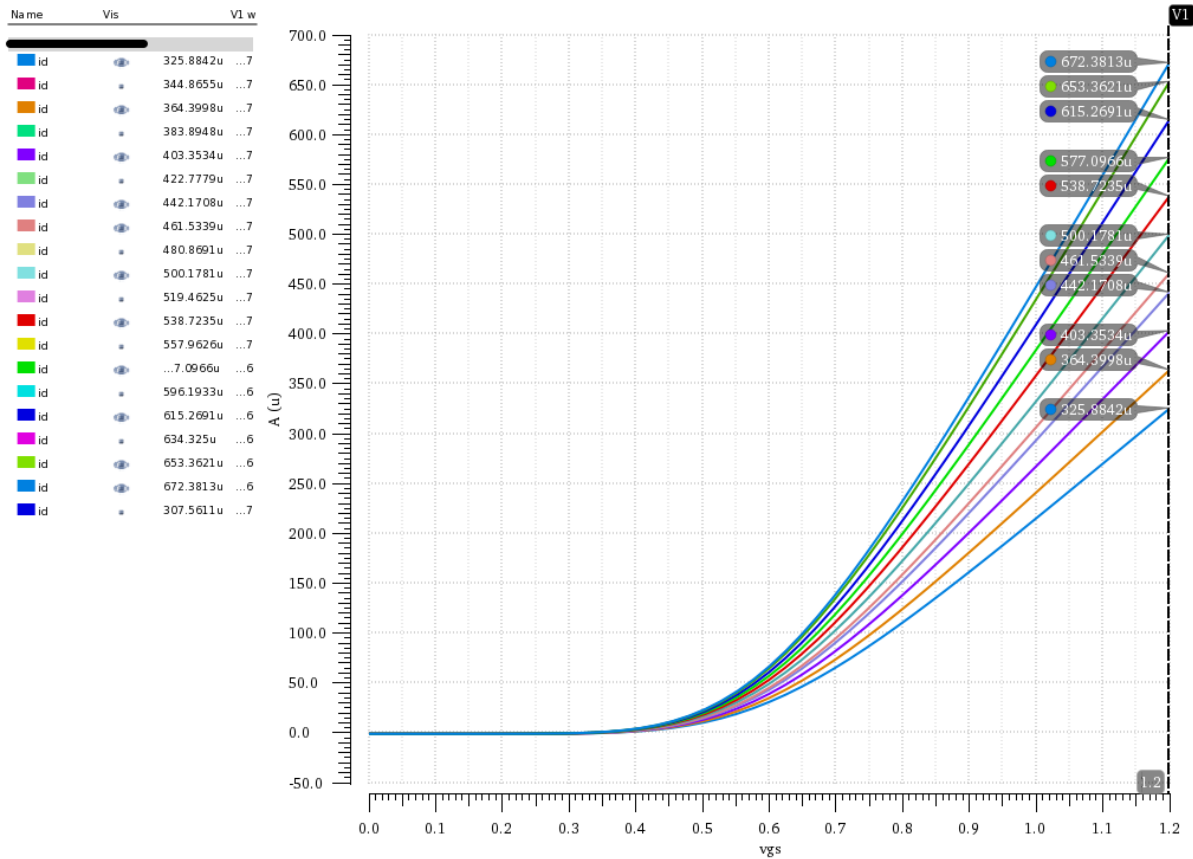
## 4.2 DIMENSIONAMENTO

Primeiramente foram obtidas as curvas de operação do transistor nMOS, com base na estrutura do inversor CMOS. Considerando os valores de polarização do inversor, para o nível alto de sinal na base, acionando o transistor nMOS e considerando uma fonte de alimentação  $V_{DD}$  de 1,2V, foram extraídos os valores de corrente  $I_D$  correspondentes para diferentes valores de largura de canal  $W$ , enquanto o comprimento  $L$  era mantido em 60 nm, o valor mínimo do pacote PDK da tecnologia. A Figura 19 demonstra o *testbench* realizado para a extração de parâmetros e o Gráfico apresenta as respostas de corrente  $I_D$  do transistor nMOS para diferentes níveis de polarização  $V_{GS}$ .

Figura 19 – Circuito de teste para extração dos parâmetros do transistor nMOS.



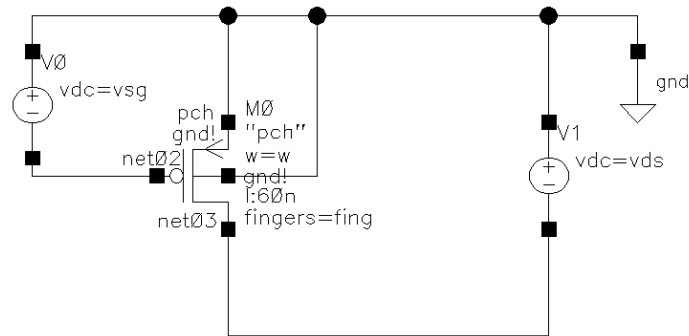
Fonte: elaborado pelo autor (2023).

Gráfico 4 –  $V_{GS} \times I_D$  para diferentes valores de  $W$  no transistor nMOS.

Fonte: elaborado pelo autor (2023).

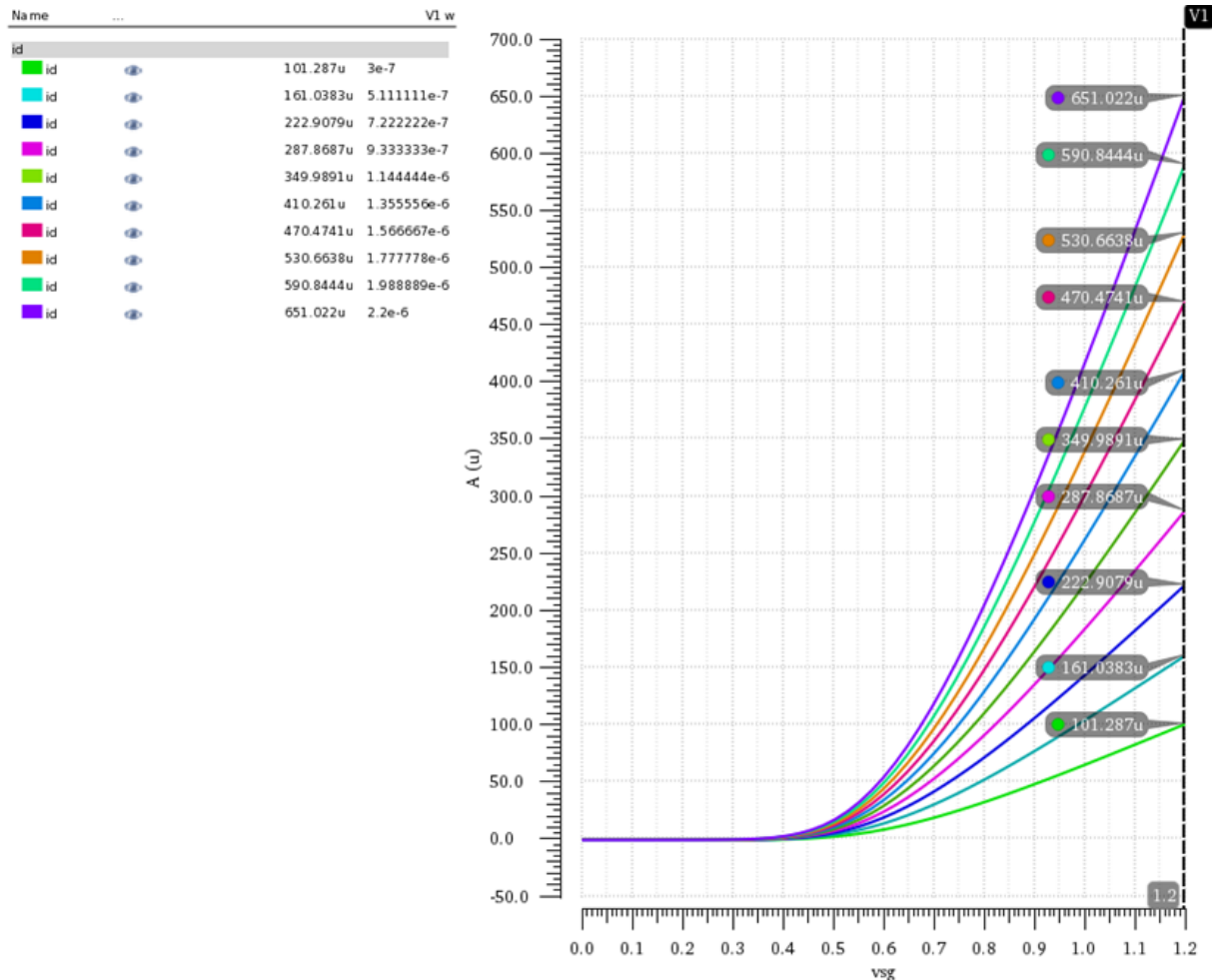
Com os dados extraídos do transistor nMOS, foi então montado o modelo de simulação para o transistor pMOS, conforme Figura 20, e realizada análise de corrente do transistor para diferentes valores de  $W$  enquanto  $L$  era mantido em 60 nm, valor mínimo da tecnologia. As curvas obtidas podem ser visualizadas no Gráfico 5. O objetivo é obter o melhor par de transistores CMOS, que consomem os mesmos valores de corrente  $I_D$  quando acionado, o que apresentaria curvas de subida e descida nas transições de sinal do inversor mais próximas possíveis. Após as simulações realizadas, diferentes pares de transistores foram avaliados como possíveis inversores para a aplicação nas células de *delay*.

Figura 20 – Circuito de teste para extração dos parâmetros do transistor pMOS.



Fonte: elaborado pelo autor (2023).

Gráfico 5 –  $V_{GS} \times I_D$  para diferentes valores de  $W$  no transistor pMOS.

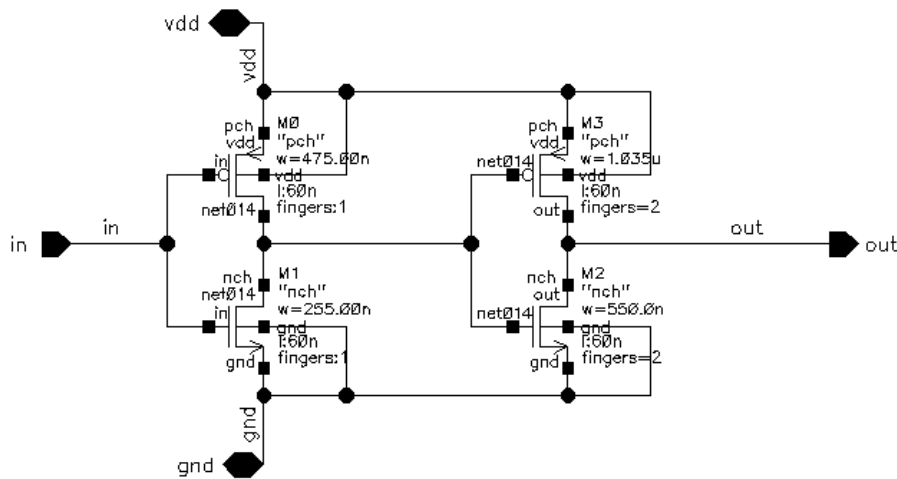


Fonte: elaborado pelo autor (2023).

Para a aplicação em células de *delay*, o inversor foi conectado em cascata, em uma sequência de inversores. O objetivo é realizar a medição do atraso de sinal que seria aplicado no primeiro inversor à cada dois sinais de saída. Para diferentes dimensionamentos, diferentes valores de *delay* foram obtidos, devido ao aumento de

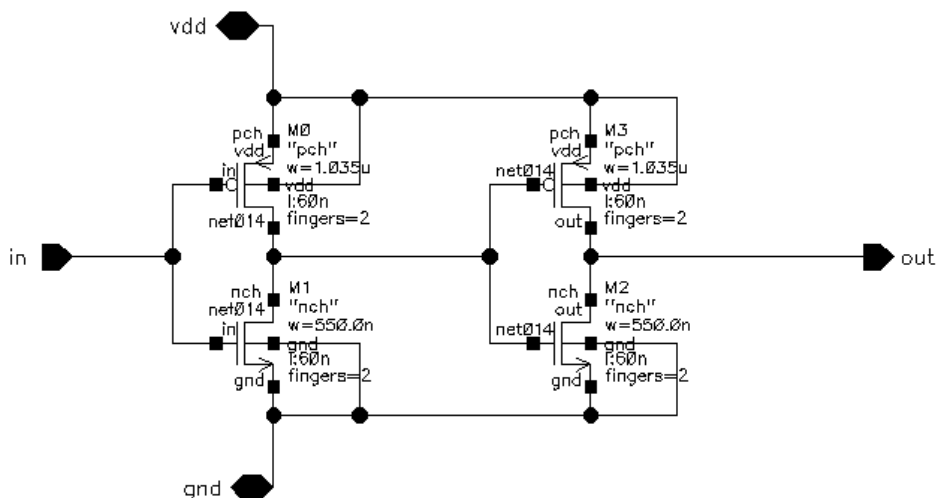
corrente  $I_D$  consumida. Com essas simulações foi possível verificar que dentro dessa topologia seria possível obter um valor de aproximadamente 20 ps para a melhor célula de *delay*, mas seria necessário realizar a junção de dois inversores de diferentes dimensionamentos para obter um segundo valor de aproximadamente 32 ps gerando um valor de resolução de 12 ps, dentro da faixa estabelecida como objetivo. O esquemático da célula de *delay* 1 utilizada pode ser visualizado na Figura 21, contendo um inversor de alta resposta como segundo elemento e um inversor de menor dimensão como entrada do bloco. A célula de *delay* 2, composta por dois inversores de mesmo dimensionamento, pode ser visualizada na Figura 22.

Figura 21 – Esquemático da célula de Delay 1.



Fonte: elaborado pelo autor (2023).

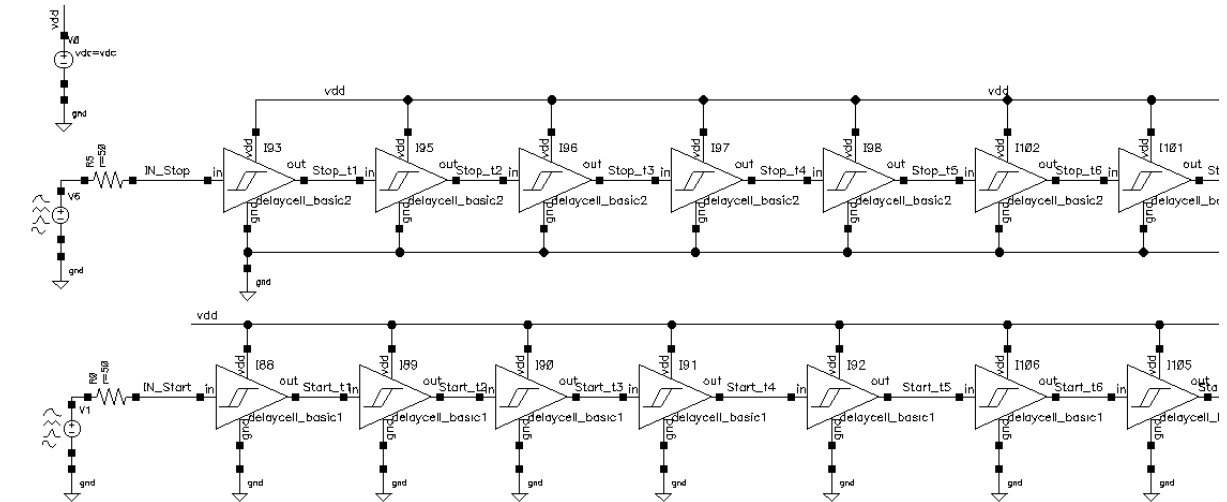
Figura 22 – Esquemático da célula de Delay 2.



Fonte: elaborado pelo autor (2023).

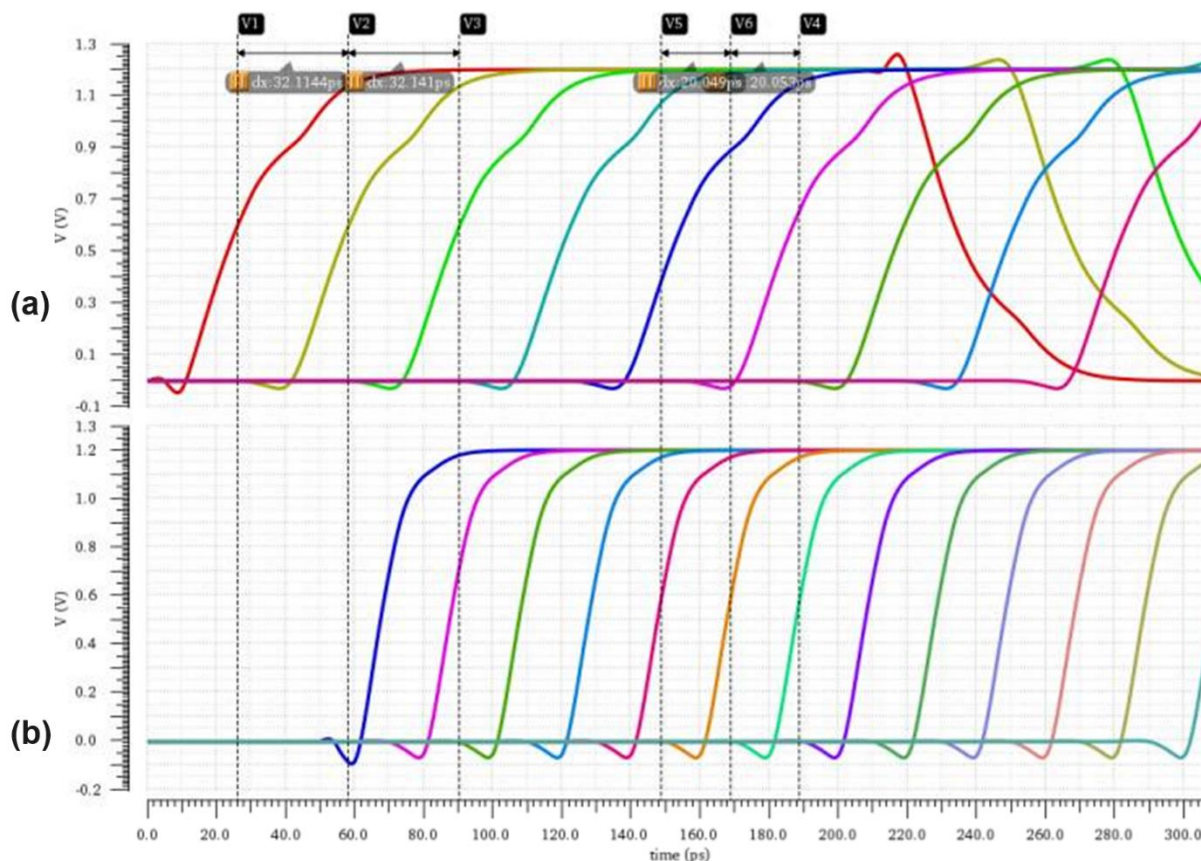
Após a criação dos símbolos, um *testbench* foi montado para validar a operação em cascata das células. O esquemático foi modelado conforme Figura 23 e as respostas obtidas para as células de *delay* podem ser conferidas no Gráfico 6, sendo o gráfico superior referente à célula de *delay* 1 e o inferior à célula 2.

Figura 23 – *Testbench* das linhas de atraso.



Fonte: elaborado pelo autor (2023).

Gráfico 6 – Respostas transientes das linhas de atrasos (a) da célula de *delay* 1 e (b) célula de *delay* 2.

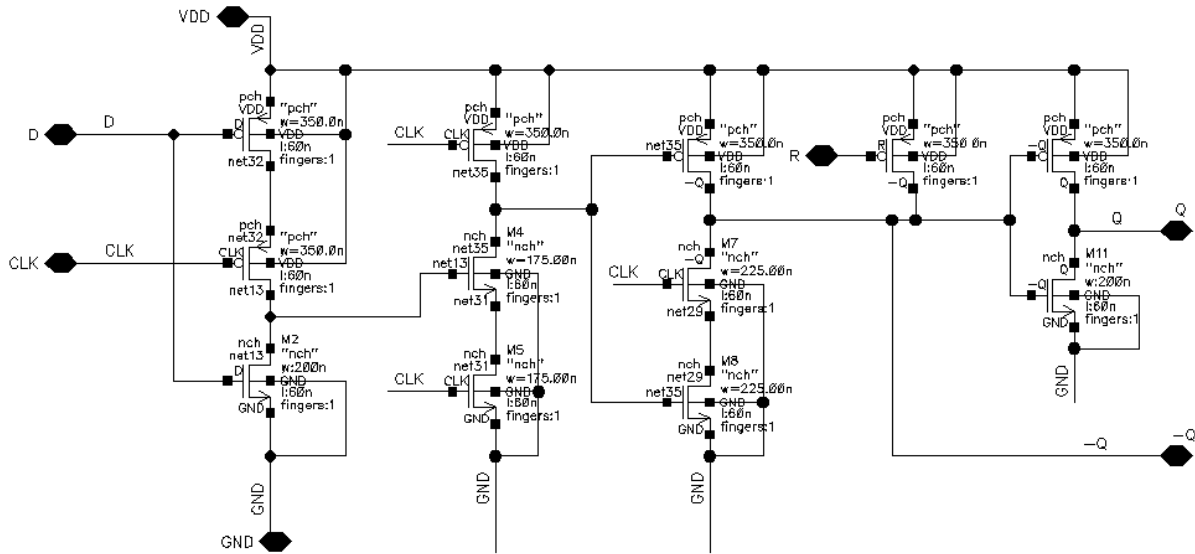


Fonte: elaborado pelo autor (2023).

Para o *buffer* com o valor de saída, foi projetado um flip-flop tipo D CMOS com base na lógica TSCP. Com o modelo base do esquemático, foram estabelecidos valores genéricos de dimensionamento 1  $\mu\text{m}$  para o nMOS e 2  $\mu\text{m}$  para pMOS, para primeiramente validar o funcionamento transiente do circuito. Após, considerando a conexão com as células de *delay*, foi necessário redimensionar os transistores de modo com que a impedância de entrada do flip-flop não gerasse distorção nos sinais de atraso da cadeia Vernier. Também foram ajustados os valores dos transistores nMOS dos blocos centrais considerando as variações de dimensionamento que reduzem efeitos de transição, diminuindo a largura de canal de M4 e M5 e aumentando os valores de M7 e M8. A Figura 24 apresenta o esquemático utilizado para o flip-flop dimensionado e o Gráfico 7 apresenta a resposta transiente do mesmo, dividido em (a) sinal de entrada *D*, (b) sinal de *clock*, (c) saída *Q* e (d) a saída  $\bar{Q}$ .

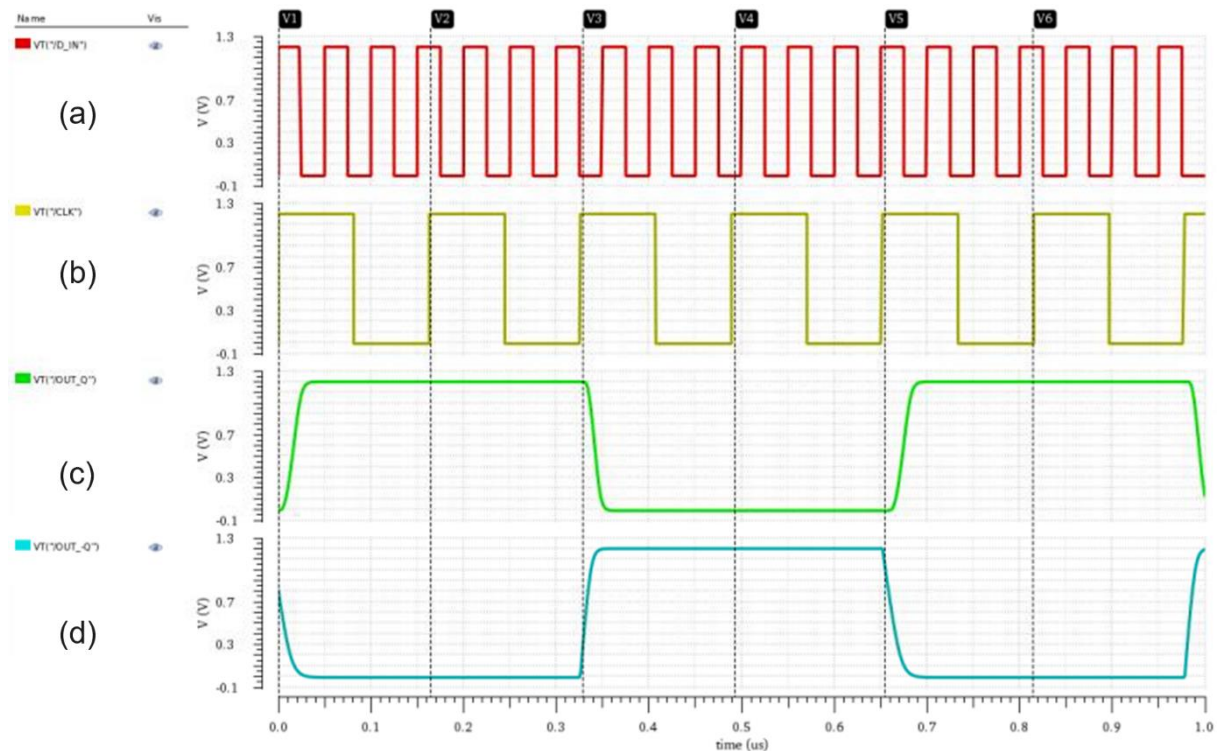


Figura 24 – Esquemático do Flip-flop projetado.



Fonte: elaborado pelo autor (2023).

Gráfico 7 – Teste transiente para o Flip-flop D. Sinais (a) de entrada  $D$ , (b) clock  $CLK$ , (c) saída  $Q$  e (d) saída  $\bar{Q}$ .

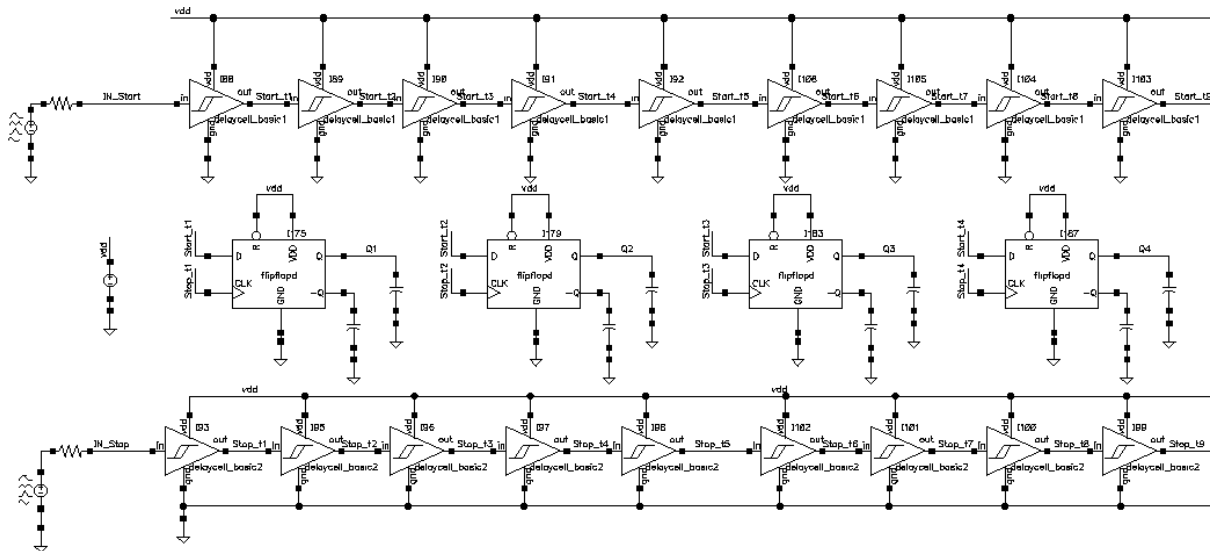


Fonte: elaborado pelo autor (2023).

Com todos os blocos dimensionados, foram realizadas simulações considerando os sinais de frequência com 2,4GHz e um sinal de referência simulando a oscilação de um *clock* de referência com 40 MHz. No Gráfico 8, pode-se verificar os

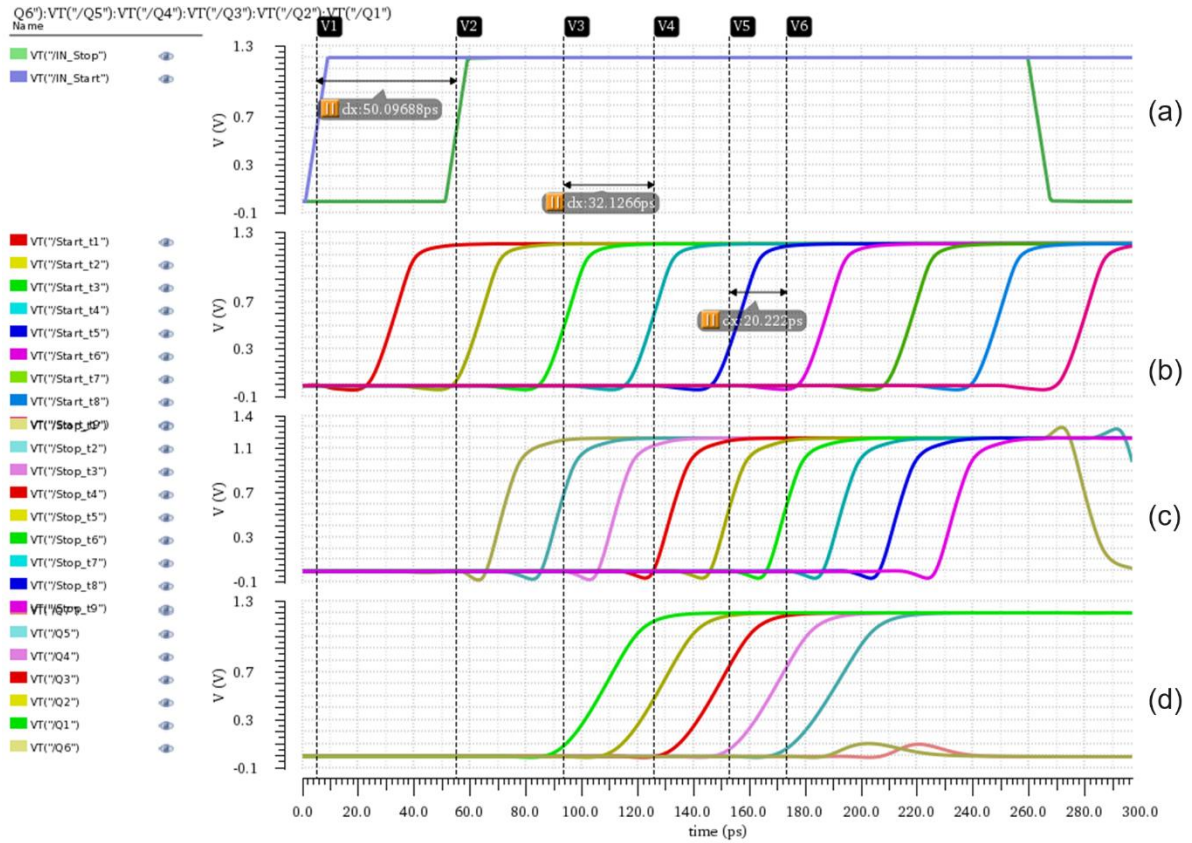
sinais de entrada com o atraso mensurado de aproximadamente 50 ps no primeiro gráfico, a linha de atraso de Start, com o *delay* de maior valor, no segundo gráfico, a linha de atraso Stop no terceiro e as saídas *Q* dos flip-flops no último gráfico.

Figura 25 – Testbench do TDC Vernier projetado.



Fonte: elaborado pelo autor (2023).

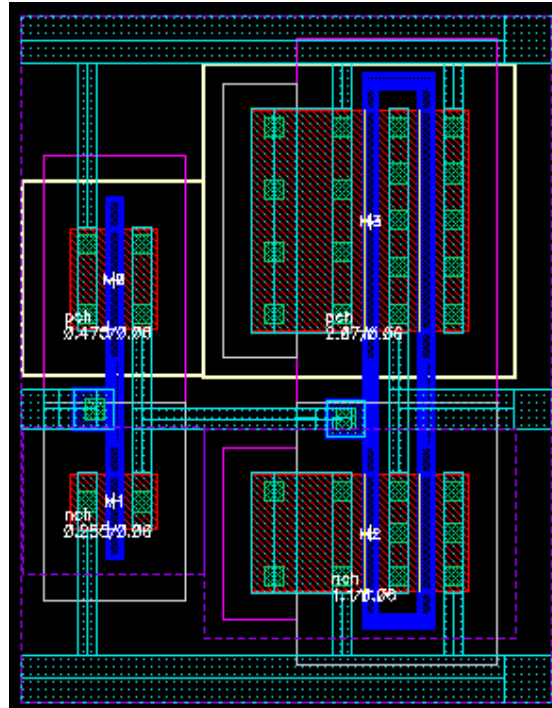
Gráfico 8 – Análise transiente do TDC projetado. (a) sinais de entrada Stop e Start, (b) linha de atraso Start, (c) linha de atraso Stop e (d) *thermometer code* da saída dos flip-flops.



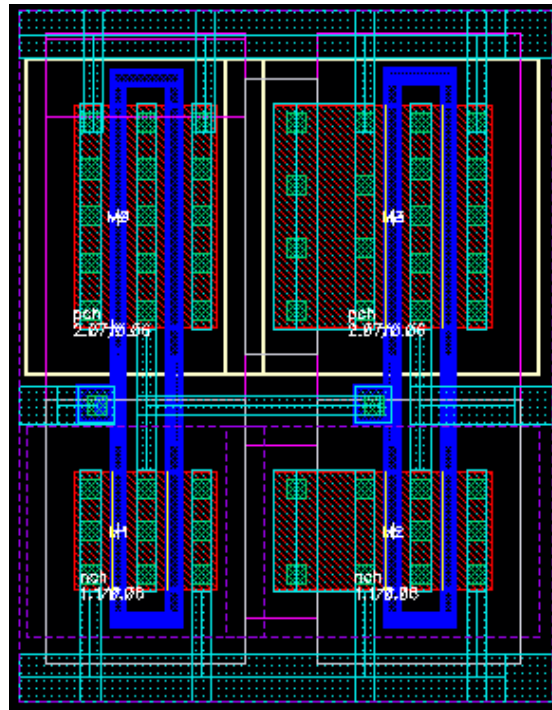
Fonte: elaborado pelo autor (2023).

#### 4.3 LAYOUT – IMPLEMENTAÇÃO FÍSICA

O layout do circuito foi projetado de forma a reduzir a distância entre os inversores de cada cadeia de *delay* ao mínimo possível e posicioná-los entre os flip-flops, de forma a simular a estrutura da própria arquitetura do esquemático. Os *layouts* para as células de *delay* utilizadas no circuito podem ser visualizados nas Figuras 34 e 35. As duas células foram projetadas para ocupar a mesma área, buscando facilitar o desenvolvimento do circuito completo.

Figura 26 – *Layout da célula de delay 1*

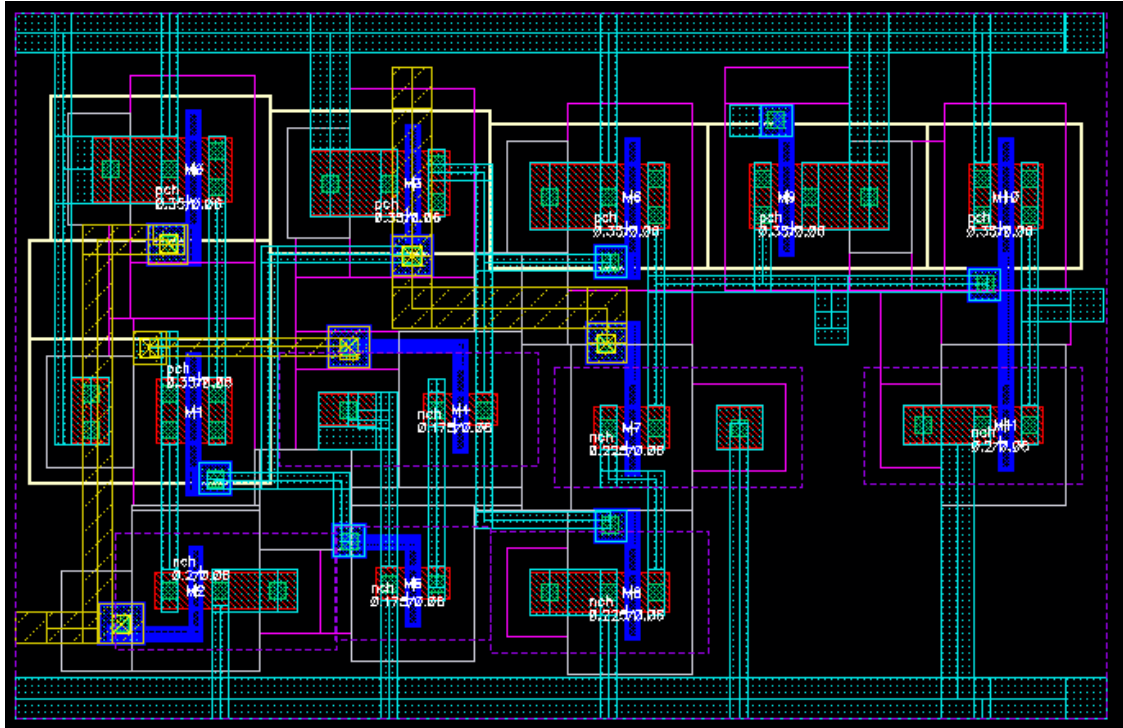
Fonte: elaborado pelo autor (2023).

Figura 27 – *Layout da célula de delay 2*

Fonte: elaborado pelo autor (2023).

O flip-flop também foi projetado com uma visualização similar ao esquemático. Foi priorizado reduzir possíveis trilhas de polissilício e utilizar vias para camadas de metal de dois níveis.

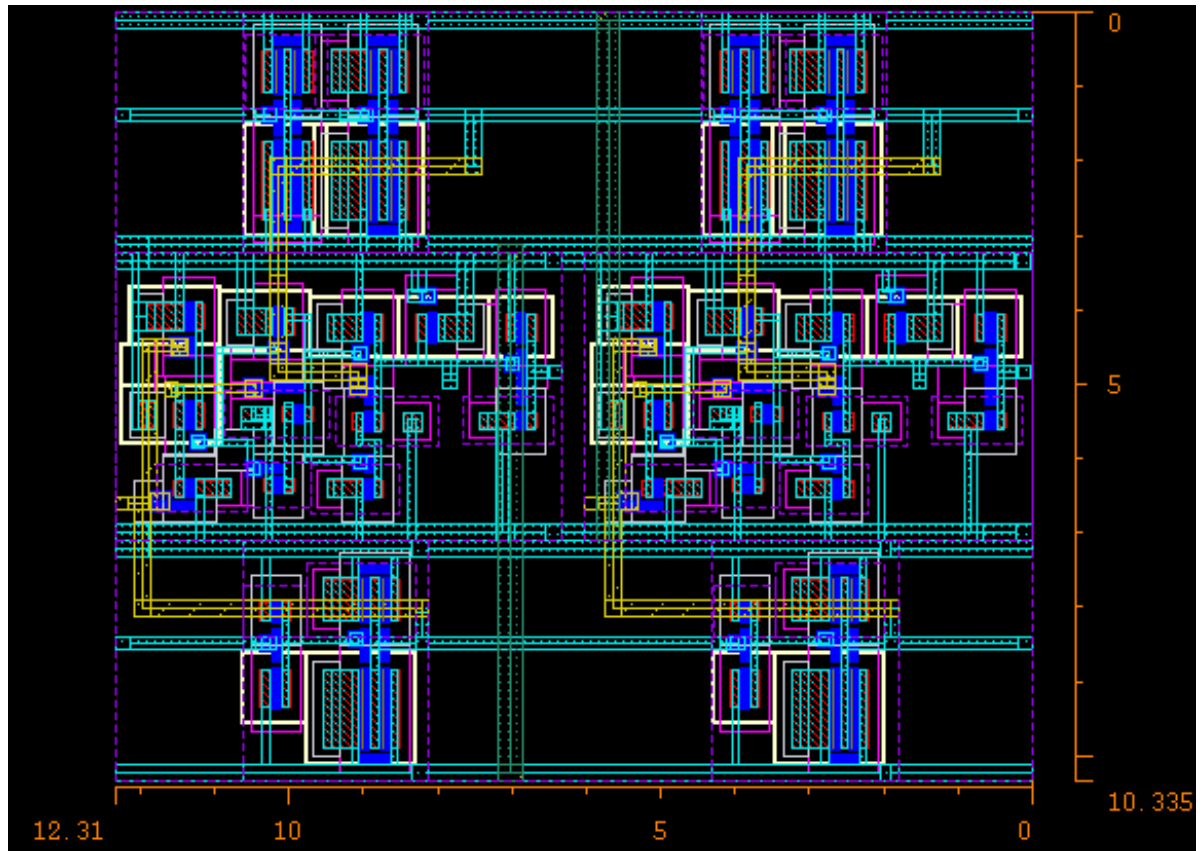
Figura 28 – *Layout* do flip-flop D.



Fonte: elaborado pelo autor (2023).



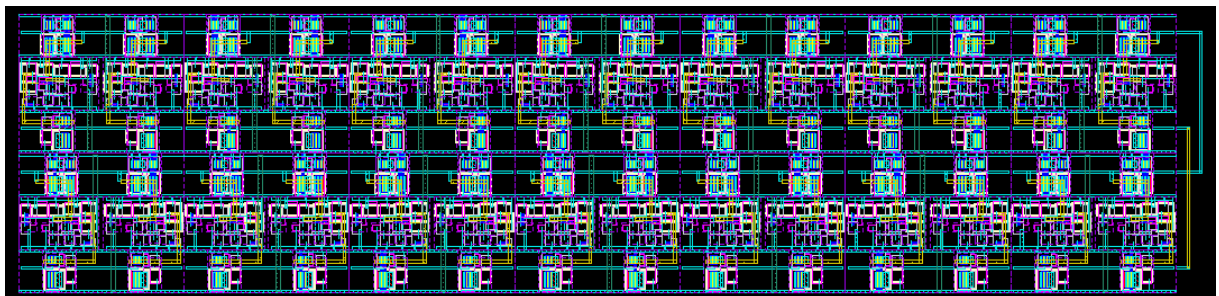
Figura 29 – Bloco com quatro células de *delay* e dois flip-flops.



Fonte: elaborado pelo autor (2023).

Considerando o modelo completo, com as duas linhas de atraso contendo 28 células de *delay* cada, junto aos 28 flip-flops, obteve-se um *layout* de aproximadamente  $89\ \mu\text{m} \times 20,8\ \mu\text{m}$ , o que gera uma área total de  $1851,2\ \mu\text{m}^2$ . Foram considerados 28 blocos com referência na equação (2), considerando uma resolução de até 15 ps.

Figura 30 – *Layout* final do TDC Vernier projetado.

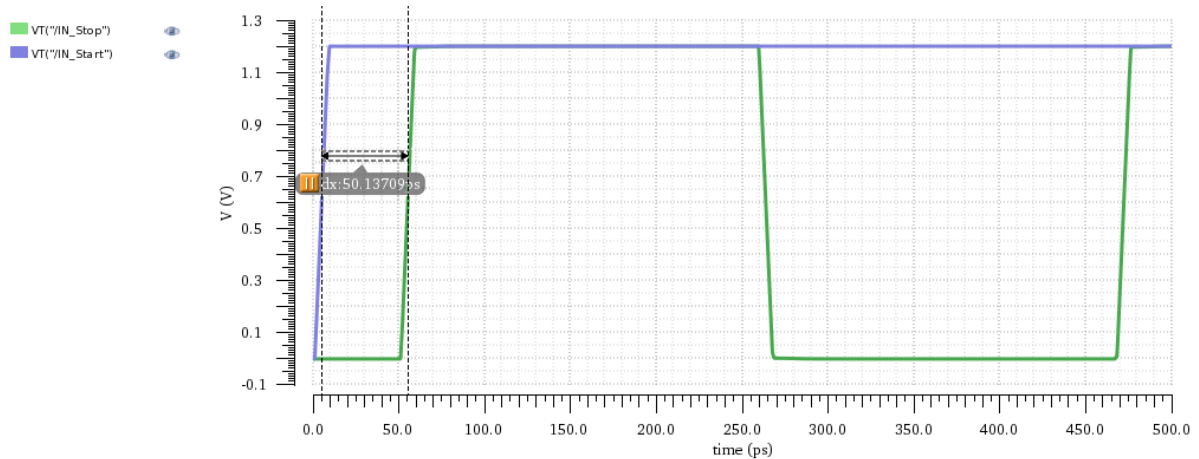


Fonte: elaborado pelo autor (2023).

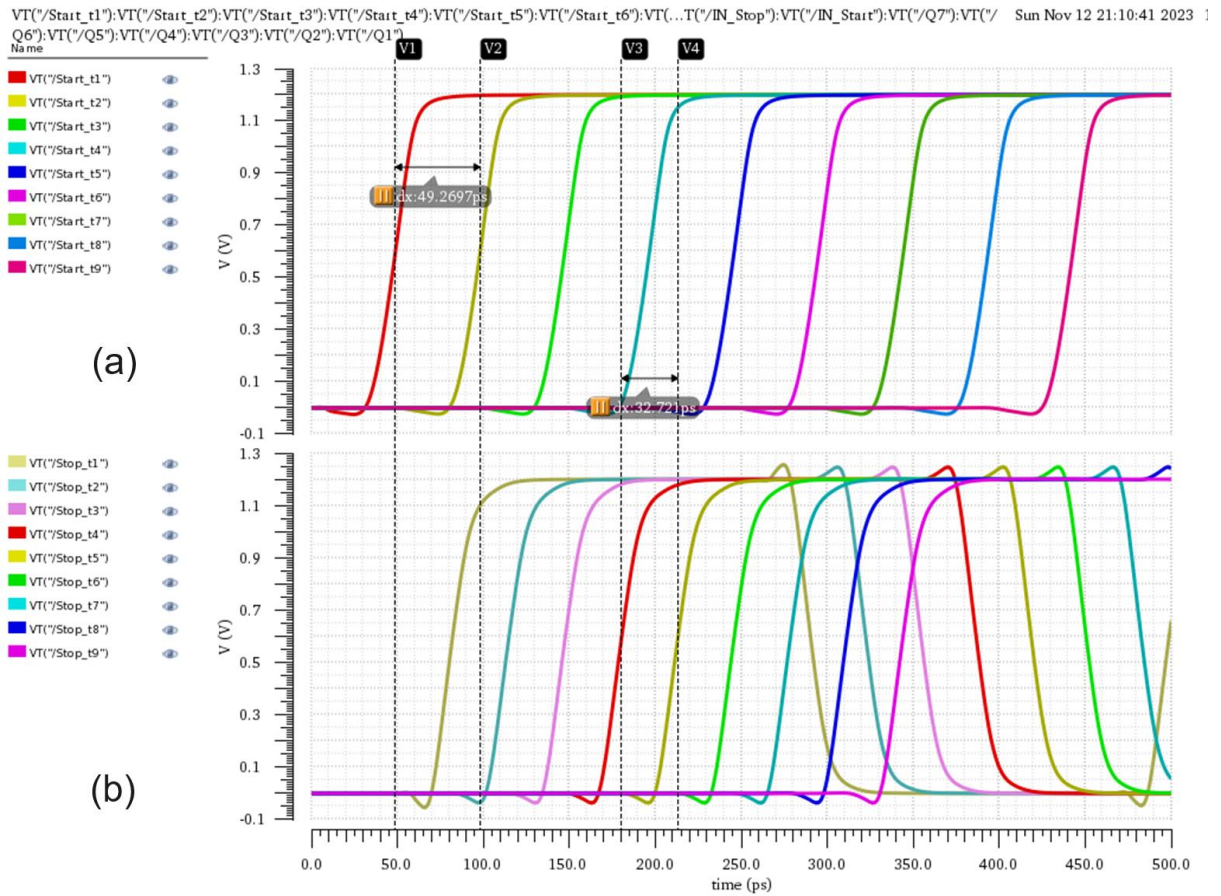
#### 4.4 RESULTADOS APÓS EXTRAÇÃO DE PARASITAS

Para a validação dos resultados finais, o circuito passou por novas análises transientes que consideraram os efeitos dos parasitas extraídos do *layout*. Com os valores de parasitas, impedâncias e capacitâncias do circuito são alteradas pela presença de trilhas, vias e camadas de dopagem, o que afetou diretamente os sinais do sistema. Os sinais de entrada Stop e Start, com atraso mensurado em aproximadamente 50,14 ps pode ser verificado no Gráfico 9. As linhas de atraso Vernier apresentaram *delays* mensurados de aproximadamente 49,26 e 32 ps, conforme Gráfico 10.

Gráfico 9 – Sinais de entrada Start e Stop.



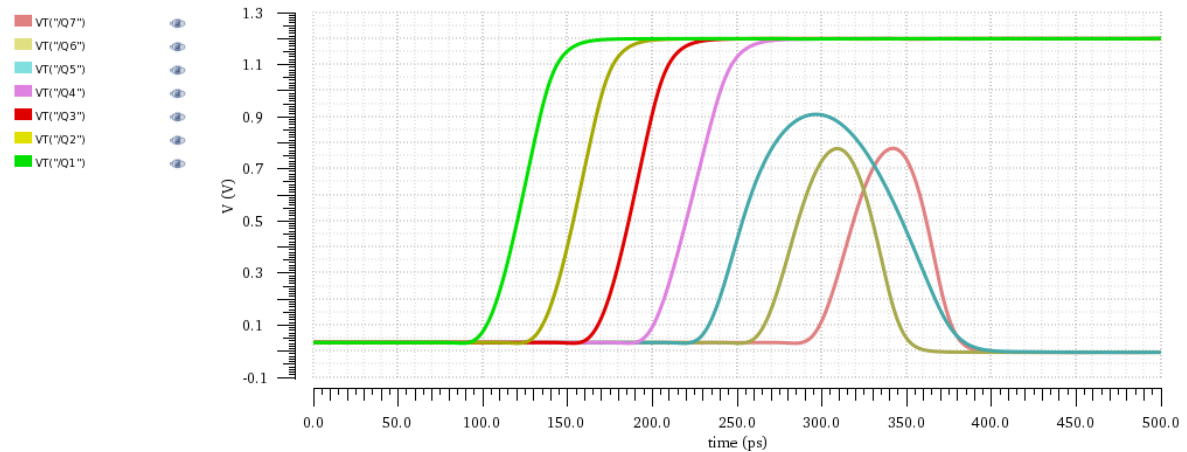
Fonte: elaborado pelo autor (2023).

Gráfico 10 – Sinais de atraso das linhas de *delay* (a) Start e (b) Stop.

Fonte: elaborado pelo autor (2023).

Com os efeitos dos parasitas aplicados, a resolução do TDC teve um acréscimo de 4,5 ps, tendo uma resolução final de 16,5 ps. Considerando o atraso inicial entre os sinais, e a resolução total, a saída termômetro de flip-flops teve suas 4 primeiras saídas acionadas. No Gráfico 11 podem ser visualizadas as saídas dos primeiros dispositivos gerando o *thermometer code* final de saída, acionando 4 níveis. Nota-se a alteração na curva do flip-flop seguinte, mas estabilizada em nível 0 durante o tempo de mensuração. O tempo total para o acionamento e estabilização dos 28 flip-flops foi de 1,2 ns, considerado o tempo de mensuração do ciclo do TDC.



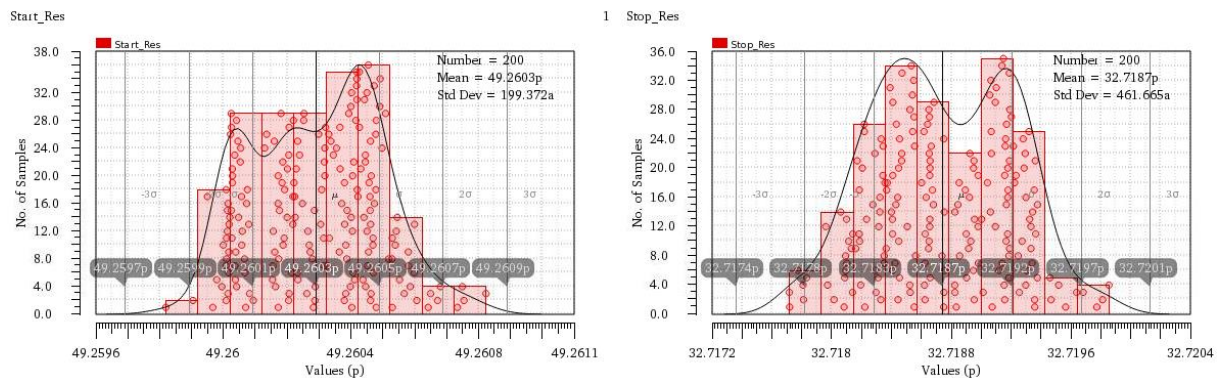
Gráfico 11 – Saída *thermometer code* de flip-flops para atraso de entrada de 50 ps.

Fonte: elaborado pelo autor (2023).

#### 4.4.1 Figura de Mérito

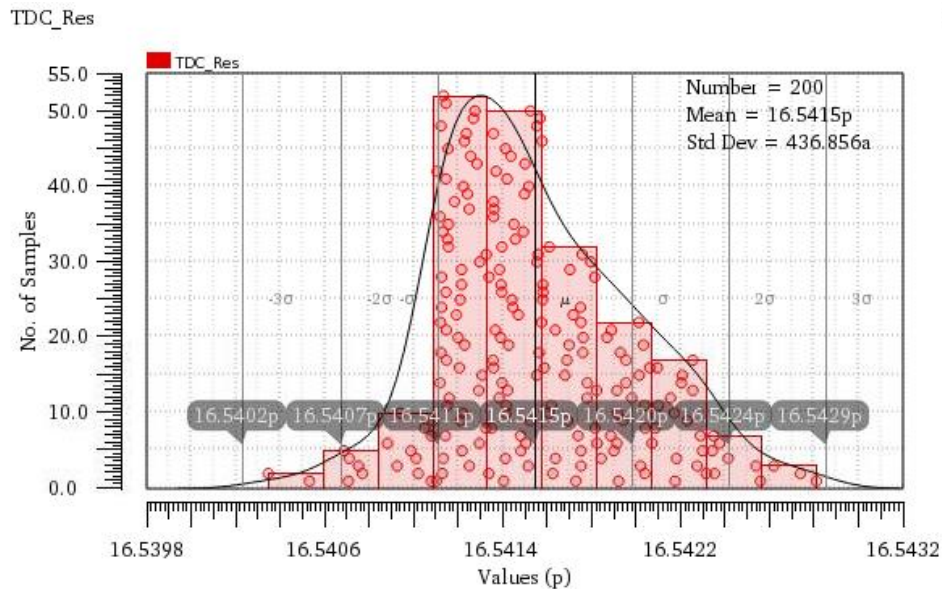
Como forma de comparação com o estado da arte, a resolução final do circuito foi a figura de mérito definida, podendo ser avaliada com trabalhos que empregam topologias semelhantes ou mesmo com diferentes arquiteturas. A resolução do sistema foi validada com uma simulação de Monte Carlo com 200 amostras mensurando os atrasos entre elementos de *delay* de cada linha de atraso e da diferença temporal entre os dois valores para obter a resolução final do TDC. Foram considerados sinais de entrada nas frequências de 2,4 GHz e 47 MHz nas linhas de atraso. O Gráfico 12 apresenta a simulação para o *delay* das linhas Start e Stop individualmente, centradas em aproximadamente 49,26 ps e 32,72 ps, respectivamente. O Gráfico 13 apresenta a resolução final obtida, em 16,54 ps.

Gráfico 12 – Simulação Monte Carlo da resolução individual das linhas de atraso.



Fonte: elaborado pelo autor (2023).

Gráfico 13 – Simulação Monte Carlo da resolução final obtida.



Fonte: elaborado pelo autor (2023).

Com a equação (3), foi calculada uma segunda figura de mérito relacionando outros parâmetros do circuito com a própria resolução, obtendo o valor de 4,9 fJ.

#### 4.4.2 Consumo do Circuito

Mensurando a potência do circuito durante um ciclo completo de operação do TDC, com acionamento de todos os blocos foi obtida a potência  $P_{RMS}$  de 883  $\mu W$ , enquanto a potência média mensurada foi de aproximadamente 855  $\mu W$ .

#### 4.4.3 Estado da Arte

Os resultados, com a presença de parasitas de *layout* aplicados no circuito, foram levantados e comparados com o estado da arte. Alguns modelos apresentam aplicações de topologia diferentes, com diferentes processos e tecnologias, o que permite comparar possíveis diferenças na adaptação do projeto. Para os projetos comparados, presentes na Tabela 2, alguns parâmetros não foram apresentados pelos autores, dificultando a análise da FoM. A proposta apresentada considera um baixo nível de FoM como um bom parâmetro de mensuração, pois é diretamente proporcional à potência consumida pelo circuito e pelo valor de resolução obtido, ou

seja, quanto maior o tempo de resolução e potência dissipada, maior a magnitude da FoM proposta.

Tabela 3 – Comparação de resultados com o estado da arte.

Projeto	Processo (nm)	Tensão (V)	Potência (mW)	Área ( $\mu\text{m}^2$ )	Resolução (ps)	FoM (fJ)
Este projeto	65	1,2	0,883	1851,2	16,54	4,9
Andersson (2014)	65	1,2	1,75	3960	5,7	1,68
Dudek (2000)	700	5	Não especificado	10000000	30	Não aplicável
Lu (2012)	90	1,2	4	17000	10	2,88
Huang (2021)	180	1,8	1,6	36000	12	Não aplicável
Wang (2015)	40	1	0,043	3750	22	0,49

Fonte: Elaborado pelo autor (2023).

Com os trabalhos referencias na tabela 3, é possível verificar que o valor de potência atingido, assim como o área total do circuito, está abaixo de outros projetos na área. Considerando o número de blocos da arquitetura, são valores satisfatórios, mesmo considerando a resolução acima da faixa previamente estabelecida nos objetivos específicos.

## 5. CONCLUSÃO

O projeto desenvolvido buscou apresentar uma proposta eficiente e de simples implementação para a composição de um sistema ADPLL para dispositivos IoT. Percebendo a alta demanda desses circuitos no cenário atual, buscar o desenvolvimento de projetos com foco nessas aplicações, de baixo consumo e com uma resolução de tempo eficiente foi o foco do autor nessa proposta. Após análise das topologias convencionais e do estado da arte, foi estabelecida aquela que apresentava uma boa relação entre a complexidade de desenvolvimento, o consumo e a faixa de resolução estimada.

Com a arquitetura Vernier a possibilidade de atingir baixos valores de resolução com maior liberdade de dimensionamento das células de *delay* garantiu que as simulações teóricas do sistema apresentassem valores eficientes de resposta para o objetivo desejado.

O *layout* final do sistema, com 56 elementos de *delay* e 28 flip-flops apresentou dimensões de 89  $\mu\text{m}$  de comprimento e 20,8  $\mu\text{m}$  de largura, uma área total de 1851,2  $\mu\text{m}^2$ , avaliado como um valor adequado considerando a quantidade de elementos presentes e uma futura implementação em sistema ADPLL.

A potência média mensurada no circuito foi de 855  $\mu\text{W}$ , abaixo do valor máximo estipulado no início do projeto, atingindo o objetivo específico estipulado. Esse valor de potência permite que seja possível realizar novos testes com cadeias de *delays* de maiores dimensionamentos e ainda manter um valor adequado de potência.

A resolução final do sistema, com a extração de parasitas, ficou acima da faixa estipulada como objetivo do projeto por aproximadamente 1,54 ps. Esse valor de resolução se deve principalmente à presença dos parasitas de *layout*, que geraram maiores atrasos na propagação das cadeias de atraso e geraram maiores interferências nas conexões entre as linhas e as entradas do flip-flop. A revisão do *layout* e a implementação de possíveis melhorias de roteamento de trilhas também é uma possibilidade de ajuste do circuito para obter uma menor interferência dos parasitas.

Conclui-se que o trabalho atingiu, com exceção da faixa de resolução previamente proposta, todos os seus objetivos propostos, apresentando um circuito com potência abaixo do estipulado, viabilidade de implementação e operação com a frequência desejada.

## 5.1 TRABALHOS FUTUROS

Para implementações futuras, a prototipação em lâmina de silício do circuito para verificação dos valores em implementação física e análise dos possíveis efeitos é um passo importante para a completa validação do circuito.

É importante destacar como possibilidade de trabalho futuro realizar o projeto de redimensionamento dos transistores de acordo com outras topologias de arquitetura do próprio PDK utilizado, com transistores CMOS dedicados à altas frequências, operações em RF e diferentes valores de  $V_{TH}$ . Essas implementações irão gerar aumento de área e consumo do sistema, mas podem incrementar a resolução do bloco significativamente e reduzir interferências de parasitas de *layout*.

## REFERÊNCIAS

ABINC, **IoT é o futuro das novas tecnologias, diz ABINC**. [S.l.] 2022. Disponível em: <<https://abinc.org.br/iot-e-o-futuro-das-novas-tecnologias-diz-abinc/>>. Acesso em: 09 de maio de 2023.

Andersson, Niklas U.; Vesterbacka, Mark. A Vernier Time-to-Digital Converter With Delay Latch Chain Architecture. **IEEE Transactions On Circuits And Systems—li: Express Briefs**, v. 61, n. 10, p. 773-777, out. 2014.

ATZORI, Luigi; IERA, Antonio; MORABITO, Giacomo. The Internet of Things: A survey. **Computer Networks**, v. 54, p. 2787-2805, jun. 2010.

BLUETOOTH. **Total Annual Bluetooth Device Shipments**. [S.l.] 2023. Disponível em:<[https://www.bluetooth.com/2023-market-update/?utm\\_source=internal&utm\\_medium=blog&utm\\_campaign=bmu&utm\\_content=new-five-year-forecasts-for-bluetooth-device-networks/#device-networks](https://www.bluetooth.com/2023-market-update/?utm_source=internal&utm_medium=blog&utm_campaign=bmu&utm_content=new-five-year-forecasts-for-bluetooth-device-networks/#device-networks)> Acesso em: 15 jun. 2023.

BOYLESTAD, Robert L.; NASHELSKY, Louis. **Dispositivos Eletrônicos**. 11. ed., São Paulo: Pearson Education do Brasil Ltda, 2013.

CALLISTER, William D.; RETHWISCH, David G. **Fundamentos da ciência e engenharia de materiais**. 8. ed., Rio de Janeiro: LTC Editora, 2006

CHUI, Michael; COLLINS, Mark; PATEL, Mark. **IoT value set to accelerate through 2030: Where and how to capture it**. [S.l.] 2021. Disponível em: <<https://www.mckinsey.com/capabilities/mckinsey-digital/our-insights/iot-value-set-to-accelerate-through-2030-where-and-how-to-capture-it>>. Acesso em: 22 abr. 2023.

DAVIES, Ron. **The Internet of Things, Opportunities and challenges**. [S.l.] maio 2015. Disponível em: <[https://www.europarl.europa.eu/RegData/etudes/BRIE/2015/557012/EPRS\\_BRI\(2015\)557012\\_EN.pdf](https://www.europarl.europa.eu/RegData/etudes/BRIE/2015/557012/EPRS_BRI(2015)557012_EN.pdf)>. Acesso em: 09 maio 2023.

DUDEK, Piotr; SZCZEPANSKI, Stanislaw; HATFIELD, John. A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line. **IEEE Journal of Solid-State Circuits**. v. 35, n. 2, p. 240-247, fev. 2000

ETKIN, Raul; PAREKH, Abhay; TSE, David. Spectrum sharing for unlicensed bands, **IEEE Journal on Selected Areas in Communications**, v. 25, n. 3, p. 517-528, abr. 2007.

GERHARDT, Tatiana Engel; SILVEIRA, Denise Tolfo. **Métodos de pesquisa**. 1. ed. Porto Alegre: Editora da UFRGS, 2009.

HENZLER, Stephan. **Time-to-Digital Converters**, 2. ed. Munich: Springer Science & Business Media, 2010.

KUMAR, Ravi; WAN, Au Thien; SUHAILI, W. S. Haji. Exploring Data Security and Privacy Issues in Internet of Things Based on Five-Layer Architecture. **International Journal of Communication Networks and Information Security (IJCNIS)**, [S.l.], v. 12, n. 1, p. 180-121, abr. 2020

LATA, Kusum; KUMAR Manoj, ALL Digital Phase-Locked Loop (ADPLL): A Survey. **International Journal of Future Computer and Communication**, v. 2, No. 6, December 2013.

LEE, Han-Yeol; JANG, Young-Chan; A true single-phase clocked flip-flop with leakage current compensation, **IEICE Electronics Express**, v. 9, No. 23, p. 1807-1812, [S.l.], 2012.

LOY, Matthew; KARINGATTIL, Raju; WILLIAMS, Louis. **ISM-Band and Short Range Device Regulatory Compliance Overview**. Maio 2005. Disponível em: <<https://www.ti.com/lit/an/swra048/swra048.pdf>> Acesso em: 21 jun. 2023.

LU, P.; LISCIDINI, A.; ANDREANI P. A 3.6 mW, 90 nm CMOS gated-Vernier time-to-digital converter with an equivalent resolution of 3.2 ps, **IEEE Journal Solid-State Circuits**, v. 47, n. 7, pp. 1626–1635, jul. 2012.

MALVINO, Albert; BATES, David. **Eletrônica**, 7. ed. São Paulo: McGraw Hill, 2007. v. 1.

MARCEL, Jason. **New Five-Year Forecasts for Bluetooth Device Networks**, [S.l.], 2023. Disponível em: <[https://www.bluetooth.com/2023-market-update/?utm\\_source=internal&utm\\_medium=blog&utm\\_campaign=bmu&utm\\_content=new-five-year-forecasts-for-bluetooth-device-networks/#device-networks](https://www.bluetooth.com/2023-market-update/?utm_source=internal&utm_medium=blog&utm_campaign=bmu&utm_content=new-five-year-forecasts-for-bluetooth-device-networks/#device-networks)> Acesso em: 18 jun. 2023.

MARTEGANI, Rafaella Fiorelli. **An all-inversion-region gm/ID based design methodology for radiofrequency blocks in CMOS nanometer technologies**. 2011. Tese (Doutorado) - Universidad de Sevilla, Sevilla, 2011.

RANGEL, Rogério. Entrevista com Kevin Ashton – Internet das Coisas, nova revolução da conectividade. **Inovação em Pauta**, Rio de Janeiro, 18ª ed., p. 4-6, dez. 2014. Disponível em: <<http://www.finep.gov.br/images/revista/revista18/index.html#p=7>>. Acesso em: 02 de maio. de 2023.

RAZAVI, Behzad. **Fundamentals of Microelectronics**. 2. ed. Hoboken: John Wiley & Sons, Inc, 2013.

RAZAVI, Behzad. TSPC Logic – A Circuit for All Seasons. **IEEE Solid-State Circuits Magazine**, [S.l.], nov. 2016.

ROBERTS, Gordon W.; ALI-BAKHSHIAN, Mohammad. A Brief Introduction to Time-to-Digital and Digital-to-Time Converters. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 57, n. 3, p. 153-157, mar. 2010

SEDRA, Adel S.; SMITH, Kenneth C. **Microelectronic Circuit**. 5. ed. New York: Oxford University Press, 2004.

SILVA, Roberto Rangel da. **Bluetooth Low Energy Rf Front-End For Low-Voltage Applications In CMOS Technology**. Tese (Mestrado em Engenharia Elétrica) – Escola Politécnica da Universidade de São Paulo, São Paulo, p. 132. 2019.



SOUZA, Barbara *et al.* System-level Design of an ULP ADPLL-based Frequency Synthesizer for IEEE 802.11ah. **10th Workshop on Circuits and Systems Design**. Brasil, 2020.

STASZEWSKI, Robert Bogdan; BALSARA, Poras T. **All-Digital Frequency Synthesizer in Deep-Submicron CMOS**. Hoboken: John Wiley & Sons, Inc, 2006.

STASZEWSKI, Robert Bogdan; HU, Yizhe; SIRIBURANON, Teerachot. **Beyond All-Digital PLL for RF and Millimeter-Wave Frequency Synthesis**. IEEE Custom Integrated Circuits Conference, Dublin, mar. 2020.

STRAAYER, Matthew. Z.; PERROTT, Michael H. A Multi-Path Gated Ring Oscillator TDC With First-Order Noise Shaping. **IEEE Journal of Solid-State Circuits**. v. 44, n. 4, p. 1089-1098, abr. 2009.

SZE, S. M.; LEE, K. M.; **Semiconductor Devices: Physics and Technology**. John 3. Ed., Danvers: Wiley & Sons, Inc, 2006.

TANCOCK, Scott; ARABUL, Ekin; DAHNOUN, Naim. A Review of New Time-to-Digital Conversion Techniques. **IEEE Transactions on Instrumentation and Measurement**, v. 68, n. 10, out. 2019.

TRANSFORMA INSIGHTS. **Current IoT Forecast Highlight**. [S.I.] 2023. Disponível em: <<https://transformainsights.com/research/forecast/highlights>> Acesso em: 18 abr. 2023.

TOCCI, Ronald J.; WIDMER, Neal S.; MOSS, Gregory L. **Sistemas Digitais: princípios e aplicações**. 11. ed. São Paulo: Pearson Prentice Hall, 2011.

WANG, Bindi; *et al.* A Digital to Time Converter with Fully Digital Calibration Scheme for Ultra-Low Power ADPLL in 40 nm CMOS. **IEEE International Symposium on Circuits and Systems (ISCAS)**, Lisboa, p. 2289- 2292, 2015.

WEGNER, Philipp. **Global IoT spending to grow 24% in 2021, led by investments in IoT software and IoT security**. IoT Analytics.[S.l.] 2021. Disponível em: <<https://iot-analytics.com/2021-global-iot-spending-grow-24-percent/>>. Acesso em: 18 abr. 2023.

WESTE, Neil H. E.; HARRIS, David Money, **CMOS VLSI Design: a circuits and systems perspective**. 3. ed. Boston: Pearson Addison Wesley, 2005.

WILLIAMS, R. Stanley. What's Next? The end of Moore's law. **Computing in Science & Engineering**, v. 19, n. 2, p. 7-13, mar.-abr. 2017.

WU, Miao; *et al.* Research on the architecture of Internet of things. **Advanced Computer Theory and Engineering (ICACTE)**, [S.l.], p. 484-487, ago. 2010.

YANG, Zhihong; *et al.* Study and Application on the Architecture and Key Technologies for IOT. **International Conference on Multimedia Technology**, [S.l.], p.747-751, 2011.

YUAN, Fei., CMOS time-to-digital converters for mixed-mode signal processing. **The Journal of Engineering**, fev. 2014.

YUAN, Jiren.; SVENSSON, Christer. **High-Speed CMOS Circuit Technique**. IEEE Journal of Solid-State Circuits, v. 24, n. 1, p. 62-70, fev. 1989.

ZAZZERA, Joshua, **A Bang-Bang All-Digital PLL for Frequency Synthesis**. 2012. Dissertação (Mestre em Engenharia Elétrica) – Universidade do Estado do Arizona, Tempe, 2012.

ZAIDI, Muhaned; GROUT, Ian; A'AIN, Abu Khari Bin. Operational Amplifier Design in CMOS at Low-Voltage for Sensor Input Front-End Circuits in VLSI Devices. **Very-Large-Scale Integration**, [S.l.], IntechOpen, fev. 2018.