SÉRGIO DE ALMEIDA SANTOS

SINTETIZADOR DE FREQÜÊNCIAS DE 2,4 GHz EM CMOS, 0,35 μm PARA APLICAÇÕES EM *ZIGBEE*

SÉRGIO DE ALMEIDA SANTOS

SINTETIZADOR DE FREQÜÊNCIAS DE 2,4 GHz EM CMOS, 0,35 μm PARA APLICAÇÕES EM *ZIGBEE*

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do Título de Mestre em Engenharia Elétrica.

Área de concentração: Microeletrônica. Orientador: João Navarro Soares Junior

São Paulo

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência do seu orientador.

São Paulo, 2 de outubro de 2008.

Assinatura do autor

Assinatura do orientador

FICHA CATALOGRÁFICA

Santos, Sérgio de Almeida Sintetizador de freqüências de 2,4 GHz em CMOS, 0,35 para aplicações em ZigBee / S.A. Santos. – São Paulo, 72p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

- 1. Circuitos Integrados CMOS 2. Sintetizador 3. Telecomunicações
- 4. Sistema de transmissão de sinais de rádio.
- I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t

FOLHA DE APROVAÇÃO

Sérgio de Almeida Santos Sintetizador de freqüências de 2,4GHz em CMOS, 0,35 µm para aplicações em *ZigBee*

> Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do Título de Mestre em Engenharia Elétrica. Área de concentração: Microeletrônica.

Aı	oro	vad	0	em	•

Banca Examinadora

Prof. Dr		
	Assinatura:	
Prof. Dr		
Instituição:	Assinatura:	
Prof. Dr		
Instituição:	Assinatura:	

Dedico este trabalho aos meus pais que sempre me apoiaram em tudo o que faço e jamais deixaram de acreditar em mim. Dedico também ao meu irmão, que me incentivou nos momentos que mais precisei. Por último e não menos importante, dedico a minha noiva, com amor, admiração e gratidão por sua compreensão e carinho devotados ao longo deste tempo.

AGRADECIMENTOS

Agradeço a meu orientador, Prof. Dr. João Navarro Soares Jr. por sua ajuda, conselhos e precisa orientação durante a elaboração deste trabalho.

Agradeço ao Prof. Dr. Wilhelmus A. M. Van Noije, pelas aulas, discussões e respostas dadas durante todo este tempo.

Agradeço ao Conselho Nacional de Desenvolvimento Cientifico e Tecnológico (CNPq) que me cedeu uma bolsa de estudos ao longo dos primeiros anos de mestrado.

Agradeço a todos os amigos do Laboratório de Sistemas Integráveis (LSI) em especial àqueles que estiveram sempre comigo, me ensinando, questionando e incentivando, dentro ou foram da universidade.

SUMÁRIO

1. INTRODUÇÃO	4
2. CONCEITUAÇÃO TEÓRICA	6
2.01 ESTRUTURA INTEGER-N	6
2.02. MODELAMENTO MATEMÁTICO	8
2.03 Padrões RF	
2.03.1 Bluetooth	11
2.03.2 ZigBee	
4. METODOLOGIA	15
5. RESULTADOS	20
5.01 RESULTADOS E PROCEDIMENTOS	20
5.02. Prescaler	21
5.03. MAIN COUNTER (MC)	24
5.04. SWALLOW COUNTER (SC)	27
5.05. LÓGICA DE CONTROLE DO DIVISOR <i>PULSE SWALLOW</i>	29
5.06. DETECTOR DE FASE E FREQÜÊNCIA (DFF)	30
5.07. OSCILADOR CONTROLADO POR TENSÃO (VCO)	35
5.07.1. Resposta do VCO à tensão de controle	37
5.08. Buffer VCO-Prescaler	39
5.09. BOMBA DE CARGA	40
5.10 FILTRO PASSA-BAIXAS	42
5.11 SINTETIZADOR COMPLETO	45
6. CONCLUSÕES E RECOMENDAÇÕES	51
REFERÊNCIAS BIBLIOGRÁFICAS	54
ANEXOS	58

LISTA DE FIGURAS

FIGURA 1. ARQUITETURA DO CIRCUITO INTEGER-N.	. 6
FIGURA 2. MODELO MATEMÁTICO PARA O SINTETIZADOR DE FREQÜÊNCIAS.	. 8
FIGURA 3. CAMADAS QUE COMPÕEM O PADRÃO ZIGBEE.	11
FIGURA 4. ESPECIFICAÇÕES <i>BLUETOOTH</i> PARA A MÁSCARA ESPECTRAL DE TRANSMISSÃO	12
FIGURA 5. ESPECIFICAÇÕES ZIGBEE PARA A MÁSCARA ESPECTRAL DE TRANSMISSÃO	14
FIGURA 6. (A) PORTA AND COM 4 ENTRADAS CONSTRUÍDA NO DA-IC DA MENTOR GRAPHICS	16
(B) LAYOUT DA AND CONSTRUÍDO NO IC DA MENTOR GRAPHICS	16
FIGURA 7. RESPOSTA DA COMPARAÇÃO <i>LAYOUT</i> VS <i>SCHEMATIC</i> (LVS), OBTIDA COM ÊXITO	16
FIGURA 8. NOVO <i>LAYOUT</i> , COM DETALHES DAS ALIMENTAÇÕES, DOS <i>PAD</i> S DE ATERRAMENTO E DA	1
DISTRIBUIÇÃO DE CARGAS	17
FIGURA 9. DIAGRAMA EM BLOCOS DO DIVISOR <i>DUAL-MODULUS PRESCALER</i>	21
Figura 10. Esquemático do $Prescaler$ incluindo as dimensões dos transistores, para o	1
SISTEMA ZIGBEE	23
FIGURA 11. LAYOUT DO PRESCALER, COM DESTAQUE DO DIVISOR POR 4/5 E ANEL DE GUARDA 2	24
FIGURA 12. ESQUEMÁTICO DO BLOCO DFF COM SET, IMPLEMENTADO COM A TÉCNICA TSPC 2	25
FIGURA 13. DIAGRAMA DE BLOCOS REPRESENTANDO O <i>MAIN COUNTER</i> PARA O SINTETIZADOR	
ZIGBEE.	25
FIGURA 14. LAYOUT DO CONTADOR MAIN COUNTER DE 0 A 15	26
FIGURA 15. RESULTADO DA SIMULAÇÃO DO DIVISOR MAIN COUNTER.	27
FIGURA 16. ESQUEMÁTICO DO SWALLOW COUNTER COM 4 ENTRADAS DE CONTROLE	28
FIGURA 17. LAYOUT DO SWALLOW COUNTER COM 4 ENTRADAS DE CONTROLE. AS DIMENSÕES DO	
CIRCUITO SÃO DE 85 MM X 30 MM	28
FIGURA 18. ESQUEMA DA LÓGICA DE CONTROLE PARA O <i>DIVISOR PULSE SWALLOW</i>	30
FIGURA 19. LAYOUT DO DIVISOR PULSE SWALLOW COMPLETO.	30
FIGURA 20 DETECTOR DE FASE E FREQÜÊNCIA	31

FIGURA 21. ESQUEMA DOS <i>FLIP-FLOPS</i> D MODIFICADOS PARA O DFF	32
FIGURA 22. RESPOSTA DO DETECTOR DE FASE E FREQÜÊNCIA POUCO ANTES DO SINCRONISMO	33
FIGURA 23. <i>LAYOUT</i> DO CIRCUITO DETECTOR DE FASE E FREQÜÊNCIA.	34
FIGURA 24. SINCRONISMO DOS SINAIS DE <i>VREF</i> E <i>VFB</i> .	34
FIGURA 25. TOPOLOGIA DO OSCILADOR CONTROLADO POR TENSÃO (VCO)	35
FIGURA 26. CIRCUITO EQUIVALENTE DOS INDUTORES (VCO)	36
FIGURA 27. LAYOUT DO OSCILADOR CONTROLADO POR TENSÃO (VCO)	37
FIGURA 28. RESPOSTA DO OSCILADOR À TENSÃO DE CONTROLE. VALORES DE FREQÜÊNCIA	
INTERNOS À LARGURA DE BANDA ZIGBEE	37
FIGURA 29. RESULTADO DA SIMULAÇÃO QUE MOSTRA A RESPOSTA DO VCO À ENTRADA DE	
CONTROLE V(VCTRL) PARA O CANAL 16.	38
FIGURA 30. BUFFER INVERSOR AUTO POLARIZADO	39
FIGURA 31. <i>LAYOUT</i> DO <i>BUFFER</i> INVERSOR AUTO POLARIZADO	40
FIGURA 32. ESQUEMÁTICO DA BOMBA DE CARGA.	41
FIGURA 33. ESQUEMÁTICO DO AMPLIFICADOR OTA, QUE FAZ A RÉPLICA DA TENSÃO VC1. AS	
DIMENSÕES INDICADAS SÃO DA LARGURA/COMPRIMENTO DE CANAL DOS TRANSISTORES	42
FIGURA 34. ESQUEMÁTICO DO FILTRO PASSA-BAIXAS	42
FIGURA 35. ESQUEMÁTICO DO FILTRO PASSA-BAIXAS ACRESCIDO DE \mathbb{C}_1	43
FIGURA 36. FILTRO PASSA-BAIXAS ACRESCIDO DE C_1 , C_3 E R_1	44
FIGURA 37. <i>Layout</i> do Filtro Passa-Baixas.	44
FIGURA 38. TENSÃO DE CONTROLE DO VCO NA TROCA DO CANAL 0 PARA O CANAL 8	48
FIGURA 39. TENSÃO DE CONTROLE COM VALORES DO CÁLCULO DO AMORTECIMENTO	49

LISTA DE TABELAS

TABELA 1 - LIMITES E CANAIS PARA A ESPECIFICAÇÃO <i>BLUETOOTH</i>	12
TABELA 2 - LIMITES E CANAIS PARA A ESPECIFICAÇÃO ZIGBEE	13
TABELA 3 - REGRAS APLICADAS NA SIMPLIFICAÇÃO DO FILTRO PASSA-BAIXAS	45
Tabela 4 - Potência consumida pelo Sintetizador (tensão de alimentação de 3,3V)	50
TABELA 5 - COMPARAÇÃO COM OUTROS TRABALHOS DESENVOLVIDOS EM TECNOLOGIA CMOS	52

RESUMO

Sintetizadores de Freqüências são circuitos que geram sinais em freqüências prédeterminadas, sendo estes sinais usados tanto na recepção como na transmissão de Rádio Freqüência. Os circuitos Sintetizadores possuem diversos blocos, dentre os quais podemos citar, osciladores controlados por tensão (VCO – *Voltage-Controlled Oscillator*), divisores programáveis (*Prescaler*), comparadores de fase (DFF – Detectores de Fase e Freqüência), bombas de carga (CP – *Charge Pump*) e Filtros Passa Baixas (LPF – Low Pass Filters).

Em 2003 foi projetado por Angel M.G. Argüello [Ar04] um circuito Sintetizador de Freqüências com arquitetura tipo *Integer-N*. Este circuito, projetado para ter banda centrada em torno de 2,4 GHz e 16 canais de 4,78 MHz, foi implementado na tecnologia CMOS 0,35 µm da AMS (Austrian Micro Systems), que possui quatro níveis de metais e dois níveis de polisilício. Após testes do circuito as seguintes conclusões sobre seu funcionamento foram derivadas: o circuito funcionou qualitativamente como projetado, sintetizando 16 tons de freqüência; o ruído de fase medido ficou acima do valor desejado; a potência consumida esteve dentro dos valores previstos, porém elevada.

No decorrer de 2004 foram feitas alterações no *layout* do circuito de Argüello com o objetivo de melhorar o ruído de fase. Estas alterações serviram como estudo preliminar para este trabalho.

Dando continuidade ao desenvolvimento de Sintetizadores, em 2005 foram estudadas novas estruturas e *layouts* mais eficientes no tocante a ruído de fase, dando-se especial atenção às alimentações dos circuitos digitais e analógicos e ao isolamento entre os mesmos. Um novo circuito Sintetizador foi desenvolvido para aplicações em sistemas *ZigBee*, que operam na banda de freqüência entre 2,400 GHz a 2,485 GHz, com 16 canais de largura igual

à 5 MHz. Resultados de simulação sobre o circuito projetado apontaram o funcionamento
adequado, com consumo de potência inferior a 32 mW para tensão de alimentação de 3,3 V.
Palavras-Chave: Sintetizador de Frequências. Rádio Frequência. <i>ZigBee</i> .

ABSTRACT

Frequency Synthesizers are circuits that generate pre-determined frequencies, used in

both radio frequency reception and transmission. The Synthesizer circuits are composed by

Voltage-Controlled Oscillator (VCO), Prescaler, several blocks, such as

(Phase/Frequency Detector), Charge Pump (CP), and Low Pass Filters (LPF).

In 2003, an *Integer-N* architecture Frequency Synthesizer circuit was developed by

Angel M.G. Argüello [Ar04]. This circuit, designed to have a band centered around 2.4 GHz

and 16 channels with a 4.78 MHz, were implemented with the 0.35 µm CMOS technology

from AMS (Austrian Micro Systems), using four metal levels and two polisilicon levels. After

the circuit tests, the following conclusions about its operation were derived: the designed

circuit operated as expected, generating 16 tons of frequency; the phase noise stayed above of

the desired value; the power consumption were within the expected values although high.

During the year of 2004, several modifications in the Argüello circuit layout have been

done in order to improve the phase noise. These modifications were a preliminary study to

this work.

Advancing in the development of Synthesizers, in 2005 new structures and more

efficient layouts, in terms of noise, were studied, with special attention given to the digital and

analog power supplies and their isolation. A new Synthesizer was developed for applications

with the ZigBee, which operates with frequencies from 2.400 GHz to 2.485 GHz and 16

channels of 5 MHz. The simulation results pointed out the correct operation of the circuit,

with power consumption lower than 32 mW for power supply of 3.3 V.

Keywords: Frequency Synthesizer, Radio Frequency, ZigBee.

3

1. INTRODUÇÃO

Um circuito Sintetizador de Freqüências serve para fornecer um sinal, cuja freqüência defini o centro de operação de canais de usuários num sistema de transmissão de Rádio Freqüências (RF). O usuário, por sua vez, deve estar restrito a uma faixa de freqüência em torno desta freqüência central, de forma a não sofrer, ou causar, interferências em outros usuários.

O circuito Sintetizador permite pequenos ajustes na freqüência do sinal de saída, possibilitando sintonizar diferentes canais em uma mesma banda de aplicação. O projeto de Sintetizadores é exigente, pois estes são compostos por diversos blocos, uns digitais e outros analógicos, funcionando muitas vezes em freqüências altas, chegando a vários GigaHerts. O Sintetizador faz parte, usualmente, de um circuito chamado transceptor (transmissor e receptor em um único circuito), fato que aumenta ainda mais o número de problemas causados por ruídos, tanto do Sintetizador nos blocos adjacentes, como do contrário.

Em 2003 foi projetado um circuito Sintetizador de Freqüências com arquitetura tipo Integer-N [Ra98b], por Angel M. Gómez Argüello [Ar04]. O circuito foi criado para operar com banda central de 2,4 GHz e 16 canais de 4,78 MHz. Juntamente com outros blocos ,desenvolvidos pelo grupo Divisão e Métodos de Projeto de Sistemas VLSI (DMPSV) do Laboratório de Sistemas Integráveis da Universidade de São Paulo (LSI), este circuito serviria para construir um transceptor. O circuito, implementado na tecnologia de CMOS 0,35μm da AMS (AustrianMicroSystems), com quatro níveis de metais e dois níveis de polisilício [Au03], foi posteriormente testado. A partir dos testes chegou-se as seguintes conclusões sobre seu funcionamento: o circuito projetado funcionou qualitativamente como desejado, sintetizando 16 tons de freqüência; o ruído de fase medido ficou bastante acima do desejado; a potência consumida esteve dentro dos valores previstos, porém elevada.

Inicialmente busca-se realizar alterações no projeto de Angel M. Gómez Argüello procurando melhorar a amplitude do sinal de saída utilizado para testes. Em seguida, alterar o fator de divisão do divisor *Pulse Swallow*, permitindo a utilização deste Sintetizador no padrão *ZigBee* (faixa de 2,400 GHz a 2,485 GHz e 16 canais de 5 MHz). Na seqüência, reprojetar o filtro de saída da bomba de carga, de forma a melhorar a relação sinal ruído. Por último, criar todo o *Layout* do circuito, bem como, de todas as partes que o compõe. Desta forma, será possível simular o novo circuito, e todos os blocos separadamente, baseando-se no *netlist* gerado a partir do *Layout*.

Almeja-se encontrar uma estrutura eficiente, com baixo ruído de fase e custo de fabricação (entende-se custo de fabricação como sendo a área ocupada pelo circuito) e se possível, com reduzido consumo de potência.

O projeto do circuito foi desenvolvido para a tecnologia CMOS 0,35 µm da AMS (Austrian Micro Sytems) ([Au03]).

2. CONCEITUAÇÃO TEÓRICA

2.01 Estrutura Integer-N

Da busca realizada em artigos técnicos, observou-se que muitos dos trabalhos encontrados recentemente utilizam a estrutura *Integer-N* na construção de Sintetizadores de Freqüências para o padrão *ZigBee* [Si05][Sr06][De07]. Inúmeras justificativas são utilizadas por seus autores para explicar a escolha por esta arquitetura, embora a mais plausível ainda recaia sobre a simplicidade da arquitetura *Integer-N*. Este modelo é construído utilizando um circuito PLL (*Phase Locked Loop*), uma bomba de carga CHP (Charge Pump), um filtro passa-baixas LPF (Low Pass Filter), um VCO (Voltage Controlled Oscillator) e no caminho de realimentação um divisor programável [Ra98a], [Ra98b]. O diagrama em blocos da estrutura *Integer-N*, pode ser visto na figura 1.

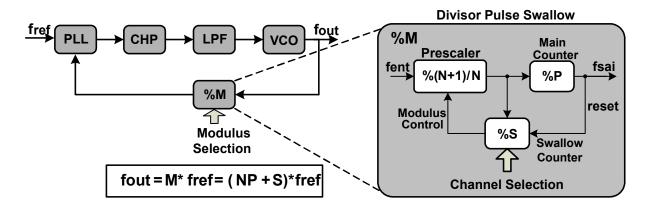


Figura 1. Arquitetura do circuito *Integer-N*.

O divisor programável, chamado de Divisor *Pulse Swallow*, é composto por três blocos que trabalham em freqüências distintas. O primeiro bloco do divisor é o *Prescaler* que divide a freqüência do sinal de entrada por N ou (N+1), de acordo com o sinal de controle *Modulus Control*. O *Prescaler* opera em freqüências altas, podendo chegar a 2,4835 GHz para este projeto. Este bloco é responsável por baixar a freqüência do sinal, tornando sua manipulação mais simples e, desta forma, a velocidade deixa de ser um fator crítico para os

demais blocos do *Pulse Swallow*. O segundo bloco do divisor, o *Main Counter* (MC), é um contador que recebe como entrada o sinal gerado pelo *Prescaler* e gera em sua saída um sinal com freqüência P vezes menor (vide figura 1), cerca de alguns MHz para nosso projeto. A saída do divisor *Main Counter* é comparada com a freqüência de referência através do PLL, bem como, é utilizada para realizar a inicialização do terceiro bloco do divisor, o *Swallow Counter* (SC). Este bloco é um contador que também recebe como clock o sinal gerado pelo *Prescaler* e o divide pelo valor S, que é programável.

Para entender melhor o funcionamento completo do Divisor Programável, considere, a princípio, que o *Main Counter* e o *Swallow Counter* são inicializados com os valores P e S, respectivamente. O valor de divisão do *Main Counter*, P, deve ser sempre maior ou igual ao valor inicializado no *Swallow Counter*, S, ou seja, $S \le P$. Ambos os contadores possuem como *clock* a saída do *Prescaler* que, por sua vez, é controlado pelo *Swallow Counter* através do sinal *Modulus Control*. Considerando que inicialmente este sinal está em alto, temos na saída do *Prescaler* uma freqüência igual a do sinal de saída do VCO, f_{out} , dividida por (N+1) (maiores detalhes na figura 1). Quando o valor do *Swallow Counter* chega a zero, o *Main Counter* está em (P-S); deste momento em diante, o *Main Counter* passa a receber como *clock* o sinal do VCO dividido por N e não mais por N+1, conforme tínhamos anteriormente. O *Main Counter* continua então a decrementar o seu valor até que este também chegue a zero e ambos os contadores recebam um sinal de *reset* e o processo recomece (*Main Counter* e *Swallow Counter* são inicializados com P e S, *Prescaler* dividindo por (N+1), etc.).

O fator de divisão total, relação entre a freqüência de saída do VCO e a freqüência de saída do *Main Counter*, é de M = NP + S. Desta forma, ajustando os valores de P, N e S e definindo a freqüência do sinal de referência, pode-se sintonizar a freqüência de saída do Sintetizador (saída do VCO). Na prática, utilizam-se valores fixos para P e N, e um valor

variável para S, de 0 a P (S varia de 0 a 15 para o Sintetizador *ZigBee*), o que permite passar de um canal a outro, a medida que se altera o valor de S.

Utilizou-se uma frequência de referência, para o Sintetizador, com valor igual à largura dos canais, o que tornou a alternância entre os canais bastante simples, uma vez que a passagem de um canal ao seu subsequente implica apenas no incremento unitário do fator de divisão S do *Swallow Counter*.

2.02. Modelamento Matemático

Considere agora o diagrama da figura 2, que representa o modelo matemático contínuo de um Sintetizador de Freqüências. Nele podemos ver o VCO, modelado como um integrador de fase controlado por tensão, o divisor, modelado como um divisor da fase, o detetor de fase e o filtro. O detetor de fase é o circuito responsável por produzir o sinal de controle do VCO. Ele mede a diferença entre a fase do sinal de referência, $\theta in(s)$, e a fase do sinal de retroalimentação, θfb (s). Essa diferença θe é multiplicada por um ganho K_{PD} , gerando assim a corrente de controle ie. Este sinal é então filtrado no $Loop\ Filter\ gerando\ o\ sinal\ vc$, como mostra a equação 1, e por fim aplicado ao VCO.

$$v_c(s) = i_e(s)F(s) \tag{1}$$

onde F(s) é a função de transferência do *Loop Filter*.

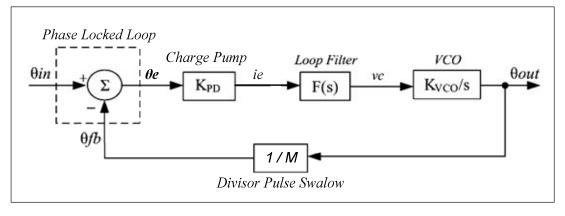


Figura 2. Modelo matemático para o Sintetizador de Frequências.

A função de transferência para o Sintetizador é dada por:

$$H(s) = \theta_{out}(s) / \theta_{in}(s) \tag{2}$$

onde $\theta_{out}(s)$ é a fase do sinal de saída e $\theta_{in}(s)$ é a fase do sinal da entrada de referência.

A frequência do sinal de saída do VCO será dada pelo produto mostrado na equação 3.

$$f_{OSC}(s) = vc(s) K_{VCO}$$
 (3)

onde K_{VCO} é um fator de ganho do oscilador, dado em (rad/seg).

O oscilador controlado por tensão pode ser modelado da mesma forma que um integrador, como mostra a equação 4.

$$\theta_{out}(s) = \frac{v_c(s) K_{VCO}}{s} \tag{4}$$

O ganho do caminho direto, dado pela Bomba de Carga, o Filtro Passa Baixa e o oscilador, é a igual à equação 5.

$$\frac{\theta_{out}(s)}{\theta_{o}(s)} = K_{PD} \cdot F(s) \cdot \frac{K_{VCO}}{s} \tag{5}$$

onde K_{PD} é o ganho da bomba de carga com relação ao erro de fase, dado em (rad/seg).

O ganho do caminho de realimentação, feito pelo divisor *Pulse Swallow*, é dado pela equação 6.

$$\frac{\theta_{fb}(s)}{\theta_{L}(s)} = \frac{1}{M} \tag{6}$$

onde M é o fator de divisão do Pulse Swallow no caminho de realimentação.

Do somador, representando o Detector de Fase e Freqüência na figura 2, tiramos a equação das fases, dada por

$$\theta_{in}(s) = \theta_{e}(s) + \theta_{fb}(s) \tag{7}$$

Das equações 5, 6 e 7 pode-se encontrar a função de transferência de *loop* fechado do sintetizador, dada por:

$$H(s) = \frac{\theta_{out}(s)}{\theta_{in}(s)} = \frac{K_{PD}K_{VCO}F(s)}{s + \frac{K_{PD}K_{VCO}F(s)}{M}}$$
(8)

Esta equação será mais detalhada quando obtivermos a função F(s) do filtro.

2.03 Padrões RF

A tecnologia *wireless* permite a troca de dados entre dispositivos sem a utilização de fios. São inúmeros os aparelhos que utilizam a tecnologia *wireless*, indo de computadores *desktops* e *laptops*, *palmtops*, celulares a uma gama enorme de aparelhos de controle residenciais e industriais. No entanto, usualmente, aparelhos celulares utilizam uma tecnologia conhecida como o WAP (*Wireless Application Protocol*) e mais recentemente, tem sido dotados também do *Bluetooth*.

Os protocolos para tecnologias *wireless* mais conhecidos atualmente são o *Bluetooth* e o IEEE 802.11 (ou Wi-Fi). Dentre os protocolos mais recentemente incorporados à família de protocolos *wireless* encontra-se o *ZigBee*. Ele se destaca pela rápida popularidade alcançada e pelos baixos custo e consumo [Fr08].

Na figura 3 pode-se visualizar as camadas da estrutura *ZigBee*. Nas camadas mais baixas encontramos a chamada MCU, que representa o *hardware* do micro-controlador, cuja função é enviar, receber e controlar as informação trocadas na rede. Próximo a ela, encontrase a camada RFIC, que representa o rádio *ZigBee*, seu *hardware*, sua tecnologia e tudo o que se refere às características construtivas do circuito de Radio Freqüência. As duas camadas superiores compõem o protocolo MAC, que controla a conectividade entre os dispositivos, e a camada PHY, que representa as escolhas do usuário com relação ao transceptor RF, como por exemplo, o canal utilizado, a potência de saída e outros parâmetros pertinentes ao meio físico.

As camadas MAC e PHY são baseadas no padrão IEEE 802.15.4, cujas características referem-se ao controle de dados e formação de redes [Fr07].

Todos os aspectos abordados neste trabalho englobam a camada RFIC, dentre eles destacam-se: freqüência central, largura dos canais, largura de banda, sensibilidade de recepção, potência de transmissão, entre outros.

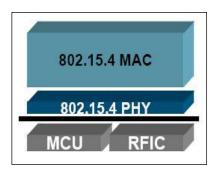


Figura 3. Camadas que compõem o padrão ZigBee.

Apresentaremos aqui uma rápida comparação entre o *Bluetooth*, uma das tecnologias mais difundidas, e o *ZigBee* que encontra-se em plena ascensão. A escolha do protocolo a ser utilizado em uma dada aplicação baseia-se em características da aplicação tais como quantidade de informação a ser transmitida, robustez necessária, consumo de energia e, principalmente, custo. Os sistemas *Bluetooth* e *ZigBee* criam combinações bastante eficazes [Ch05], com capacidades razoáveis de transmissão e utilizando uma das faixas do espectro alocadas pela ANATEL para uso das chamadas aplicações Industriais, Científicas e Médicas (*Industrial, Scientific, and Medical* - ISM) que é de acesso livre.

Serão apresentadas, a seguir, algumas características físicas do *Bluetooth* e do *ZigBee* para melhor comparar o novo protocolo com uma tecnologia de maior popularidade.

2.03.1 Bluetooth

Bluetooth é uma tecnologia de baixo custo criada para comunicações sem fio entre dispositivos eletrônicos a distâncias pequenas. Possui uma taxa de transferência de até 721

Kbps e segue o padrão IEEE 802.15.1 [IE02]. Com *Bluetooth* o usuário pode detectar e conectar o seu aparelho de forma rápida a outros dispositivos que tenham a mesma tecnologia. Este sistema começou a ser desenvolvido em 1994 pela Ericsson e, a partir de 1998, pelo *Bluetooth Special Interest Group* (SIG), consórcio inicialmente estabelecido pela Sony, Nokia, Ericsson, IBM, Intel, Toshiba.

O sistema *Bluetooth* opera em uma banda de 83,5 MHz, com 79 canais de 1 MHz cada, como mostrado na tabela 1[Cr01].

Tabela 1 - Limites e canais para a especificação *Bluetooth*.

Range	Freqüência central para Canais RF <i>Bluetooth</i>		
2,4000 - 2,4835 GHz	F = 2402 + k MHz,	k=0,,78	

A emissão de sinais espúrios deve ser suficientemente pequena para não permitir que canais adjacentes causem interferência mútua. A especificação de potência nos canais adjacentes para o sistema *Bluetooth* pode ser vista na figura 4.

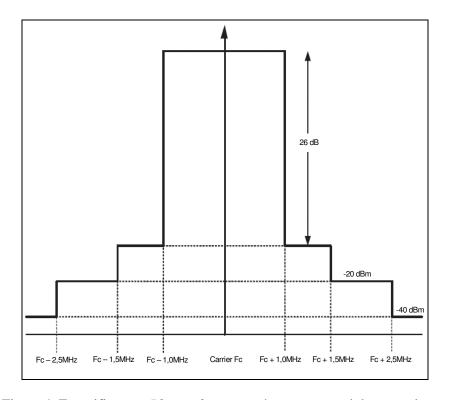


Figura 4. Especificações *Bluetooth* para a máscara espectral de transmissão.

Pela figura 4 pode-se ver, por exemplo, que a potência entre 1 MHz e 1,5 MHz acima da freqüência central de um canal, deve ser 26 dB menor que o valor máximo medido na banda [Sa03][B104].

2.03.2 *ZigBee*

ZigBee é o nome dado a um conjunto de protocolos de alto nível usados em pequenos rádios digitais de baixa potência e baixa taxa de transmissão (máximo de 250 kbps). O ZigBee é baseado no padrão IEEE 802.15.4 [IE03] para redes pessoais wireless (WPANs). Ele foi desenvolvido pela ZigBee Alliance junto ao IEEE [Zi07]. A ZigBee Alliance é uma associação que conta com mais de 45 empresas, entre elas a Agere Systems, AMI Semicondutor, Atmel, Eaton, ENQ Semiconductor, Integration Associates, Microchip Technology, Mitsubshi Electronic Industrial, Motorola e Philips Semiconductors [Zi05]

ZigBee opera em uma banda de freqüência entre 2,400 GHz a 2,485 GHz, no entanto, diferentemente do sistema *Bluetooth*, esta banda é dividida em apenas 16 canais com faixa de 5 MHz. A tabela 2 mostra as freqüências centrais dos canais.

Tabela 2 - Limites e canais para a especificação ZigBee.

Range	Freqüência Central para Canais RF <i>ZigBee</i>	
2.400GHz a 2.485GHz	F = (2405 + 5* (k-11)) MHz, k = 11,26	

A especificação de potência nos canais adjacentes para o *ZigBee* pode ser vista na figura 5.

Pode-se ver, por exemplo, que a potência entre 5 MHz e 7,5 MHz, acima da freqüência central de um canal, deve ser 25 dB menor que o valor máximo medido na banda [Zi05].

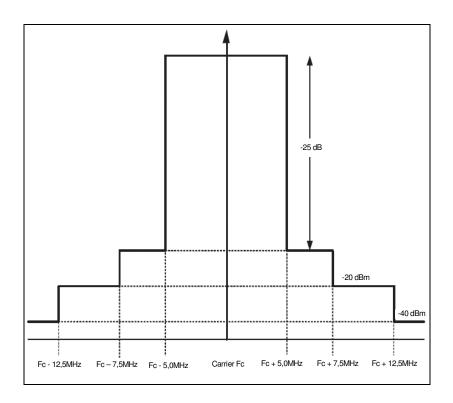


Figura 5. Especificações ZigBee para a máscara espectral de transmissão.

4. METODOLOGIA

A metodologia adotada baseia-se no aproveitamento e re-projeto de blocos RF anteriormente desenvolvidos pelo grupo, complementando-os com novos circuitos necessários à construção do Sintetizador utilizado na tecnologia ZigBee.

Alguns circuitos já estudados e implementados por integrantes do grupo DMPSV, foram re-utilizados neste projeto, como é o caso do VCO e da Bomba de Carga. No entanto, o Filtro Passa-Baixas, o *Main Counter* e alguns outros blocos tiveram de ser inteiramente projetados ou adaptados, de modo a suprirem as exigências do sistema *ZigBee*.

Para reconhecer a correlação dos *layouts* já construídos e das estruturas esperadas para cada bloco, fez-se necessário criar esquemáticos representativos de cada parte do Sintetizador e compará-los aos respectivos *layouts*. Somente desta forma foi possível garantir que os circuitos estavam livres de possíveis enganos de *layout*. Para esta comparação foi utilizada a ferramenta LVS (*Layout vs Schematic*) da Mentor Graphics, disponível em nosso laboratório.

O DA-IC (*Design Architecture –IC Station*), editor de esquemáticos, juntamente com o editor de *Layout's* permitem realizar a sobreposição de *netlists*, acusando erros de ligação e de *Layout*.

Um dos esquemáticos e seu respectivo *Layout*, utilizados na comparação, podem ser visualizados na figura 6(a) e 6(b) respectivamente. Neste exemplo, além das regras básicas de composição de um transistor, como distâncias e dimensões mínimas, também pôde ser testada a perfeita correlação entre *Layout* e esquemático.

Após a comparação e seleção dos blocos pertinentes ao projeto, buscou-se corrigir estruturas irregulares e a melhoria dos *layouts* no tocante sinal/ruído.

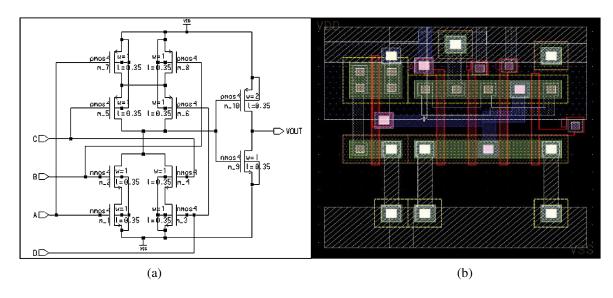


Figura 6. (a) Porta AND com 4 entradas construída no DA-IC da Mentor Graphics.(b) Layout da AND construído no IC da Mentor Graphics.

O circuito modificado, com fontes de alimentação isoladas para as partes digital e analógica, com correções na Bomba de Carga e com um novo filtro na entrada de realimentação do VCO, foi criado e testado conforme descrito anteriormente. Da comparação de *netlists* obteve-se um relatório semelhante àquele mostrado na figura 7, a resposta positiva sugere que ambos os arquivos representam ao mesmo circuito.

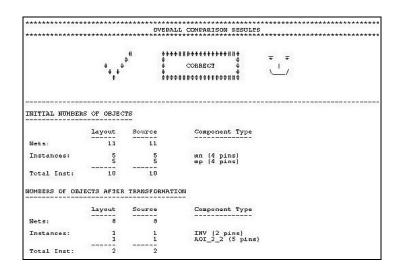


Figura 7. Resposta da comparação Layout vs Schematic (LVS), obtida com êxito.

Todo o *Layout* do circuito, acrescido de *Pads* auxiliares de terra, fontes de alimentação separadas e estruturas construídas de forma a obter impedâncias balanceadas [Ro99], foi

criado juntamente com o esquemático de todo o circuito, permitindo a comparação de ambas as estruturas e garantindo que não houvesse erros de *Layout*. A figura 8 ilustra o *layout* final.

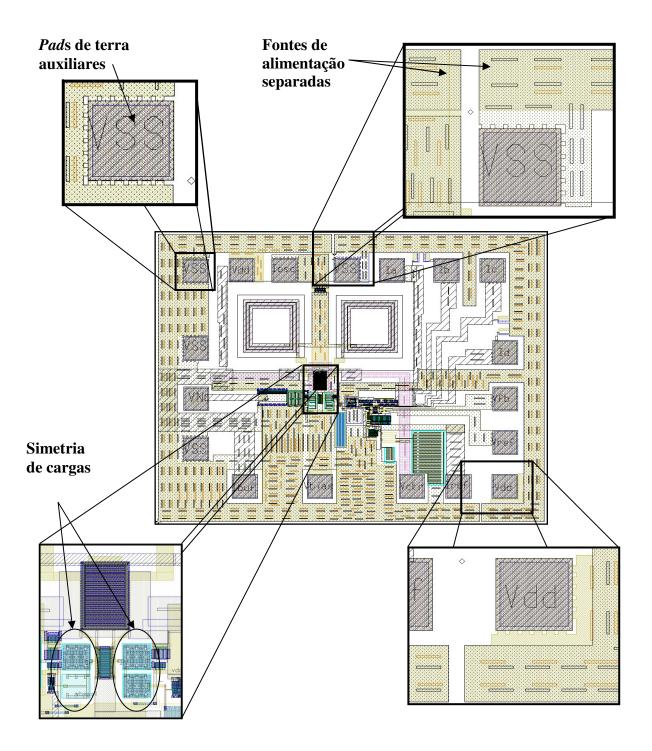


Figura 8. Novo *Layout*, com detalhes das alimentações, dos *Pads* de aterramento e da distribuição de cargas.

Na figura 8, pode-se visualizar em detalhes um dos *Pads* de aterramento auxiliar, a separação das alimentações digital e analógica e estruturas modificadas para manter o balanceamento de cargas em todo o circuito.

Embora alguns blocos do Sintetizador já estivessem projetados, novos blocos foram necessários e para tanto, foi realizada uma busca por estruturas recentemente publicadas e que melhor se adaptavam as necessidades do sistema *ZigBee*.

Desta pesquisa resultaram o Filtro Passa-Baixas e o divisor *Main Counter*, que compuseram o circuito capaz de Sintetizar 16 canais adaptado a tecnologia ZigBee.

A tecnologia escolhida para este trabalho foi a CMOS 0,35 μm C35B4/CSI da Foundry AMS ([Au03]), que possui quatro níveis de metais e dois de polisilício. Esta tecnologia permite tensões de alimentação de 3,3 V. Para esta escolha, levamos em consideração quatro fatores principais:

- Facilidade de acesso ao processo, pois um grande número de universidades utilizam esta mesma tecnologia para seus projetos, permitindo somar área mínima rapidamente para a fabricação das estruturas;
- Custos da implementação, pois a tecnologia de 0,35 μm possui um custo muito menor, quando comparada a outras tecnologias de menores dimensões.
- 3. Adequação da tecnologia aos objetivos do projeto, pois esta tecnologia permite a construção de circuitos que trabalhem à 2,4GHz.
- Disponibilidade de *design kits* para a tecnologia 0,35 μm das ferramentas de desenvolvimento disponíveis dentro da Universidade de São Paulo (MENTOR, HSPICE, MAGIC, etc.)

Nos anexos A e B encontram-se os modelos de transistores MOS N e P para esta tecnologia, utilizando parâmetros típicos, fornecidos pela *Foundry* AMS. Estes modelos são

acrescentados nos arquivos de simulação do software Eldo, Mentor Graphics. O *software* Eldo permite gerar os resultados necessários para visualizar os gráficos de resposta do circuito.

5. RESULTADOS

5.01 Resultados e Procedimentos

Foi obtido um circuito Sintetizador de Freqüências capaz de sintetizar 16 canais de largura igual à 5 MHz, dentro de uma faixa de freqüência de 83,5 MHz, iniciando o primeiro canal em 2,4 GHz. Dentre os blocos que compõem o Sintetizador, alguns já foram utilizados nos trabalhos de Angel M. Gómez Argüello [Ar04] e de Andrés Fafan Pelaez [Pe03] como, por exemplo, a Bomba de Carga e o Oscilador Monotônico. No entanto, existem outros que surgiram da modificação de blocos já aplicados ou são inteiramente novos e visam alcançar um melhor desempenho além de suprir as exigências dos sistemas *ZigBee*.

Primeiramente, buscou-se adaptar o trabalho de Gómez as conformidades do Sistema ZigBee e minimizar seu ruído de fase. Para isso, alterou-se o Layout e foram corrigidas algumas falhas nas estruturas da Bomba de Carga. Também o Buffer de saída do VCO foi recalculado de modo a melhorar o sinal de monitoramento externo. O circuito divisor, composto pelos blocos Prescaler, Main Counter e Swallow Counter, foi reprojetado de modo a gerar as freqüências necessárias dos canais ZigBee, resultando em um Main Counter divisor por 15, um Prescaler divisor por 32 ou 33 e um Swallow Counter que permite dividir de 0 a 15.

Como base de comparação, um sistema *Bluetooth* construído com o mesmo tipo de estrutura, *Integer N*, possuiria os mesmos blocos que o circuito apresentado neste trabalho, estaria dentro da mesma faixa de freqüência, possuiria a mesma freqüência inicial do primeiro canal, porém seu divisor seria projetado para gerar 79 canais com largura de banda de 1MHz [B199].

Descreve-se a seguir os blocos que compõe o circuito Sintetizador de Freqüências.

5.02. Prescaler

A freqüência de entrada do Divisor *Pulse Swallow* é muito alta, a ponto de dificultar sua operação. Por esta razão, o primeiro bloco do divisor é o circuito *Dual-Modulus Prescaler* (DMP), que é capaz de dividir a freqüência do sinal de entrada por um valor previamente ajustado, de forma que a freqüência do sinal baixe para valores tratáveis pelos demais blocos do divisor. O *Prescaler* pode operar em freqüências elevadas graças a sua construção cuidadosa e a técnicas de projeto que permitem minimizar disputas entre sinais. Este bloco do divisor pode também variar sua razão de divisão de N para (N + 1), dependendo do nível do sinal na entrada de controle *MC*.

Na figura 9 tem-se representado um circuito DMP 32/33 utilizando diagramas em blocos para representar os *flip-flops* tipo D usados em sua construção.

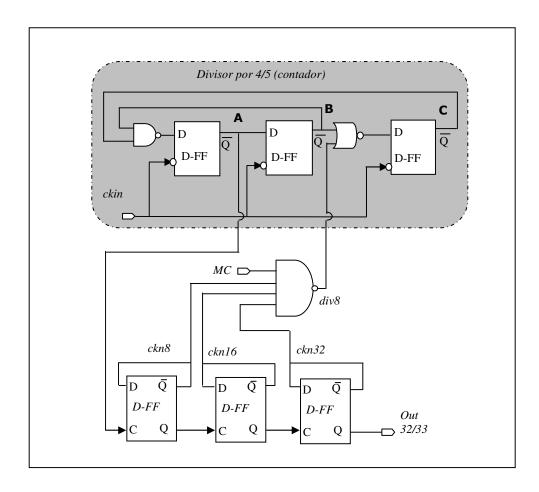


Figura 9. Diagrama em blocos do divisor *Dual-Modulus Prescaler*, divisor por 32 ou 33.

O circuito *Prescaler* é composto de dois contadores, um síncrono e outro assíncrono. A região hachurada, parte superior da figura 9, destaca o divisor 4/5. Este contador é síncrono e seu sinal de *clock* vem da saída do VCO após ter sido amplificada por um *Buffer*. O divisor 4/5 é composto por três *flip-flops* tipo D (D-FF), sensíveis à borda de descida, e duas portas lógicas estáticas.

A região não hachurada, parte inferior, mostra o divisor por 8. Este contador é assíncrono e é composto por três *flip-flops* tipo D sensíveis a borda de subida.

A divisão total do *Prescaler* é igual a 32 ou 33, dependendo do estado do pino *MC* (*Modulus Control*). Quando *MC* é "baixo" a saída da porta NAND será necessariamente "alta" e o bloco contador 4/5 será forçado a dividir por 4 sempre, resultando na divisão por 32 para o *Prescaler*. Quando *MC* é "alto" o valor da saída da porta NAND dependerá dos sinais *ckn8*, *ckn16* e *ckn32*; neste caso a divisão por 5 é realizada somente quando estes três sinais estiverem simultaneamente em "alto", resultando numa divisão por 33 *Prescaler*.

O *Dual-Modulus Prescaler* é o bloco mais crítico do divisor, pois deve operar com freqüência igual a do próprio VCO. O contador assíncrono foi construído com D-FFs TSPC convencionais [Ka87]. O contador síncrono foi implementado utilizando a técnica *Extended-True Single Phase Clock* (E-TSPC) [Na02][Na99][Na97b], que é uma extensão da técnica TSPC. Na técnica E-TSPC são aplicadas regras que aumentam as possibilidades de conexão e ao mesmo tempo evitam *races* (disputas entre sinais, que podem levar a degradação da informação), resultando em circuitos de altíssima velocidade.

Na figura 10 pode-se visualizar o circuito *Prescaler* com maiores detalhes, incluindo as dimensões dos transistores.

Observe que o sinal *MC* é conectado só ao transistor P da porta NAND; isto foi feito para evitar usar 4 transistores tipo N em série na saída, o que reduziria a velocidade da porta.

Neste caso, devido as dimensões escolhidas para os transistores, quando o sinal *MC* for igual a "baixo" e as outras entradas da porta NAND, iguais a "alto", a saída deverá ser "alto".

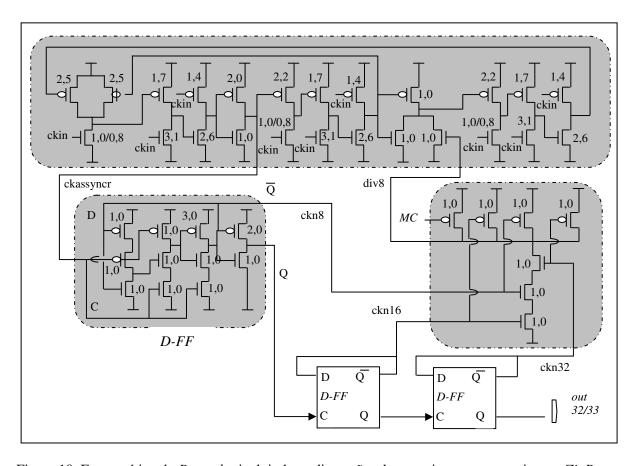


Figura 10. Esquemático do *Prescaler* incluindo as dimensões dos transistores, para o sistema *ZigBee*.

As dimensões indicadas são da largura/comprimento de canal dos transistores. Quando o comprimento não é dado, seu valor é o mínimo da tecnologia, 0,35 μm.

Devido à alta freqüência, houve a necessidade de utilizar um anel de guarda ao redor da parte mais critica do *Prescaller*, o divisor 4/5. Ele trabalha com sinal de freqüência igual a do VCO, podendo chegar a 2,485 GHz. O Anel de guarda serve para proteger de ruídos digitais, gerados pelo divisor 4/5, outras porções do Sintetizador.

Na figura 11 encontra-se o *Layout* do *Prescaler*. As dimensões do circuito completo são de 70 μ m x 30 μ m.

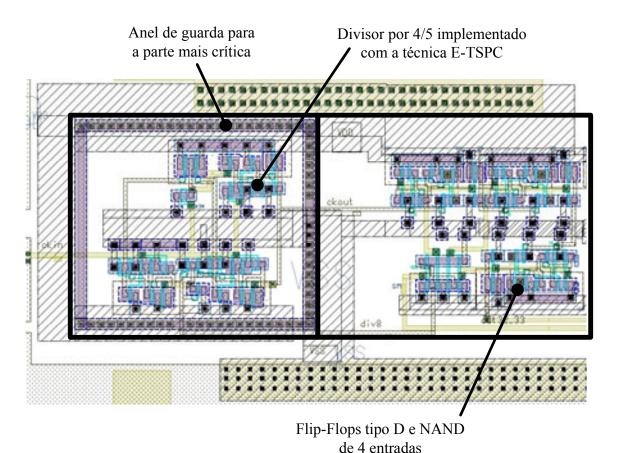


Figura 11. *Layout* do *Prescaler*, com destaque para o divisor por 4/5 e anel de guarda. As dimensões

do circuito são de 70 μm x 30 μm.

5.03. Main Counter (MC)

Diferente do *Swallow Counter* e do *Prescaler*, este contador trabalha com uma contagem fixa e igual a 15. Para sua construção utilizam-se apenas *flip-flops* tipo D (D-FF) do tipo *True Single Phase Clock* (TSPC) modificados: os *flip-flops* possuem, além da entrada tipo D, uma entrada auxiliar de *SET* que permite passar a saída Q para nível "alto" de forma assíncrona. O bloco D-FF do *Main Counter* é apresentado na figura 12. As entradas *SA* e *SB* são responsáveis por elevar o nível de saída, *SET*. São sinais complementares que, independentemente das demais entradas, forçam na saída Q o valor lógico "alto".

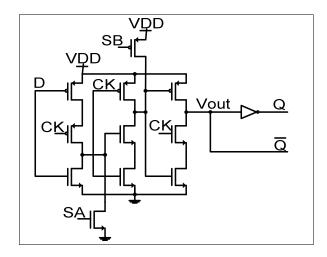


Figura 12. Esquemático do bloco DFF com SET, implementado com a técnica TSPC.

Na figura 13 pode-se ver o diagrama de blocos do *Main Counter*. As saídas *Q1*, *Q2*, *Q3* e *Q4* invertidas, compõem a lógica para o sinal de SET. Por se tratar de um contador decrescente, o valor menor de contagem é o responsável pela reinicialização da contagem (reinicialização para 15).

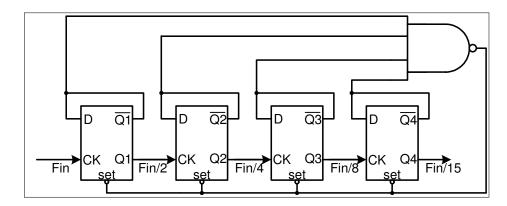


Figura 13. Diagrama de blocos representando o Main Counter para o Sintetizador ZigBee.

O *Main Counter* recebe em seus terminais de entrada uma freqüência 32 (ou 33) vezes menor do que a do Oscilador, portanto, seu funcionamento não é crítico nem em termos de velocidade nem de potência. Por esta razão, pôde-se aplicar aqui D-FF's convencionais TSPC além de portas lógicas CMOS estáticas.

Na Figura 14 pode-se observar o *Layout* do *Main Counter*. As dimensões do circuito completo são de 49,17 μm x 26,87 μm.

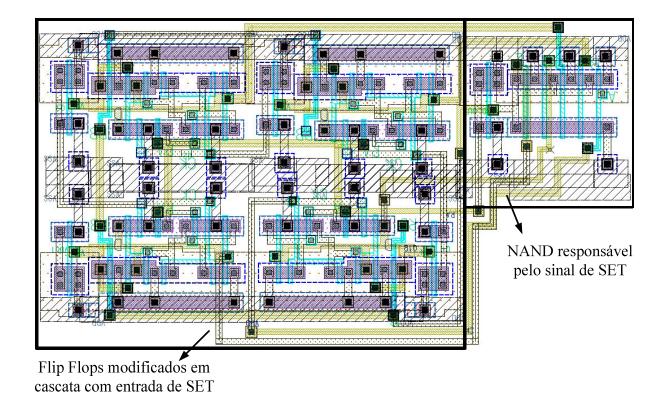


Figura 14. *Layout* do contador *Main Counter* de 0 a 15. As dimensões do circuito são de 49,17 μm x 26,87 μm.

Na figura 15 é mostrado o gráfico de resposta da simulação realizada no eldo utilizando o *netlist* extraído do *Layout* do divisor *Main Counter*. Esta simulação exemplifica o funcionamento do *Main Counter*. O sinal V(CK) representa a entrada de clock do *Main Counter* e o V(Q1) mostra o estado do bit menos significativo. O segundo cursor vertical (barra vertical continua) aponta o momento em que o primeiro *Flip-Flop* recebe o sinal de *SET* e é forçado a mudar sua saída *Q1* para nível lógico "alto".

Observemos aqui que, apesar da reinicialização da contagem do *Main Counter* ser feita quando todas as saídas atingem o nível lógico baixo, ou seja, exatamente na contagem do valor 0, por estarmos usando D-FFs com *SET* assíncronos, o contador salta do valor 1 para o valor 15 de contagem, estando em 0 apenas na transição (vide figura 15). Dessa forma *Main Counter* será, na operação completa, um contador 15.

Os parâmetros adotados para os transistores nesta simulação, bem como para todas as outras simulações mostradas neste trabalho, são do tipo "típico" e a tensão de alimentação é 3,3 V. Os modelos dos transistores PMOS e NMOS utilizados estão nos anexos A e B.

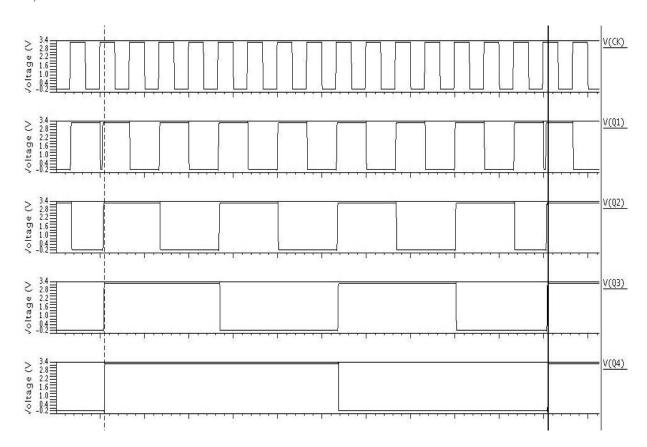


Figura 15. Resultado da simulação do divisor Main Counter.

O pequeno espúrio que aparece em *Q1*, na transição entre o valor 1 e 15 durante a reinicialização, não interfere no funcionamento do restante do circuito pois apenas o sinal *Q4* é que é utilizado no resto do Sintetizador.

5.04. Swallow Counter (SC)

O circuito completo do *Swallow Counter* pode ser visto na figura 16. Este circuito é basicamente um contador decrescente programável, na qual as entradas I_A , I_B , I_C e I_D permitem carregar o valor inicial, que pode variar de 0 a 15. O sinal lo é quem habilita ou não o carregamento deste valor inicial. O *clock* do *Swallow Counter* tem origem em um multiplexador [Na98b], que também compõe a lógica de controle do divisor *Pulse Swallow*.

A metodologia utilizada na construção deste circuito foi a mesma do *Main Counter*, utilizando D-FFs construídos com a técnica TSPC convencionais e portas lógicas CMOS estáticas.

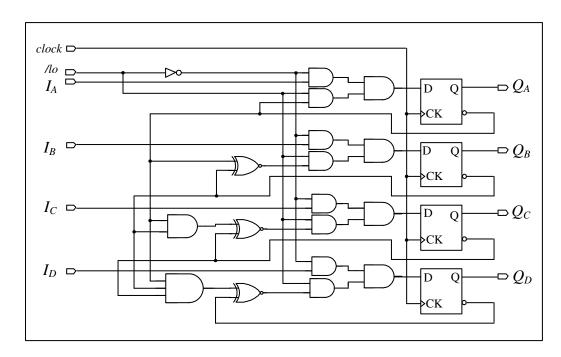


Figura 16. Esquemático do Swallow Counter com 4 entradas de controle.

Na figura 17 pode-se observar o *Layout* do *Swallow Counter*. As dimensões do circuito completo são de 85 μm x 30 μm .

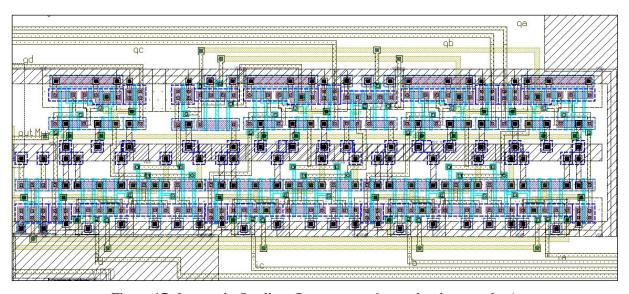


Figura 17. *Layout* do *Swallow Counter* com 4 entradas de controle. As dimensões do circuito são de 85 μm x 30 μm.

5.05. Lógica de Controle do Divisor *Pulse Swallow*

A lógica de controle é responsável por carregar o valor inicial no *Swallow Counter e* selecionar qual será seu sinal de *clock*. Ela determina também qual o fator de divisão será empregado no *Prescaler* (32 ou 33).

A lógica de controle foi construída, basicamente, utilizando um multiplexador e uma porta OR de 4 entradas, como pode ser visto na figura 18. Este circuito, apesar da simplicidade, realiza todo o controle necessário para o *Divisor Pulse Swallow*.

O circuito multiplexador é implementado de forma padrão. Este bloco foi construído utilizando transistores de passagem, em uma configuração conhecida como "double transmission gate", garantindo assim, uma boa transmissão do sinal para ambos os níveis lógicos.

Vejamos como trabalha a lógica de controle: quando o *Swallow Counter* chega a zero, a saída da porta OR de 4 entradas ligada a ele vai para nível lógico "baixo", fazendo com que o *Prescaler* passe a dividir por 32. Neste instante, o multiplexador alterna o sinal ligado ao *clock* do *Swallow Conter*, passando do sinal vindo do *Prescaler* para um sinal vindo do *Main Counter*. Este estado permanecerá até o momento em que o *Main Counter* encerra sua contagem e é reinicializado. Neste instante, o *Swallow Counter* recebe uma borda no *clock*, o que o faz reinicializar, a saída da porta OR vai para nível lógico "alto" e o *Prescaler* passa a dividir por 33. Adicionalmente o *Swallow Counter* volta a receber como sinal de *clock* a saída do *Prescaler*.

O esquemático completo da lógica de controle e os demais blocos do divisor, podem ser visualizados na figura 18.

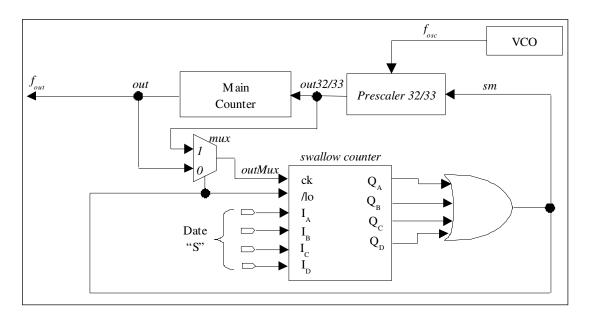


Figura 18. Esquema da lógica de controle para o Divisor Pulse Swallow.

Na figura 19 pode-se observar o *Layout* do divisor *Pulse Swallow*. As dimensões do circuito completo são de 222,8 μm x 36,17 μm.

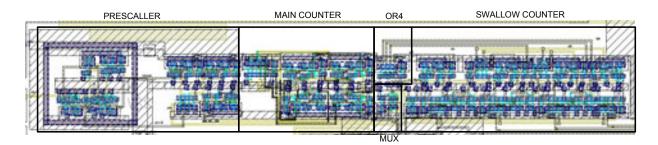


Figura 19. Layout do divisor Pulse Swallow completo.

5.06. Detector de Fase e Frequência (DFF)

A diferença de fase entre o sinal de referência e o sinal de realimentação é medida utilizando o Detector de Fase e Freqüência. Este gera uma tensão de saída proporcional a esta diferença [Gri98] por meio de uma Bomba de Carga. Esta tensão, como visto, é necessária para o controle da freqüência do VCO.

Para o DFF são utilizados dois *flip-flops* tipo D. O primeiro recebe em seu *clock* o sinal de referência externo com freqüência igual à largura de banda dos canais, neste caso 5 MHz. O segundo *flip-flop* recebe em seu *clock* o sinal vindo da saída do Divisor *Pulse*

Swallow. Este sinal possui a freqüência igual àquela do sinal do VCO dividida por um valor que depende da freqüência que se deseja sintetizar, valor que varia de 480 a 495. É possível assim varrer os 16 canais da tecnologia *ZigBee*.

O diagrama de blocos utilizado na construção do Detector de Fase e Freqüência pode ser visto na Figura 20.

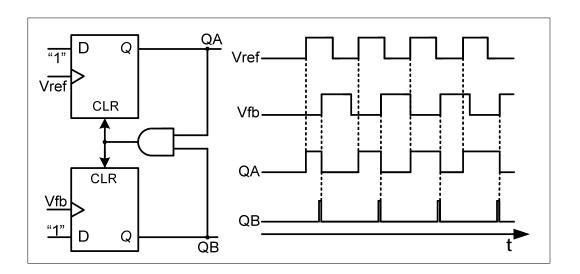


Figura 20. Detector de Fase e Freqüência.

Uma borda de subida na entrada de referência *Vref* faz com que o sinal *QA* torne-se ativo; com isso, a carga em um capacitor controlada pelo valor de *QA* é aumenta. De forma equivalente, uma borda de subida na entrada realimentada *Vfb* faz com que o sinal *QB* torne-se ativo e, com isso, a carga no capacitor é reduzida. Quando ambas as saídas, *QA* e *QB*, estiverem simultaneamente ativas, a porta AND ocasionará o *reset* dos dois *D-flip-flops*, fazendo as saídas caírem a zero, conforme mostrado no gráfico da figura 20.

Para a construção deste DFF são utilizados dois *flip-flops* tipo D modificados, projetados na tecnologia *TSPC*. Os dois *flip-flops* possuem entradas de *reset* que permitem levar as saídas *QA* e *QB* para nível lógico baixo, simultaneamente.

O circuito dos *flip-flops* modificados é apresentado na figura 21. Quando os sinais de *reset* e a entrada de *clock* estão em nível lógico baixo, o nó *A* está conectado ao *VDD* através dos transistores m1 e m2. Quando há a inversão do sinal de *clock*, o nó *B* é conectado ao terra através de m5 e m6 e a saída "out" vai para nível lógico alto, permanecendo neste estado enquanto não for aplicado o sinal de reset. Quando é aplica este sinal, o nó *A* é conectado ao terra através do transistor m3 e o nó *B* muda de estado novamente, agora para nível lógico alto, com a conseqüênte mudança da saída "out" para nível baixo.

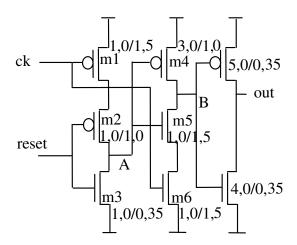


Figura 21. Esquema dos *flip-flops* D modificados para o DFF.

O funcionamento do detector é exemplificado a seguir:

Na figura 22 é mostrado o gráfico de resposta da simulação realizada no programa Eldo utilizando o *netlist* extraído do *Layout* do circuito Detector de Fase e Freqüência.

Inicialmente é possível acompanhar a tensão de controle (Vctrol) subir, enquanto o Sintetizador tenta minimizar o erro de fase das duas entradas do comparador. As tensões $V(\mathbf{Q}\mathbf{A})$ e $V(\mathbf{Q}\mathbf{B})$ são as tensões nos nós de saída $\mathbf{Q}\mathbf{A}$ e $\mathbf{Q}\mathbf{B}$, respectivamente (vide figura 20).

Pelo gráfico da figura 22 pode-se concluir que a entrada de referência *Vref* está adiantada com relação à entrada de realimentação *Vfb* e que o erro de fase entre as duas entradas diminui conforme aumenta a tensão V(*Vctrol*).

Mais adiante, veremos como esta tensão de controle atua sobre o VCO e como funciona a bomba de carga.

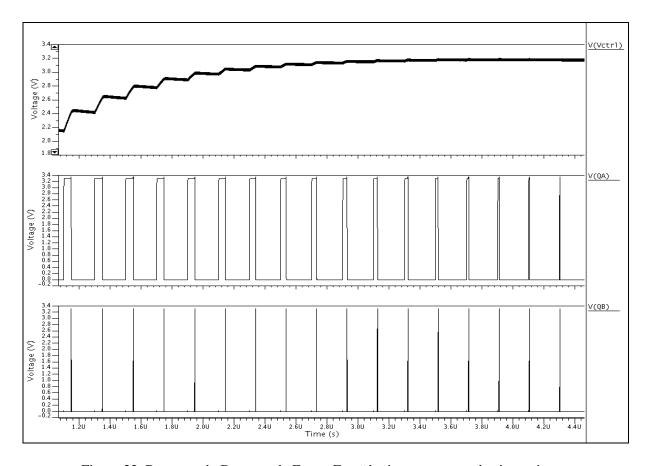


Figura 22. Resposta do Detector de Fase e Freqüência pouco antes do sincronismo.

O tempo máximo necessário para o sincronismo de fase e frequência é diretamente proporcional à distâncias entre os canais, quanto maior o salto entre um canal e outro, maior será o tempo necessário para a sintonia do novo canal.

Na figura 23 encontra-se o *Layout* do Detector de Fase e Freqüência com detalhes das entradas *Vfb* e *Vref*, realimentação e referência respectivamente, da porta lógica *AND* de duas entradas, responsável pelo *reset*.

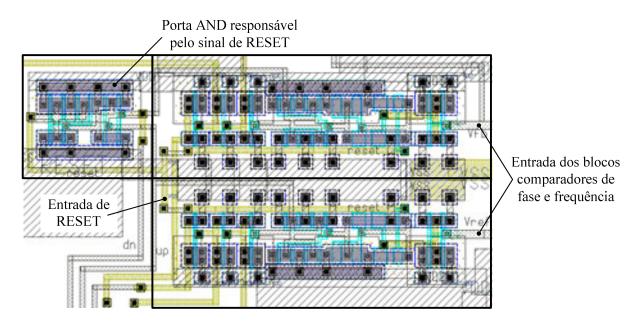


Figura 23. Layout do circuito Detector de Fase e Freqüência.

A figura 24 mostra a simulação realizada no Eldo, utilizando o netlist extraído do *Layout*, com o momento do sincronismo dos dois sinais de entrada do Detector de Fase e Freqüência, bem como, a tensão de controle atingida, proporcional à freqüência sintetizada.

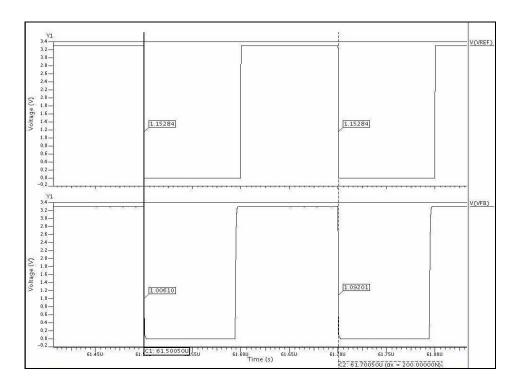


Figura 24. Sincronismo dos sinais de Vref e Vfb.

Após a tensão de controle do VCO (Vctrl) atingir um valor proporcional ao erro de fase e frequência das entradas do DFF, a diferença entre os sinais **Vref** e **Vfb** tende a valores muito pequenos, mas não zero devido à região de "zona morta" próxima a diferença de fase zero.

5.07. Oscilador Controlado por Tensão (VCO)

A topologia do oscilador utilizada nesse projeto foi a de par cruzado NMOS, pois utiliza um número menor de transistores, gerando menos ruídos, e possui menor sensibilidade aos ruídos da fonte de alimentação e do substrato [Ar04].

O VCO, que pode ser visto na Figura 25, é composto por um circuito tanque e um circuito ativo, responsável por repor as perdas causadas pelas resistências parasitas do circuito ressonante. O circuito tanque é formado por dois indutores L1 e L2 e pelos varactores C1 e C2. Através desses dois últimos, pode-se controlar a freqüência de oscilação. Para isto, basta ajustar a tensão *Vctrl* que, por sua vez, altera os valores de C1 e C2. Os transistores NMOS, M1 e M2, constituem o circuito ativo.

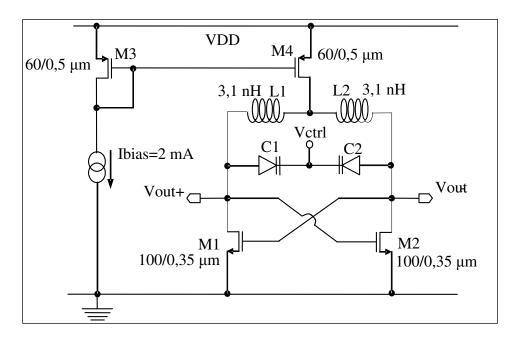


Figura 25. Topologia do Oscilador Controlado por Tensão (VCO). As dimensões indicadas são da largura/comprimento de canal dos transistores e valores dos componentes.

A corrente necessária para a polarização do circuito é fornecida pelos dois transistores PMOS, M3 e M4, que espelham a corrente externa *Ibias* para o circuito ativo.

Esta topologia já fora implementada e testada por Andrés Farfan Pelaez [Pe03] em seu trabalho de mestrado.

Neste projeto foram utilizados indutores planares fabricados em metais 3 e 4, ligados em paralelo, formando um total de três espiras com trilhas de 10 µm de espessura e espaçamento entre elas de 2 µm. Com as características físicas dos indutores, como número de espiras, distâncias entre elas, espessura do metal, distância do substrato, junto com outras características elétricas, como a resistividade do material utilizado na fabricação do indutor, constante dielétrica de isolantes, é possível gerar um circuito elétrico equivalente ao indutor através da ferramenta de simulação ASITIC ([As06], [An07]). Este circuito pode ser utilizado em simuladores elétricos como Eldo e Hspice para reproduzir o comportamento dos indutores. Na figura 26 é mostrado o circuito elétrico equivalente dos indutores utilizado na simulação do VCO.

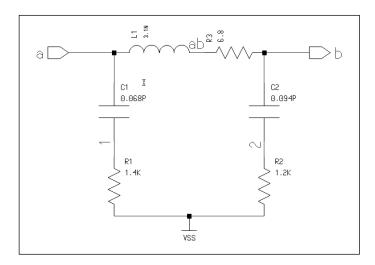


Figura 26. Circuito equivalente dos indutores (VCO)

Na figura 27 pode-se visualizar em destaque o *Layout* do VCO, composto pelos indutores planares, os *varactors* e os transistores NMOS em configuração de par cruzado.

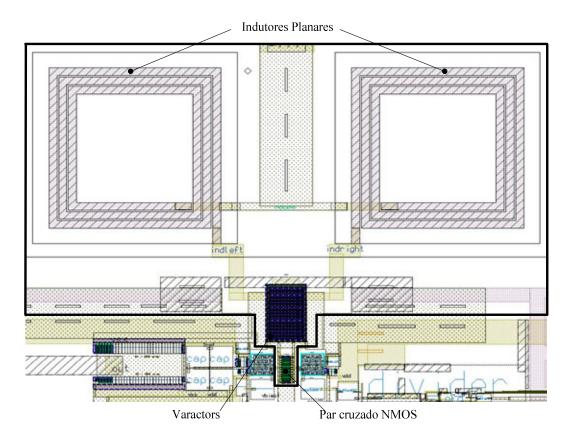


Figura 27. Layout do Oscilador controlado por Tensão (VCO)

5.07.1. Resposta do VCO à tensão de controle

Através de simulações realizadas no programa Eldo, utilizando o *netlist* gerado a partir do *Layout*, obteve-se a curva da freqüência de oscilação em função da tensão de controle mostrada na Figura 28.

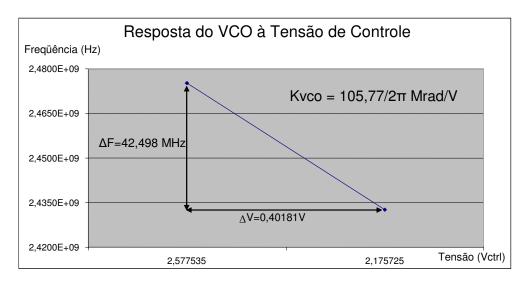


Figura 28. Resposta do Oscilador à Tensão de Controle. Valores de Freqüência internos à Largura de Banda ZigBee

Na figura 29 temos a resposta do oscilador à entrada de controle (Vctrl), para a simulação do netlist extraído do *Layout*, no simulador Eldo. A tensão de controle V(Vctrl) foi ajustada para aproximadamente 2,577 V resultando em um sinal de saída com freqüência de 2,475 GHz e amplitude de 1,5 Vpp, representando o último canal do usuário. A forma de onda V(left) mostra o sinal gerado do lado esquerdo do oscilador. Outro sinal semelhante, mesma amplitude e freqüência, mas com fase invertida, é gerado do lado direito do oscilador como esperado.

A máxima frequência atingida pelo oscilador é 2,496GHz com tensão de controle de aproximadamente 3,2V.

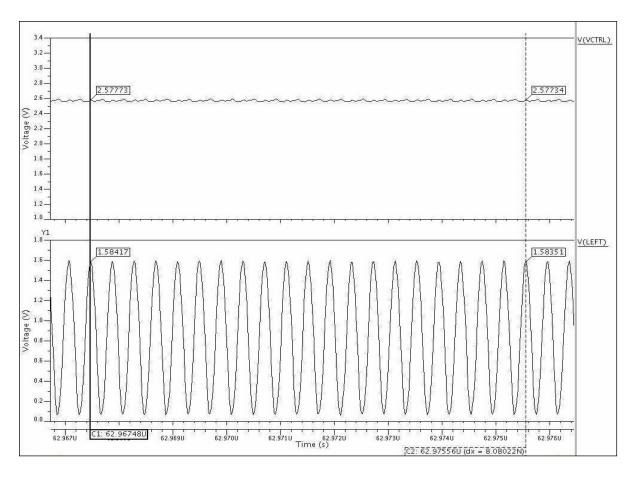


Figura 29. Resultado da Simulação que mostra a resposta do VCO à entrada de controle V(Vctrl) para o canal 16.

5.08. Buffer VCO-Prescaler

Para o perfeito funcionamento do circuito *Divisor Pulse Swallow* é necessário um sinal de entrada com excursão quase completa, ou seja, que vai de 0 V a quase 3,3 V, para o caso de tensão de alimentação de 3,3 V. Como o sinal de saída do VCO tem amplitude com valor próximo à 1 V, fez-se necessário a utilização de um *Buffer* amplificador entre a saída do VCO e a entrada do divisor (*Prescaler*) [Na96][Na98a].

Na Figura 30 encontra-se o esquemático do Buffer inversor auto polarizado utilizado para esta finalidade. Ele é composto de três inversores CMOS, um capacitor de acoplamento na entrada e um resistor de 1 M Ω , ligado entre a entrada e a saída, que faz a auto-polarização deste bloco. O valor da resistência é elevado para evitar que o sinal variável da saída interfira na entrada do Buffer ou na saída do oscilador.

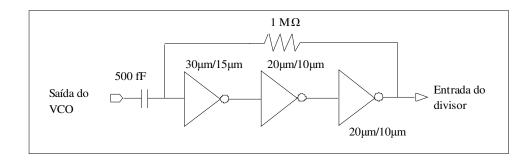


Figura 30. *Buffer* inversor auto polarizado. As dimensões indicadas nos inversores indicam a largura de canal dos transistores PMOS/NMOS. O comprimento de canal é de 0,35 μm.

Na figura 31 encontra-se o *Layout* do *Buffer* inversor, com detalhes para a capacitância de acoplamento na entrada e a resistência de 1 $M\Omega$ de realimentação.

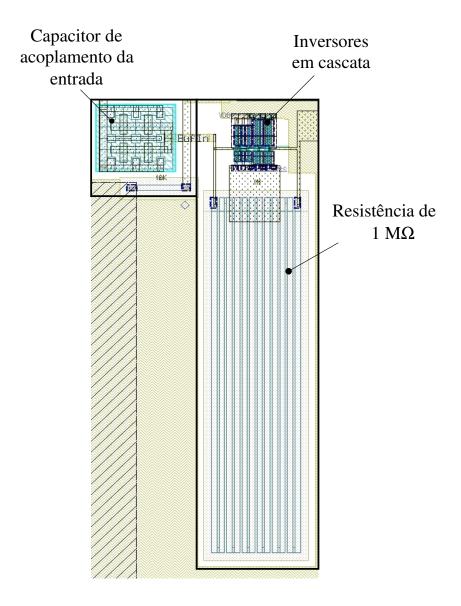


Figura 31. Layout do Buffer inversor auto polarizado.

5.09. Bomba de Carga

O circuito da Bomba de Carga pode ser visto na Figura 32. A corrente *Ib* da entrada é espelhada pelos transistores M1, M6 e M7 até os transistores M2 e M5. A corrente que passa por M2, *Icp*, é enviada a saída quando desejamos aumentar a tensão de controle do VCO; a corrente que passa por M5, por outro lado, é retirada da saída quando desejamos reduzir a tensão de controle do VCO.

O chaveamento das fontes de corrente à saída é feito por meio de um par de transistores, um PMOS e outro NMOS, para reduzir o efeito da redistribuição de carga do canal. Estas chaves são formadas pelos transistores M3/M8 e M4/M9. Junto a essas chaves, foram utilizadas chaves complementares, M10/M11 e M12/M13, que impedem que as fontes de corrente cortem. Adicionalmente, é utilizado um amplificador que replica a tensão de controle V_{C1} para o nó V_{C2} o que garantirá que as tensões nos nós A e B estejam sempre próximas da tensão de controle. Com estes cuidados se reduzem *glitches* na saída.

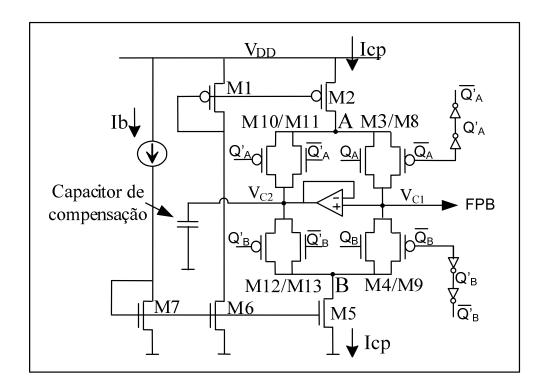


Figura 32. Esquemático da Bomba de Carga.

O amplificador localizado no centro da Bomba de carga e que efetua a réplica da tensão V_{C1} está apresentado na figura 33. A dimensão dos transistores em μ m também está indicada na figura.

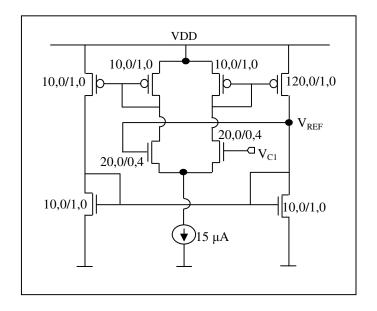


Figura 33. Esquemático do amplificador OTA, que faz a réplica da tensão VC1. As dimensões indicadas são da largura/comprimento de canal dos transistores.

A corrente média na saída da Bomba de Carga pode ser escrita como [Ga80]:

$$ie = [\theta_{ref} - \theta_{fb}]I_{CP}/(2\pi) = [\theta_{ref} - \theta_{fb}]K_{PD}$$
 (9)

Foi utilizado no projeto Icp de 165 µA para a Bomba de Carga.

5.10 Filtro Passa-Baixas

Além de filtrar os ruídos gerados pela Bomba de Carga, o Filtro Passa-Baixas (ou *Loop Filter*) é responsável por converter a corrente *Icp* na saída da Bomba de Carga, proporcional ao erro de fase, em tensão de controle do VCO.

A figura 34 mostra o circuito do Filtro Passa-Baixas formado apenas por R₂ e C₂.

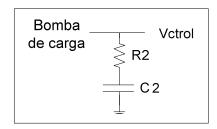


Figura 34. Esquemático do Filtro Passa-Baixas

Temos que a função de transferência do filtro, que fornece sua impedância, é igual à:

$$F(s) = \frac{1}{C_2} \frac{(1 + sR_2C_2)}{s} \tag{10}$$

No entanto, a bomba de carga causa uma grande quantidade de *ripples* na tensão de controle do VCO. Para minimizar o efeito destes *ripples*, adiciona-se normalmente um pequeno capacitor C₁ em paralelo ao filtro Passa-Baixas [Mc97], como mostrado na figura 35.

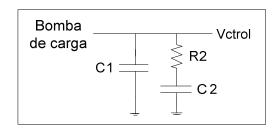


Figura 35. Esquemático do Filtro Passa-Baixas acrescido de C₁.

Temos agora que a função de transferência do novo filtro, figura 35, será:

$$F(s) = \frac{1}{C_1 + C_2} \cdot \frac{\left(1 + sR_2C_2\right)}{s\left(1 + s \cdot \frac{R_2C_1C_2}{C_1 + C_2}\right)}$$
(11)

Na aplicação do filtro ao Sintetizador a própria entrada do VCO é uma carga capacitiva que pode ser modelada por um capacitor cujo valor é a soma das capacitâncias parasitárias das linhas de metal que vão ao VCO, das capacitâncias de poço e dos *varactores*. Do *Layout* obtém-se que o valor desta carga é de aproximadamente *1,9 pF*. Adicionalmente, para reduzir interferências de retorno, do oscilador à Bomba de Carga, normalmente acrescenta-se um resistor entre a Bomba e o VCO. A figura 36 mostra como, então, fica o filtro com o capacitor que modela o VCO, *C*₃, e o resistor de acoplamento, R₁.

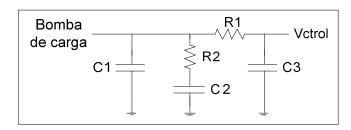


Figura 36. Filtro Passa-Baixas acrescido de $C_1,\,C_3$ e $R_1.$

Considerando todos estes elementos como formando o Filtro Passa-Baixas, teremos a função de transferência:

$$F(s) = \frac{(1 + sR_2C_2)}{C_2R_2C_1R_1C_3 \cdot s^3 + [(C_2 + C_1)R_1C_3 + C_2R_2(C_3 + C_1)] \cdot s^2 + (C_2 + C_1 + C_3) \cdot s}$$
(12)

Na figura 37 encontra-se o *Layout* do filtro passa baixas com dimensões totais de 240 μ m x 200 μ m (os valores de R_1 , R_2 , C_1 e C_2 serão dados a seguir).

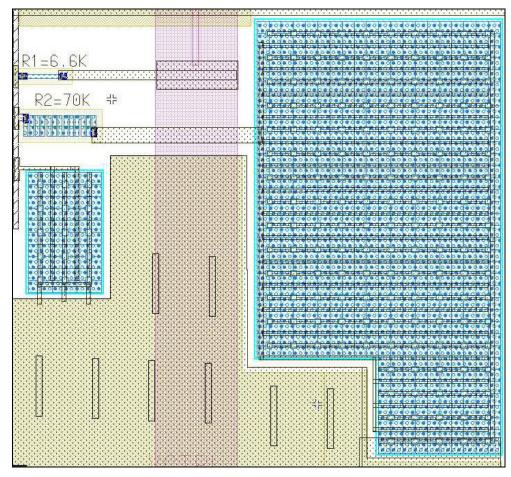


Figura 37. *Layout* do Filtro Passa-Baixas. As dimensões do circuito completo são de 240 μm x 200 μm.

5.11 Sintetizador Completo

Podemos agora, com as relações do filtro, encontrar a equação do Sintetizador Completo. Para isso, utiliza-se a equação 8 e a equação para F(s) (equação 11 ou 12). Caso seja aplicada a equação 12, obteremos um sistema de quarta ordem. Na prática, são utilizadas regras para minimizar a influência dos componentes C_1 , C_3 e R_1 , fazendo com que o circuito possa ser analisado da mesma forma que um sistema obtido com a equação 11 [Mc97], um sistema de segunda ordem.

Na tabela 3 são apresentadas algumas regras utilizadas na construção do filtro passa baixas. Em função destas regras teremos $C_1 = C_3 = 1.9 \ pF$ e $C_2 = 19 \ pF$.

Tabela 3 - Regras aplicadas na simplificação do Filtro Passa-Baixas.

Regras para o Filtro				
C ₁	< 0,1 · C ₂			
C ₃	< 0,1 · C ₂			

Aplicando a equação de transferência do Filtro Passa-Baixas de segunda ordem (equação 11), na equação de transferência do Sintetizador (equação 8), pode-se obter a função transferência do sistema,

$$H(s) = \frac{\frac{K_{PD} \cdot K_{VCO}}{C_1 + C_2} \cdot \left(\frac{1 + sR_2C_2}{1 + sR_2C_2C_1}\right)}{s\left[\frac{K_{PD} \cdot K_{VCO}}{C_1 + C_2}\left(\frac{1 + sR_2C_2}{s\left(1 + sR_2C_2C_1\right)}\right)\right]}{s^2 + \frac{s\left[\frac{K_{PD} \cdot K_{VCO}}{C_1 + C_2}\left(\frac{1 + sR_2C_2}{s\left(1 + sR_2C_1C_2\right)}\right)\right]}{N}}$$
(13)

Como $C_1 << C_2$, a equação anterior pode ser simplificada para:

$$H(s) = \frac{\frac{K_{PD} \cdot K_{VCO}}{C_2} \cdot \left(\frac{1 + sR_2C_2}{(1 + sR_2C_1)}\right)}{s^2 + \frac{s\left[\frac{K_{PD} \cdot K_{VCO}}{C_2} \left(\frac{1 + sR_2C_2}{s(1 + sR_2C_1)}\right)\right]}{N}}$$
(14)

Este é um sistema de terceira ordem. Normalmente o pólo $1/R_2C_1$ é colocado além da freqüência $\omega = \sqrt{\frac{K_{PD}K_{VCO}}{NC_2}}$, o que permite aproximar H(s) pelo sistema de segunda ordem dado por

$$H(s) = \frac{\frac{K_{PD} \cdot K_{VCO}}{C_2} \cdot (1 + sR_2C_2)}{s^2 + \frac{\left[\frac{K_{PD} \cdot K_{VCO}}{C_2} (1 + sR_2C_2)\right]}{N}}$$
(15)

Substituindo $K_{PD} = \frac{I_{CP}}{2\pi}$ teremos:

$$H(s) = \frac{\frac{K_{VCO}I_{CP}}{2\pi \cdot C_2} \cdot (1 + sR_2C_2)}{s^2 + \frac{K_{VCO} \cdot I_{CP} \cdot R_2}{2\pi \cdot N} s + \frac{K_{VCO} \cdot I_{CP}}{2\pi \cdot N \cdot C_2}}$$
(16)

Neste sistema a frequência natural é $\omega_n = \sqrt{\frac{K_{PD}K_{VCO}}{NC_2}}$ e o coeficiente de

amortecimento é
$$\zeta = \left(\frac{\omega_n R_2 C_2}{2}\right) [Sr06].$$

Para um sistema de segunda ordem sub-amortecido, $0 < \zeta < 1$, a resposta no tempo para um degrau na entrada é amortecida pelo fator $e^{-\zeta \omega_n t}$ [Og70]. Por esta razão podemos escrever que o tempo que o Sintetizador leva para passar de uma freqüência f_I a outra freqüência f_2 , $|f_I - f_2| = \Delta f$, é:

$$t_{lock} = \frac{1}{\zeta \omega_n} \ln \left(\frac{\Delta f}{\alpha f_0} \right) \tag{17}$$

onde: f_0 é a frequência central dos canais (aproximadamente 2,4 GHz), α é a precisão desejada (40 ppm foi aplicada).

O valor máximo de Δf , para o nosso caso, é 80 MHz.

Podemos agora determinar todos os componentes do filtro. Os valores e parâmetros já conhecidos são:

- $C_1 = C_3 = 1.9 \text{ pF e } C_2 = 19 \text{ pF};$
- $K_{VCO} = 105,77/2\pi$ M(rad/V) obtido a partir do gráfico de resposta à tensão de controle do VCO apresentado no capítulo 5.07.1 (figura 28);
- $K_{PD} = 165/2\pi \,\mu(A/V)$ obtido a partir da corrente utilizada na Bomba de Carga.

Para garantir que a aproximação contínua, utilizada na obtenção da equação 8, seja aplicável em nosso sistema, o limite de estabilidade de Gardener impõe que ω_n deve ser menor ou igual a $\frac{\omega_{REF}}{10}$ [Ra98a], onde ω_{REF} é igual a 10π M(rad/seg)

Assim: $\omega_n \leq 3.14M (rad / seg)$.

Com os valores e parâmetros já conhecidos podemos determinar a frequência natural do Sintetizador que será dada por:

$$\omega_n = \sqrt{\frac{K_{PD} \cdot K_{VCO}}{N \cdot C_2}} = \sqrt{\frac{165 \cdot 10^{-6} \cdot 105,77 \cdot 10^6}{480 \cdot 19 \cdot 10^{-12}}}$$

$$\omega_n = 1.3833M (rad / seg)$$

 ω_n resulta em um valor menor que o limite imposto, dessa forma, garantindo que a aproximação contínua seja aceitável.

Podemos agora determinar o valor de R₂ a partir do valor desejado para o coeficiente

de amortecimento ζ . Um valor de compromisso normalmente aplicado para o coeficiente de amortecimento é $0.7 < \zeta < 1$ [Og70]. Para $\zeta = 0.9$ teremos

$$\zeta = \left(\frac{1,3833 \cdot 10^{6} \cdot R_{2} \cdot 19 \cdot 10^{-12}}{2}\right) \Rightarrow R_{2} = \frac{2 \cdot 0.9}{1,3833 \cdot 10^{6} \cdot 19 \cdot 10^{-12}} \Rightarrow R_{2} = 68,48K\Omega$$

Em alguns trabalhos observa-se que o valor de R_1 utilizado obedece a relação $R_1 \le R_2/5$, o que nos levaria ao valor de $R_1 = 13,7$ K Ω [De07][Ra00]. Com o valor de $R_1 = 6,6$ K Ω foi possível obter um comportamento estável para o Sintetizador.

Para se obter um melhor resultado foram feitas simulações para ajuste dos valores.

Para o Sintetizador *ZigBee* em questão, os valores finais utilizados no filtro foram:

$$C_1 = 1.9 \text{ pF}$$
 $C_2 = 19 \text{ pF}$, $C_3 = 1.9 \text{ pF}$, $C_2 = 70 \text{ K}\Omega$, $C_1 = 6.6 \text{ K}\Omega$.

Na figura 38 temos a simulação do *netlist*, extraído do *Layout*, para o circuito completo.

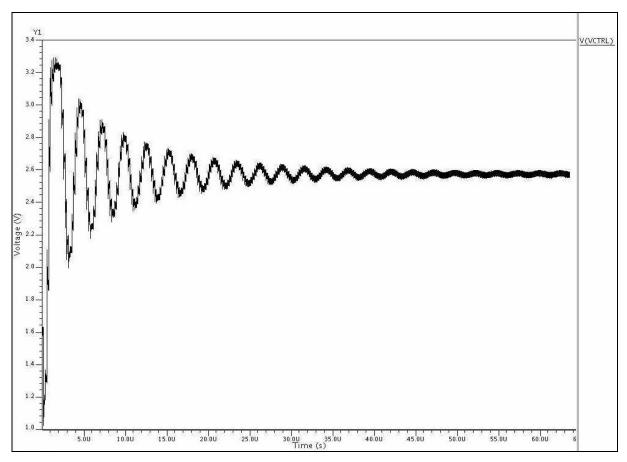


Figura 38. Tensão de controle do VCO no momento da troca do canal 0 para o canal 8.

Pode-se observar na figura 38 o sinal de controle variando, quando passamos do canal "0" para o canal "8", até a estabilização.

Como a tensão de controle do VCO é atenuada por um termo $\exp(\zeta \omega_n t)$, é possível, a partir da figura 38, calcular o valor de $\zeta \omega_n$. A figura 39 mostra detalhes da curva tensão de controle do VCO, vemos que o valor da tensão de controle passa de 3,23 V a 3 V em aproximadamente 3,55 μ s, resultando em $\zeta \omega_n = 0,123 \times 10^6 \text{ s}^{-1}$. Este valor está abaixo do esperado de 1,24 $\times 10^6 \text{ s}^{-1}$.

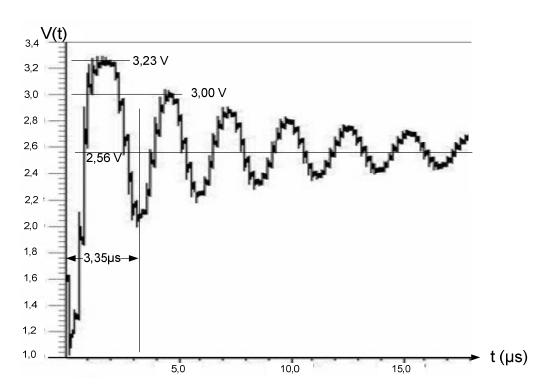


Figura 39. Tensão de controle com valores relevantes ao cálculo do amortecimento.

Aplicando o valor de $\zeta \omega_h$ encontrado acima, determinamos que o tempo de estabilização máximo (t_{lock}) na mudança do canal 0 ao canal 16, ou vice versa, é de:

$$t_{lock} = \frac{1}{\zeta \omega_n} \ln \left(\frac{\Delta f}{\alpha f_0} \right) = \frac{1}{0,123 \cdot 10^6} \ln \left(\frac{80 \cdot 10^6 \cdot 10^6}{40 \cdot 2,4 \cdot 10^9} \right)$$

$$t_{lock} = 54.6 \mu s$$

Para sabermos se este tempo é satisfatório podemos fazer as seguintes considerações: o máximo *turnaround* para transmissão ou recepção no padrão *ZigBee* é de 12 símbolos, cada símbolo com 4 *bits*. A taxa de transferência no *ZigBee* é de 250Kbps [Sr06] ou 62,5 Ksímbolos/seg. Portanto, o *turnaround* será de 192 μs, um valor bem maior do que o valor esperado no Sintetizador.

Também foram medidos os consumos de potência dos diversos blocos do Sintetizador. Os circuitos que mais consomem potência em um Sintetizador são o Oscilador (VCO) e o *Buffer* Inversor (que fica entre o VCO e o *Prescaler*). Estes blocos são responsáveis por mais de 80% do consumo total. A tabela 4 apresenta a potência consumida pelas várias porções do Sintetizador.

Tabela 4 - Potência consumida pelo Sintetizador (tensão de alimentação de 3,3V)

Bloco	Potência (mW)		
VCO	15,5		
Buffer	10,8		
Outros blocos	5,5		
Total	31,8		

6. CONCLUSÕES E RECOMENDAÇÕES

Foi apresentado neste trabalho o projeto e a simulação de um circuito Sintetizador de Freqüências para ser utilizado com a tecnologia *ZigBee*. As simulações realizadas a partir do *netlist* extraído do *Layout* indicam que o circuito funciona corretamente, gerando sinais nas freqüências necessárias para demodulação dos dezesseis canais.

O circuito completo foi projetado na tecnologia CMOS de 0,35 μm da AMS e possui dimensões de 1400 μm x 1145 μm, considerando os *Pads*. O consumo total do Sintetizador ficou em torno de 32 mW para tensão de alimentação de 3 V.

Uma grande dificuldade enfrentada no projeto foi o tamanho do circuito e sua simulação. Inicialmente cada bloco foi simulado e otimizado separadamente, utilizando sempre circuitos equivalentes à carga esperada para o bloco seguinte. À medida que os blocos ficavam prontos, eles foram reunidos e simulados como um único circuito. O tempo de simulação e o esforço computacional aumentaram a cada novo bloco agregado. Quando todos os blocos ficaram prontos foi feita a simulação total. Embora cada circuito pudesse ser simulado separadamente, houve severas dificuldades de convergência ao serem simulados todos juntos devido, principalmente, aos caminhos de realimentação.

Dada a grande complexidade do circuito e a necessidade de muitas iterações até alcançar a convergência, a simulação do Sintetizador tornou-se também muito demorada. Para uma simulação de cerca de 150 μs de operação do Sintetizador, a simulação chegou a demorar 36 horas em um microcomputador com processador Pentium 4 HT, 2,4GHz e 1GB de memória RAM. O arquivo de saída alcançou tamanho próximo de 3GB.

Para simular circuitos muito grandes, principalmente aqueles que possuem realimentação, é preciso aumentar o número máximo de iterações que o simulador ELDO

realiza antes de abandonar o particionamento¹, diminuir a distância entre passos de integração e fornecer valores iniciais em alguns nós estratégicos. Esses cuidados são necessários para garantir a continuidade da simulação e diminuir o seu tempo.

A estrutura *Integer-N* utilizada mostrou-se aplicável a Sintetizadores de Freqüências para a tecnologia *ZigBee* permitindo a construção de estruturas que alcançam os valores desejados em consumo de potência.

A tabela 5 mostra uma comparação deste trabalho com outros anteriormente publicados.

Tabela 5 - Comparação com outros trabalhos desenvolvidos em tecnologia CMOS.

Referência	[Pi03]	[Ar04]	[Si05]	[Sr06]	Este Trabalho
Método	Implementado	Implementado	Simulado	Implementado	Simulado
Sintetizador de Freqüências	2,4 GHz, 8 canais com 3MHz cada	2,4 GHz, 16 canais com 4,5MHz cada	2,4 GHz, 16 canais com 5MHz cada	2,4 GHz, 16 canais com 5MHz cada	2,4 GHz, 16 canais com 5MHz cada
Tempo de ajuste entre canais	<150µs	10µs	300µs	55µs	54,6µs
Fonte de Alimentação (V)	1,8	3,3	1,8	3,0 e 1,8	3,3
Consumo de Potência	30mW	31,7mW	22mW	15,5mW	31,8mW
Tecnologia	0,18µm CMOS	0,35µm CMOS	0,18µm CMOS	0,18µm CMOS	0,35µm CMOS

Este trabalho permitiu criar uma aplicação prática para algumas estruturas já desenvolvidas no laboratório DPMSV.

Dentre os possíveis trabalhos futuros, pode-se citar:

• Realizar a análise de ruídos.

Deve-se aqui levar em conta não apenas o ruído dos oscilador mas também da comutação da Bomba de Carga, que contribui na formação de *glitches* na tensão de controle do VCO.

52

¹ O particionamento é uma prática comum utilizada por simuladores para diminuir o esforço matemático do microcomputador e conseqüentemente o tempo de simulação.

• Ajustar o circuito do *Buffer* Inversor.

Este circuito está ligado entre o Oscilador Local e o *Prescaler* e é um dos principais responsáveis pelo consumo de potência.

• Realizar a fabricação e testes

O próximo passo, com relação a este trabalho, é o envio do circuito a uma foundry. A implementação e os testes com o circuito real poderão comprovar o resultados das simulações.

REFERÊNCIAS BIBLIOGRÁFICAS

- [An07] ANJOS, A., Comparação de Ferramentas para Modelamento de Indutores na Tecnologia CMOS. Dissertação (Mestrado) Escola Politécnica, Universidade de São Paulo, São Paulo, 2007.
- [Ar04] ARGÜELLO, A.M.G., Estudo e Projeto de um Sintetizador de Freqüência para RF em Tecnologia CMOS de 0,35μm. 2003. pág 15. Dissertação (Mestrado) Escola Politécnica, Universidade de São Paulo, São Paulo, 2004.
- [As06] ASITIC (Analysis and Simulation of Inductors and Transformers in Integrated Circuits), disponível em: http://rfic.eecs.berkeley.edu/~niknejad/asitic.html. Acesso em 11/maio/2006.
- [Au03] AUSTRIAMICROSYSTEMS, 0.35 μm CMOS C35 Design Rules.

 AustrianMicroSystems, 2003.
- [BI99] SPECIFICATION OF THE *BLUETOOTH* SYSTEM http://ece.wpi.edu/analog/resources/<i>Bluetooth_a.pdf* >
- [B104] BLUETOOTH SPECIFICATION, http://Bluetooth.com/NR/rdonlyres/1F6469BA-6AE7-42B6-B5A1-65148B9DB238/840/Core_v210_EDR.zip, Version 2.0 + EDR [vol 0], Radio Specification, page 29 of 814, 4 November 2004.
- [Ch05] DIAMOND, C.I., Comparação ZigBee/Bluetooth http://homepage.uab.edu/cdiamond/ZigBee%20vs%20Bluetooth.htm 13.11.2005>
- [Cr01] CRAIG, R., PURVIS, A., A VXIBus Based *Bluetooth* Radio Test Set For IC Validation & Debug-School of Engineering, University of Durham, p.2,2001.
- [De07] DEBASHIS MANDAL, T. K. BHATTACHARYYA, 7.95mW 2.4GHz Fully-Integrated CMOS Integer N Frequency Synthesizer, 20th International Conference on VLSI Design (VLSID'07), 2007.

- [Ga80] GARDNER, F.M., Charge-Pump Phase-Lock Loops. IEEE Transactions on Communications, v.28, n.11, p.1849-1858, Nov. 1980.
- [Gri98] GRIMALD, M.; NAVARRO, J.; VAN NOIJE, W., Otimização em frequência de circuitos CMOS sincronizados por bordas de sinal de clock. São Paulo, LSI, Escola Politécnica da USP, 1996. (Relatório interno)
- [IE02] IEEE 802.15.1, Standard for *Wireless* Personal Area Networks Adapted From The *Bluetooth*® Specification (March 21, 2002).
 http://standards.ieee.org/announcements/802151app.html
- [IE03] IEEE 802.15.4TM, Standard for Information technology—Telecommunications and information exchange between systems— Local and metropolitan area networks Specific requirements-2003.
- [Ka87] KARLSSON, I.; SVENSSON, C., A True Single-Phase-Clock Dynamic CMOS Circuit Technique. IEEE Journal of Solid-State Circuits, v.22, n.5, p.899-901, Oct. 1987.
- [Mc97] MC12181 Frequency Synthesizer 125-1000MHz, monolithic bipolar synthesizer integrating– Motorola RF/IF Device Data. Loop Filter Design. p.6, 1997.
- [Na96] NAVARRO, J. et al., Circuito "Buffer"-conversor CMOS/ECL In: SIMPÓSIO BRASILEIRO DE CONCEPÇÃO DE CIRCUITOS INTEGRADOS, 9., Recife, 1996. Anais. Recife, SBC/SBMICRO/EFPE, 1996, p.247-258.
- [Na97b] NAVARRO, J.; VAN NOIJE, W., E-TSPC: Extended True Single-Phase-Clock CMOS circuit technique. In: IFIP TC10 WG10.5 INTERNATIONAL

- CONFERENCE ON VLSI. Gramado, 1997. VLSI: Integrated Systems on Silicon. London, Chapman & Hall, 1997. p.165-176.
- [Na98a] NAVARRO, J.; VAN NOIJE, W., CMOS tapered *Buffer* design for small width clock/data signal propagation. In: GREAT LAKES SYMPOSIUM ON VLSI, 8., Lafayette, 1998. Proceedings. Los Alamitos, IEEE Computer Society, 1998. p.89-94.
- [Na98b] NAVARRO, J.; VAN NOIJE, W., Design of an 8:1 MUX at 1.7Gbit/s in 0.8?m
 CMOS technology. In: GREAT LAKES SYMPOSIUM ON VLSI, 8., Lafayette,
 1998. Proceedings. Los Alamitos, IEEE Computer Society, 1998. p.103-107.
- [Na99] NAVARRO, J.; VAN NOIJE, W. A., 1.6GHz *Dual Modulus Prescaler* using the Extended True Single-Phase-Clock CMOS circuit technique (E-TSPC). IEEE J. Solid-State Circuits, v.34, n.1, p.97-103, 1999.
- [Na02] NAVARRO, J.; VAN NOIJE, W., A. Extended TSPC structures with double input/output data throughput for Gigahertz CMOS circuit design. IEEE Trans. VLSI Systems, v.10, n.3, p.301-308, 2002.
- [Og70] OGATA, K., Modern Control Engineering. New Jersey: Prentice Hall International, 1970.
- [Pe03] PELAÉZ, A.F., Projeto e implementação de um oscilador monolítico 2,4 GHz em tecnologia CMOS 0,35μm. São Paulo, 2003. Dissertação de mestrado Departamento de Engenharia de Sistemas Eletrônicos, Escola Politécnica.
- [Pi03] PILSOON. Choi; PARK; H.C.; KIM, S.; PARK, S.; NAM, I.; et al., "An Experimental Coin-Sized Radio for Extremely Low-Power WPAN (IEEE 802.15.4) Application at 2.4 GHz," IEEE J. Solid State Circuits, vol. 38, pp. 2258-2268, December 2003.
- [Ra98a] RAZAVI, B., RF Microelectronics. Upper Saddle River, Prentice Hall, 1998.

- [Ra98b] RAZAVI, B., Architectures and circuits for RF CMOS receivers. In: IEEE Custom Integrated Circuits Conference, p.393-400, 1998.
- [Ra00] RATEGH, H.R., A CMOS Frequency Synthesizer with an Injection-Locked Frequency Divider for a 5-GHz Wireless LAN Receiver-IEEE Journal on Solid-State Circuits, vol. 35, 2000.
- [Ro99] ROMÃO, F.L., Ambiente de síntese de circuitos CMOS de alto desempenho. São Paulo, 1999. Tese de doutorado - Departamento de Engenharia Eletrônica, Escola Politécnica da USP.
- [Ro03] Rodrigues, José Fernando Sousa, Ações induzidas por multidões em estruturas de arquibancadas. São Paulo, 2003. Tese de doutorado - Departamento de Engenharia de Estruturas, Escola Politécnica da USP.
- [Si05] SINGH, SAURABH K., BHATTACHARYYA T K., DUTTA A. Fully Integrated CMOS Frequency Synthesizer for *ZigBee* Applications, 4th International Conference on Embedded Systems Design (VLSID'05), 2005.
- [Sr06] SRINIVASAN, R., Design and Implementation of a Frequency Synthesizer for an IEEE 802.15.4/ZigBee transceiver. Texas, 2006. Thesis Master of Science Graduate Studies of Texas A&M University.
- [Zi05] ZIGBEE Alliance. ZigBee specification. Technical report, June 2005. MC13192-Technical Data_freescale - http://www.freescale.com/files/rf_if/doc/data_sheet/MC13192.pdf?fsrch=1

ANEXOS

ANEXO A – MODELO DO TRANSISTOR NMOS

```
.MODEL MODN NMOS LEVEL=53 MODTYPE=ELDO
******************* SIMULATION PARAMETERS ***************
* format : ELDO, AccusimII, Continuum
* model : MOS BSIM3v3

* process : C35
* revision : 2;
* extracted : B10866 ; 2002-12; ese(487)
* doc# : ENG-182 REV_2
                       TYPICAL MEAN CONDITION
+THMLEV = 0
        *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 NQSMOD =0.000e+00
+NOIMOD =3.000e+00 DERIV =1
       *** Threshold voltage related model parameters ***
       =5.0296e-01
+K1
       =3.3985e-02 K3
                        =-1.136e+00 \text{ K3B} =-4.399e-01
+K2
+NPEAK = 2.611e+17 VTH0 = 4.979e-01
+VOFF = -8.925e-02 DVT0 = 5.000e+01 DVT1 = 1.039e+00
+DVT2 = -8.375e-03 \text{ KETA} = 2.032e-02
+PSCBE1 =3.518e+08 PSCBE2 =7.491e-05
+DVT0W =1.089e-01 DVT1W =6.671e+04 DVT2W =-1.352e-02
       *** Mobility related model parameters ***
      =4.705e-12 UB =2.137e-18 UC
                                         =1.000e-20
      =4.758e+02
       *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =1.415e-02 ETAB =-1.221e-01
+NFACTOR=4.136e-01
       *** Saturation related parameters ***
      =4.100e+07 PCLM =6.948e-01
+PDIBLC1=3.571e-01 PDIBLC2=2.065e-03 DROUT =5.000e-01
+A0 = 2.541e+00 A1 = 0.000e+00 A2
                                         =1.000e+00
+PVAG =0.000e+00 VSAT =1.338e+05 AGS =2.408e-01
+B0 =4.301e-09 B1 =0.000e+00 DELTA =1.442e-02
+PDIBLCB=3.222e-01
    *** Geometry modulation related parameters ***
      =2.673e-07 DLC =3.0000e-08
+WO
+DWC
      =9.403e-08 DWB =0.000e+00 DWG
                                         =0.000e+00
      =0.000e+00 LW =0.000e+00 LWL =0.000e+00
=1.000e+00 LWN =1.000e+00 WL =0.000e+00
      =0.000e+00 LW
+ I_1 I_1
+LLN
      =-1.297e-14 WWL =-9.411e-21 WLN
+WW
                                           =1.000e+00
+WWN
       =1.000e+00
*
       *** Temperature effect parameters ***
       =3.300e+04 UTE =-1.800e+00
=-3.302e-01 KT2 =2.200e-02 KT1L =0.000e+00
+AT
+KT1
       =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+UA1
+PRT
       =0.000e+00
*
       +CGDO =1.300e-10 CGSO =1.200e-10 CGBO =1.100e-10
+CGDL =1.310e-10 CGSL =1.310e-10 CKAPPA =6.000e-01
```

```
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
       *** Parasitic resistance and capacitance related model parameters
* * *
+RDSW = 3.449e+02
       =0.000e+00 CDSCB =1.500e-03 CDSCD =1.000e-03
+CDSC
+PRWB =-2.416e-01 PRWG =0.000e+00 CIT =4.441e-04
       *** Process and parameters extraction related model parameters ***
       =7.575e-09 NGATE =0.000e+00
+TOX
       =1.888e-07
+NLX
      =0.000e+00 XW
+XL
                       =0.000e+00
       *** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0 =3.000e+01
* *** Noise effect related model parameters ***
      =1.3600e+00 \text{ KF} =5.1e-27 \text{ EF}
+AF
                                       =1.000e+00
+NOIA = 1.73e+19 NOIB = 7.000e+04 NOIC = -5.64e-13
       *** Common extrinsic model parameters ***
+ALEV = 2
                 RLEV = 2
     =0.000e+00 RS
                      =0.000e+00 RSH =7.000e+01
+RDC =0.000e+00 RSC =0.000e+00 LD
                                        =-5.005e-08
      =9.403e-08
+LDIF = 0.000e+00 \ HDIF = 8.000e-07 \ WMLT = 1.000e+00
+LMLT =1.000e+00 DEL =0.000e+00 XJ
                                        =3.000e-07
+DIOLEV =4 JS
                       =1.000e-05 JSW
                                         =0.000e+00
+IS = 0.000e+00 N
                       =1.000e+00
+DCAPLEV=2 CBD =0.000e+00 CBS
                                        =0.000e+00
                                       =0.000e+00
=0.000e+00
+CJ = 9.400e-04 CJSW = 2.500e-10 FC
      =3.400e-01 MJSW =2.300e-01 TT
+M_{i}T
+PB =6.900e-01 PBSW =6.900e-01
```

ANEXO B – MODELO DO TRANSISTOR PMOS

```
.MODEL MODP PMOS LEVEL=53 MODTYPE=ELDO
******************* SIMULATION PARAMETERS ***************
* format : ELDO, AccusimII, Continuum
* model : MOS BSIM3v3

* process : C35
* revision : 2;
* extracted : C64685 ; 2002-12; ese(487)
* doc# : ENG-182 REV_2
 ______
                     TYPICAL MEAN CONDITION
+THMLEV = 0
       *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 NQSMOD =0.000e+00
+NOIMOD =3.000e+00 DERIV =1
      *** Threshold voltage related model parameters ***
      =5.9959e-01
+K1
      =-6.038e-02 K3
                       =1.103e+01 K3B =-7.580e-01
+K2
+NPEAK = 9.240e+16 VTH0 = -6.915e-01
+VOFF =-1.170e-01 DVT0 =1.650e+00 DVT1 =3.868e-01
+DVT2 = 1.659e-02 \text{ KETA} = -1.440e-02
+PSCBE1 =5.000e+09 PSCBE2 =1.000e-04
+DVT0W =1.879e-01 DVT1W =7.335e+04 DVT2W =-6.312e-03
      *** Mobility related model parameters ***
     =5.394e-10 UB =1.053e-18 UC
                                       =1.000e-20
     =1.482e+02
       *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =2.480e-01 ETAB =-3.917e-03
+NFACTOR=1.214e+00
       *** Saturation related parameters ***
     =4.100e+07 PCLM =3.184e+00
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-20 DROUT =5.000e-01
+A0 = 5.850e - 01 A1 = 0.000e + 00 A2
                                      =1.000e+00
+PVAG =0.000e+00 VSAT =1.158e+05 AGS =2.468e-01
+B0 =8.832e-08 B1 =0.000e+00 DELTA =1.000e-02
+PDIBLCB=1.000e+00
* *** Geometry modulation related parameters ***
      =1.000e-10 DLC =2.4500e-08
+WO
+DWC
     =3.449e-08 DWB =0.000e+00 DWG
                                       =0.000e+00
     =0.000e+00 LW =0.000e+00 LWL
                                      =0.000e+00
+ I_1 I_1
      =1.000e+00 LWN =1.000e+00 WL
                                      =0.000e+00
+LLN
      =1.894e-16 WWL =-1.981e-21 WLN
+WW
                                       =1.000e+00
+WWN
      =1.040e+00
*
      *** Temperature effect parameters ***
      =3.300e+04 UTE =-1.300e+00
=-5.403e-01 KT2 =2.200e-02 KT1L =0.000e+00
+AT
+KT1
      =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+UA1
+PRT
      =0.000e+00
*
      +CGDO =8.600e-11 CGSO =8.600e-11 CGBO =1.100e-10
+CGDL =1.080e-10 CGSL =1.080e-10 CKAPPA =6.000e-01
```

```
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
       *** Parasitic resistance and capacitance related model parameters
* * *
+RDSW = 1.033e + 03
+CDSC =2.589e-03 CDSCB =2.943e-04 CDSCD =4.370e-04
+PRWB =-9.731e-02 PRWG =1.477e-01 CIT =0.000e+00
       *** Process and parameters extraction related model parameters ***
      =7.754e-09 NGATE =0.000e+00
+TOX
      =1.770e-07
+NLX
      =0.000e+00 XW
                       =0.000e+00
+XL
       *** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0 =3.000e+01
* *** Noise effect related model parameters ***
      =1.48e+00 KF =8.5e-27 EF =1.000e+00
+AF
+NOIA = 1.52e + 18 NOIB = 7.75e + 03 NOIC = 5.0e - 13
*
       *** Common extrinsic model parameters ***
+ALEV = 2
                RLEV = 2
     =0.000e+00 RS
                      =0.000e+00 RSH =1.290e+02
+RDC =0.000e+00 RSC =0.000e+00 LD
                                         =-7.130e-08
      =3.449e-08
+LDIF = 0.000e+00 \ HDIF = 8.000e-07 \ WMLT = 1.000e+00
                                        =3.000e-07
+LMLT =1.000e+00 DEL =0.000e+00 XJ
+DIOLEV =4 JS
                       =9.000e-05 JSW
                                         =0.000e+00
                      =1.000e+00
+IS = 0.000e+00 N
+DCAPLEV=2 CBD =0.000e+00 CBS =0.000e+00
+CJ =1.360e-03 CJSW =3.200e-10 FC =0.000e+00
+MJ =5.600e-01 MJSW =4.300e-01 TT =0.000e+00
+PB =1.020e+00 PBSW =1.020e+00
```