

**UNIVERSIDADE DO VALE DO RIO DOS SINOS – UNISINOS**  
**UNIDADE ACADÊMICA DE GRADUAÇÃO**  
**CURSO DE ENGENHARIA ELETRÔNICA**

**ÂNDERSON FELIPE WESCHENFELDER**

**Modelamento e Simulação de um ADPLL em Tecnologia CMOS 65  
nm**

**São Leopoldo, RS**

**2023**

ÂNDERSON FELIPE WESCHENFELDER

## **Modelamento e Simulação de um ADPLL em Tecnologia CMOS 65 nm**

Trabalho de Conclusão de curso apresentado como requisito parcial para obtenção do título de Bacharel em Engenharia Eletrônica , pelo curso de Engenharia Eletrônica da Universidade do Vale do Rio dos Sinos (UNISINOS).

Orientador: Prof. Dr. Sandro Binsfeld Ferreira

São Leopoldo, RS

2023

## AGRADECIMENTOS

Gostaria de expressar meus sinceros agradecimentos a todos que contribuíram para a realização deste trabalho. Em primeiro lugar, dedico este trabalho à minha amada família, com destaque especial para a minha falecida mãe, cujo apoio e encorajamento foram fundamentais ao longo desta jornada acadêmica.

À minha companheira Débora, quero expressar minha profunda gratidão. Sua presença constante ao meu lado, apoiando-me e compreendendo as inúmeras noites e finais de semana dedicados aos estudos, foi essencial para que eu pudesse alcançar esse objetivo.

Agradeço também aos professores e colegas que estiveram ao meu lado durante todos esses anos de curso. Seus conhecimentos compartilhados, orientações valiosas e troca de experiências contribuíram significativamente para o meu desenvolvimento acadêmico e me proporcionaram uma formação completa.

*"Nothing is better than reading, and gaining more and more knowledge."*  
Stephen Hawking

## RESUMO

**Palavras-chave:** CMOS, ADPLL, python, Bluetooth.

## ABSTRACT

**Keywords:** ADPLL, low power, IoT, Bluetooth.

## LISTA DE ILUSTRAÇÕES

Figura 1 – Estrutura de um transceptor. . . . .	18
Figura 2 – Estrutura de um NMOS . . . . .	19
Figura 3 – Diagrama de blocos de um PLL. . . . .	21
Figura 4 – Diagrama de blocos de um ADPLL. . . . .	23
Figura 5 – Curva de resposta do varactor $D=S=B$ em relação a $V_G$ . . . . .	24
Figura 6 – Fluxo de operação dos modos do DCO . . . . .	25
Figura 7 – Tanque LC com banco de capacitores para aplicação <i>Bluetooth</i> . . . . .	26
Figura 8 – Diagrama de blocos do ganho normalizado . . . . .	28
Figura 9 – Phase detector . . . . .	29
Figura 10 – <i>Loop Filter</i> . . . . .	30
Figura 11 – <i>Loop Filter</i> com filtro IIR em cascata . . . . .	31
Figura 12 – Filtro IRR de polo simples . . . . .	31
Figura 13 – TDC . . . . .	33
Figura 14 – Espectro de saída de um oscilador ideal e um oscilador prático . . . . .	34
Figura 15 – Espectro de ruído de fase de um oscilador . . . . .	34
Figura 16 – Modelo no domínio S de um ADPLL Tipo II com fontes de ruído incluídas . . . . .	36

## LISTA DE QUADROS

Quadro 1 – Definições de <i>Bluetooth</i> clássico e BLE . . . . .	20
Quadro 2 – Estado da arte de sintetizadores em tecnologia CMOS 65nm . . .	38



## LISTA DE TABELAS

## LISTA DE ABREVIATURAS E SIGLAS

ACQ	<i>Acquisition</i>
AD	<i>Analógico para digital</i>
ADPLL	<i>All Digital Phase-Locked-Loop</i>
BLE	<i>Bluetooth Low Energy</i>
CI	<i>Circuito Integrado</i>
CMOS	<i>Complementary Metal–Oxide–Semiconductor</i>
CP	<i>Charge Pump</i>
DC-FLL	<i>Duty-Cycled Frequency-Locked Loop</i>
DCO	<i>Digitally controler oscillator</i>
FCW	<i>Frequency Command Word</i>
FoM	<i>Figure of Merit</i>
Gbps	<i>Giga bits por segundo</i>
IoT	<i>Internet of Things</i>
IRR	<i>Infinite Impulse Response</i>
LPF	<i>Low Pass Filters</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
nMOS	<i>Negative MOS</i>
N-PLL	<i>Integer/fractional-N Phase-Locked Loop</i>
OTW	<i>Oscilator Tunning Word</i>
PA	<i>Power Amplifier</i>
PLL	<i>Phase-Locked Loop</i>
pMOS	<i>Positive MOS</i>
PDK	<i>Process Design Kit</i>
PVT	<i>Process, Voltage, Temperature</i>

RF	<i>Radio Frequency</i>
SDM	<i>Sigma Delta Modulator</i>
TCXO	<i>Temperature-Controlled Crystal Oscillator</i>
TDC	<i>Time-to-digital converter</i>
TRK	<i>Trekking</i>
UNISINOS	<i>Universidade do Vale do Rio dos Sinos</i>
VCO	<i>Voltage-Controlled Oscillator</i>

## LISTA DE SÍMBOLOS

$t$	Tempo
$C$	Capacitor
$A$	Ampere
$F$	Faraday
$L$	Indutor
$f$	Frequência
$\phi$	Diferença de fase
$\lambda$	Lambda
$BW$	Largura de banda.
$\epsilon$	Erro de fase
$t_{res}$	Tempo de resolução
$\omega_c$	Frequência angular da portadora
$\Delta\omega$	Desvio de frequência angular
$\phi_R$	Fase de referência
$\phi_{n,TDC}$	Fonte de ruído do TDC
$\alpha$	Ganho proporcional
$\rho$	Ganho do integrador
$\phi_{n,DCO}$	Fonte de ruído do DCO
$\zeta$	Fator de amortecimento
$\omega_n$	Frequência angular natural
$\sigma_t$	<i>Jitter</i> RMS

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b>	<b>14</b>
<b>1.1</b>	<b>TEMA</b>	<b>15</b>
<b>1.2</b>	<b>DELIMITAÇÃO DO TEMA</b>	<b>15</b>
<b>1.3</b>	<b>PROBLEMA</b>	<b>15</b>
<b>1.4</b>	<b>OBJETIVOS</b>	<b>16</b>
<b>1.5</b>	<b>OBJETIVOS ESPECÍFICOS</b>	<b>16</b>
<b>2</b>	<b>FUNDAMENTAÇÃO TEÓRICA</b>	<b>17</b>
<b>2.1</b>	<b>Sistemas de Comunicação sem fio</b>	<b>17</b>
<b>2.2</b>	<b>CMOS</b>	<b>18</b>
<b>2.3</b>	<b>PDK</b>	<b>19</b>
<b>2.4</b>	<b>Bluetooth</b>	<b>19</b>
<b>2.5</b>	<b>Sintetizador de frequência</b>	<b>19</b>
<b>2.6</b>	<b>PLL</b>	<b>20</b>
2.6.1	Integer-N PLL	21
2.6.2	Fractional-N PLL	21
<b>2.7</b>	<b>ADPLL</b>	<b>22</b>
2.7.1	DCO	23
2.7.1.1	Ganho Normalizado	27
2.7.2	Phase detector	28
2.7.3	Loop Filter	29
2.7.4	TDC	32
<b>2.8</b>	<b>Ruído de Fase</b>	<b>33</b>
<b>2.9</b>	<b>Resposta em frequência do ADPLL</b>	<b>35</b>
<b>2.10</b>	<b>Estado da arte</b>	<b>38</b>
<b>2.11</b>	<b>Considerações Finais</b>	<b>39</b>
<b>3</b>	<b>METODOLOGIA</b>	<b>40</b>
<b>3.1</b>	<b>Estudo do PDK</b>	<b>40</b>
<b>3.2</b>	<b>Definição do <i>System Level</i></b>	<b>40</b>
<b>3.3</b>	<b>Dimensionamento dos Blocos Individuais</b>	<b>40</b>
<b>3.4</b>	<b>Simulação e testes</b>	<b>41</b>
<b>4</b>	<b>RESULTADOS</b>	<b>42</b>
<b>5</b>	<b>CRONOGRAMA</b>	<b>43</b>

<b>6</b>	<b>CONCLUSÃO . . . . .</b>	<b>44</b>
	<b>REFERÊNCIAS . . . . .</b>	<b>45</b>

# 1 INTRODUÇÃO

A evolução constante das tecnologias de comunicação sem fio impulsionou o desenvolvimento acelerado do setor de telecomunicações. A implementação do 5G, tem desempenhado um papel fundamental. O 5G é caracterizado por sua capacidade de conectar bilhões de dispositivos, proporcionando taxas de transferência extremamente altas, latência mínima e velocidades superiores a Gbps (KHANH et al., 2022).

Desde o surgimento da primeira geração de redes móveis (1G) na década de 1980, houve uma demanda crescente por maiores velocidades e eficiência energética. O advento do 5G possibilitou a conectividade em larga escala por meio dos dispositivos IoT (*Internet of Things*), também conhecidos como Internet das Coisas. IoT representa um ecossistema interconectado de dispositivos, pessoas, plataformas, software e soluções que se comunicam através da Internet (SINCHE et al., 2019).

Essa combinação do 5G e dos dispositivos IoT resultou em um cenário em que tudo está conectado à Internet. De acordo com (WILSON, 2020), estima-se que até 2030 haverá cerca de 500 bilhões de dispositivos conectados em todo o mundo. A tecnologia IoT oferece uma infinidade de aplicações e soluções que abrangem diversos setores, como cidades inteligentes, agricultura inteligente, varejo inteligente, sistemas de transporte inteligentes e ecossistemas IoT (KHANH et al., 2022).

Eficiência energética é um dos principais requisitos de comunicações sem fio em aplicações IoT afim de estender a vida da bateria dos dispositivos. (SOUZA et al., 2020). A miniaturização dos circuitos em tecnologia de semicondutor de óxido metálico complementar (*Complementary metal-oxide-semiconductor* - CMOS) proporciona redução da potência e um crescimento do número de transistores por unidade de área, e assim, impulsionando o uso de estruturas digitais ao invés de totalmente analógicas (FERREIRA et al., 2020).

Nesse contexto, qualquer dispositivo de comunicação sem fio, como IoT, necessita de um circuito de rádio frequência (*Radio Frequency* - RF) para fazer a transmissão e recepção de dados. O sintetizador de frequência é uma parte deste circuito, responsável pela geração do oscilador local tanto do transmissor como do receptor. O sintetizador de RF é umas das maiores dificuldades em comunicações sem fio, pois o sistema requer baixo custo, baixo consumo energético e baixa tensão enquanto deve atender aos requisitos de ruído de fase e modulação do protocolo (STASZEWSKI; BALSARA, 2006).

Malhas de captura de fase (*Phase-Locked Loops* - PLL) e N-PLL, malha de captura de fase inteira/fracionária, são amplamente utilizadas como sintetizadores de

frequência, para gerar o oscilador local, sendo responsável pelo maior consumo de potência do dispositivo pois está ativo tanto na transmissão como na recepção. Desta forma, se faz necessário um sintetizador de RF de baixa potência.

É nesse contexto que malhas de captura de fase totalmente digital (*All-Digital Phase-Locked Loop* - ADPLL) vem ganhando destaque. O ADPLL é um circuito puramente digital que oferece baixo consumo de energia e ocupa uma área relativamente pequena no chip. Sua operação é baseada em algoritmos digitais que controlam diretamente os elementos da malha de fase, eliminando a necessidade de componentes analógicos. Essa abordagem inovadora torna o ADPLL uma solução atraente para sistemas de comunicação sem fio de baixo consumo.

Diante dessas considerações, o presente trabalho tem como objetivo modelar um ADPLL para utilização em dispositivos IoT com comunicação do tipo *Bluetooth*. Propõem-se o modelamento de um ADPLL completo e simulação baseada em eventos de borda de *clock* utilizando a linguagem de programação *Python* onde, serão exploradas as características e o desempenho do ADPLL em diferentes cenários, a fim de avaliar diferentes topologias que atendam as especificações do *Bluetooth*.

## 1.1 TEMA

Modelamento de um ADPLL para comunicação *Bluetooth* considerando parâmetros da tecnologia CMOS 65 nm, efetuando simulações por meio de eventos de borda utilizando linguagem de programação Python para avaliação de atendimento dos requisitos.

## 1.2 DELIMITAÇÃO DO TEMA

O trabalho encontra-se delimitado por:

- Faixa de frequência *Bluetooth* 4,5 a 5,5 GHz;
- Utilização de três bancos de capacitores no oscilador;
- Simulação baseada em bordas de transições dos *clocks*;
- Parâmetros de transistores da tecnologia CMOS 65 nm;

## 1.3 PROBLEMA

Dispositivos IoT requer uma maximização de sua vida útil por meio da diminuição de consumo energético. PLLs e N-PLLs requerem uma quantidade de energia



significativa, desta forma é necessário uma forma mais eficiente energeticamente para gerar o oscilador local e que atenda a demanda de separação de canais de acordo com o protocolo.

## 1.4 OBJETIVOS

O objetivo é o modelamento e análise comportamental dos blocos que compõem um ADPLL e então, simular para verificar que atenda aos critérios de ruído e desvio de frequência para o protocolo *Bluetooth*.

## 1.5 OBJETIVOS ESPECÍFICOS

- Estudar o comportamento dos blocos que compõem o ADPLL;
- Estudar o impacto que cada bloco causa na saída do sistema em questão de ruído;
- Simular um ADPLL completo por meio de simulação de eventos;
- Avaliar o comportamento com diferentes parametrizações;

## 2 FUNDAMENTAÇÃO TEÓRICA

Neste capítulo, apresentamos uma síntese da revisão bibliográfica realizada para embasar a metodologia adotada no desenvolvimento e simulação do ADPLL. São abordados os conceitos básicos de um sintetizador de frequência, o protocolo de comunicação *Bluetooth*, a importância dos circuitos e dispositivos CMOS, e alguns conceitos de comunicações sem fio. Esses tópicos são fundamentais para compreender o funcionamento do ADPLL e sua aplicação em sistemas de comunicação sem fio. A revisão bibliográfica oferece uma base sólida para o desenvolvimento do projeto, fornecendo os conhecimentos necessários para explorar as características, desempenho e aplicações do ADPLL.

### 2.1 SISTEMAS DE COMUNICAÇÃO SEM FIO

Os sistemas de comunicação sem fio proporcionam a transferência de informações sem a necessidade de conexões físicas. Essas comunicações, conhecidas como *wireless*, utilizam ondas eletromagnéticas em um amplo espectro de frequências, variando de 3 kHz a 300 GHz, propagando-se na velocidade da luz pelo espaço sem depender de um meio físico específico.

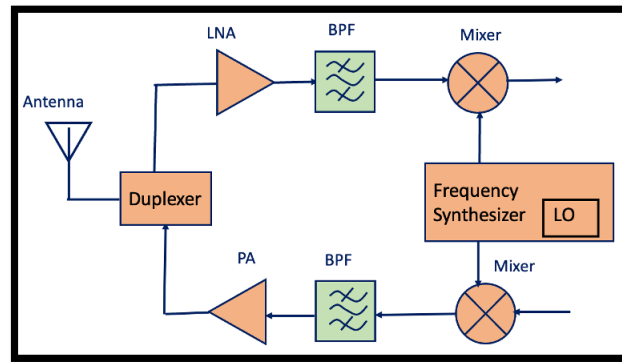
Desde as primeiras transmissões de voz por rádio na década de 1920 até os dias atuais, houve significativas evoluções nesse campo, com as comunicações sem fio se tornando uma parte integrante do cotidiano, presente em tecnologias como televisão, rádio, celulares, internet (Wi-Fi) e muito mais (DOWLA, 2003).

A transmissão de informações por rádio frequência (RF) é realizada por meio de uma técnica chamada modulação. De maneira geral, a modulação envolve alterar uma característica da onda portadora de acordo com o sinal modulante, que carrega a informação a ser transmitida, seja áudio ou dados digitais (GOMES, 1998). Essa técnica empacota a informação de baixa frequência em uma onda de alta frequência, resultando em um sinal modulado que pode ser transmitido pelo ar através de uma antena. Existem inúmeras técnicas de modulação, cada uma com características específicas que visam aumentar o alcance, a imunidade a ruídos, evitar colisões entre sinais, entre outros aspectos.

Um dispositivo de comunicação sem fio é composto por dois circuitos principais: um receptor, responsável por receber e demodular a informação, e um transmissor, encarregado de enviar a informação modulada. Dependendo da aplicação, um dispositivo pode ser composto apenas por um transmissor ou receptor, enquanto em outros casos, que envolvem ambas as funções, ele é denominado transceptor. A Figura 1

apresenta a estrutura básica de um transceptor, onde cada bloco desempenha uma função específica.

Figura 1 – Estrutura de um transceptor.



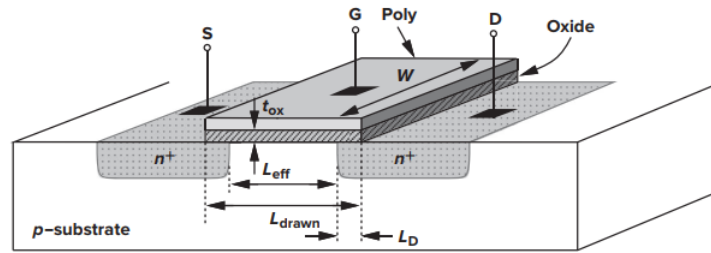
Fonte: Sarkar, Sarrafinazhad e Ghoncheh (2023).

## 2.2 CMOS

CMOS é um processo de fabricação que utiliza silício para criar transistor de efeito de campo metal - óxido - semiconductor (*Metal Oxide Semiconductor Field Effect Transistor* - MOSFET) do tipo "p"(pMOS) e do tipo "n"( nMOS). É amplamente utilizado na produção de chips de circuitos integrados, como microprocessadores, microcontroladores e chips de memória, o CMOS também é empregado em circuitos analógicos, como sensores de imagem e dispositivos de comunicação com e sem fio. Sua característica distintiva é o baixo consumo de energia, tornando-o especialmente adequado para dispositivos IoT.

Além disso, o CMOS oferece vantagens em relação a outras tecnologias, como operação em baixas tensões e os constantes avanços tecnológicos permite maior densidade de transistores por unidade de área . O tamanho dos transistores é determinado pelos valores de comprimento (*Length* - L) e largura (*Width* - W) Figura 2, permitindo um controle mais preciso da corrente que circula por eles (RAZAVI, 2017). Atualmente, circuitos integrados podem ser fabricados em escala de 3 nm de acordo com dados da fabricante (TSMC, 2023).

Figura 2 – Estrutura de um NMOS



Fonte: Razavi (2017).

## 2.3 PDK

O kit de design de processo (*Process Design Kit* - PDK) é um conjunto vital de ferramentas, bibliotecas e informações disponibilizado por fabricantes de semicondutores para orientar projetistas de circuitos integrados (CIs) na concepção de designs otimizados para processos específicos de fabricação. O PDK oferece recursos essenciais, como bibliotecas de células padrão, modelos de dispositivos, e as regras de design, sendo fundamental para o desenvolvimento de circuitos integrados de acordo com o processo de fabricação da tecnologia utilizada.

## 2.4 BLUETOOTH

O *Bluetooth* é um padrão de tecnologia sem fio de curto alcance, amplamente utilizado para a troca de dados entre dispositivos fixos e móveis em distâncias curtas.

Atualmente, milhões de pessoas em todo o mundo utilizam dispositivos *Bluetooth* para transferir dados, como música, fotos e vídeos, no dia a dia. Além disso, o *Bluetooth* tem sido cada vez mais empregado em dispositivos IoT, especialmente com a implementação do *Bluetooth Low Energy* (do inglês, BLE), que oferece menor consumo de energia em relação ao *Bluetooth* padrão. Estima-se que em 2027 existirão cerca de 7,6 bilhões de dispositivos *Bluetooth* ativos em todo o mundo (BLUETOOTH, 2023).

Gerenciado pelo *Bluetooth Special Interest Group* (SIG), o padrão opera no espectro de frequência 2,4 GHz. No Quadro 1 é apresentada algumas definições de comunicação *Bluetooth* clássico e do BLE.

## 2.5 SINTETIZADOR DE FREQUÊNCIA

Em sistemas de comunicação sem fio a presença de um circuito sintetizador de frequência é essencial. O circuito sintetizador de frequência é responsável por

Quadro 1 – Definições de *Bluetooth* clássico e BLE

	<b>Bluetooth Low Energy (BLE)</b>	<b>Bluetooth Clássico</b>
<b>Banda de frequência</b>	2.4 GHz Banda ISM (2.402 – 2.480 GHz)	2.4 GHz Banda ISM (2.402 – 2.480 GHz)
<b>Canais</b>	40 canais com 2 MHz de espaçamento	79 canais com 1 MHz de espaçamento
<b>Modulação</b>	GFSK	GFSK, $\pi/4$ DQPSK, 8DPSK
<b>Uso do Canal</b>	<i>Frequency-Hopping Spread Spectrum</i> (FHSS)	<i>Frequency-Hopping Spread Spectrum</i> (FHSS)
<b>Data Rate (DR)</b>	Até 2 Mb/s	Até 3 Mb/s
<b>Sensibilidade (RX)</b>	-82dBm com DR=120 kb/s	-70 dBm
<b>Topologia de comunicação</b>	Ponto a ponto Broadcast Mesh	Ponto a ponto

Fonte: Adaptado de Bluetooth (2023).

gerar a frequência central de um canal em um sistema de comunicação de RF. Cada canal possui uma faixa de frequência específica de operação, desta forma o circuito sintetizador deve ser capaz de permitir ajustes de frequência pequenos.

O circuito sintetizador gera as frequências necessária como um múltiplo de uma referência do Oscilador de Cristal Controlado por Temperatura (*Temperature-Controlled Crystal Oscillator* - TCXO). O TCXO tem papel fundamental na performance do sintetizador, é responsável por fornece uma frequência estável e precisa e com baixo valor de ruído de fase. De acordo com (LASCARI, 2000) negligenciar seus efeitos em um sintetizador pode acarretar em resultados inesperados após a concepção do circuito.

O processo de síntese de frequência ocorre através de técnicas de geração e mistura de sinais. Primeiramente, a referência de TCXO fornece uma frequência estável e precisa. Em seguida, o sintetizador de frequência utiliza circuitos internos, como divisores de frequência e circuitos de fase, para manipular e multiplicar a frequência da referência, produzindo assim a frequência desejada.

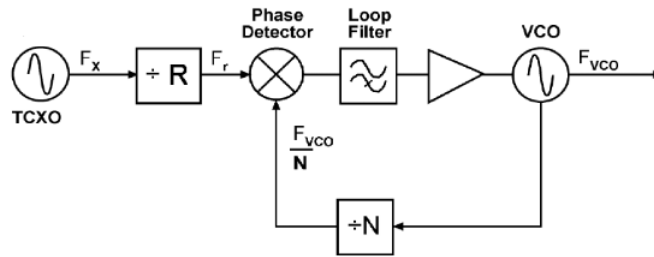
## 2.6 PLL

PLL (*Phase-Locked-Lopp*) é um circuito sintetizador de frequência comumente utilizado. PLL é composto por diversos blocos, alguns deles são: osciladores controlados por tensão (*Voltage-Controlled Oscillator* - VCO), divisores programáveis, detectores de fase e frequência, bombas de carga (*Charge Pump* - CP) e filtros passa paixas (*Low Pass Filters* - LPF).

Os blocos que compõem um PLL são apresentados na Figura 3. A utilização de uma realimentação negativa no circuito permite um controle tanto de frequência como de fase para a saída.

O PLL utiliza o VCO como elemento central. O sinal de saída do VCO, dividido por um fator N, é comparado pelo *Phase-Detector* com a frequência de referência do TCXO dividida por R. Após a comparação, o sinal resultante passa pelo *Loop filter*,

Figura 3 – Diagrama de blocos de um PLL.



Fonte: Barrett (1999).

responsável por eliminar ruídos e interferências. A saída do *Loop filter* é a tensão de controle aplicada ao VCO, permitindo ajustar e manter a frequência de saída em sincronia com a frequência de referência (BARRETT, 1999).

Em condições normais, um PLL fornece uma frequência com extrema precisão, no entanto, o tempo de aquisição pode ser longo devido ao processo do detector de fase e frequência que avalia e gera sinais com base nas diferenças em relação à referência. Esse tempo de aquisição é especialmente crucial em aplicações de comunicações sem fio que envolvem técnicas como salto de frequência (*frequency hopping*), como é o caso do protocolo *Bluetooth*. Nessas situações, a capacidade do PLL de se sincronizar rapidamente com frequências variáveis é essencial para garantir uma transição suave entre os canais e evitar perdas de dados ou conexão.

### 2.6.1 Integer-N PLL

PLLs convencionais também conhecidos como *Integer-N PLL* são capazes de gerar apenas frequências de valores N vezes a frequência do TXCO, onde N é um valor inteiro, desta forma a resolução de frequência é definida pela frequência de referência utilizada.

A frequência de saída é definida como:

$$F_{VCO} = N \cdot f_{ref} \quad (2.1)$$

### 2.6.2 Fractional-N PLL

Em um *fractional-N PLL* a frequência de saída pode ser ajustada como uma fração da frequência de referência. Esse ajuste fracional é necessário em sistemas de comunicação para o ajuste correto da frequência central de canal utilizado.

*Fractional-N PLL* utiliza uma topologia similar ao do *Integer-N PLL*, com adição

de um acumulador, uma máquina que alterna o divisor entre ( $N$  e  $N+1$ ). Esta variação faz com que a média torne-se um valor fracional entre  $N$  e  $N+1$ , proporcionando um ajuste de frequência também fracional.

A frequência de saída é definida como:

$$F_{VCO} = (N + F) \cdot f_{ref} \quad (2.2)$$

Onde,  $F$  é 0 ou 1.

## 2.7 ADPLL

O ADPLL é um sintetizador de frequência que se diferencia dos PLLs convencionais por ser um circuito puramente digital. Enquanto um PLL tradicional é composto por blocos quase que na totalidade analógicos, o ADPLL aproveita os benefícios da miniaturização da tecnologia CMOS utilizando blocos digitais, permitindo maiores velocidades e frequências, além de reduzir significativamente a área ocupada no chip. Para (STASZEWSKI; BALSARA, 2006) a tecnologia nanométrica do CMOS traz um novo paradigma, a resolução do domínio do tempo de uma transição de borda de sinal digital é superior à resolução de tensão de sinais analógicos. Desta forma o ADPLL pode ser analisado apenas pelas transições dos sinais digitais.

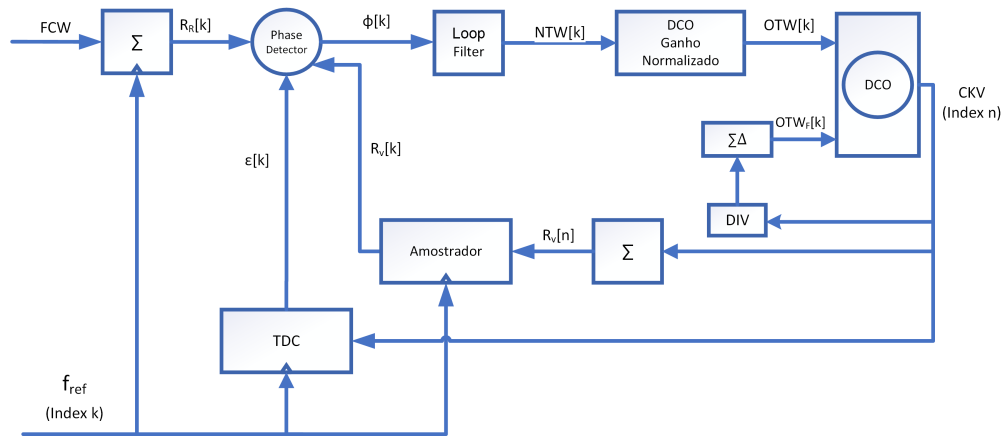
A natureza digital do ADPLL oferece vantagens adicionais, como a parametrização do *Loop-Filter* para ajuste de frequência conforme necessário. Além disso, não são necessários circuitos auxiliares para conversão entre sinais digitais e analógicos, o que representa uma economia de recursos e simplificação do projeto.

A Figura 4 mostra o diagrama de blocos de um ADPLL no domínio do tempo discreto, analisando as transições dos sinais de ( $f_{ref}$ ) e saída do sintetizador. O ADPLL é composto de 4 blocos principais, oscilador controlado digitalmente (*Digitally Controlled Oscillator* - DCO), conversor de tempo para digital (*Time to Digital Converter* - TDC), detector de fase (*Phase Detector* - PD) e a malha de controle digital (*digital Loop Filter* - LF). Nas subseções seguintes serão apresentados com mais detalhes cada um dos sub-blocos.

O circuito do DCO é responsável por gerar o sinal de saída do sintetizador. Ele consiste em um indutor fixo e um conjunto de capacitores programáveis que formam um circuito ressonante LC. A frequência de saída é definida pelo FCW (*Frequency Command Word*), podendo ser um valor fracionado não somente um inteiro da frequência de referência, conforme expresso na Equação 2.3.

$$f_{DCO} = FCW \cdot f_{ref} \quad (2.3)$$

Figura 4 – Diagrama de blocos de um ADPLL.



Fonte: Adaptado de Andersson e Johnson (2010).

Por outro lado, o TDC realiza a medição da diferença de tempo entre as bordas de *clock* do sinal do DCO e de referência, acumulando esse valor a cada transição do *clock*, da mesma forma que FCW também é acumulado. O detector de fase compara as diferenças entre os acumuladores, que é então utilizado pelo *Loop Filter* para controlar os capacitores do DCO. Essa ação de controle resulta no ajuste da frequência do sinal de saída, permitindo aumentá-la ou reduzi-la conforme necessário.

### 2.7.1 DCO

O DCO é o elemento principal do ADPLL, converte o sinal de entrada OTW (*Oscillator Tuning Word*), em um sinal periódico onde a frequência  $f$  é definida em função de sua entrada.

$$f = f(OTW) \quad (2.4)$$

O DCO é formado por um circuito tanque LC, um indutor fixo e capacitores programáveis, em ressonância a frequência é definida de acordo com a equação 2.5 onde  $C_{tot}$  é a soma de todas capacitâncias.

$$f_{out} = \frac{1}{2\pi\sqrt{L \cdot C_{tot}}} \quad (2.5)$$

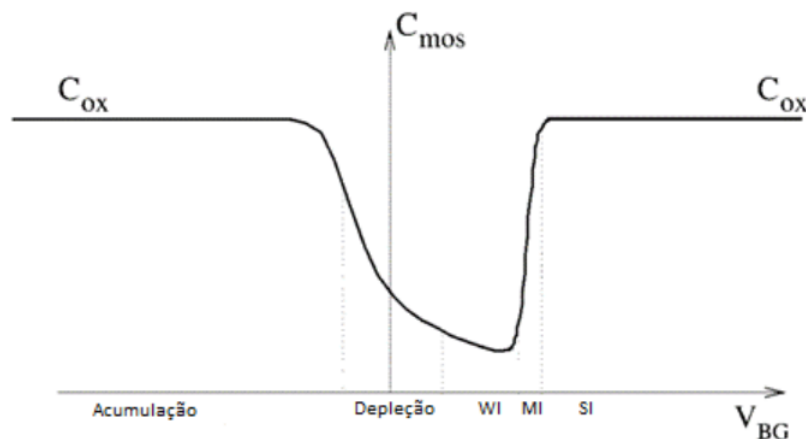
Transistores em modo varactor<sup>1</sup> são utilizados como capacitores programáveis, pois possuem um ajuste muito pequeno de frequência em relação a diodo varicap. Quanto menor o valor da capacitância menor é o passo de frequência de ajuste do DCO, permitindo um ajuste mais fino e melhor performance.

<sup>1</sup> Capacitor variável.



Transistores do tipo pMOS são comumente utilizados como varactores devido a suas propriedades de isolamento do poço. Com os terminais dreno, fonte e corpo ( $D=S=B$ ) interligados permite que a capacitância seja controlada pelo nível de tensão no terminal gate,  $V_G$ , conforme a região de operação do transistor, limitada pela capacitância do óxido ( $C_{OX}$ ). A Figura 5 mostra a curva de capacitância em relação a tensão aplicada ao terminal gate.

Figura 5 – Curva de resposta do varactor  $D=S=B$  em relação a  $V_G$



Fonte: RIECK (2022).

O DCO deve ser capaz de gerar um range de frequências com ajuste fino para atender às necessidades de modulação do transceptor. Por exemplo, para o *Bluetooth*, que possui um range de frequências entre 2.402 GHz e 2.480 GHz, usar apenas 8 bits, um conjunto de 256 capacitores programáveis, resultaria em um passo de frequência muito grosso de aproximadamente 304,67 kHz, o que não é viável para aplicações sem fio e tipos de modulações utilizadas.

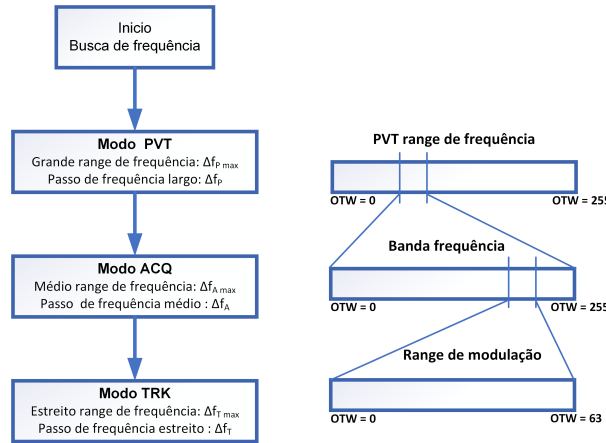
Para superar essa limitação, a solução adotada é dividir o banco de capacitores em três partes: modo de Processo-Tensão-Temperatura (*Process, Voltage, Temperature* - PVT), modo de aquisição (*Acquisition* - ACQ) e modo de caminhada (*Trekking* - TRK). Esses modos permitem ajustar o DCO de maneira mais precisa. De acordo com (STASZEWSKI; BALSARA, 2006), uma boa relação entre tamanho físico e menor passo de frequência é alcançada atribuindo 8 bits para o modo PVT, 8 bits para o modo ACQ e 6 bits para o modo TRK.

Na Figura 6 é apresentado o fluxo de operação dos modos do DCO. Cada modo possui um range de frequência de operação, e a mudança de uma unidade no *OTW* define o menor passo de frequência,  $\Delta f$  possível em cada modo. Este passo pode ser calculado para cada modo conforme a equação 2.6, considerando o range de

frequência ( $f_{R_{mode}}$ ) e o número de bits ( $2^{b_{mode}}$ ) em cada um.

$$\Delta f_{LSB_{mode}} = \frac{f_{R_{mode}}}{2^{b_{mode}}} \quad (2.6)$$

Figura 6 – Fluxo de operação dos modos do DCO



Fonte: Adaptado de Staszewski e Balsara (2006).

Ao iniciar o DCO, todos os modos são iniciados no centro do range de ajuste, com um valor de  $OTW = 127$  para PVT e ACQ e  $OTW = 33$  para TRK. Configurar OTW como 0 corresponde à menor frequência possível, enquanto 255 representa a frequência mais alta. O modo PVT é o primeiro a ser ajustado fazendo a compensação de variações de processo, temperatura e tensão, centralizando a frequência do oscilador de forma mais grosseira, apresentando variações entre 1 a 2 MHz.

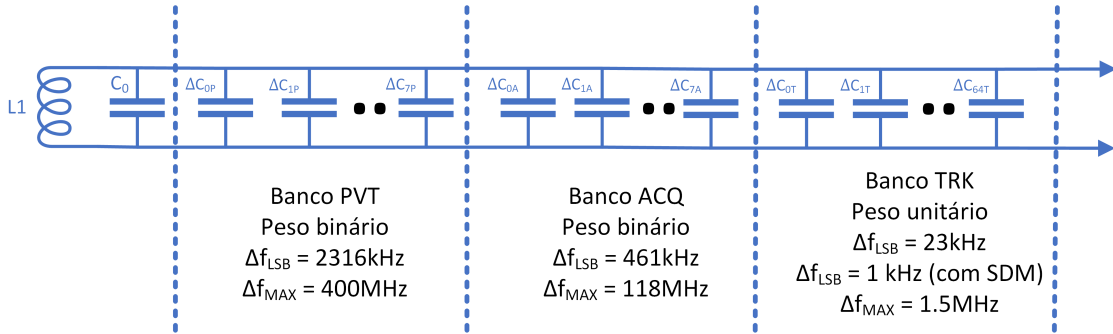
No segundo modo, ACQ, a frequência é ajustada para dentro da banda de interesse com um passo de frequência médio  $\Delta f_A$ , fornecendo uma resolução de  $\pm 500$  kHz ao variar OTW entre 0 e 255.

Por fim, o modo TRK possui a melhor resolução de ajuste, permitindo ajustar com precisão a frequência de saída do oscilador necessária para a obtenção do canal desejado. Para permitir ajustes muito finos, como  $\pm 1$  kHz, OTW pode ser um valor fracionário nesse modo. Para isso, é utilizada uma topologia semelhante à do *Fractional-N PLL*, permitindo uma melhor resolução com a implementação de um modulador Sigma-Delta (SDM). Os SDMs são amplamente utilizados em conversores ADs (analógico para digital) por meio de um modulador com sobre-amostragem, seguido por um filtro digital/decimador, que juntos produzem um sinal de alta resolução (BAKER, 2011). Essa técnica de modulação é empregada para alcançar um ajuste preciso e refinado da frequência do DCO, garantindo o ajuste de frequência do canal desejado.

A Figura 7 apresenta o tanque LC de um DCO projetado para aplicação *Bluetooth*, com a implementação dos três bancos de capacitores. Em cada banco os

capacitores representados por um bit possui um valor de acordo com o banco que ele pertence, a soma deles em conjunto com o capacitor  $C_0$  definirá a frequência.

Figura 7 – Tanque LC com banco de capacitores para aplicação *Bluetooth*



Fonte: Adaptado de Staszewski e Balsara (2006).

Nos bancos de capacitores PVT e ACQ o valor individual de cada capacitor é definido pela equação 2.9, na qual leva em consideração a frequência mínima e máxima de operação de cada banco. O valor de  $C_0$  é igual ao valor de  $C_{min}$  do banco PVT, ou seja é a máxima frequência do oscilador.

$$C_{max} = \frac{1}{L} \left( \frac{1}{2\pi f_{min}} \right)^2 \quad (2.7)$$

$$C_{min} = \frac{1}{L} \left( \frac{1}{2\pi f_{max}} \right)^2 \quad (2.8)$$

$$\Delta C^{banco} = \frac{C_{max} - C_{min}}{2} \quad (2.9)$$

Após o ajuste do banco PVT a capacitância total é obtida pela equação 2.11, considerando o número de capacitores acionados considerando o valor de cada um e também a metade dos capacitores dos bancos ACQ e TRK acionados.

$$C^P = C_0 + C_{half}^A + C_{half}^T + \sum_{k=0}^7 \bar{d}_k \cdot 2^k * \Delta C^P \quad (2.10)$$

Da mesma forma após o ajuste do banco ACQ a capacitância total é obtida pela equação 2.11 considerando o valor do banco PVT já ajustado.

$$C^A = C_P - C_{half}^A + C_{half}^T + \sum_{k=0}^7 \bar{d}_k \cdot 2^k * \Delta C^A \quad (2.11)$$

No modo TRK os capacitores são rearranjados de forma diferente. Utilizando peso binário quando  $OTW$  mudar de 31 para 32 fara com que 6 capacitores sejam

alterados, causando bordas de ruído no sinal de saída, o que não é desejável visto que neste modo é importante manter a estabilidade para garantir a comunicação. Desta forma no modo TRK cada capacitor possui valor unitário, ou seja a mudança de  $OTW$  fara com que apenas um capacitor seja alterado, evitando ruídos indesejados. O valor de cada capacitor é calculado conforme a equação 2.12, considerando o range de frequência necessário e o número de bits utilizado no modo.

$$C_{\mu} = \frac{C_{max} - C_{min}}{2^{b_{TRK}}} \quad (2.12)$$

Por fim a capacitância total do tanque LC pode ser obtida pela equação 2.13 ao final do ajuste do banco TRK, sendo a soma das capacitâncias dos bancos anteriores com o atual. Desta forma  $C^T = C_{tot}$  e pode ser utilizada a equação 2.5 para estimar a frequência de saída do oscilador.

$$C^T = C_A - C_{half}^T + (2^{b_{TRK}} - OTW) \cdot C_{\mu} \quad (2.13)$$

#### 2.7.1.1 Ganho Normalizado

A frequência de saída do DCO é definida em função da entrada ( $OTW$ ), sendo  $f_{out} = f(OTW)$ . Essa função não é linear, mas pode ser aproximada a uma função linear considerando um pequeno range de operação. Neste caso  $f(OTW)$  é um simples ganho  $K_{DCO}$ , podendo ser escrito como:

$$f_{out} = f_0 + \Delta f_v = f_0 + K_{DCO} \cdot OTW \quad (2.14)$$

Onde  $\Delta f$  é um desvio da frequência central  $f_0$ . O ganho  $K_{DCO}$  é definido como o desvio de frequência em resposta a mudança de 1 bit, LSB, em  $OTW$ .

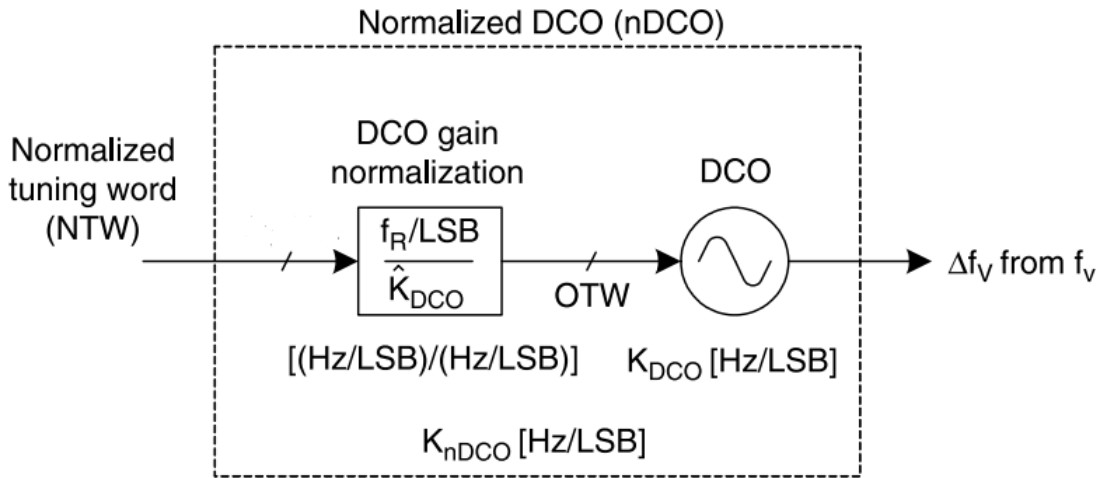
Cada um dos três modos de operação do DCO possui um range de frequência diferente, o que resulta em diferentes valores de ganho. O cálculo do ganho é efetuado pela equação 2.15 considerando o range de frequência e o numero de bits utilizado em cada modo.

$$K_{DCO_{mode}} = \frac{f_{R_{mode}}}{2^{b_{mode}}} \quad (2.15)$$

A Figura 8 mostra o bloco do ganho normalizado, onde  $NTW$  (*Normalized Tuning Word*) é normalizado em  $OTW$  pela frequência de referência ( $f_{ref}$ ) dividida pelo ganho  $K_{DCO}$ .

Devido ao fato do ganho sofrer por variações de processo e de fatores ambientais, não se pode definir com precisão seu valor. Para minimizar isto é utilizado uma estimativa de ganho conforme a equação 2.16. Se  $K_{DCO_{est}}$  for corretamente estimado,

Figura 8 – Diagrama de blocos do ganho normalizado



Fonte: Staszewski, Leipold e Balsara (2003).

o ganho torna-se igual a  $f_{ref}$ , e as alterações em NTW acarretam em alteração da frequência na mesma magnitude, multiplicada por  $f_{ref}$ .

$$K_{nDCO} = f_{ref} \frac{K_{DCO}}{K_{DCOest}} \quad (2.16)$$

É fundamental obter um valor preciso para o ganho  $K_{DCO}$  a fim de garantir a acurácia do sintetizador, especialmente no modo TRK, onde é necessária a maior precisão.

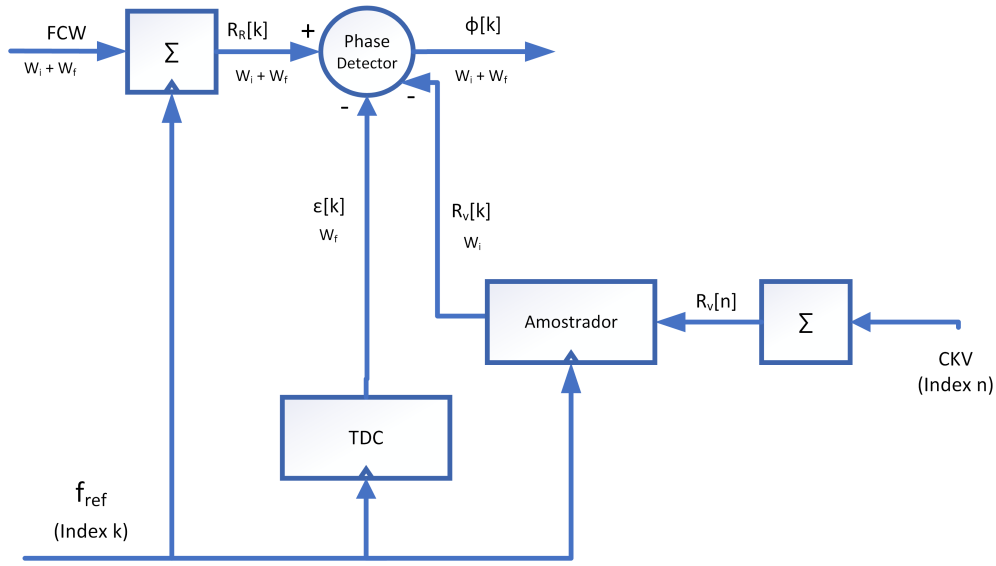
### 2.7.2 Phase detector

*Phase detector* mede a diferença de fase entre o sinal de referência e a saída do sintetizador a cada borda de *clock* da frequência de referência. A Figura 9 demonstra o diagrama de blocos do *Phase detector*.

O valor de FCW que define a frequência de saída do circuito de acordo com a equação 2.3, possui uma parte inteira  $W_i$  e uma parte fracional  $W_f$ . A cada borda de *clock* de  $f_{ref}$ , índice  $k$ , o valor de FCW é acumulado  $R_R[k] = R_R[k - 1] + FCW$ , representando a fase de referência. A fase variável  $R_V[k]$  acumula o número de bordas CKV, e o erro fracional é obtido pelo TDC que será apresentado na seção seguinte.

A saída do *Phase detector* é o erro de fase  $\phi$  entre os sinais obtido pela equação 2.17. Quando o ADPLL converge para a fase e frequência desejada a saída  $\phi$  será uma constante.

Figura 9 – Phase detector



Fonte: Elaborado pelo autor(2023).

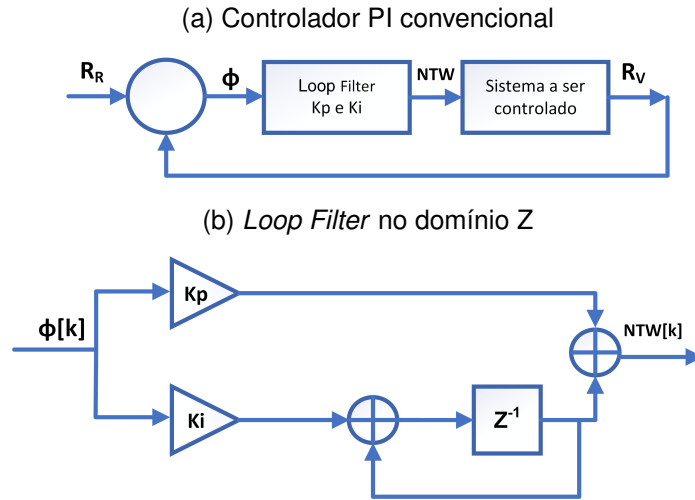
$$\phi[k] = R_R[k] - (R_V[k] - \epsilon[k]) = (R_{R_{Int}}[k] - R_V[k]) + (R_{R_{Frac}}[k] - \epsilon[k]) \quad (2.17)$$

### 2.7.3 Loop Filter

O *Loop Filter* é um sistema de controle do tipo PI (proporcional e integral) responsável por regular o NTW. Ele recebe como entrada a diferença de fase entre a referência e a saída do DCO, e sua saída é aplicada ao bloco do ganho normalizado, que controla o DCO. O *Loop Filter* é responsável pela estabilidade e precisão do ADPLL, garantindo que a fase de saída do DCO seja mantida próxima à da de referência, e a frequência desejada seja obtida.

Na Figura 10a, é apresentada a estrutura básica de um sistema de controle PI, enquanto a Figura 10b ilustra sua análise no domínio discreto Z. O parâmetro  $K_p$  representa o ganho proporcional e determina a velocidade do sistema, ou seja, quão rapidamente ocorre a mudança na saída dada uma variação na entrada. Já  $K_i$  atua como um integrador, ajudando a eliminar erros estacionários, garantindo a estabilidade do sistema e reduzindo o impacto de perturbações externas.

O *Loop Filter* mostrado na Figura 10b é classificado como ADPLL Tipo II, pois incorpora o ganho proporcional (P) e o integrador (I). Sua expressão de tempo discreto que descreve seu comportamento é mostrado em 2.18. Por outro lado, o ADPLL Tipo I é definido quando contém apenas o ganho proporcional, reduzindo a expressão para uma simples multiplicação, como mostrado em 2.19.

Figura 10 – *Loop Filter*

Fonte: Adaptado de Andersson e Johnson (2010).

$$NTW[k] = K_p \cdot \phi[k] - K_p \cdot \phi[k-1] + K_I \cdot \phi[k-1] + NTW[k-1] \quad (2.18)$$

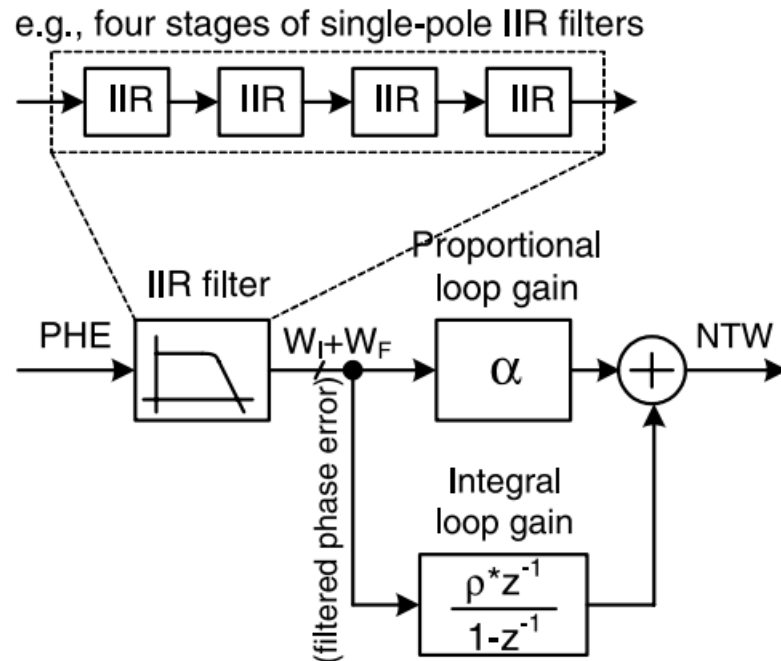
$$NTW[k] = K_p \cdot \phi[k] \quad (2.19)$$

O *Loop Filter* é dividido em três blocos, um para controlar cada um dos modos do DCO, permitindo a utilização independente do ADPLL Tipo I ou Tipo II em cada modo. Nos modos PVT e ACQ, o ADPLL Tipo I é utilizado para reduzir o tempo de convergência do sistema, pois nesses modos o ajuste de frequência é mais grosseiro. No modo TRK, o ADPLL Tipo II é utilizado para obter a melhor precisão, onde o integrador é inserido para reduzir o erro e o valor do ganho proporcional é reduzido.

Para atenuar ruídos de fase e espúrios indesejados em altas frequências, é possível conectar um filtro IIR ( *Infinite Impulse Response*) passa-baixa em cascata antes do *Loop Filter*. É fundamental dimensioná-lo de forma que a frequência de corte seja maior do que a do *Loop Filter*, a fim de não afetar o sistema.

Um Filtro IIR de ordem simples é incondicionalmente estável, mas apresenta uma pequena atenuação. Se for necessário obter maiores atenuações, pode ser preciso utilizar filtros de ordem superior, no entanto, isso pode torná-los facilmente instáveis. Uma alternativa é utilizar filtros de ordem simples em cascata, como mostrado na Figura 11, proporcionando maior atenuação de ruídos indesejados sem comprometer a estabilidade do sistema.

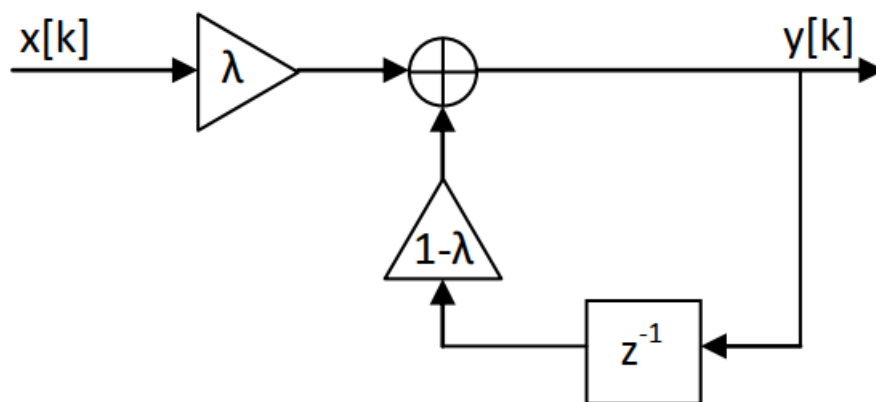
Figura 11 – *Loop Filter* com filtro IIR em cascata



Fonte: Staszewski, Leipold e Balsara (2003).

O Filtro IIR de polo simples pode ser analisado no domínio do tempo discreto, conforme ilustrado na Figura 12, resultando na expressão apresentada na equação 2.20, que permite obter a função de transferência no domínio Z, como mostrado na equação 2.21.

Figura 12 – Filtro IRR de polo simples



Fonte: Andersson e Johnson (2010).

$$y[k] = (1 - \lambda)y[k - 1] + \lambda x[k] \quad (2.20)$$



$$H_{IIR}(z) = \frac{z\lambda}{z - 1 + \lambda} \quad (2.21)$$

O termo  $\lambda$  determina características importantes do filtro, como atenuação fora da banda de passagem e frequência de corte. Estes valores podem ser obtidos de acordo com a equação 2.22.

$$f_{BW_{IIR}} = \frac{\lambda}{2\pi} f_{ref} \quad (2.22)$$

A utilização de vários estágios simples do filtro IIR resulta que a função de transferência é o produto de cada estágio como demonstrada na equação 2.23.

$$H_{IIR_{tot}}(z) = \prod H_{IIR_{single}}(z) \quad (2.23)$$

## 2.7.4 TDC

O TDC utilizado no *Phase Detector* é responsável por medir com grande precisão a diferença de tempo entre a borda de clock de referência e a borda imediatamente anterior da saída do sintetizador. Essa diferença de tempo corresponde à diferença de fase fracional entre os sinais na frequência.

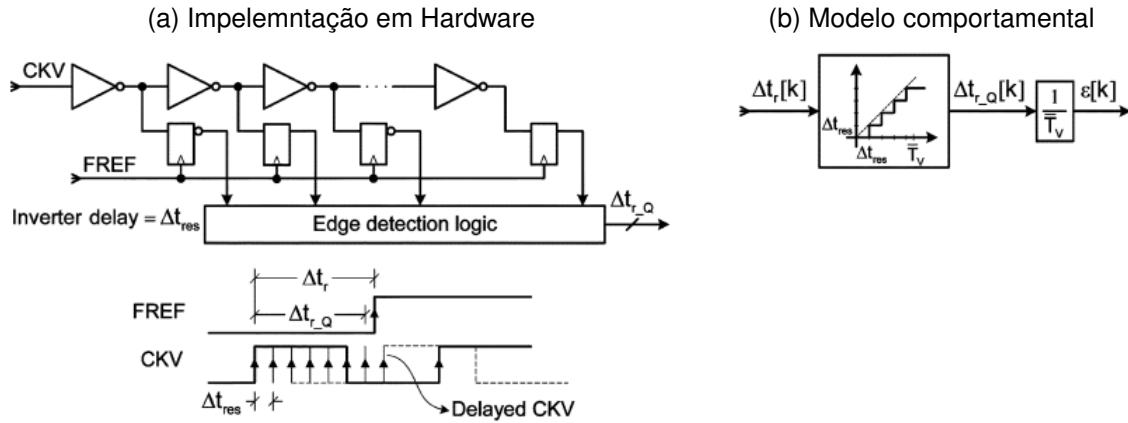
Existem diferentes topologias de circuitos para implementar um TDC, sendo algumas delas baseadas em cadeias de inversores, conhecidas como "*delays*". Em tecnologias de processo CMOS atuais, é possível obter *delays* com precisão de 10 picossegundos (10 ps) ou menos. (FERREIRA et al., 2020) apresenta várias topologias de circuito para a implementação do TDC baseado em cascata de inversores.

A medição de tempo é realizada pela diferença de tempo  $\Delta t_r$  conforme apresentado na Figura 13a. Essa diferença é a quantidade de inversores necessários para cobrir a diferença de tempo entre os *clocks* referência e saída do sintetizador. Cada inversor representa um valor de *delay* conhecido,  $\Delta t_{res}$ , ou seja o tempo de resolução em segundos. O número de estágios do TDC é definido pelo número de inversores necessários para cobrir todo o período do *clock* CKV. Como a resolução do TDC é limitada a  $\Delta t_{res}$ , somente múltiplos desse valor podem ser obtidos, o que resulta em uma quantização da medida em  $\Delta t_r\_Q$ , conforme mostrado na Figura 13b.

A diferença de fase fracional que é a saída do TDC é obtida conforme a equação 2.24, onde  $\Delta t_r\_Q$  é normalizado em relação ao período de CKV.

$$\epsilon[k] = 1 - \frac{1}{T_{CKV}} \cdot \Delta t_{res} \cdot \left( \frac{\Delta t_r[k]}{\Delta t_{res}} \right) = 1 - \frac{\Delta t_r\_Q[k]}{T_{CKV}} \quad (2.24)$$

Figura 13 – TDC



Fonte: Syllaiois, Staszewski e Balsara (2008).

Onde  $\bar{T}_{CKV}$  é obtido após a média de longo prazo da estimativa baseada em hardware do período de *clock* da saída do DCO (CKV) conforme mostrado na equação 2.25.

$$\bar{T}_{CKV} = \frac{1}{N_{avg}} \cdot \sum_{l=1}^{N_{avg}} (t_{CKV}[l] - t_{CKV}[l-1]) \quad (2.25)$$

## 2.8 RUÍDO DE FASE

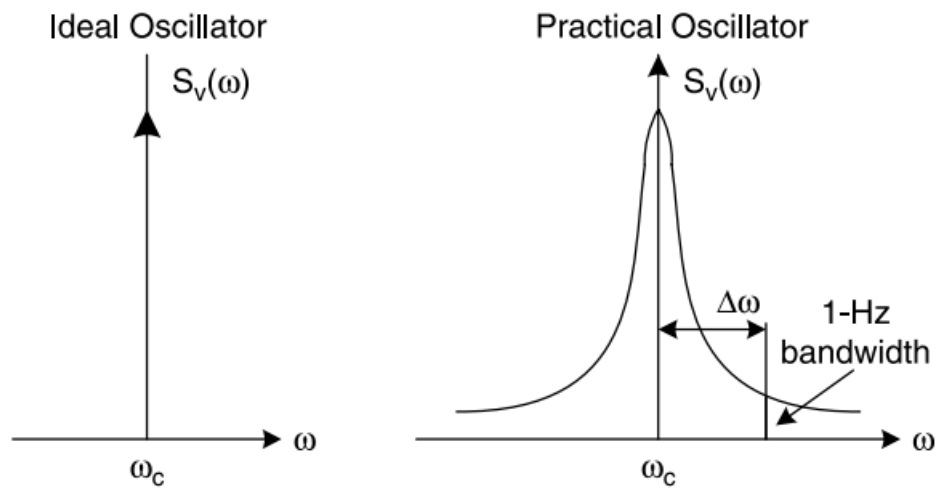
Em um oscilador ideal operando na frequência  $\omega_c$  toda potência é concentrada em  $\omega_c$ , já em um oscilador prático a potência se espalha perto de  $\omega_c$  como mostrado na Figura 14, sendo este espalhamento chamado de ruído de fase. Nos transmissores o ruído de fase pode interferir em canais adjacentes, enquanto no receptor afeta a seletividade do mesmo.

O ruído de fase é quantizado considerando uma largura de banda de 1 Hz distante a  $\Delta\omega$  da frequência central  $\omega_c$ , sendo a unidade de medida dada em (dBc/Hz), onde "c" do "dBc" é convencionado como uma medida em relação a portadora (*carrier*).

Ruído de fase pode ser analisado no domínio da frequência expressando a saída como  $v(t) = A \cos(\omega_c t + \phi)$ , onde  $A$  é a amplitude,  $\omega_c$  a frequência e  $\phi$  é um deslocamento de fase. Tanto amplitude como  $\phi$  podem sofrer variações, a amplitude é facilmente removida com um circuito limitador, porém a fase causa variações no período do sinal sendo o ruído de fase.

A Figura 15 mostra o espectro *single side* típico de ruído de fase de um oscilador. O gráfico em escala logarítmica normalizado em dBc/Hz é exibido com um

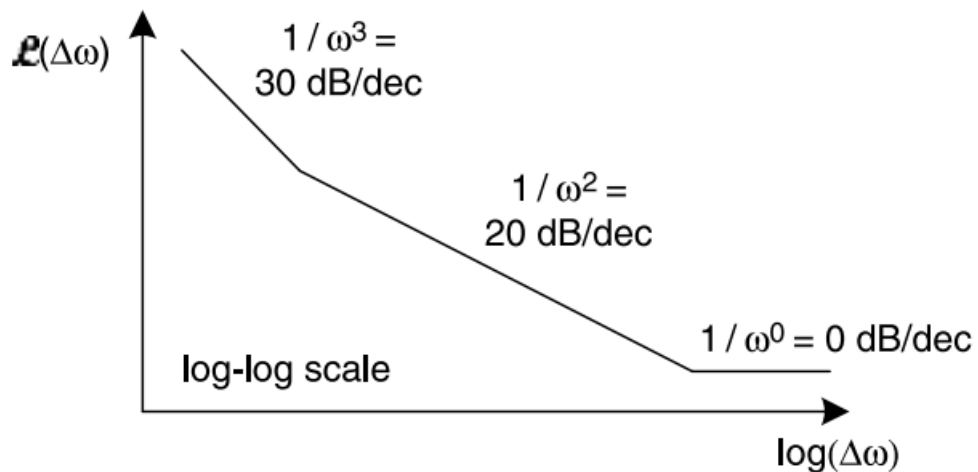
Figura 14 – Espectro de saída de um oscilador ideal e um oscilador prático



Fonte: Staszewski e Balsara (2006).

deslocamento  $\Delta\omega$  da portadora  $\omega_c$ .

Figura 15 – Espectro de ruído de fase de um oscilador



Fonte: Staszewski e Balsara (2006).

A região  $1 / \omega^2$  é conhecida como região de ruído térmico (*thermal noise*) ou *wander noise*, causado por ruído branco ou não correlacionada causando flutuações no período do oscilador. É o ruído dominante no DCO de acordo com Staszewski e Balsara (2006).

A região plana  $1 / \omega^0$  é definida como *jitter noise* causando pequenas flutuações

a cada período do oscilador.

A região  $1/\omega^3$  é resultado do *up-converted*  $1/f$  noise, conhecido como ruído de *flicker* que afeta todos dispositivos eletrônicos. Ele é dominante em baixas frequências sendo não tão presente no DCO que opera em altas frequências, mas que pode impactar no receptor após demodulação gerando problemas de intermodulação.

No ADPLL os blocos mais críticos como geradores de ruído são o DCO, e o TDC. O DCO pela sua complexidade de utilização de bancos de capacitores e ruído térmico, e o TDC que além do ruído térmico possui o erro de quantização causando variações de tempo. O ruído do TDC impacta diretamente no ruído de fase dentro da banda de operação, *in-band*, já o DCO é responsável pelo ruído fora da banda, *out-of-band*, de acordo com (STASZEWSKI; BALSARA, 2006). O TDC pode ser obtidos teoricamente conforme a equação 2.26, e o DCO é obtido pela equação 2.27 considerando uma determinada distancia,  $\Delta f$  da frequência central e  $\Delta f_{res}$  a resolução de frequência que é obtida no DCO.

$$\mathcal{L} = \frac{(2\pi)^2}{12} \left( \frac{\Delta t_{res}}{T_{CKV}} \right)^2 \frac{1}{f_{ref}} \quad (2.26)$$

$$\mathcal{L}(\Delta f) = \frac{1}{12} \left( \frac{\Delta f_{res}}{\Delta f} \right)^2 \frac{1}{f_{ref}} \left( \text{sinc} \frac{\Delta f}{f_{ref}} \right) \quad (2.27)$$

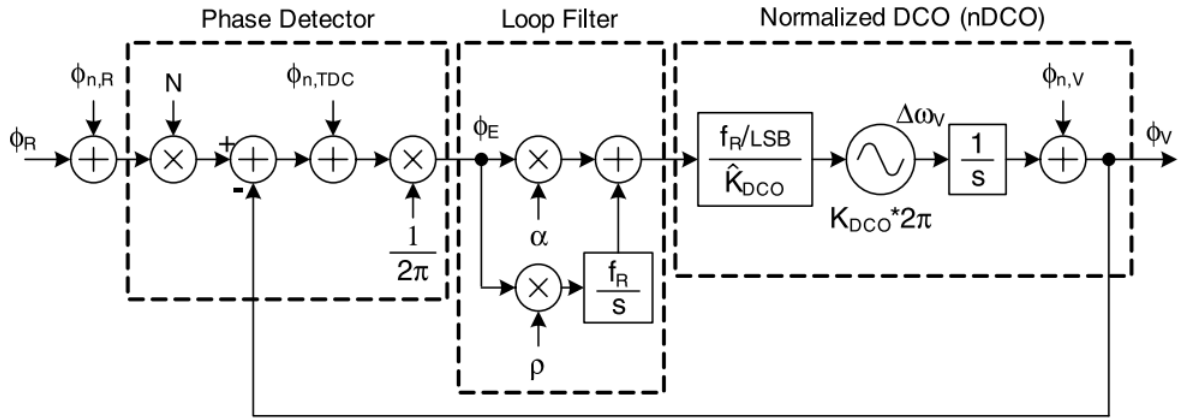
## 2.9 RESPOSTA EM FREQUÊNCIA DO ADPLL

O estudo da resposta em frequência do ADPLL é necessária para analisar o comportamento do sistema, como estabilidade, tempo de acomodação (*settling time*), e largura de banda da malha. Para isto o sistema é modelado no domínio de frequência  $s$  verificando os polos e zeros do sistema. A Figura 16 mostra o equivalente de um ADPLL Tipo II no domínio  $s$  com fontes de ruído inseridas.

As siglas da figura representam:

- $\phi_R$  = Fase de referência
- $N$  = FCW
- $\phi_{n,TDC}$  = Fonte de ruído do TDC
- $\alpha = K_P$  ganho proporcional
- $\rho = K_I$  ganho do integrador
- $\phi_{n,DCO}$  = Fonte de ruído do DCO
- $f_r$  = Frequência de referência

Figura 16 – Modelo no domínio S de um ADPLL Tipo II com fontes de ruído incluídas



Fonte: Staszewski e Balsara (2006).

Assumindo que  $K_{DCO}$  está corretamente estimado e desconsiderando as fontes de ruído, obtém-se a função de transferência de malha aberta como mostra a equação 2.28.

$$H_{ol}(s) = \left(\alpha + \frac{\rho f_R}{s}\right) \frac{f_R}{s} = \frac{\rho f_R^2}{s} \cdot \frac{1 + s/(\rho f_R/\alpha)}{s} \quad (2.28)$$

Disto obtém-se dois polos na origem  $\omega_{p1} = \omega_{p2} = 0$ , e um zero complexo em  $\omega_z = j(\rho f_R/\alpha)$

A função de transferência em malha fechada para o sinal de referência como entrada é mostrada na equação 2.28, ela comporta-se como um filtro passa-baixa com ganho dado pelo valor de  $N$ .

$$H_{REF}(s) = N \frac{(\alpha + \rho f_R/s)(f_R/s)}{1 + (\alpha + \rho f_R/s)(f_R/s)} = N \frac{\alpha f_R s + \rho f_R^2}{s^2 + \alpha f_R s + \rho f_R^2} \quad (2.29)$$

Fazendo a mesma análise considerando as fontes de ruído do TDC ( $\phi_{n,TDC}$ ) e do DCO ( $\phi_{n,DCO}$ ) obtém-se:

$$H_{TDC}(s) = \frac{\alpha f_R s + \rho f_R^2}{s^2 + \alpha f_R s + \rho f_R^2} \quad (2.30)$$

$$H_{DCO}(s) = \frac{s^2}{s^2 + \alpha f_R s + \rho f_R^2} \quad (2.31)$$

Nota-se que todas as funções de transferência de malha fechada contém o mesmo denominador, sendo igual a  $1 + H_{ol}(s)$ , assim pode-se fazer uma simplificação como mostrado na equação 2.32.

$$H_{REF}(s) = \frac{1}{1 + H_{ol}(s)} \quad H_{TDC}(s) = \frac{H_{ol}(s)}{1 + H_{ol}(s)} \quad H_{DCO}(s) = \frac{N \cdot H_{ol}(s)}{1 + H_{ol}(s)} \quad (2.32)$$

A função de malha fechada pode ser comparada a função de transferência tradicional de um sistema de duplo polo mostrada na equação

$$H_{REF}(s) = N \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + \zeta\omega_n s + \omega_n^2} \quad (2.33)$$

onde  $\zeta$  é o fator de amortecimento, e  $\omega_n$  a frequência natural, tendo um zero em  $\omega_z = -\omega_n/2\zeta$ . Assim:

$$\omega_n = \sqrt{\rho} f_r \quad (2.34)$$

$$\zeta = \frac{\alpha f_r}{2\zeta\omega_n} = \frac{1}{2} \left( \frac{\alpha}{\sqrt{\rho}} \right) \quad (2.35)$$

A transformada de Laplace utilizada no domínio  $s$  é para sistemas de tempo contínuo, enquanto para sistemas discretos como é o caso do ADPLL é correto utilizar o domínio discreto  $Z$ . Domínio  $s$  facilita na análise do sistema podendo ser encontrado os polos e zeros de forma rápida e verificar parâmetros importantes em um sistema. O tempo discreto pode ser aproximado ao domínio  $s$  se a frequência de amostragem for muito maior que a de interesse.

O operador  $Z$  é definido como  $Z^{j\theta}$ , sendo  $\theta = \omega t_0$ ,  $\omega = 2\pi f$  a frequência angular e  $t_0$  o período de amostragem, no caso  $t_0 = 1/f_R$ . Assim o operador  $Z$  é definido conforme a equação 2.36.

$$Z^{j\theta} = Z^{j\omega/f_R} \quad (2.36)$$

Sendo  $\omega \ll f_R$  e aplicando algumas propriedades trigonométricas chega-se que a conversão de  $S$  para  $Z$  é dada pela equação 2.37.

$$s = f_R(z - 1) \quad (2.37)$$

Aplicando a conversão nas equações 2.28 e 2.29 obtêm-se as equações mostradas em 2.38 e 2.39 respectivamente.

$$H_{ol}(z) = \frac{\alpha(z - 1) + \rho}{(z - 1)^2} \quad (2.38)$$

$$H_{REF}(z) = N \frac{\alpha(z-1) + \rho}{(z-1)^2 + \alpha(z-1) + \rho} \quad (2.39)$$

Quando utilizado filtro IRR como visto na seção 2.7.3 no *lopp filter*, as funções de transferência do sistema sofrem variações.

Da equação 2.21 de um filtro IRR de polo simples a função de transferência no domínio S é mostrada na equação 2.40.

$$[H_{iir}(s) = \frac{1 + s/f_R}{1 + s/\lambda f_R} \quad (2.40)$$

Assim a função de transferência de *loop* aberto é alterada para:

$$H_{ol}(s) = \frac{\rho f_R^2}{s} \cdot \frac{1 + s/(\rho f_R/\alpha)}{s} \cdot \frac{f_R}{s} \frac{1 + s/f_R}{1 + s/\lambda f_R} \quad (2.41)$$

Sendo o filtro IRR com mais de um estágio e valores de  $\lambda$  diferentes em cada,  $H_{ol}(s)$  resume-se a:

$$H_{ol}(s) = \frac{\rho f_R^2}{s} \cdot \frac{1 + s/(\rho f_R/\alpha)}{s} \cdot \prod_{i=1}^n \frac{f_R}{s} \frac{1 + s/f_R}{1 + s/\lambda_i f_R} \quad (2.42)$$

## 2.10 ESTADO DA ARTE

No quadro 2 é mostrada uma análise abrangente do estado da arte em projetos de sintetizadores digitais (ADPLLs) e fracionais (N-PLLs) implementados em tecnologia CMOS de 65nm. O objetivo é entender as tendências e os avanços recentes nessa área, com foco em métricas como Figura de mérito (*Figure of Merit* - FoM), *jitter*, consumo de energia e outros parâmetros relevantes. A FoM é comumente utilizada em PLLs para avaliação do desempenho sendo calculada conforme a equação 2.43, onde  $\sigma_t$  é o valor RMS do *jitter* em segundos quadrados ( $s^2$ ), e  $P_{PLL}$  a potência dissipada pelo sintetizador.

$$F_oM = 20\log_{10}(\sigma_t/1s) + 10\log_{10}(P_{PLL}/1mW) \quad (2.43)$$

Quadro 2 – Estado da arte de sintetizadores em tecnologia CMOS 65nm

	(CHEN et al., 2021)	(LIU et al., 2018)	(LIU et al., 2019)	(JI et al., 2017)	(LEE; KIM; SHIN, 2017)
Processo CMOS (nm)	65	65	65	65	65
Range de Frequência (GHz)	1,9-2,6	2,0-2,8	2,1-3,1	2,16-2,7	1,9-2,7
Potência (mW)	0,53	0,98	0,27	8	2,94
FoM(dB)	-244	-246	-237	-230	-
Jitter (ps)	0,87	0,53	2,8	0,86	-

Fonte: Elaborado pelo Autor

O trabalho de (CHEN et al., 2021) aborda a implementação de um ADPLL de baixo consumo de energia para frequência de 2,4 GHz, utilizando uma calibração automática do ganho do TDC e um DCO de Classe-F Inverso. O estudo enfatizou a eficiência energética, alcançando um consumo de 529  $\mu\text{W}$  e uma FoM de -244 dB.

O ADPLL abordado no trabalho de (LIU et al., 2018) focou em aplicações de IoT. O destaque deste estudo é a obtenção de uma FoM de -246 dB e um consumo de energia de 0,98 mW.

Já (LIU et al., 2019) apresentou DPLL de 2,4GHz com caminho de *feedback* de amostragem/sub-amostragem que opera de forma contínua. O uso de um *Duty-Cycled Frequency-Locked Loop* (DC-FLL) contribuiu para a eficiência energética, alcançando um consumo de 265  $\mu\text{W}$ , e uma FoM de -237 dB.

Com uso de N-PLL O estudo (JI et al., 2017) concentrou-se na implementação de um PLL fracional (N-PLL) de 2,4 GHz, utilizando um *prescaler* de *clock* de fase única, obtendo um consumo de 8 mW e uma FoM de -230 dB.

Utilizando também um PLL fracional o trabalho de (LEE; KIM; SHIN, 2017) propôs um N-PLL para um range de (1,9 - 2,7 GHz) utilizando um modulador Sigma Delta. O estudo apresentou um consumo de 3 mW com um tempo de 12  $\mu\text{s}$  para estabilização do sintetizador.

Em resumo, o estado da arte na implementação de sintetizadores em tecnologia CMOS de 65nm revela uma busca constante por soluções que ofereçam desempenho excepcional e eficiência energética, abrindo espaço para futuras inovações e avanços nessa área.

## 2.11 CONSIDERAÇÕES FINAIS

A Revisão Bibliográfica apresentou alguns conceitos e descrição comportamental do ADPLL em blocos. Tais informações são importantes para que se possa ser implementado na metodologia.



## 3 METODOLOGIA

A metodologia deste estudo compreende várias fases, iniciando com as definição de especificações para o protocolo *Bluetooth*, seguida pela análise do PDK. Posteriormente, engloba o modelamento do ADPLL e simulação.

### 3.1 ESTUDO DO PDK

O estudo do PDK e simulações utilizando suas bibliotecas fornecem informações importantes bem como limitações que a tecnologia possui, como por exemplo frequência máxima de operação e tempos de resposta das células digitais.

### 3.2 DEFINIÇÃO DO *SYSTEM LEVEL*

*System Level* é a etapa na qual é definida as especificações do sintetizador baseado nas limitações do PDK utilizado e que atendam aos requisitos do protocolo para o *Bluetooth*. Isso envolve a identificação e estabelecimento das especificações de alto nível que o ADPLL deve atender em sistemas de comunicação *Bluetooth* do tipo BLE. As especificações incluem, entre outras coisas, a faixa de frequência de operação, resolução de frequência mínima e os requisitos de ruído como *Phase-noise*. Além disso, consideramos os desafios específicos associados à comunicação Bluetooth, como a necessidade de consumo extremamente baixo de energia, requisitos de baixo jitter e de rápida aquisição de frequência durante a inicialização.

### 3.3 DIMENSIONAMENTO DOS BLOCOS INDIVIDUAIS

O dimensionamento dos blocos do ADPLL como DCO, *Loop Filter* e TDC foi baseado nas informações discutidas no capítulo de Revisão Bibliográfica, levando em consideração as especificações definidas no *System Level*. A partir do estudo do PDK e trabalhos correlacionados que utilizam o mesmo, foram feitas análises de parâmetros como o tempo mínimo de uma célula de *delay*, ruídos gerados pelo DCO, capacitância mínima dos transistores no modo varactor. Desta análise foram utilizados estes dados para a definição do TDC e do DCO. Com base nas definições de resolução de frequência necessárias e com os dados do TDC e do DCO, o *Loop Filter* é dimensionado a partir da análise no domínio de frequência (s), e dimensionando os parâmetros do controlador PI de acordo que se atenda as definições do *System Level*.

### 3.4 SIMULAÇÃO E TESTES

Para simulação do modelo proposto foi utilizando o software (PYTHON, 2019) com um modelo comportamental do ADPLL baseado nas transições de *clock* conforme utilizado em (STASZEWSKI; FERNANDO; BALSARA, 2005). É possível fazer uma análise do oscilador quanto as características de ruído de fase, desvio de frequência, e tempo de assentamento, com o objetivo de garantir que o ADPLL atenda às especificações de sistema estabelecidas.

Esta metodologia estruturada e abrangente fornece a base necessária para projetar, otimizar e avaliar um ADPL, alinhado com os requisitos críticos das aplicações *Bluetooth* de baixo consumo de energia.

## 4 RESULTADOS

## 5 CRONOGRAMA

1. Estudo do PDK TSMC 65 *nm*.
2. Definição dos pré-requisitos do ADPLL.
3. Dimensionamento e simulação do DCO.
4. Dimensionamento e simulação do *Loop Filter*.
5. Dimensionamento do TDC.
6. Dimensionamento do filtro IRR.
7. Integração de todos blocos.
8. Simulações e testes de validações.
9. Comparar desempenho com diferentes parametrizações.
10. Escrita do TCC II.

[illegible]

## 6 CONCLUSÃO

## REFERÊNCIAS

- ANDERSSON, F.; JOHNSON, A. Modeling and characterization of all-digital phase-locked loop. *Linköping University*, 2010. Citado 3 vezes nas páginas 23, 30 e 31.
- BAKER, B. *How delta-sigma ADCs work, Part 1*. 2011. Disponível em: <[https://www.ti.com/lit/an/slyt423a/slyt423a.pdf?ts=1689951478475&ref\\_url=https%253A%252F%252Fwww.google.com%252F](https://www.ti.com/lit/an/slyt423a/slyt423a.pdf?ts=1689951478475&ref_url=https%253A%252F%252Fwww.google.com%252F)>. Citado na página 25.
- BARRETT, C. *Fractional/Integer-N PLL Basics*. 1999. Disponível em: <<https://www.ti.com/lit/an/swra029/swra029.pdf>>. Citado na página 21.
- BLUETOOTH. *Specifications*. 2023. Disponível em: <<https://www.bluetooth.com/specifications/specs/?keyword=core+specification>>. Citado 2 vezes nas páginas 19 e 20.
- CHEN, P. et al. A 529- $\mu$ W fractional-n all-digital pll using tdc gain auto-calibration and an inverse-class-f dco in 65-nm cmos. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 69, n. 1, p. 51–63, 2021. Citado 2 vezes nas páginas 38 e 39.
- DOWLA, F. *Handbook of RF and wireless technologies*. [S.l.]: Elsevier, 2003. Citado na página 17.
- FERREIRA, L. et al. Review on the evolution of low-power and highly-linear time-to-digital converters-tdc. In: IEEE. *2020 IEEE 11th Latin American Symposium on Circuits & Systems (LASCAS)*. [S.l.], 2020. p. 1–4. Citado 2 vezes nas páginas 14 e 32.
- GOMES, A. T. *Telecomunicações - Transmissão e recepção*. 21. ed. [S.l.]: Editora Érica, 1998. Citado na página 17.
- JI, X. et al. A 2.4 ghz fractional-n pll with a low-power true single-phase clock prescaler. *IEICE Electronics Express*, The Institute of Electronics, Information and Communication Engineers, v. 14, n. 8, p. 20170065–20170065, 2017. Citado 2 vezes nas páginas 38 e 39.
- KHANH, Q. V. et al. Wireless communication technologies for iot in 5g: Vision, applications, and challenges. *Wireless Communications and Mobile Computing*, Hindawi Limited, v. 2022, p. 1–12, 2022. Citado na página 14.
- LASCARI, L. Accurate phase noise prediction in pll synthesizers. *Applied Microwave and Wireless*, JF WHITE PUBLICATIONS, v. 12, n. 5, p. 90–94, 2000. Citado na página 20.
- LEE, Y.; KIM, S.; SHIN, H. Design of a 1-v 3-mw 2.4-ghz fractional-n pll synthesizer in 65nm cmos. In: IEEE. *2017 International SoC Design Conference (ISOCC)*. [S.l.], 2017. p. 230–231. Citado 2 vezes nas páginas 38 e 39.
- LIU, H. et al. A 265- $\mu$ W fractional-n digital pll with seamless automatic switching sub-sampling sampling feedback path and duty-cycled frequency-locked loop in 65-nm cmos. *IEEE Journal of Solid-State Circuits*, IEEE, v. 54, n. 12, p. 3478–3492, 2019. Citado 2 vezes nas páginas 38 e 39.

LIU, H. et al. A sub-mw fractional-N adpll with fom of- 246 db for iot applications. *IEEE Journal of Solid-State Circuits*, IEEE, v. 53, n. 12, p. 3540–3552, 2018. Citado 2 vezes nas páginas 38 e 39.

PYTHON. *Python*. Python.org, 2019. Disponível em: <<https://www.python.org/>>. Citado na página 41.

RAZAVI, B. *Design of analog CMOS integrated circuits*. 2. ed. [S.l.]: Mcgraw Hill Education, 2017. Citado 2 vezes nas páginas 18 e 19.

RIECK, L. G. *Oscilador de baixa potência com controle digital em tecnologia CMOS 65nm*. Dissertação — Universidade do Vale do Rio dos Sinos, 2022. Citado na página 24.

SARKAR, S.; SARRAFINAZHAD, A.; GHONCHEH, A. *Introduction to Transceivers*. 2023. Disponível em: <<https://rahsoft.com/2023/01/03/introduction-to-transceivers/>>. Citado na página 18.

SINCHE, S. et al. A survey of iot management protocols and frameworks. *IEEE Communications Surveys & Tutorials*, IEEE, v. 22, n. 2, p. 1168–1190, 2019. Citado na página 14.

SOUZA, B. et al. *System-level Design of an ULP ADPLL-based Frequency Synthesizer for IEEE 802.11ah*. 2020. Citado na página 14.

STASZEWSKI, R. B.; BALSARA, P. T. *All-digital frequency synthesizer in deep-submicron CMOS*. [S.l.]: John Wiley & Sons, 2006. Citado 8 vezes nas páginas 14, 22, 24, 25, 26, 34, 35 e 36.

STASZEWSKI, R. B.; FERNANDO, C.; BALSARA, P. T. Event-driven simulation and modeling of phase noise of an rf oscillator. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 52, n. 4, p. 723–733, 2005. Citado na página 41.

STASZEWSKI, R. B.; LEIPOLD, D.; BALSARA, P. T. Just-in-time gain estimation of an rf digitally-controlled oscillator for digital direct frequency modulation. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, IEEE, v. 50, n. 11, p. 887–892, 2003. Citado 2 vezes nas páginas 28 e 31.

SYLLAIOS, I. L.; STASZEWSKI, R. B.; BALSARA, P. T. Time-domain modeling of an rf all-digital pll. *IEEE Transactions on Circuits and Systems II: Express Briefs*, IEEE, v. 55, n. 6, p. 601–605, 2008. Citado na página 33.

TSMC. *3nm Technology - Taiwan Semiconductor Manufacturing Company Limited*. 2023. Disponível em: <[https://www.tsmc.com/english/dedicatedFoundry/technology/logic/l\\_3nm](https://www.tsmc.com/english/dedicatedFoundry/technology/logic/l_3nm)>. Citado na página 18.

WILSON, D. *IoT is Creating Massive Growth Opportunities*. 2020. Disponível em: <<https://blogs.cisco.com/internet-of-things/iot-is-creating-massive-growth-opportunities>>. Citado na página 14.