



Universidade Presbiteriana Mackenzie

CURSO: TADS

POLO DE APOIO PRESENCIAL:
HIGIENÓPOLIS
OSASCO
SAÚDE

SEMESTRE: 1º SEMESTRE

COMPONENTE CURRICULAR / TEMA: APLICANDO CONHECIMENTO N_HARD_COMPA4

NOME COMPLETO DO ALUNO:
ROBERTO ALEXANDRE DE OLIVEIRA
GEOVANNA NUNES DE M. DE SOUZA
ANDRÉ DE SOUZA OCLECIANO

TIA:
10921510768
10921511624
10921505071

NOME DO PROFESSOR: EDUARDO FERREIRA DOS SANTOS

(1) Considere um computador com um PC de 16 bits e IR de 38 bits. Suas instruções têm dois operandos de mesmo tamanho (16 bits), além do código de operação.

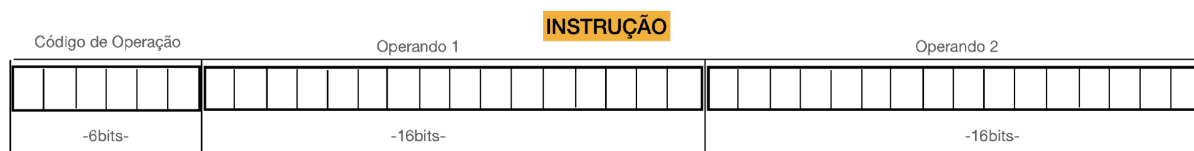
(a) Qual é o tamanho da instrução?

R: O tamanho da instrução é igual a do tamanho do IR, pois este, armazena a instrução que está sendo executada, desse modo o tamanho é de 38 bits.

(b) Qual é o tamanho do campo código de operação?

R: $38 - 16 - 16 = 6$ bits

Devido ao tamanho da instrução ser de 38 bits e dos operandos serem de 16 bits cada tem-se:



(2) Um processador possui uma velocidade de processamento de 2GHz. Calcule qual deverá ser o intervalo do ciclo de relógio dessa máquina.

$$1G = 1 \times 10^9 = 1.000.000.000$$

$$2 \times 10^9 = 2ns$$

(3) Suponha que o tempo de atraso de propagação de sinais, por meio do barramento e da ULA, são 20 ns e 100 ns, respectivamente. O tempo requerido para que um registrador copie dados do barramento é 10 ns. Qual é o tempo gasto para:

(a) Transferir dados de um registrador para outro?

$$20ns + 10ns = 30ns$$

$$R: t = 30ns.$$

*t = tempo.

*ns = nano segundos

(b) Incrementar um registrador?

$$20ns + 100ns + 10ns + 20ns + 10ns = 160ns \quad R: t = 160ns. \quad *t = tempo. \quad *ns = \text{nano segundos}$$



(4) Construa uma pipeline de 10 instruções e 5 estágios:

(a) Sem desvio.

u.t Instrução	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16
#01	E1	E2	E3	E4	E5	-										
#02		E1	E2	E3	E4	E5	-									
#03			E1	E2	E3	E4	E5	-								
#04				E1	E2	E3	E4	E5	-							
#05					E1	E2	E3	E4	E5	-						
#06						E1	E2	E3	E4	E5	-					
#07							E1	E2	E3	E4	E5	-				
#08								E1	E2	E3	E4	E5	-			
#09									E1	E2	E3	E4	E5	-		
#10										E1	E2	E3	E4	E5		

R: 10 instruções, com a pipeline foram executadas em 14 u.t



(b) Com desvio da instrução 2 para a instrução 291.

u.t Instrução	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16
#01	E1	E2	E3	E4	E5	-										
#02		E1	E2	E3	E4	E5	-									
#03			E1	E2	E3											
#04				E1	E2											
#05					E1											
#291						E1	E2	E3	E4	E5	-					
#292							E1	E2	E3	E4	E5	-				
#293								E1	E2	E3	E4	E5	-			
#294									E1	E2	E3	E4	E5	-		
#295										E1	E2	E3	E4	E5		

R: 7 instruções com a Pipeline, foram executadas em 14 u.t



(5) Um processador possui um conjunto de instruções que emprega vários modos de endereçamento, entre os quais estão: direto, imediato e indireto. Em um dado momento, algumas posições da MP possuem os seguintes valores expressos em hexadecimal.

MP	
ENDEREÇO	CONTEÚDO
B9	7C
BA	82
BB	15
BC	BE
BD	9A
BE	75

REGISTRADORES	
REGISTRADOR	CONTEÚDO
91	3A
92	8E
93	15
94	BA
95	BE
96	77

(a) Se uma instrução usa o modo direto e o campo operando possui o valor B9, qual será o valor do dado?

R: 7C

(b) Se uma instrução usa o modo imediato e o campo operando possui o valor BA, qual será o valor do dado?

R: BA

(c) Se uma instrução usa o modo indireto e o campo operando possui o valor BC, qual será o valor do dado?

R: 75

(d) Se uma instrução usa o modo por registrador e o campo operando possui o valor 92, qual será o valor do dado?

R: 8E



Universidade Presbiteriana Mackenzie

(e) Se uma instrução usa o modo indireto via registrador e o campo operando possui o valor 94, qual será o valor do dado?

R: 82