

Міністерство освіти і науки України

Національний університет «Львівська політехніка»

Кафедра ЕОМ



Звіт

до лабораторної роботи № 1

з дисципліни: «Моделювання комп'ютерних систем»

«Інсталяція та ознайомлення з середовищем розробки Ознайомлення зі  
стендом. Elbert V2 – Spartan 3A FPGA»

Варіант 12

Виконала:

ст. гр. КІ-201

Заяць А. Я.

Прийняв:

Козак Н. Б.

Львів 2023

## Завдання

Створення облікового запису на [Xilinx - Adaptable. Intelligent | together we advance](https://www.xilinx.com)

Інсталяція та отримання ліцензії

Побудова дешифратора 3 -> 7 за допомогою ISE WebPack Schematic Capture та моделювання його роботи за допомогою симулятора ISim

Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA

## Хід роботи

1. Використовуючи компоненти з бібліотеки, реалізую схему згідно із завданням.

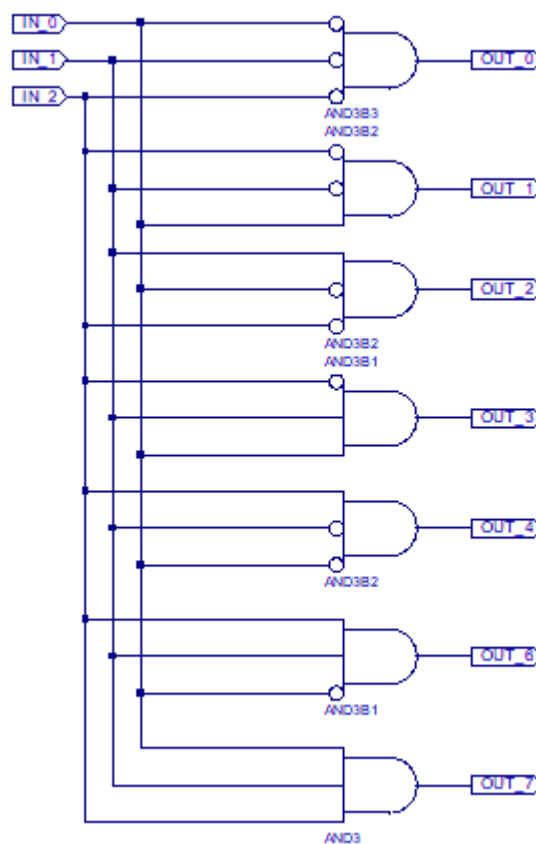


Рис. 1. Схема дешифратора 3 -> 7

2. Додала до проєкту User Constraint файл та призначила виводам схеми виводи цільової FPGA.

```
# Clock 12 MHz
#NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;

#####
# LED
#####

NET "OUT_0" LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_1" LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_2" LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_3" LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_4" LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_6" LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_7" LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#####
# DP Switches
#####

NET "IN_0" LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "IN_1" LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "IN_2" LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "DPSwitch[3]" LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "DPSwitch[4]" LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "DPSwitch[5]" LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "DPSwitch[6]" LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
#NET "DPSwitch[7]" LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
```

Рис.2 .ucf файл

3. Для кожного вхідного сигналу викликала контекстне меню і встановлюю значення (0 або 1). Проводжу симуляцію роботи схеми для наборів вхідних значень. В результаті отримую певну діаграму.

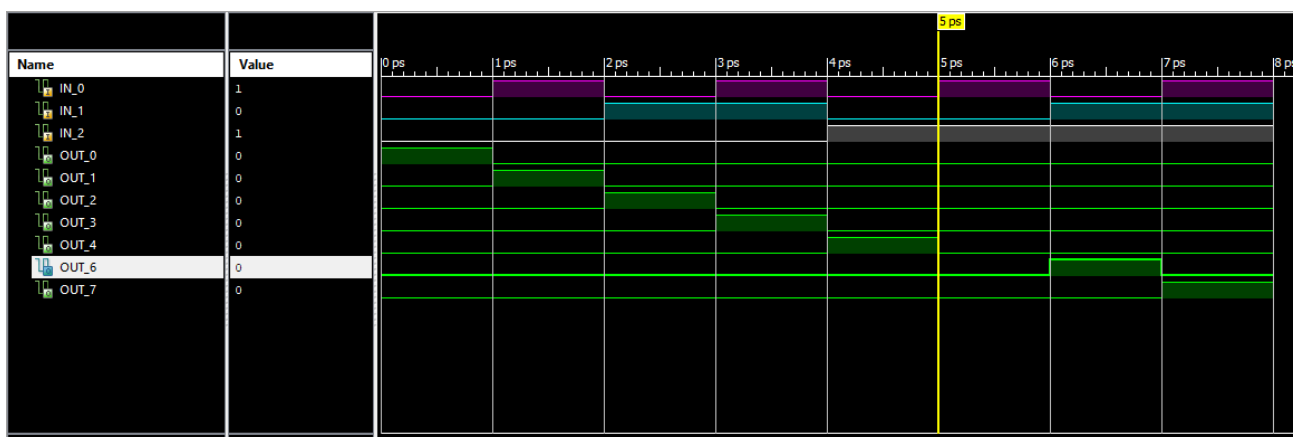
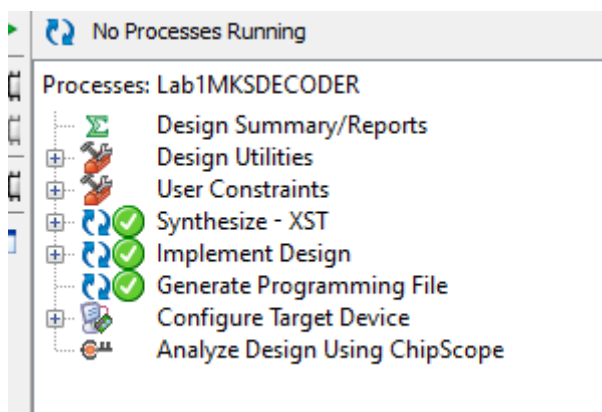
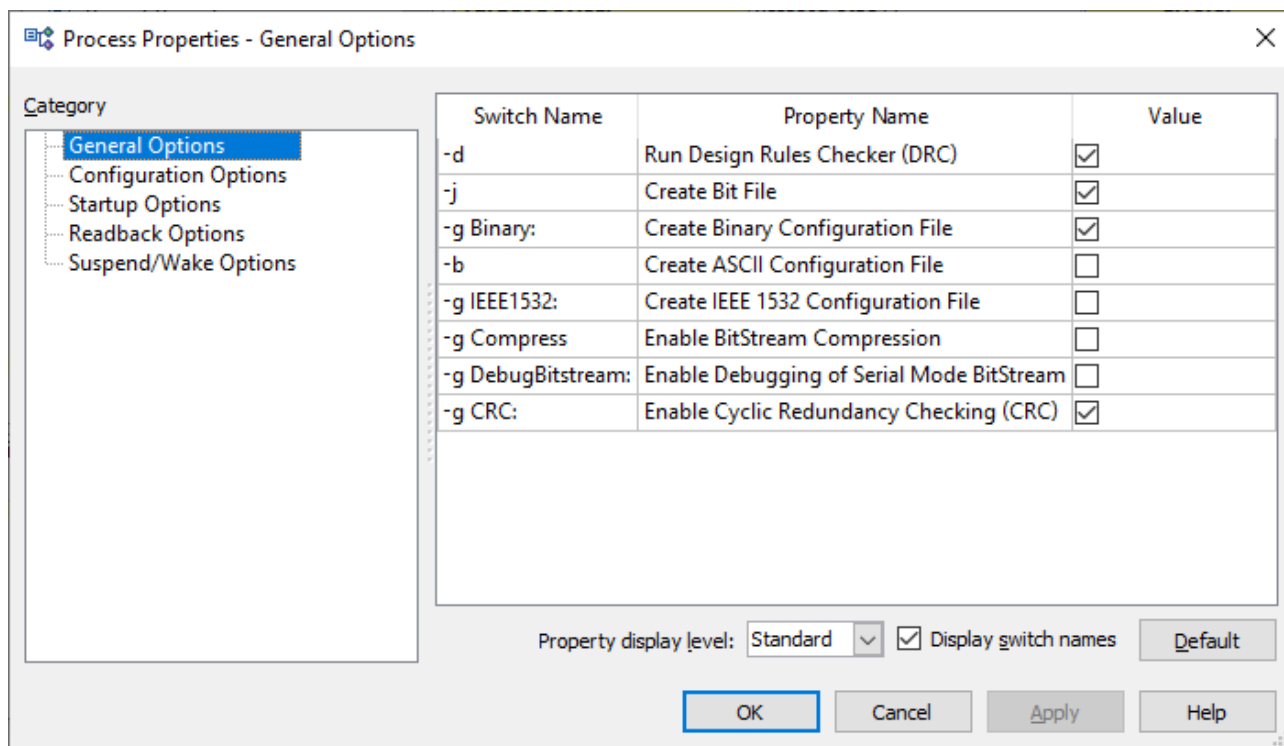


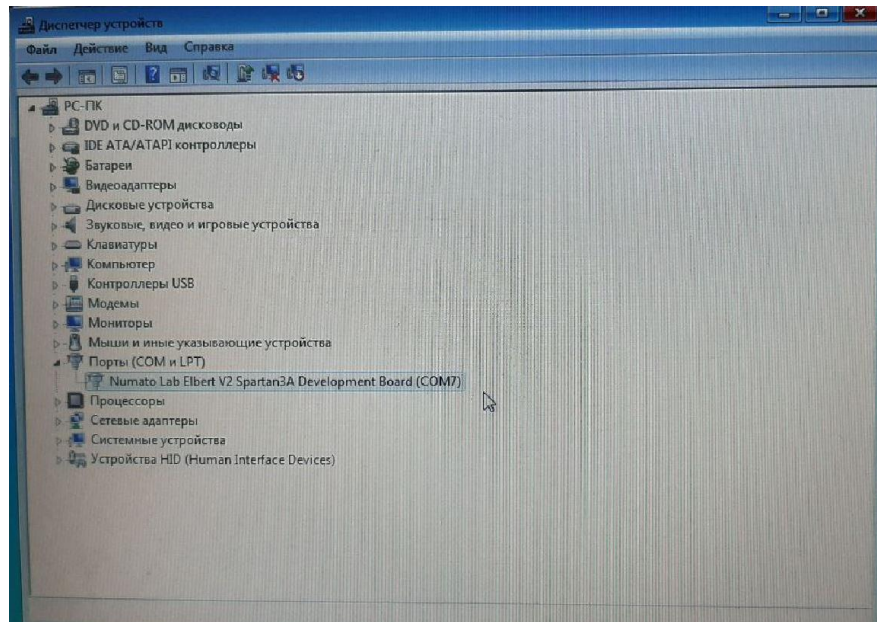
Рис. 3. Скріншот діаграми симуляції

4. У параметрах процесу Generate Programming File активують опцію Create Binary Configuration File, послідовно запускають процеси Synthesize-XST, Implement Design, Generate Programming File та переконуюсь, що вони виконалися успішно.

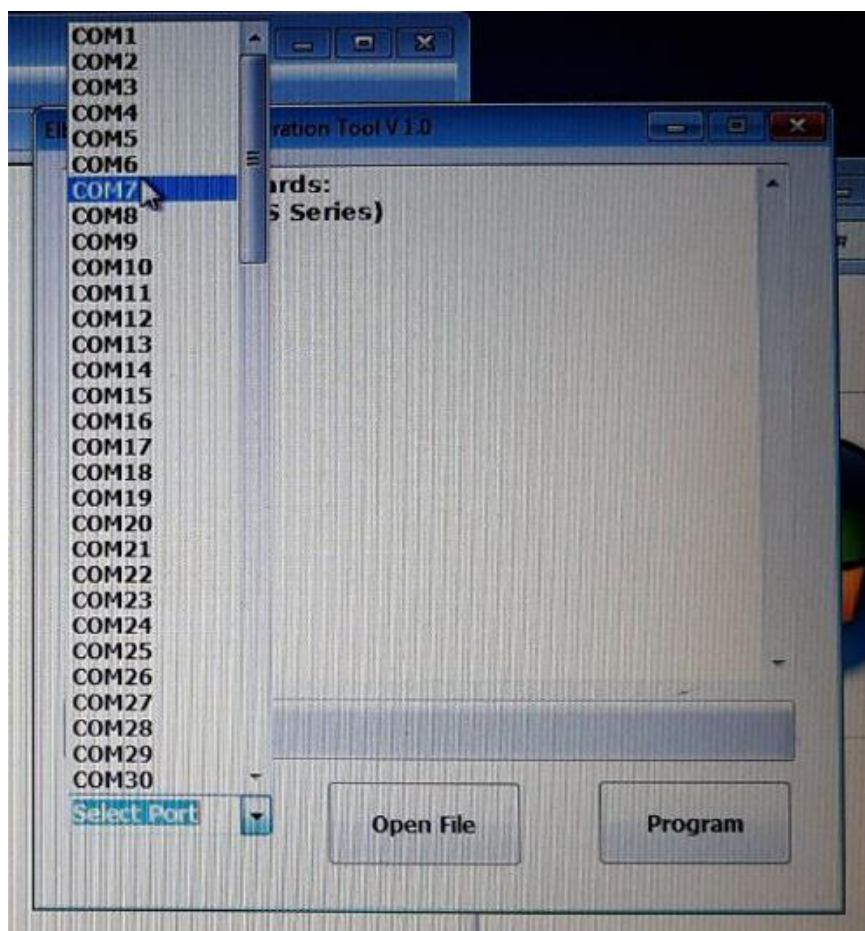


## 5. Запрограмовую лабораторний стенд отриманим файлом:

- Запускаю утиліту ElbertV2Config.exe.
- Визначаю за допомогою диспетчера пристроїв COM порт який використовується для підключення лабораторного стенда.

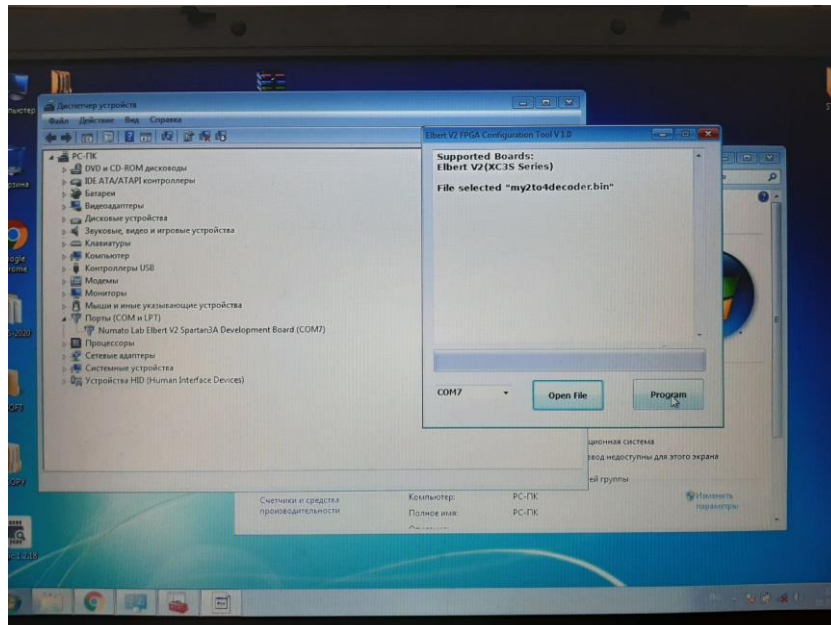


- Встановлюю номер COM порта який використовується для підключення лабораторного стенда.

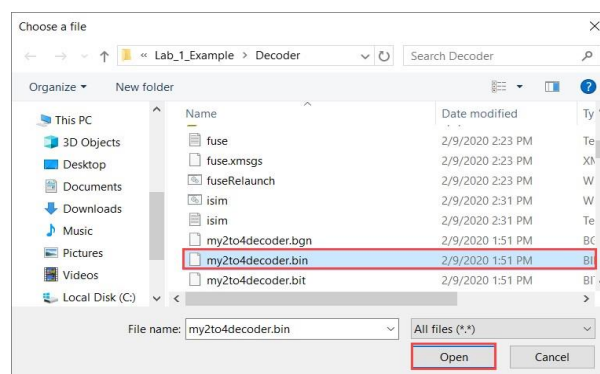




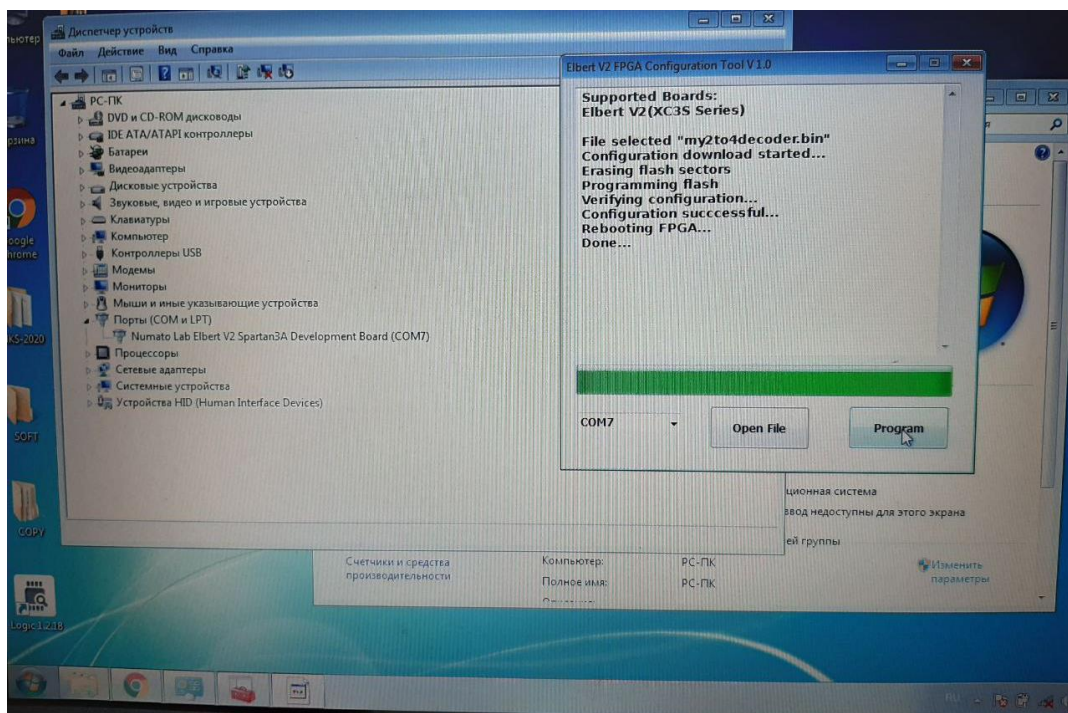
- Натискаю кнопку Open File.



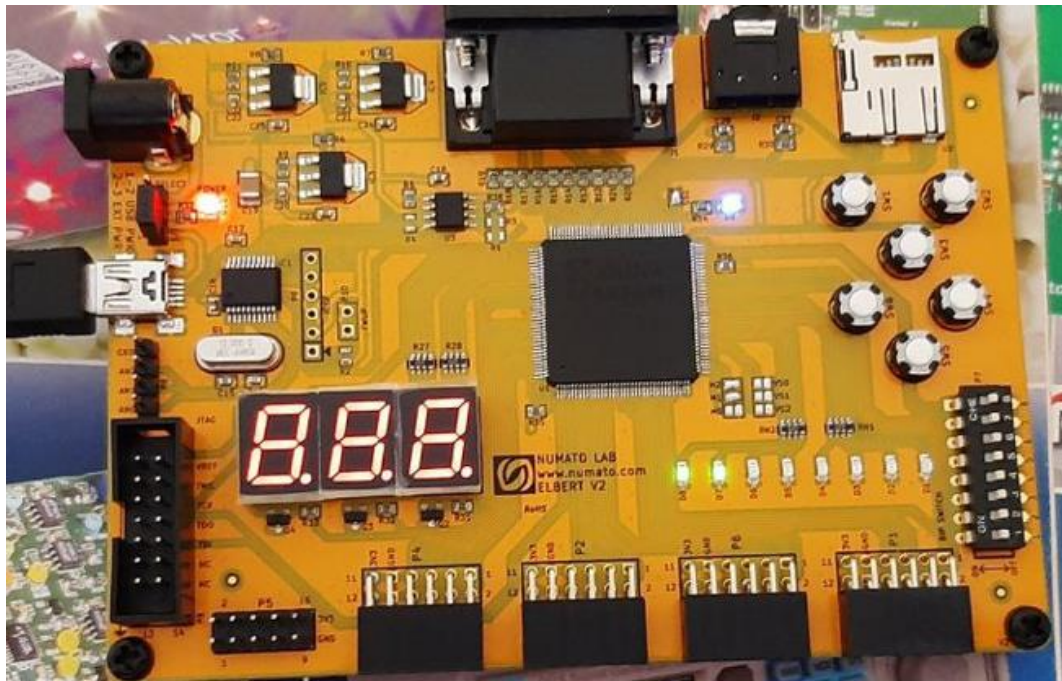
- Перехожу в папку проекту вибрати згенерований .BIN файл і натискаю Open



- Натискаю Program. Дочекавшись закінчення процесу переконуюсь, що програмування відбулось успішно.



- Виконання програми на платі:



**Висновок:** під час виконання даної лабораторної роботи я ознайомилась з середовищем розробки Xilinx ISE, стендом Elbert V2 - Spartan 3A FPGA, реалізувала схему дешифратора 3 на 7 та провела моделювання його роботи в симуляторі Isim та згенерувала файли прошиття.