

Circuitos e Sistemas Integrados – Introdução ao Projeto VLSI

Prof. Fabian L. Cabrera & Prof. José L. Güntzel

e-mail: fabian.cabrera.r@gmail.com

Laboratório 1 – Simulação do inversor CMOS

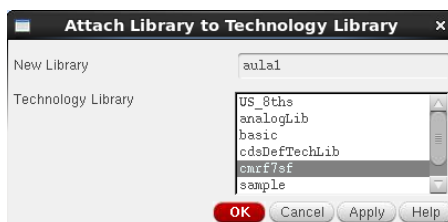
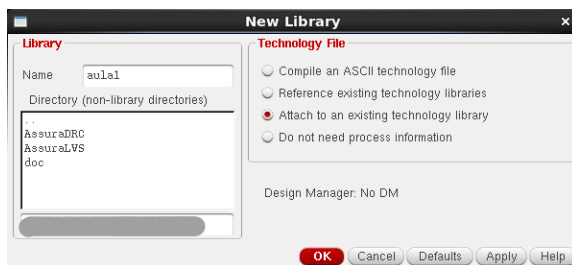
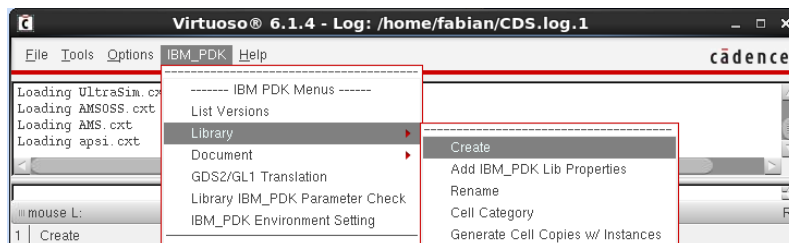
Forma de avaliação do Laboratório 1:

- Entregar relatório individual em no máximo duas folhas no Moodle.
- Entrega da biblioteca criada no Cadence comprimida. Se o nome da biblioteca é “aula1” então pode usar o comando para comprimir: `tar cvfz aula1.tar.gz aula1`

Critérios de avaliação do Laboratório 1:

- Coerência nas unidades.
- Uso correto das equações.
- Curvas mostrando as escalas e legendas para os eixos X e Y.
- Conclusões significativas e pertinentes.
- Arquivos completos na biblioteca entregue.

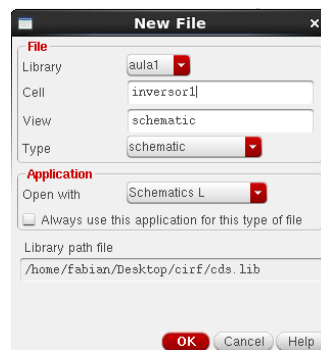
1. Criar uma biblioteca:



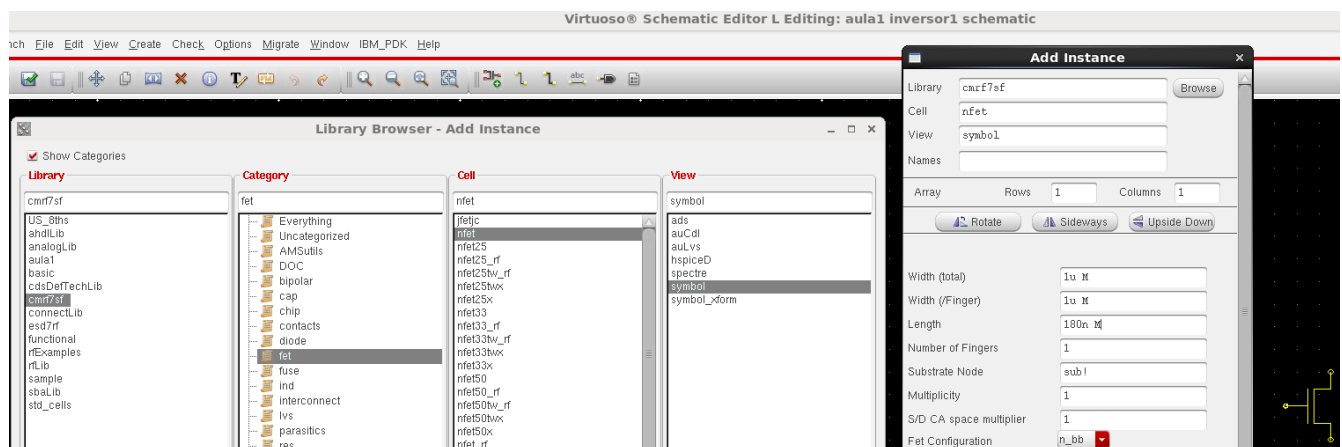


2. Criar um esquemático:

No Library manager:



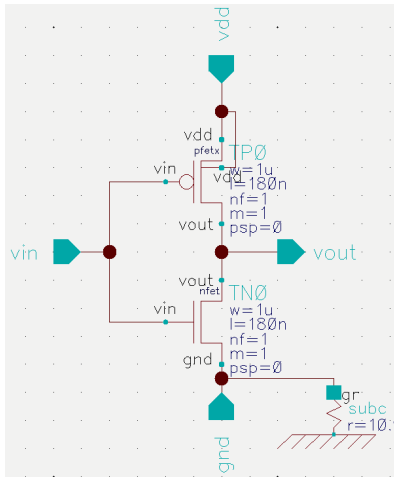
Inserir um transistor **nfet** (tecla i), modificar a largura do canal (Width) para 1u:



Inserir um transistor **pfetx**, modificar a largura do canal (Width) para 1u.

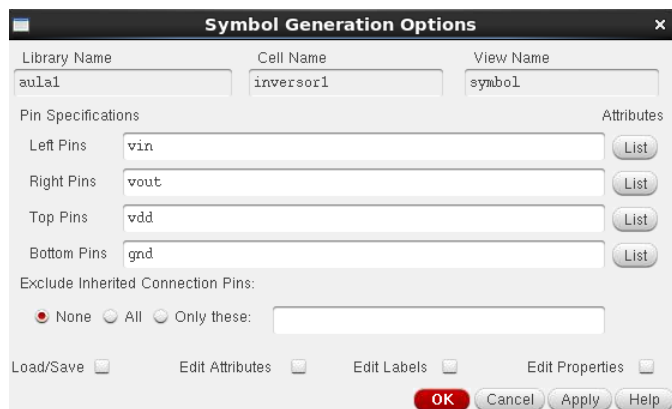
Inserir um contato ao substrato **subc**.

O esquemático deve parecer com a figura abaixo. As conexões podem ser feitas usando a tecla w e os pinos podem ser colocados usando a tecla p.

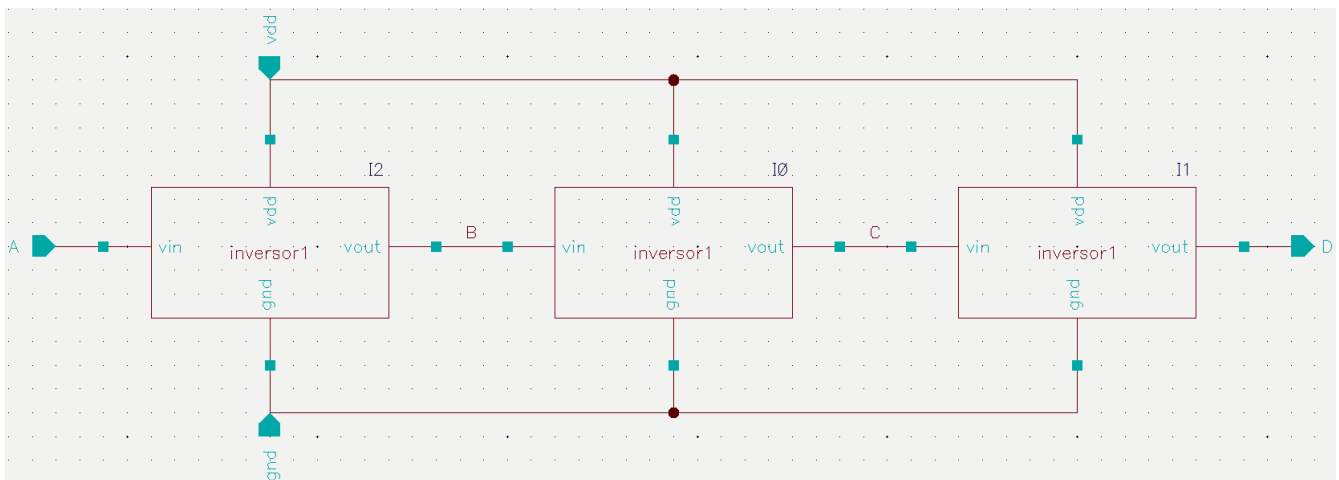


3. Criar um símbolo: procurar o menu Create > Cellview > From Cellview

Organizar os pinos como mostrado em seguida:

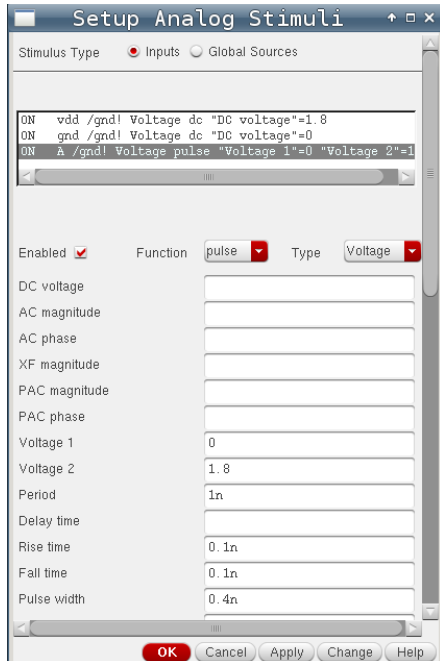


4. Criar testbench: o testbench é um esquemático que pode ser usado para simular o bloco projetado. Dentro desse novo esquemático inserir o símbolo do “inversor1”.

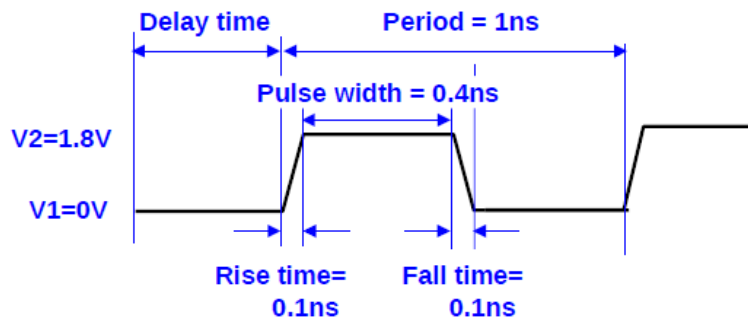


5. Simular: Para configurar as simulações, procurar o menu Launch > ADE L

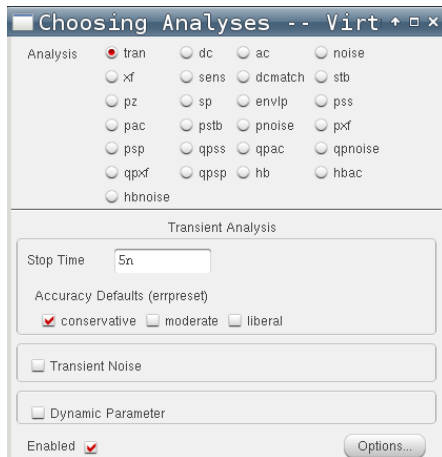
Na janela do ADE, procurar o menu Setup > Stimuli



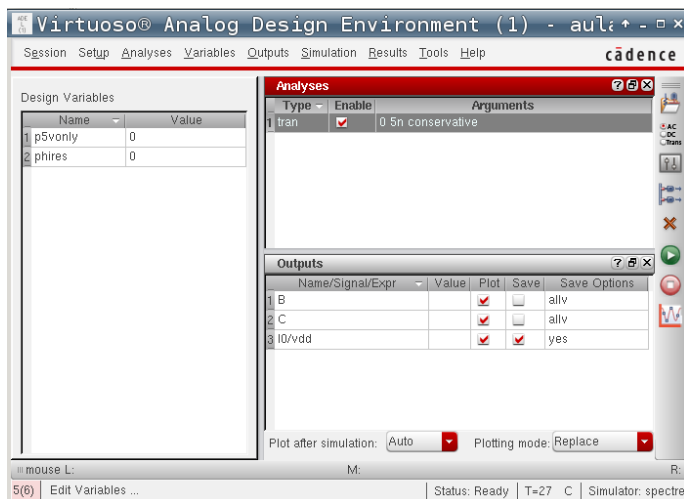
As propriedades da fonte de tensão do tipo “pulse” são ilustradas na seguinte figura:



No menu Analyses > Choose, Configurar uma análise transiente (tran) com duração de 5n (5 períodos do sinal aplicado à entrada).



No menu Outputs > To Be Plotted > Select On Schematic, escolher a tensão na saída **C** e a tensão de entrada **B**, também a corrente no nó **vdd**.



6. Análise da simulação: A partir da análise transiente extraia os tempos de subida (tf), descida (tr), atraso na transição positiva (tpLH) e atraso na transição negativa (tpHL). Calcule o atraso médio $tp = (tpLH + tpHL)/2$ e a potência consumida pelo inversor. Repita essas medidas para 7 diferentes combinações na largura dos transistores NMOS e PMOS.

Wn	Wp	tf	tr	tpLH	tpHL	tp	P
220n	220n						

7. Questões:

- Qual combinação de tamanhos leva ao menor consumo de potência.
- Qual combinação de tamanhos de transistores leva aos menores atrasos tpLH e tpHL? Por quê?
- Qual combinação de tamanhos leva ao menor produto de atraso vezes potência ($tp * P$).
- A partir da simulação calcule o consumo de potência médio $P = V_{dd} * I_{avg}$, onde I_{avg} é o valor médio da corrente consumida na alimentação do inversor (V_{dd}). Pode abrir a calculadora no menu Tools > Calculator, depois usar a função average.

8. Tarefa opcional (não deve ser incluída no relatório)

- Fazer esquemático, símbolo, testbench e simulação das portas lógicas NAND e NOR.