

## Circuitos e Sistemas Integrados – Introdução ao Projeto VLSI

Prof. Fabian L. Cabrera & Prof. José L. Güntzel

e-mail: [fabian.cabrera.r@gmail.com](mailto:fabian.cabrera.r@gmail.com)

### Laboratório 5 – Contador síncrono CMOS com reset assíncrono

#### Forma de avaliação do Laboratório 5:

- Entregar relatório em no máximo uma folha.
- Mostrar o resultado correto do DRC e LVS.
- Mostrar a simulação da vista extraída (incluindo parasitas RC), funcionando com a máxima frequência do relógio.

#### CrITÉrios de avaliação do Laboratório 6

- A nota será atribuída conforme uma figura de mérito (FoM), onde  $FoM = \text{área ocupada no layout} / \text{máxima frequência do sinal de relógio}$ .
- No testbench de simulação deve haver um inversor antes de cada entrada do contador e após cada saída do contador. Este inversor tem esquemático e não tem vista de layout. O transistor NMOS desse inversor tem  $L=180\text{nm}$  e  $W=1\mu\text{m}$ . O transistor PMOS desse inversor tem  $L=180\text{nm}$  e  $W=3\mu\text{m}$ .
- O menor valor de FoM corresponderá à nota 10.
- Valores de FoM iguais entre diferentes trabalhos apresentados têm nota 6.

#### Especificações de projeto:

- O contador tem três entradas (CLK, RESET e W) e uma saída de 3 bits.
- A saída do contador começa em 0 ("000"). Se  $W=0$ , o contador incrementa uma unidade a cada ciclo do relógio até chegar no número 6 ("110") e repetindo novamente a partir do 0 ("000"). Se  $W=1$ , o contador decrementa uma unidade a cada ciclo do relógio até chegar no número 0 ("000") e repetindo novamente a partir do 6 ("110"). O "reset" deve ser assíncrono.
- O contador deve ser implementado apenas com as células padronizadas disponíveis na biblioteca "std\_cells".
- O contador deve ser projetado com a abordagem de máquina de estados.

#### Método de projeto:

1. Diagrama de estados
2. Codificação dos estados
3. Tabela de transições
4. Síntese da lógica combinacional

