

Circuitos e Sistemas Integrados – Introdução ao Projeto VLSI

Prof. Fabian L. Cabrera & Prof. José L. Güntzel

e-mail: fabian.cabrera.r@gmail.com

Laboratório 6 – Simulação de arquivos VHDL

Forma de avaliação do Laboratório 6:

- Entregar relatório em meio eletrônico (subir arquivo pdf no moodle). Tamanho máximo: 2MByte.

Instruções:

1. Descarregar o arquivo lab6.tar.gz
2. Descomprimir o arquivo usando o comando:
`tar xvfz lab6.tar.gz`
3. Ao descomprimir, será criada uma pasta “lab6”, dentro dessa pasta há dois exemplos de simulação, cada um deles tem a estrutura de arquivos mostrada em seguida:

Exemplo 1: Somador de 4 bits

```
|-- rtl
| \-- soma4.vhd          Código VHDL do circuito somador
|-- sim
| |-- rtl
| | \-- file_list.f      Script de simulação RTL
| |-- tb
| \-- tb_soma4.vhd       Test bench utilizado para as simulações
```

Exemplo 2: Flip-flop tipo T

```
|-- rtl
| \-- tff.vhd           Código VHDL do circuito somador
|-- sim
| |-- rtl
| | \-- file_list.f     Script de simulação RTL
| |-- tb
| \-- tb_tff.vhd        Test bench utilizado para as simulações
```

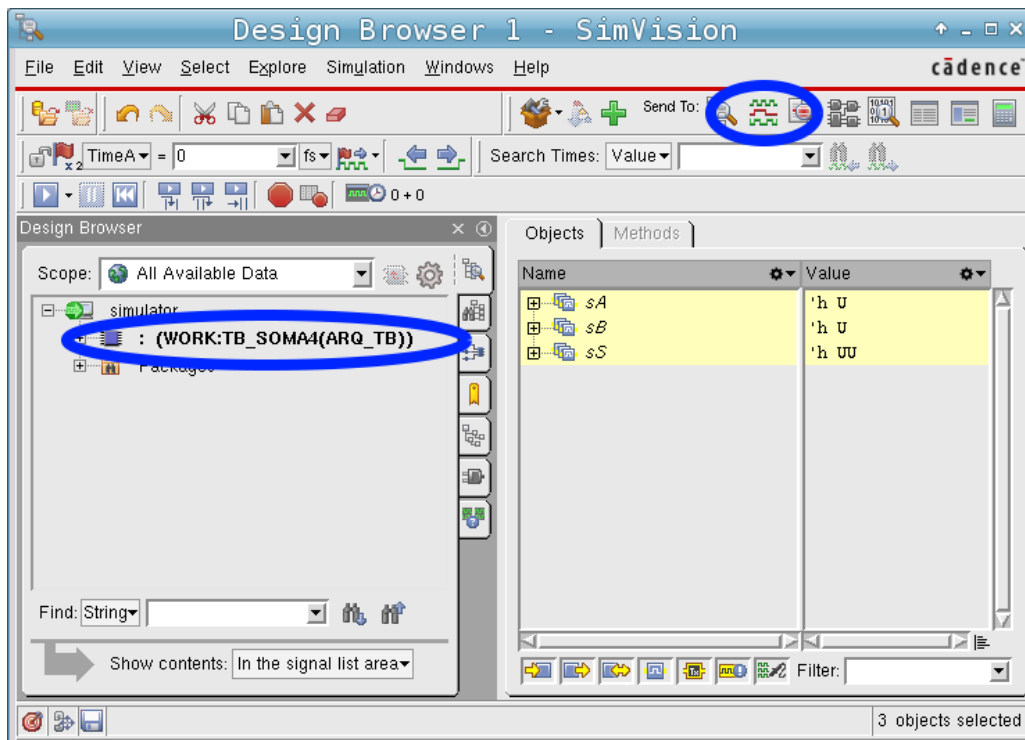
4. Rodar a configuração das ferramentas:

```
cd
sudo ./preconfig
source /usr/eda/scripts/setup.digital
```

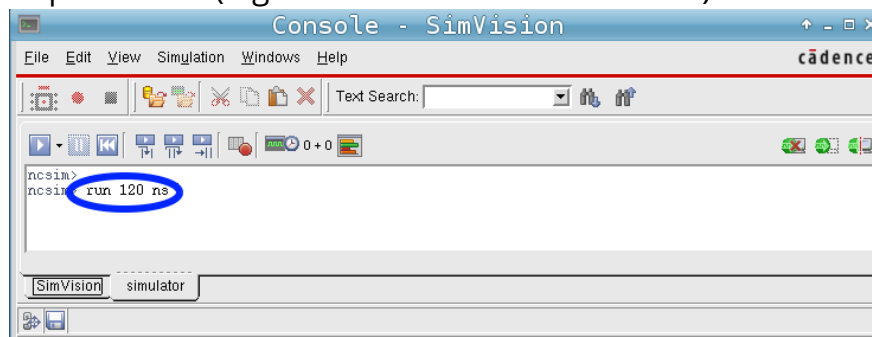
5. Rodar a simulação do somador:

```
cd lab5  
cd somador4/sim/rtl  
irun -f file_list.f
```

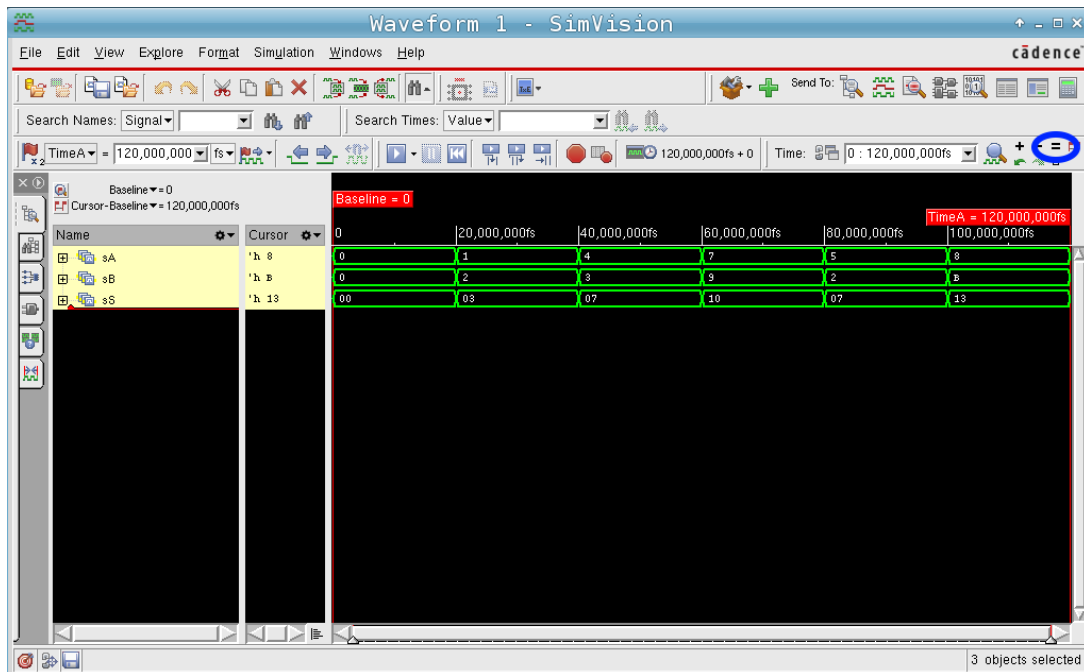
- A ferramenta irun irá compilar e elaborar o projeto
- Com a interface do simulador aberta, selecione o top (SOMA4) e posteriormente os sinais da entidade, os quais podem ser enviados para uma waveform, clicando no local indicado



- Executar por 120 ns (digitando run 120 ns no console)



d. O controle do zoom é dado pelo círculo em vermelho na figura abaixo. Para zoom full clicar no símbolo '='.



e. Para sair, menu File > Exit SimVision

6. Modificar o arquivo tb_soma4.vhd para incluir outras combinações das entradas sA e sB. Rodar a simulação de novo.

7. Seguindo o mesmo procedimento, simular o flip-flop tipo T.

8. Implementar em VHDL e simular um multiplexador de 4 para 1 (4 entradas e uma saída). Testar todas as possíveis combinações.