

Circuitos e Sistemas Integrados - Relatório de Laboratório 5

André William Régis

February 16, 2022

De início, desenvolveu-se o diagrama de estados da figura 1.

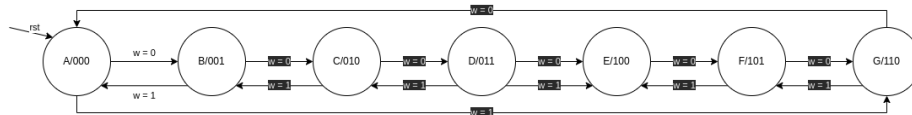


Figure 1: Diagrama de estados

Depois foi codificado os estados e desenvolvido a tabela de transições

Codificação				Tabela transições							
Estado	Codigo			w	Q2	Q1	Q0	Q2p	Q1p	Q0p	
	Q2	Q1	Q0								
A	0	0	0	1	0	0	0	0	1	0	
B	0	0	1	2	0	1	0	0	1	1	
C	0	1	0	3	0	1	1	1	0	0	
D	0	1	1	4	1	0	0	1	0	1	
E	1	0	0	5	1	0	1	1	1	0	
F	1	0	1	6	1	1	0	0	0	0	
G	1	1	0	7	1	1	1	X	X	X	
				8	1	0	0	0	1	1	0
				9	1	0	0	1	0	0	0
				10	1	0	1	0	0	0	1
				11	1	0	1	1	0	1	0
				12	1	1	0	0	0	1	1
				13	1	1	0	1	1	0	0
				14	1	1	1	0	1	0	1
				15	1	1	1	1	X	X	X

Então se extraiu as equações para montar a lógica combinacional, sendo elas:

$$\begin{aligned}
 Q2p &= wq2'q1'q0' & +wq2q1 + w'q2q1' & +w'q1q0 + q2q0 \\
 Q1p &= w'q2'q1q0' & +w'q1'q0 + wq1q0 & +wq1'q0' \\
 Q0p &= wq1q0' & +q2q1'q0' + w'q2'q0' &
 \end{aligned}$$

O esquemático do objeto contador1 da biblioteca aula5 contém o resultado com simplificação de transistores através da substituição por portas NANDs.

A simulação foi realizada através do objeto tb_contador1 com rise/fall time de 100 ps e o menor período de clock atingido mantendo o comportamento esperado das saídas foi de 716 ps conforme mostra a figura 2.

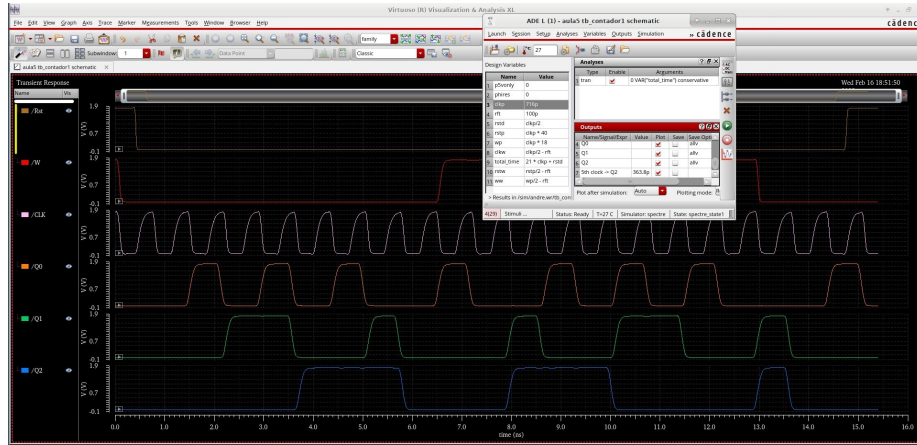


Figure 2: Simulação com rise/fall time de 100 ps