

Circuitos e Sistemas Integrados - Relatório de Laboratório 3

André William Régis

December 6, 2021

A porta XOR que utilizei neste laboratório foi baseada na versão "d" da figura 11.59 do livro CMOS VLSI Design A Circuits and System Perspective (4th edition) de Neil H. E. Weste encontrado na página 471.

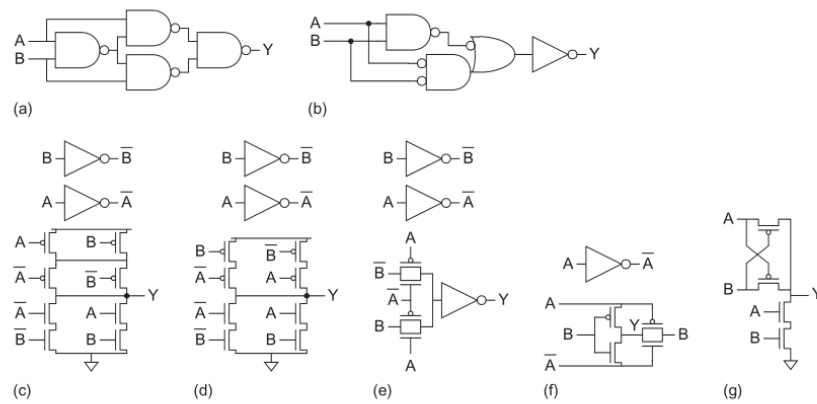


FIGURE 11.59 Static 2-input XOR designs

Figure 1: XOR do livro-texto

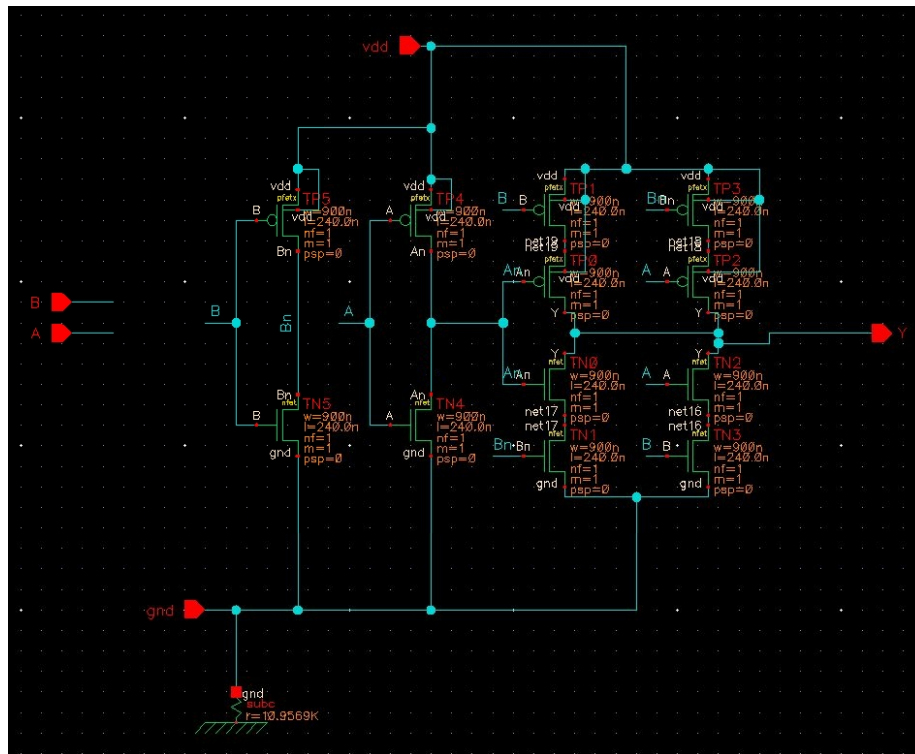


Figure 2: Esquemático de XOR desenvolvido em laboratório

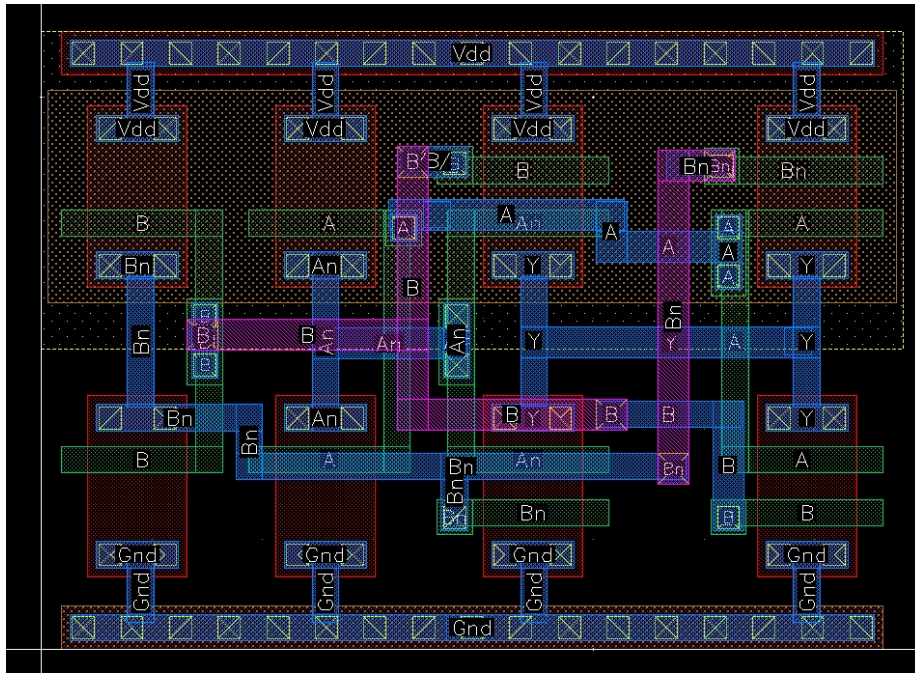


Figure 3: Layout de XOR desenvolvido em laboratório

A porta desenvolvida se encontra na biblioteca "aula3", onde utilizei inversor1 apenas para fins de teste, utilizei inversor2 inicialmente na porta XOR e depois descartei, xor1 é o circuito desenvolvido e testbench1 utilizei para os testes.

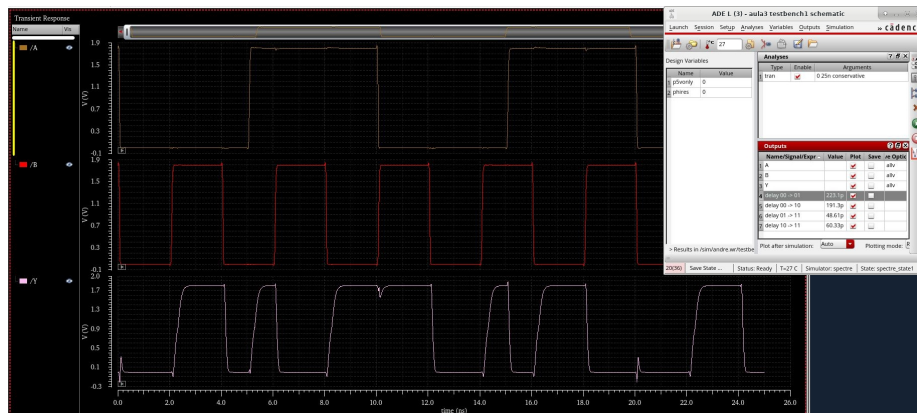


Figure 4: Resultados de simulação das portas XOR

Primeiro desenvolvi o esquemático da XOR. Depois gerei diferentes tamanhos

para os transistores e através da observação dos diferentes tempos de propagação escolhi o tamanho 900 nm. Então desenvolvi o layout. Por fim, realizei os testes utilizando período do sinal A igual à 2 ns e do sinal B igual à 5 ns para que todos os casos requisitados no roteiro do laboratório fossem gerados. Os cálculos de delay foram inseridos na janela ADE L para maior conveniência, como mostra a figura 4.