

Circuitos e Sistemas Integrados - Introdução ao Projeto VLSI

Prof. Fabian L. Cabrera & Prof. José L. Güntzel
fabian.cabrera.r@gmail.com



Universidade Federal de Santa Catarina
Florianópolis



- ▶ Entregar relatório individual em no máximo duas folhas no Moodle.
- ▶ Entrega da biblioteca criada no Cadence comprimida. Se o nome da biblioteca é “aula3” então pode usar o comando para comprimir: `tar cvfz aula3.tar.gz aula3`
- ▶ Mostrar o resultado correto do DRC e LVS.
- ▶ Mostrar a simulação da vista extraída (incluindo parasitas RC).



- ▶ A nota será atribuída conforme uma figura de mérito (FoM), onde
$$\text{FoM} = \text{área ocupada no layout} * \text{tempo de propagação}$$
O tempo de propagação será o maior valor entre os tempos de propagação para as seguintes transições das entradas: 00 para 01, 00 para 10, 01 para 11 e 10 para 11.
- ▶ No testbench de simulação deve haver um inversor antes de cada entrada da porta XOR e após a saída. Estes inversores tem esquemático mas não tem vista de layout. Todos os transistores para este inversor têm $L=0,18\mu\text{m}$ e $W=2\mu\text{m}$.
- ▶ A menor FoM corresponderá à nota 10.
- ▶ Valores de FoM iguais entre diferentes trabalhos apresentados têm nota 6.



- ▶ Pesquisar sobre a implementação da porta XOR usando transistores NMOS e PMOS.
- ▶ A topologia a implementar usa redes pull-up e pull-down (12 transistores).
- ▶ Ler a seções 1.5.4 e 1.5.5 do livro [1].

[1] Weste, Neil; Harris, David. “CMOS VLSI Design: a circuits and systems perspective”. Addison-Wesley, 4th Edition, 2010.



- ▶ Chegar pontualmente.
- ▶ Descomprimir os arquivos da aula anterior e iniciar o virtuoso.
- ▶ Abrir o esquemático e o layout do inversor.
- ▶ Rodar o DRC, LVS e fazer extração do circuito conforme os seguintes slides.
- ▶ Fazer o esquemático e layout da porta XOR.
- ▶ Rodar o DRC, LVS, extração e simular a porta XOR.



Na janela do layout: Assura > Run QRC

escolher output: Extracted View

Na aba Extraction: colocar gnd no campo "Ref Node"

The screenshot shows the 'Setup' tab of the 'QRC (Assura) Parasitic Extraction Run Form'. The 'Setup Dir' field is circled in blue and contains the path '~\work\SLM'. The 'Output' dropdown is set to 'Extracted View'. The 'Lib' dropdown is set to 'aui1', 'Cell' is 'inversor1', and 'View' is 'av_extracted'. The 'Parasitic Res Component' is 'presistor', 'Parasitic Cap Component' is 'pcapacitor', 'Parasitic Ind Component' is 'pinductor', and 'Parasitic M Component' is 'paimd'. The 'Inductance L1 Prop Id' is 'ind1' and 'Inductance L2 Prop Id' is 'ind2'. The 'Substrate Extract' checkbox is checked. The 'Substrate Profile' is set to 'NONE'.

The screenshot shows the 'Extraction' tab of the 'QRC (Assura) Parasitic Extraction Run Form'. The 'Extraction Type' dropdown is set to 'RC' and is circled in blue. The 'Ref Node' field is set to 'gnd' and is circled in blue. The 'Max fracture length' is 'infinite', 'Cap Coupling Mode' is 'Decoupled', and 'Mult Factor' is '1.0'. The 'PEEC Mode' checkbox is checked. The 'Net Selection Type' is 'Full Chip All Nets' and 'QRCFS Extraction Mode' is 'NONE'. The 'Resistance Mesh' checkbox is checked. The 'Layer Setup Customization' checkbox is checked. The 'Litho Config File' field is empty. The 'Contour Directory' field is empty. The 'Enable HRCX' checkbox is checked. The 'Split Pins' checkbox is checked and 'Split Pin Distance' is '5' microns.



No ADE:

Setup > Environment

Acrescentar: av_extracted no começo da linha "Switch View List"

