

ALMA MATER STUDIORUM
UNIVERSITÀ DI BOLOGNA

Scuola di Ingegneria e Architettura
Laurea in Ingegneria Elettronica

Progetto di un amplificatore operazionale a due stadi

Studente:

Andrea Castronovo (1029122)

Docente:

Prof. Federica Zonzini

Prof. Guido Masetti

Progetto di Circuiti e Sistemi Analogici M

Anno accademico 2022–2023

Indice

1	Specifiche	1
2	Dimensionamento [1]	3
3	Simulazioni con LTspice [1]	8
4	Riduzione di potenza [1]	13
	Conclusioni	16

Capitolo 1

Specifiche

- $V_{DD}/V_{SS} = \pm 2.5 \text{ V}$
- $S.R. = \pm 5 \text{ V}/\mu s$
Slew Rate positivo e negativo.
- $C_L = 5 \text{ pF}$
- $V_{in,CM}^{Max} = 2.1 \text{ V}$
- $V_{in,CM}^{Min} = -1.3 \text{ V}$
Massima (\geq) e Minima (\leq) tensione di modo comune in ingresso.
- $V_{out}^{Max} = 2.2 \text{ V}$
- $V_{out}^{Min} = -2.2 \text{ V}$
Massima (\geq) e Minima (\leq) tensione d'uscita.
- $\omega_{0,dB} = 5 \text{ MHz}$
Pulsazione per guadagno unitario.
- $DC_{gain} > 80 \text{ dB}$
Guadagno differenziale.
- $P.M. > 60^\circ$
Margine di fase.
- $\frac{V_{in,N(f)}}{\sqrt{\Delta f}} < 26 \text{ nV}/\sqrt{Hz}$
Tensione di rumore riferita all'ingresso per $\omega < \omega_{0,dB}$

Nel rispetto delle specifiche si cerchi di **minimizzare** la corrente assorbita dall'alimentazione.

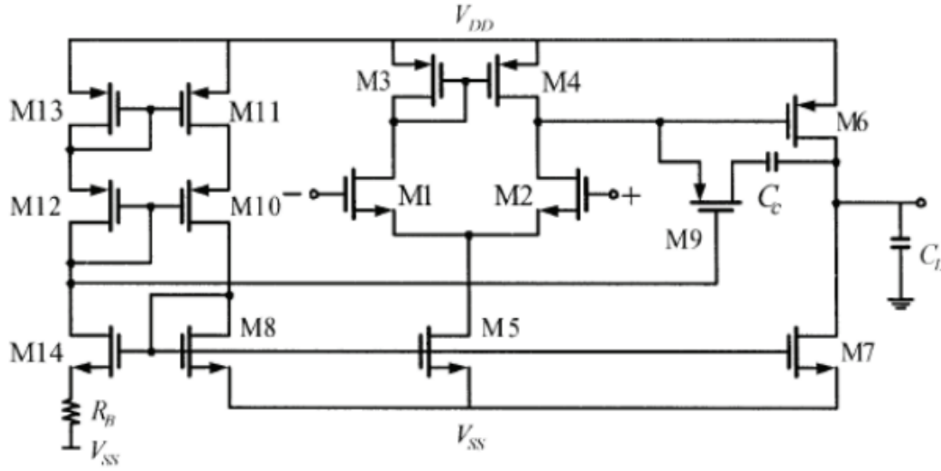


Figura 1.1: Amplificatore operazionale CMOS a 2 stadi, circuito completo

Il circuito sopra rappresenta lo schematico completo dell'amplificatore operazionale a due stadi; il primo realizzato da una **coppia differenziale** (M_1 , M_2) e uno **specchio di corrente** (M_3 , M_4), il secondo realizzato da un **amplificatore a transconduttanza** in configurazione **Source comune** (M_6). In particolare si può notare essere presente una **capacità di compensazione** e una **resistenza di annullamento**, realizzati da un transistor (M_9) in funzionamento **lineare**, utili a controllare il polo dominante della risposta in frequenza e ad annullare o modificare i poli e zero; 2 transistori (M_5 , M_7) per la **corrente di polarizzazione** e infine una **rete di polarizzazione** (M_{10}, \dots, M_{14} , M_8) per generare le tensioni di Gate.

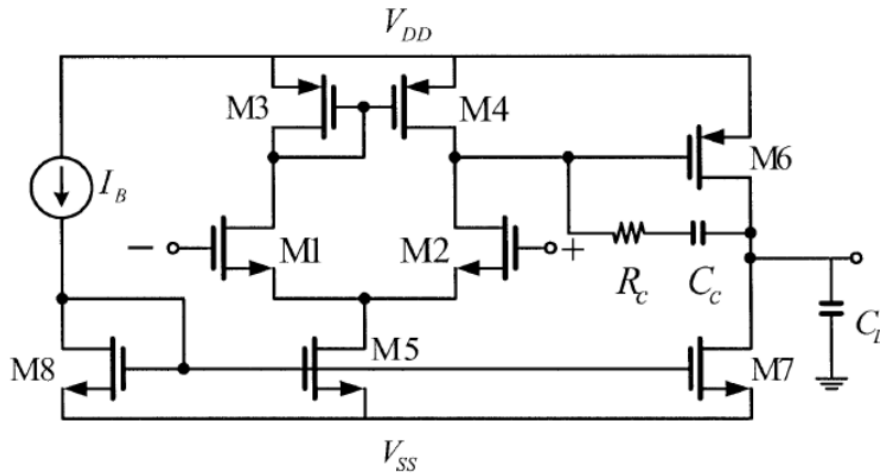


Figura 1.2: Amplificatore operazionale CMOS a 2 stadi, circuito semplice

Capitolo 2

Dimensionamento [1]

	$S = \frac{W}{L}$	$V_{ov}[V]$	$I_d[\mu A]$
$M_{1,2}$	1.987235788	0.1591549431	4.58069162
$M_{3,4}$	5.053827126	0.209	I_{d1}^*
M_5	0.9197511892	0.3308450569	9.16138324
M_6	37.6898817**	V_{ov3}^*	I_{d7}
M_7	3.42961014	V_{ov5}	34.16138324
M_8	0.8574025351	V_{ov5}	I_{d13}
M_9	10.10765425	V_{ov6}	0***
$M_{10,11,12,13}$	9.422470425	V_{ov6}	8.54034581
M_{14}	3.42961014	0.1654225285	I_{d13}

* Condizione di perfetto bilanciamento

** $L_6 = 4.394352177\mu m$, $W_6 = 165.226137\mu m$

*** Transistor in funzionamento lineare (Resistore)

Per ottenere i valori finali riportati in tabella sopra :

$$C_c = \frac{16K \cdot T}{3\omega_{0dB} \cdot \frac{V_{in}^2}{\Delta f}} * \left(1 + \frac{SR}{\omega_{0dB} \cdot V_{ov3}}\right) = 1,832276648pF$$

Dove

$K = 1,380649 \cdot 10^{-23} \frac{J}{^\circ K}$: Costante di Boltzman

$T = 300^\circ K$: Temperatura in gradi Kelvin

$V_{ov3} \leq 0,209V$: Tensione di Overdrive ricavata dalla (2.1)

$$\begin{aligned} V_{in,CM}^{Max} &= V_{dd} - V_{sg3} - V_{ov1} + V_{gs1} = \\ &= V_{dd} - V_{ov3} - |V_{tp}| + V_{tn}(V_{sb1}) \geq 2,1V \end{aligned} \quad (2.1)$$

Generalmente $SR^+ \approx \frac{Id_5}{C_c} \neq \min[\frac{Id_7 - Id_5}{C_L}, \frac{Id_5}{C_c}] = SR^-$, quindi imponendo che lo Slew Rate negativo sia uguale a quello positivo come nel caso d'esame

$$\frac{Id_7}{Id_5} = \frac{C_c + C_L}{C_C} \quad (2.2)$$

e quindi se $SR = SR^- = SR^+ = \frac{Id_5}{C_c}$ possiamo ricavare

$$Id_7 = SR \cdot (C_c + C_L) = 34.1613824 \mu A$$

Dalla (2.3) possiamo ricavare la condizione $Vov_7 \leq 0.300$

$$V_{out}^{Min} = Vov_7 + V_{ss} \leq -2.2V \quad (2.3)$$

Proseguendo per i vari dimensionamenti possiamo trovare

$$L_6 = \sqrt{\frac{3}{2} \cdot \frac{\mu_p Vov_6 \cdot C_c}{\omega_{0dB}(C_c + C_L) \cdot tg(PM)}} = 5.264993728 \mu m \quad (2.4)$$

Dove

$$\mu_p = \frac{\beta'_p}{C_{OX}} = \beta'_p \cdot \frac{t_{OX}}{\epsilon_{OX}} = 12.49879368 \cdot 10^{-3} \frac{m^2}{V \cdot s} : \text{Mobilità portatori (lacune)}$$

$$Vov_6 \leq 0.3V : \text{Tensione di overdrive ottenuta dalla (2.5)}$$

$$V_{out}^{Max} = V_{dd} - Vov_6 \geq 2.2V \quad (2.5)$$

Ricordando che $S = \frac{W}{L}$, dalla (2.6) ricaviamo la larghezza di canale di M_6 e possiamo trovare essere pari a $W_6 = 96.31029103 \mu m$

$$S_6 = \frac{2 \cdot Id_6}{\beta'_p \cdot Vov_6^2} = 18.29257469 \quad (2.6)$$

Dall'uguaglianza imposta su $SR^{+/-}$ possiamo ricavare anche

$$Id_5 = SR \cdot C_C = 9.16138324 \mu A$$

$$Id_1 = Id_2 = Id_3 = Id_4 = \frac{Id_5}{2} = 4.58069162 \mu A$$

ed infine ricavare i dimensionamenti dei transistor attraversati da tali correnti con la formula generica valida per transistori ai quali bisogna assicurare funzionamento in saturazione.

$$S_1 = \frac{2 \cdot Id_1}{\beta'_n \cdot Vov_1^2} = 1.987235788$$

Dove

$$V_{ov_1} = \frac{SR}{\omega_{0dB}} = 0.1591549431V$$

$$S_5 = \frac{2 \cdot Id_5}{\beta'_n \cdot V_{ov_5}^2} = 0.9197511892$$

Dove

$V_{ov_5} \leq 0.3308450569V$: Tensione di overdrive ottenuta dalla (2.7)

$$V_{in,CM}^{Min} = V_{ss} + V_{ov_5} + V_{ov_1} + V_{tn}(V_{sb_1}) \leq -1.3V \quad (2.7)$$

Imponendo la (2.2) nella (2.8) si ricava:

$$S_7 = \frac{Id_7}{Id_5} \cdot S_5 = \frac{C_c + C_L}{C_c} \cdot S_5 = 3.42961014 \quad (2.8)$$

Dalla (2.8) si è però imposto che il dimensionamento di M_7 sia principalmente collegato a quello di M_5 dalle due correnti che rispettivamente li attraversano; si è pertanto imposto $V_{ov_7} = V_{ov_5} = 0.3308450569$ ma ricordando l'imposizione da specifica trovata con la (2.3) si avrà:

$$V_{out}^{Min} = V_{ov_7} + V_{ss} = -2.169154943 \geq -2.2V$$

Quindi troviamo che analiticamente la specifica sulla V_{out}^{Min} non risulterà soddisfatta con un errore relativo pari all' 1,4%. Sarà compito del prossimo capitolo di verificare, simulando il circuito, di quanto effettivamente si è sporcata la specifica; non è possibile risolvere il problema poiché Id_7 è dettata dalla SR e C_c (specifiche), mentre S_7 da S_5 per poter avere SR positivo e negativo identici.

Possiamo infine concludere il dimensionamento del I° e II° stadio trovando i dimensionamento per i transistor dello specchio di corrente.

$$S_3 = S_4 = \frac{S_6}{2S_7} \cdot S_5 = 2.452846918 \quad (2.9)$$

Fermandosi per un momento a fare il punto della situazione e verificando la validità dei calcoli per transistor in saturazione, quindi con l'aiuto della formula generica $V_{ov_{n/p}} = \sqrt{\frac{2 \cdot Id_{n/p}}{\beta'_{n/p} \cdot S_{n/p}}}$, possiamo notare essere presenti incongruenze nelle tensioni di overdrive di $M_{3,4}$ rispetto a quella che dovrebbe essere imposta dalla (2.1).

Le tensioni di overdrive sono dettate appunto dalla specifica sull'escursione massima delle tensioni di modo comune, mentre i dimensionamenti e le correnti dall'ipotesi di perfetto bilanciamento. Per poter pertanto rispettare la specifica richiesta sull'escursione della tensione d'ingresso (2.1) e quindi mantenere la $V_{ov_3} = 0.209V$ si deve imporre a tale tensione la condizione di perfetto bilanciamento: $V_{ov_6} = V_{ov_3} = V_{ov_4} = 0.209V < 0.3V$; notiamo che è possibile fare tale uguaglianza poiché migliorativa per la condizione sulla specifica dell'escursione massima sulla tensione di uscita (2.5).

Quindi ripercorrendo le formule (2.4), (2.6) e (2.9) con il nuovo valore di overdrive troviamo:

- $L_6 = 4.394352177\mu m$
- $S_6 = 37.6898817$
- $W_6 = 165.6226137\mu m$
- $S_3 = S_4 = 5.053827126$

Possiamo ora procedere con il dimensionamento del circuito completo trovando il valore analitico della resistenza di annullamento

$$R_C = \frac{(1 + \frac{C_L}{C_c})}{g_{m6}} = \frac{(1 + \frac{C_L}{C_c})}{\sqrt{2\beta'_p \cdot S_6 \cdot Id_6}} = 11406.57445\Omega$$

ed imponendo poi l'uguaglianza del valore analitico con quello dettato dal funzionamento lineare di M_9

$$S_9 = \frac{C_c}{C_L + C_c} \cdot S_6 = 10.10765425$$

$$V_{ov_9} = V_{ov_6} = 0.209V$$

A questo punto guardando il circuito in figura 1.1 e notando che le tensioni V_{sg} dei transistor $M_{6,9,12,13}$ formano una maglia chiusa per come sono collegate allora possiamo semplificare i calcoli

$$V_{sg_{13}} = V_{sg_6} \quad \& \quad V_{sg_{12}} = V_{sg_9}$$

$$V_{ov_{13}} = V_{ov_6} \quad (==) \quad V_{ov_{12}} = V_{ov_9}$$

$$\frac{S_{13}}{Id_{13}} = \frac{S_6}{Id_6} \quad \& \quad \frac{S_{12}}{Id_{12}} \neq \frac{S_9}{Id_9}$$

Cercando di imporre la più bassa corrente possibile per la rete di polarizzazione, che sappiamo essere identica per tutti i transistor della rete

$$Id_{14} = Id_8 = Id_{10} = Id_{11} = Id_{12} = Id_{13} = \frac{Id_6}{4} = 8.54034581\mu A$$

così che sia aggiunto il minor contributo possibile per la dissipazione di potenza totale reale, a fronte però di una larghezza di canale non troppo piccola da realizzare allora possiamo trovare

$$S_{12} = S_{13} = 9.422470425$$

Per semplicità imponiamo

$$S_{10} = S_{11} = S_{12}$$

avendo quindi

$$Vov_{10} = Vov_{11} = Vov_{12}$$

Sapendo inoltre che per la topologia circuitale imposta si avrà $Vgs_8 = Vgs_5$ ovvero $Vov_8 = Vov_5$, possiamo ricavare il dimensionamento di M_8

$$S_8 = \frac{2 \cdot Id_8}{\beta'_n \cdot Vov_8^2} = 0.8574025351$$

imponendo $S_{14} = 4 \cdot S_8 = 3.42961014$ possiamo concludere la sintesi di progetto

$$Vov_{14} = \sqrt{\frac{2 \cdot Id_{14}}{\beta'_n \cdot S_{14}}}$$

$$\mathbf{R_\beta = \frac{Vov_8 - Vov_{14}}{Id_{14}} = 19369.53515\Omega}$$

Capitolo 3

Simulazioni con LTspice [1]

Adottando un modello di primo livello per i transistor MOS, come descritto in figura 3.1, si è simulato inizialmente il circuito semplice di figura 1.2 per poi passare a quello completo di figura 1.1.

```
*Modello Mos
.model NMOS NMOS (LEVEL=1, VTO=0.71, KP=182u, PHI=0.6, gamma=0.01, LAMBDA=0.01, tox=9.6n, cj=350u,
+ cjsw=12p, mj=0.33, mjsw=0.33, pb=0.8, cgso=0.046n, cgdo=0.046n)

.model PMOS PMOS (LEVEL=1, VTO=-0.901, KP=41.5u, PHI=0.6, gamma=0.01, LAMBDA=0.01, tox=9.6n, cj=350u,
+ cjsw=12p, mj=0.33, mjsw=0.33, pb=0.8, cgso=0.046n, cgdo=0.046n)
```

Figura 3.1: Modello livello 1 per transistor MOS

In entrambi i casi si è partiti scrivendo la **Netlist** del circuito in un file **.cir**

```
.SUBCKT OPAMPBASIC 200 100 300 99 66
*Mname Drain Gate Source Bulk N/Pmos L e W

*Differential Pair
M1 1 100 3 66 NMOS L=1u W=1.987235788u
M2 2 200 3 66 NMOS L=1u W=1.987235788u
*Current Mirror
M3 1 1 99 99 PMOS L=1u W=5.053827126u
M4 2 1 99 99 PMOS L=1u W=5.053827126u
*Common Source
M6 300 2 99 99 PMOS L=4.394352177u W=165.6226137u
M7 300 4 66 66 NMOS L=1u W=3.42961014u
*Polarization
M5 3 4 66 66 NMOS L=1u W=919.7511892n
M8 4 4 66 66 NMOS L=1u W=857.4025351n

*VandI
*****Vdd 99 0 DC 2.5
*****Vss 0 66 DC 2.5
Ib 99 4 DC 8.54034581u
*Passive
Rc 2 123 11406.57445
Cc 123 300 1.832276648p

*.OP
.ENDS OPAMPBASIC
```

Figura 3.2: Netlist semplice

```
.SUBCKT myOPAMP 200 100 300 99 66
*Mname Drain Gate Source Bulk N/Pmos L e W

*Differential Pair
M1 1 100 3 66 NMOS L=1u W=1.987235788u
M2 2 200 3 66 NMOS L=1u W=1.987235788u
*Current Mirror
M3 1 1 99 99 PMOS L=1u W=5.053827126u
M4 2 1 99 99 PMOS L=1u W=5.053827126u
*Common Source
M6 300 2 99 99 PMOS L=4.394352177u W=165.6226137u
M7 300 4 66 66 NMOS L=1u W=3.42961014u
*Polarization
M5 3 4 66 66 NMOS L=1u W=919.7511892n
M8 4 4 66 66 NMOS L=1u W=857.4025351n

*VandI
*****Vdd 99 0 DC 2.5
*****Vss 0 66 DC 2.5
*****Ib 99 4 DC 8.54034581u
*Passive
*****Rc 2 123 16373.07338
M9 123 10 2 99 PMOS L=1u W=10.10765425u
Cc 123 300 1.832276648p
Rb 11 66 19369.53515
*Biasing
M10 4 10 13 99 PMOS L=1u W=9.422470425u
M11 13 12 99 99 PMOS L=1u W=9.422470425u
M12 10 10 12 99 PMOS L=1u W=9.422470425u
M13 12 12 99 99 PMOS L=1u W=9.422470425u
M14 10 4 11 66 NMOS L=1u W=3.42961014u

*.OP
.ENDS myOPAMP
```

Figura 3.3: Netlist completa

verificando tramite simulazione in punto operativo **.op** che tutti i transistor avessero valori di corrente prossimi a quelli calcolati nel capitolo precedente e controllando che ad eccezione di M_9 funzionassero in saturazione. Si è passati poi al calcolo della potenza dissipata simulata

$$P_{diss} = I(V_{dd}) \cdot [V_{dd} - V_{ss}] = I(V_{ss}) \cdot [V_{dd} - V_{ss}]$$

Successivamente è stato istanziato il simbolo **.asy** dell'amplificatore operazionale semplice e completo, per poi utilizzarlo all'interno dello schematico **.asc** per verificare il rispetto delle specifiche nelle diverse configurazioni descritte in figura 3.4

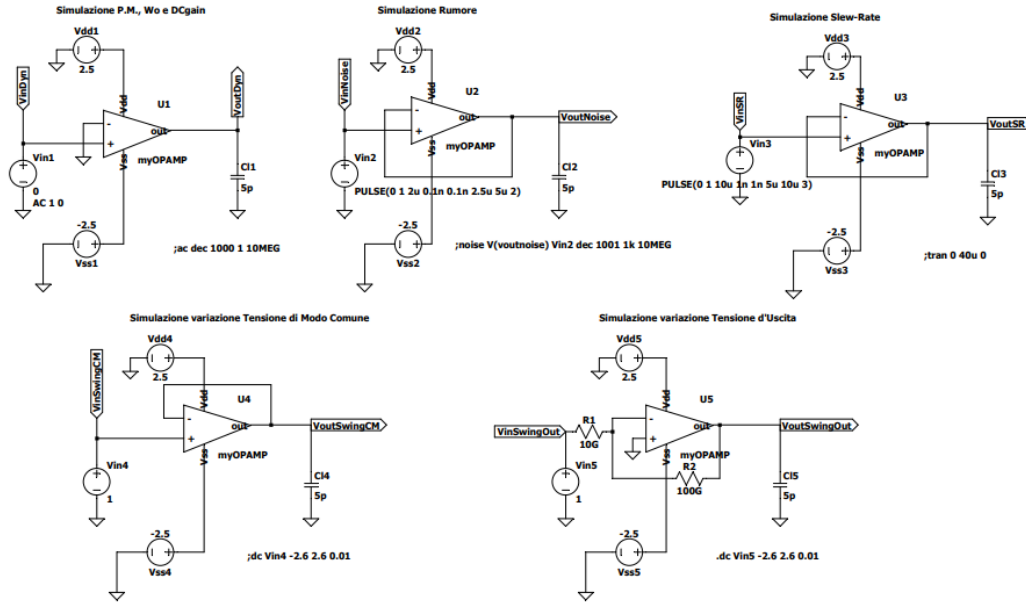


Figura 3.4: Circuiti di verifica delle simulazioni

Qui di seguito sono riportati i valori delle specifiche ottenute dalla simulazione

- P_{diss} [μW] con simulazione a $27^\circ C$

	Analitico	Simulato	ϵ_{rel}
Semplice	258.316	262.051	+1.45%
Completo	302.017	302.627	+0.20%

• Simulazione Dinamica

		Specifica	Analitico*	Simulato	ϵ_{rel}
Semp.	DC_{gain} [dB]	>80	109.56	109.99	+0.39%
	$\omega_{0,dB}$ [MHz]	5	4.999	4.405	-11.9%
	P.M.	>60°	60.012°	60.357°	+0.58%
Comp.	DC_{gain} [dB]	>80	109.56	110.05	+0.45%
	$\omega_{0,dB}$ [MHz]	5	4.999	4.439	-11.22%
	P.M.	>60°	60.012°	59.193°	-1.3%

$$* DC_{gain} := 20 \log(g_{m1} \cdot g_{m6} \cdot R_{outI} \cdot R_{outII})$$

$$P.M. := tg^{-1}\left(\frac{\beta_p' V_{ov6}}{\frac{2}{3} \cdot C_{ox} \cdot L_6^2} \cdot \frac{C_c}{C_c + C_L} \cdot \frac{1}{\omega_{0,dB}}\right), \quad \omega_{0,dB} := \frac{g_{m1}}{2C_c \cdot \pi}$$

Il Margine di fase al limite delle specifiche richieste è dettato dall'imposizione sulla $V_{ov6} = 0.209V$ per mantenere rispettata la specifica richiesta sull'escursione dell'uscita.



Figura 3.5: Dinamica d'uscita per circuito completo

 • Noise: $\frac{V_{in,N}(f)}{\sqrt{\Delta f}} \left[\frac{nV}{\sqrt{Hz}} \right]$

		Specifica	Simulato	ϵ_{rel}
Semplice	10kHz	<26	25.792	-0.8%
	100kHz	<26	25.799	-0.77%
Completo	10kHz	<26	25.834	-0.64%
	100kHz	<26	25.952	-0.18%

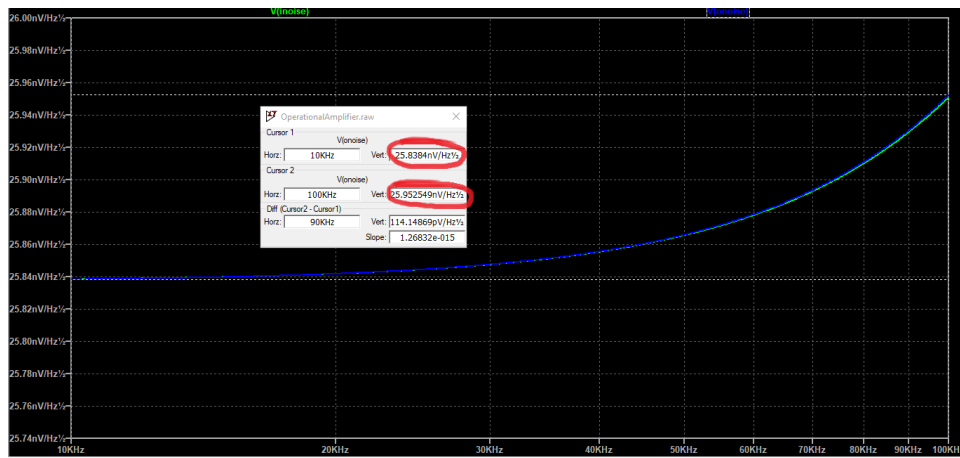


Figura 3.6: Rumore tra 10Hz e 100kHz per circuito completo

- Slew-Rate $\left[\frac{V}{\mu s}\right]$ con variazione da 10% a 90% dell'escursione

		Specifica	Simulato	ϵ_{rel}
Semplice	$S.R.^+$	+5	+4.686	-6.27%
	$S.R.^-$	-5	-4.336	-13.29%
Completo	$S.R.^+$	+5	+4.695	-6.09%
	$S.R.^-$	-5	-4.211	-15.78%

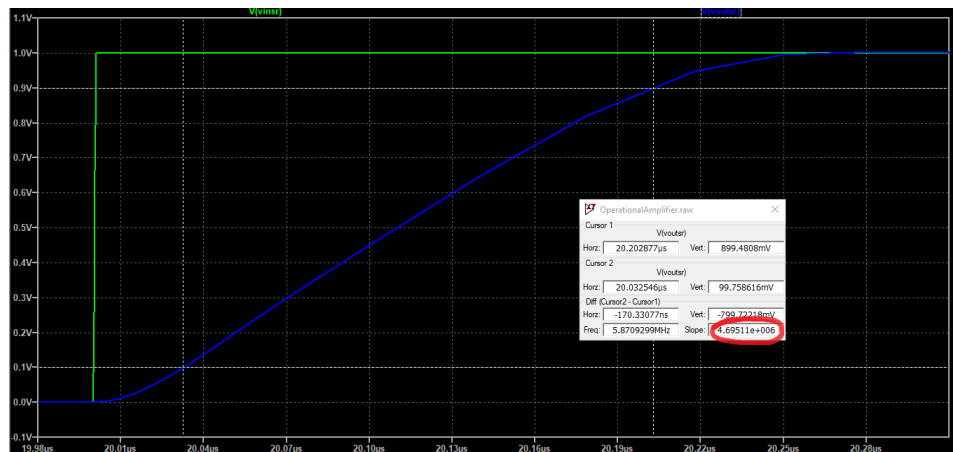


Figura 3.7: Slew-Rate positivo da 10% a 90 % sulla tensione d'uscita

- Simulazione swing Tensione di modo comune [V]

		Specifica	Simulato	ϵ_{rel}
Semplice	$V_{in,CM}^{Max}$	$\geq +2.1$	+2.105	+0.24%
	$V_{in,CM}^{Min}$	≤ -1.3	-1.679	-29.15%
Completo	$V_{in,CM}^{Max}$	$\geq +2.1$	+2.107	+0.33%
	$V_{in,CM}^{Min}$	≤ -1.3	-1.746	-34.31%

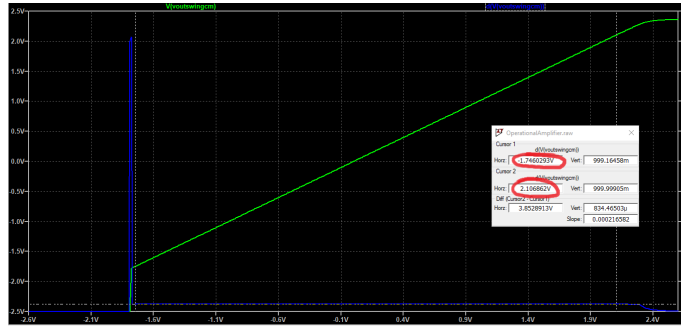


Figura 3.8: Swing tensione di modo comune d'ingresso

- Simulazione swing Tensione d'uscita [V]

		Specifica	Analitico	Simulato	ϵ_{rel}
Semplice	V_{out}^{Max}	$\geq +2.2$	+2.291	+2.296	+0.22%
	V_{out}^{Min}	≤ -2.2	-2.169	-2.206	-1.7%
Completo	V_{out}^{Max}	$\geq +2.2$	+2.291	+2.281	-0.44%
	V_{out}^{Min}	≤ -2.2	-2.169	-2.211	-1.94%



Figura 3.9: Swing tensione d'uscita

Capitolo 4

Riduzione di potenza [1]

La potenza dissipata è un parametro fortemente significativo per la maggior parte delle applicazioni elettroniche, sarà compito di quest'ultimo capitolo cercare di ridurre al minimo la potenza dissipata al netto del rispetto delle specifiche richieste.

$$P_{diss} = (V_{dd} - V_{ss}) \cdot [Id_{14} + Id_8 + Id_5 + Id_7]$$

Essendo a conoscenza della proporzionalità inversa che sussiste fra potenza dissipata e rumore termico a parità di capacità di compensazione

$$\frac{V_{in}^2}{\Delta f} \propto \frac{1}{C_c} \propto \frac{1}{P_{diss}}$$

possiamo allora portare al limite la specifica richiesta sul rumore per ridurre al minimo la dissipazione di potenza.

Per trovare il preciso valore di capacità che soddisfi tale richiesta sarà necessario compiere una simulazione con variazione di parametro **.step param**. Per arrivare alla soluzione sono state riscritte tutte le formule viste nel capitolo 2 (Dimensionamento) in maniera tale che l'unico parametro variabile fosse la capacità di compensazione.

Ad esempio la (2.4) diventa

$$L_6 = 8.485893405 \cdot 10^{-6} \cdot \sqrt{\frac{C_c}{C_c + 5 \cdot 10^{-12}}}$$

In questo modo è stato possibile modificare la netlist (**.cir**) del circuito completo, in modo tale che i dimensionamenti fossero delle funzioni e che la topologia circuitale risultasse quella usata per la **Simulazione Rumore** usata in figura 3.4 ma con variazione di parametro C_c .

CAPITOLO 4. RIDUZIONE DI POTENZA [1]

```

*.SUBCKT myOPAMPLowPow 200 100 300 99 66
*Mname Drain Gate Source Bulk N/Pmos L e W

*Differential Pair
M1 1 300 3 66 NMOS L=1u W={Width1({Xc})}
M2 2 202 3 66 NMOS L=1u W={Width1({Xc})}
*Current Mirror
M3 1 1 99 99 PMOS L=1u W={Width3({Xc})}
M4 2 1 99 99 PMOS L=1u W={Width3({Xc})}
*Common Source
M6 300 2 99 99 PMOS L={Length6({Xc}, {Scl})} W={Width6({Xc}, {Scl})}
M7 300 4 66 66 NMOS L=1u W={Width7({Scl})}
*Polarization
M5 3 4 66 66 NMOS L=1u W={Width5({Xc})}
M8 4 4 66 66 NMOS L=1u W={Width8({Scl})}
*VandI
Vdd 99 0 DC 2.5
Vss 0 66 DC 2.5
Vin 202 0 PULSE(0 1 2u 0.1n 0.1n 2.5u 5u 2)
*****Ib 99 4 DC 8.54034581u
*Passive
*****Rc 2 123 16373.07338
M9 123 10 2 99 PMOS L=1u W={Width9({Xc})}
Cc 123 300 {Xc}
Cl 300 0 5p
Rb 11 66 {Resistanceb({Scl})}
*Biasing
M10 4 10 13 99 PMOS L=1u W={Width13({Scl})}
M11 13 12 99 99 PMOS L=1u W={Width13({Scl})}
M12 10 10 12 99 PMOS L=1u W={Width13({Scl})}
M13 12 12 99 99 PMOS L=1u W={Width13({Scl})}
M14 10 4 11 66 NMOS L=1u W={Width7({Scl})}

.step param Xc 1.825p 1.8p 0.0025p
*.param Xc=1.832276648p
.param Scl={Xc}+5p

.function Length6({Xc}, {Scl}) {8.485893405e-6*sqrt({Xc}/{Scl})}
.function Width6({Xc}, {Scl}) {46811968.39*sqrt({Xc}*{Scl})}
.function Width1({Xc}) {1.084571912e6*{Xc}}
.function Width5({Xc}) {5.019717902e5*{Xc}}
.function Width7({Scl}) {5.019717902e5*{Scl}}
.function Width3({Xc}) {2.758222745e6*{Xc}}
.function Width9({Xc}) {5.516445489e6*{Xc}}
.function Width13({Scl}) {1.379111372e6*{Scl}}
.function Width8({Scl}) {1.254929476e5*{Scl}}
.function Resistanceb({Scl}) {1.323380227e-7/{Scl}}

.noise V(300) Vin dec 1001 1k 10MEG
*.OP
*.ENDS myOPAMPLowPow

```

Figura 4.1: Netlist circuito per riduzione di potenza

Inizialmente è stata eseguita una simulazione con variazione di parametro da 1.9pF a 1.7pF con passo 0.025p

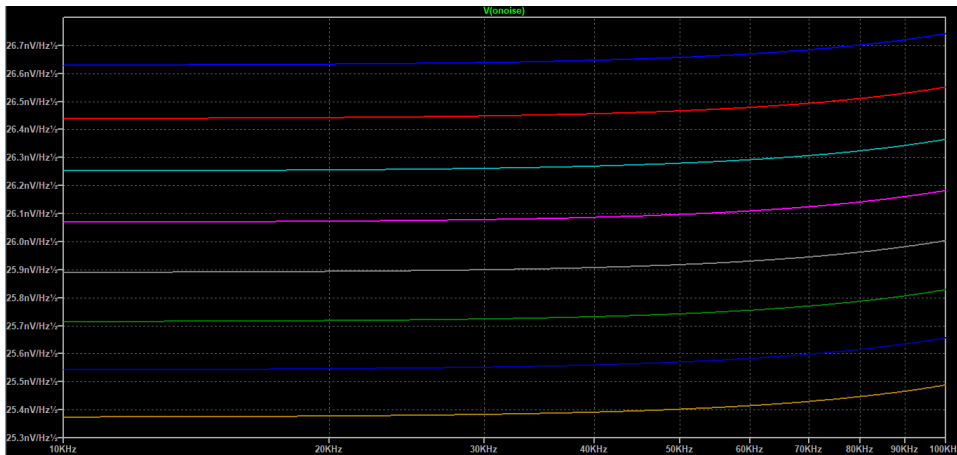


Figura 4.2: Rumore tra 10kHz e 100kHz con variazione capacitiva

Possiamo notare come la soluzione ottimale sia compresa fra la curva grigia e quella lilla, ovvero rispettivamente tra 1.825pF e 1.8pF

Pertanto, si è passati poi alla simulazione di figura 4.1 con variazione capacitiva compresa fra i due valori trovati.

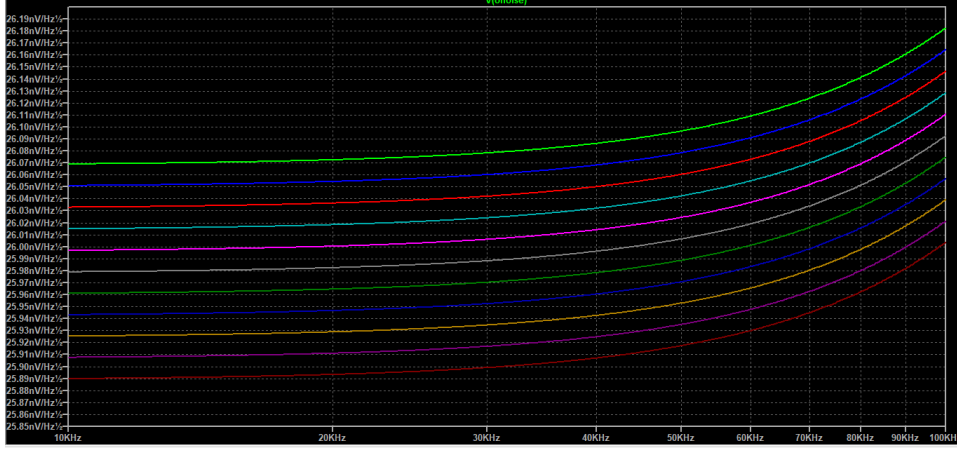


Figura 4.3: Rumore tra 10kHz e 100kHz con 2° variazione capacitiva

Possiamo notare che anche in questo caso le due curve prossime alla richiesta di specifica sono la grigia e lilla, in particolare la prima risulta leggermente più "safe" per frequenze più elevate ma pur sempre al limite e poco oltre $\epsilon_{rel}(100kHz) = +0.34\%$. Infine, per tale motivo, è stata rieseguita una simulazione a circuito completo con i nuovi parametri dettata dal nuovo valore scelto di capacità pari a **$C_c = 1.8125pF$** trovando i seguenti valori

	Specifica	C_c^{old}	C_c^{new}	ϵ_{rel}
P_{diss}	XXX	302.627	301.392	$-1.235\mu W$
DC_{gain}	>80	110.05	110.05	$\pm 0dB$
$\omega_{0,dB}$	5	4.439	4.383	$-1.2\%MHz$
$P.M.$	>60	59.193°	59.647°	+0.77%
$\frac{V_{in,N}(10k)}{\sqrt{\Delta f}}$	<26	25.834	25.98	+0.56% $\frac{nV}{\sqrt{Hz}}$
$\frac{V_{in,N}(100k)}{\sqrt{\Delta f}}$	<26	25.952	26.09	+0.53% $\frac{nV}{\sqrt{Hz}}$
$S.R.^+$	+5	+4.695	+4.951	+5.17% $\frac{V}{\mu s}$
$S.R.^-$	-5	-4.211	-4.210	-0.02% $\frac{V}{\mu s}$
$V_{in,CM}^{Max}$	+2.1	+2.107	+2.102	-0.24%V
$V_{in,CM}^{Min}$	-1.3	-1.746	-1.729	-0.97%V
V_{out}^{Max}	+2.2	+2.281	+2.287	-0.26%V
V_{out}^{Min}	-2.2	-2.211	-2.211	$\pm 0\%V$

Conclusioni

Posso concludere affermando che l'ultima topologia circuitale in cui è presente il nuovo valore di C_c risulterà essere più performante a parità di specifiche richieste, con un piccolo limite dettato dalla specifica sul rumore intorno ad una frequenza di 100kHz ma comunque estremamente contenuta, con però una riduzione di potenza. Il limite sulla specifica del margine di fase come già detto è il risultato della variazione di V_{ov6} , effettuato per mantenere analiticamente vera la specifica di escursione della tensione di modo comune d'ingresso massima;

nel caso in cui si volesse aumentare il margine di fase sarebbe necessario variare la tensione di overdrive e ridimensionare il circuito.

Bibliografia

- [1] (2023) Link to Itspice code & simu. MyGithub. [Online]. Available:
<https://github.com/AndreaCastronovo/OperationalAmplifier>