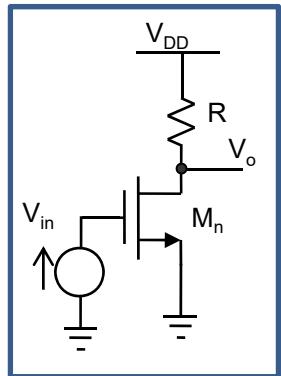
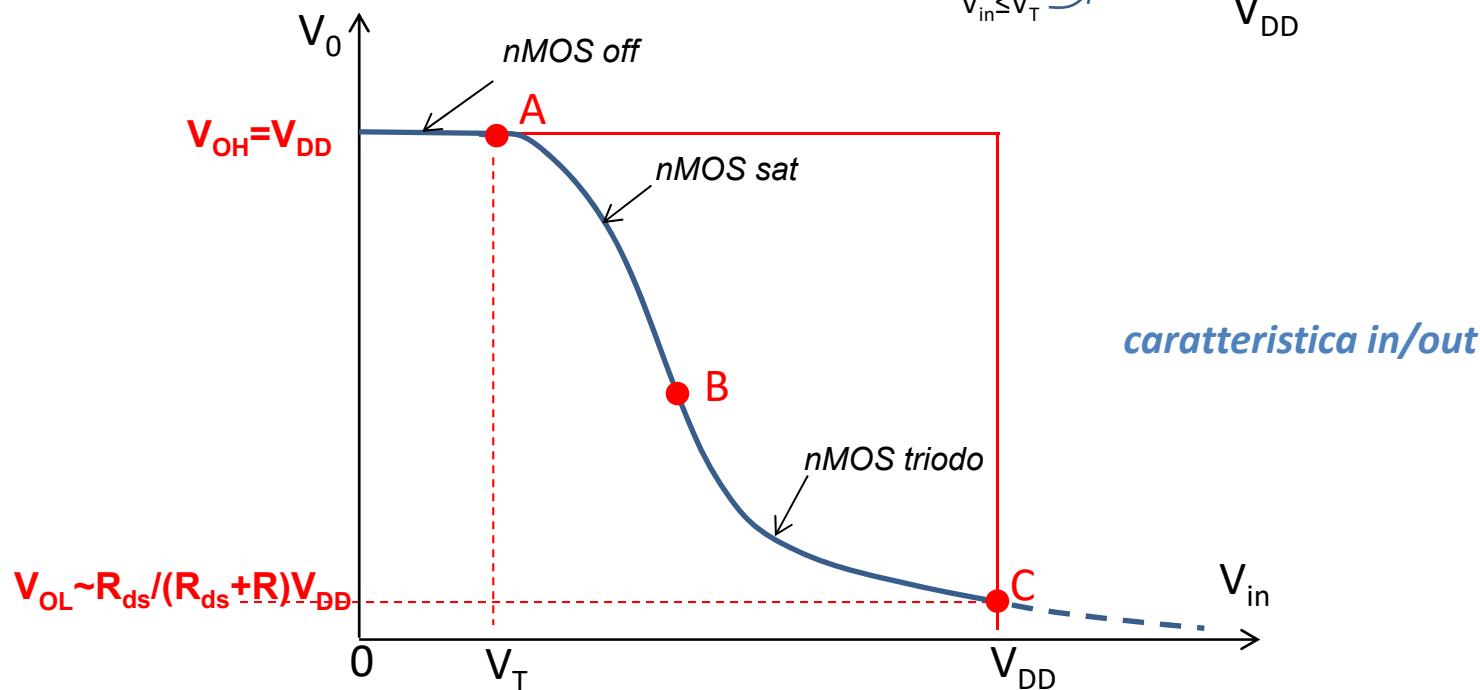
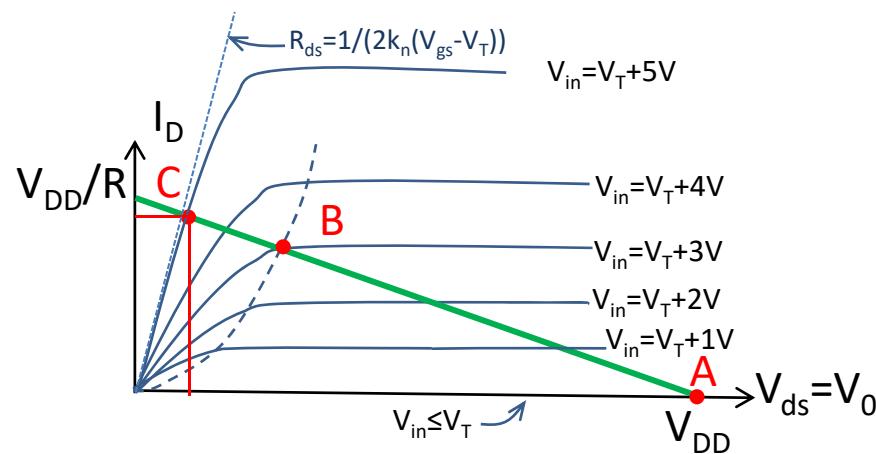


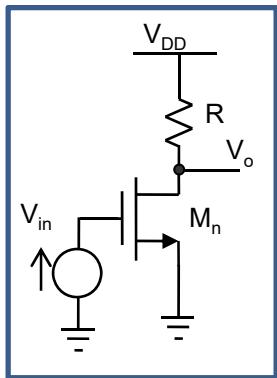
Stadio nMOS+R: costruzione curva caratteristica Vin-Vout



caratteristiche di uscita nMOS + retta di carico

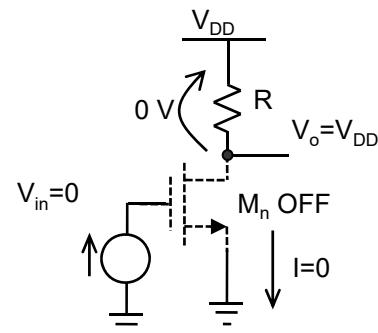


stadio MOS+R come porta logica



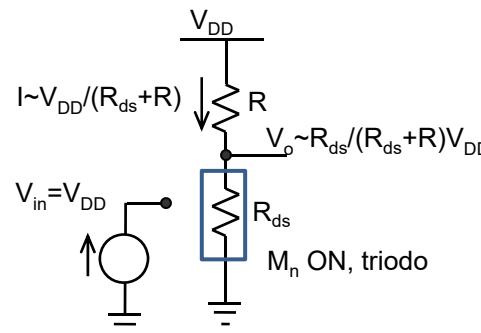
stato «alto»

$$V_{OH} = V_{DD}$$



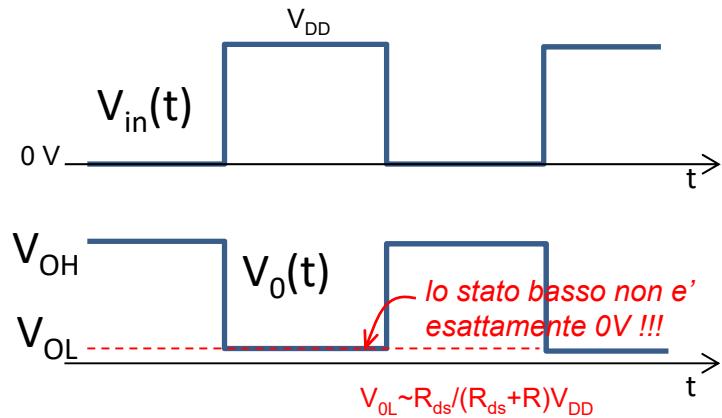
stato «basso»

$$V_{OL} \approx V_{DD} R / (R_{ds} + R) (*)$$



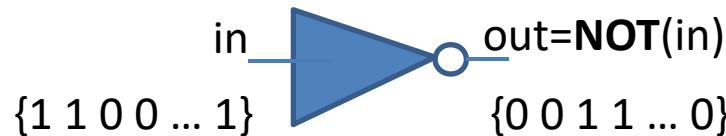
(*) sotto la condizione
 $V_{OL} \ll (V_{gs} - V_T)$, zona ohmica, da
verificare.
Altrimenti si deve risolvere
con l'espressione completa in
zona triodo: $I_{D, \text{triodo}}(V_{gs}, V_{ds})$.

risposta ad un ingresso 0-VDD



nello stato basso si ha corrente non nulla
e quindi dissipazione statica di potenza →

porta logica NOT (inverter)

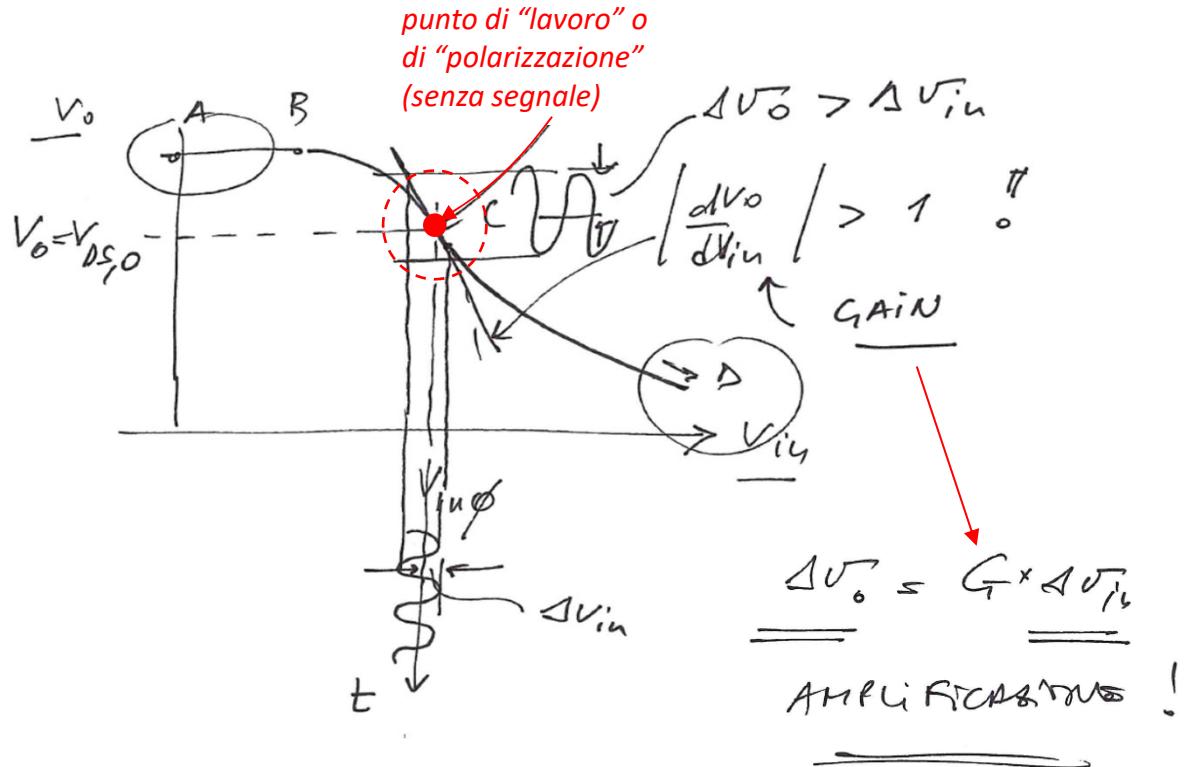
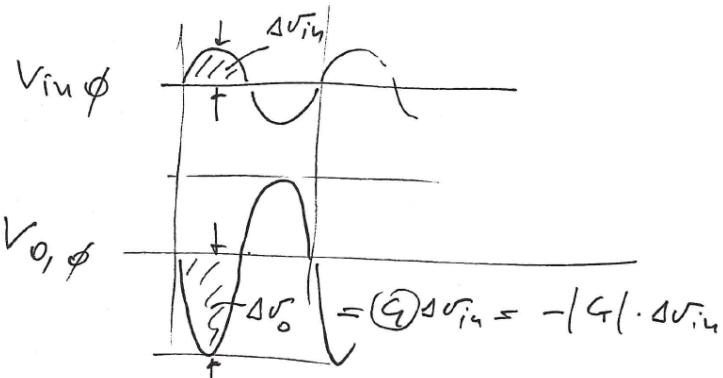
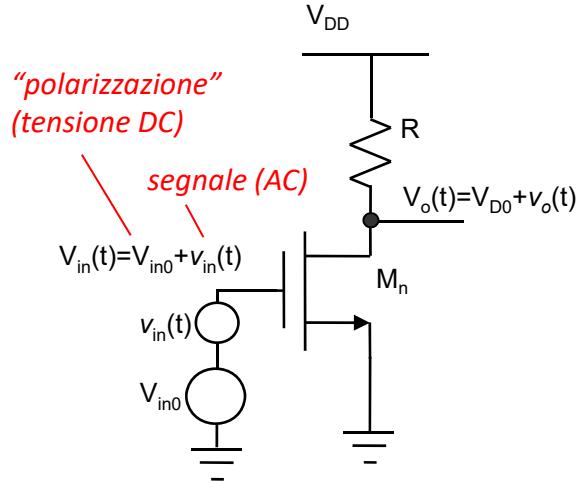


potenza statica dissipata nei due stati

$$P_{diss}(V_o = V_{OH}) = V_{DD} \times I_{DD} = 0$$

$$P_{diss}(V_o = V_{OL}) = V_{DD} \times I_{DD} = \frac{V_{DD} \times V_{DD}}{R_{ds} + R} \neq 0 !!!$$

stadio MOS+R come amplificatore



- caso opposto al precedente: utilizzo la "regione di transizione" invece dei livelli estremi
- "polarizzo" il MOS al centro della caratteristica Vin/Vout (segmento BC, MOS in saturazione, dove la pendenza è alta)
- l'escursione del segnale è tenuta piccola a sufficienza per restringere il punto di lavoro ad un breve tratto, quasi lineare, della curva caratteristica (distorsione NL trascurabile).

stadio MOS+R come amplificatore

Eq. tratto BC (Saturazione):

$$V_o = V_{DD} - Rk (V_{in} - V_T)^2$$

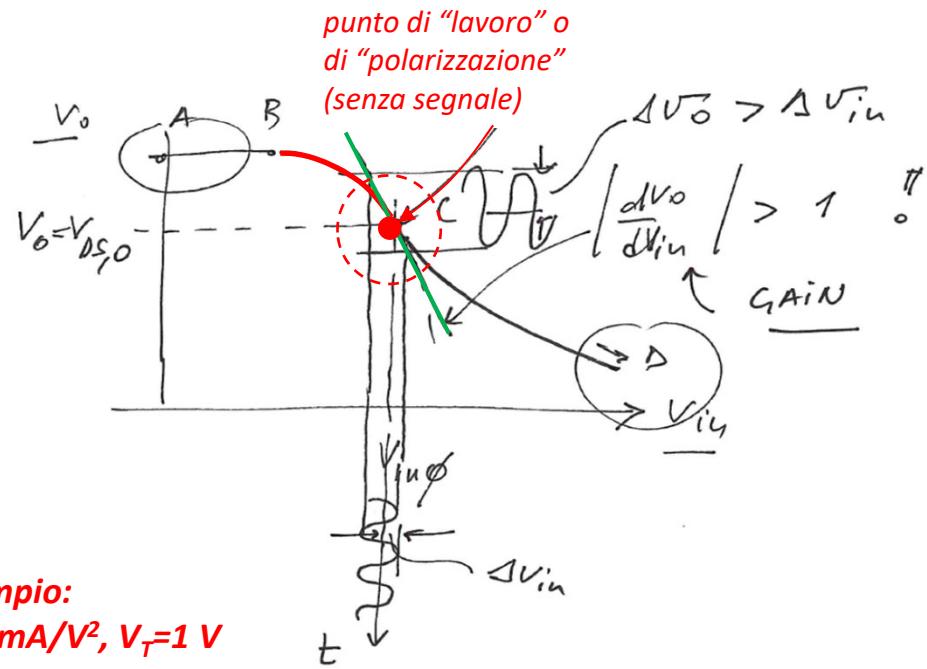
$$\frac{dV_o}{dV_{in}} = -2Rk (V_{in} - V_T)$$

al punto C (massima condensazione):

$$\left. \frac{dV_o}{dV_{in}} \right|_{V_{in}=2.79V} = -2 \times 1.79 = -3.58$$

$$\left| \frac{dV_o}{dV_{in}} \right| > 1!$$

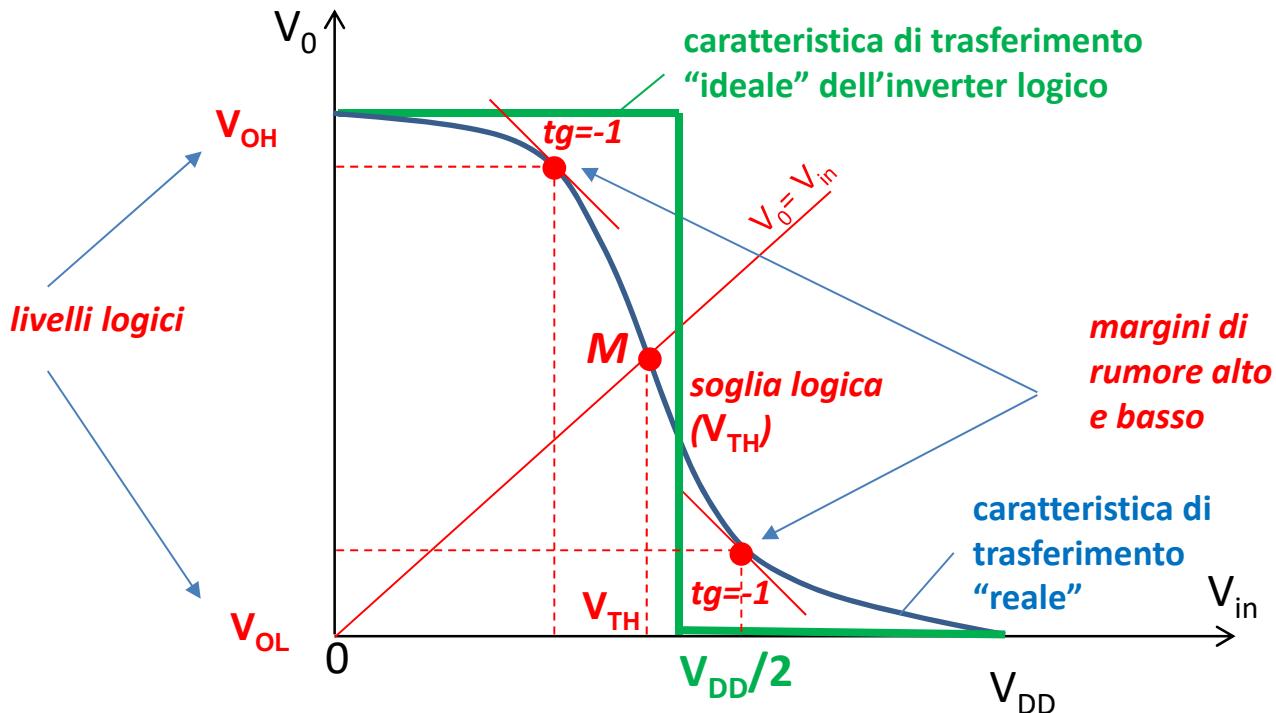
Esempio:
 $k=1 \text{ mA/V}^2$, $V_T=1 \text{ V}$
 $V_{DD}=5 \text{ V}$
 $R=1 \text{ k}\Omega$



calcolo del guadagno per ‘piccoli’ segnali, e.g. approssimazione al prim’ordine della caratteristica in/out (pendenza nel punto di lavoro)

caratteristica di trasferimento statico dell'inverter logico - ideale e reale

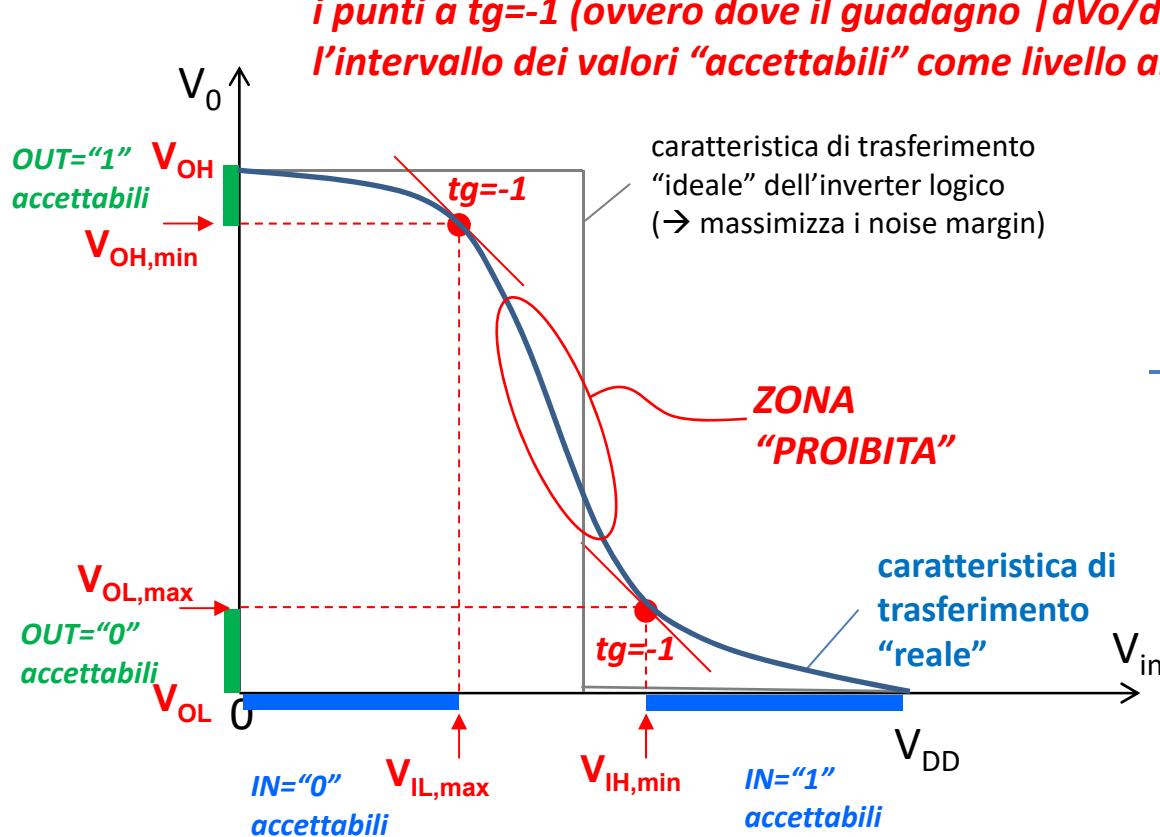
caratteristica in/out di un inverter logico e principali proprietà figure di merito



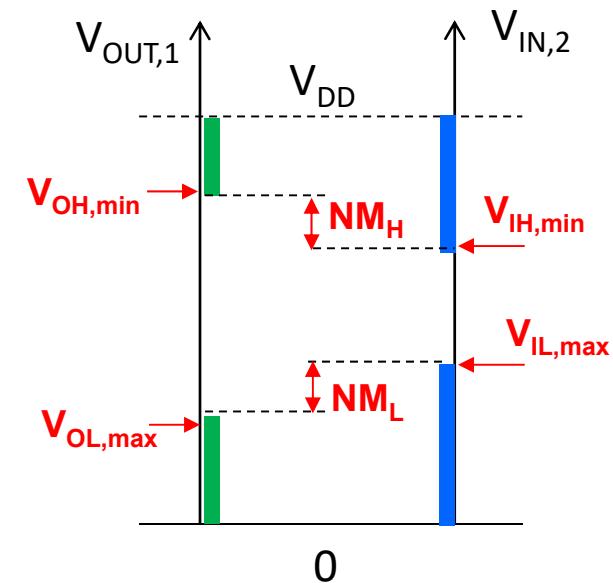
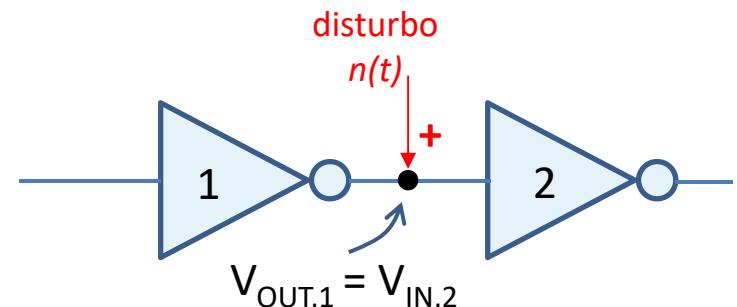
- la migliore caratteristica statica per un inverter logico per il progettista digitale e' quella che massimizza i margini di rumore e massimizza l'intervallo di variazione della V_0 (output swing):
 - $V_{OH}=V_{DD}$
 - $V_{OL}=0$
 - regione di transizione stretta → soglia logica a metà dinamica $V_{DD}/2$ e margini di rumore alto/basso uguali a $V_{DD}/2$ (il massimo possibile)
- Nota: se fosse usato come amplificatore (nella regione di transizione) avrei guadagno infinito ma ampiezza della regione di utilizzo nulla...

caratteristica di trasferimento statico

figura di merito: margine di rumore



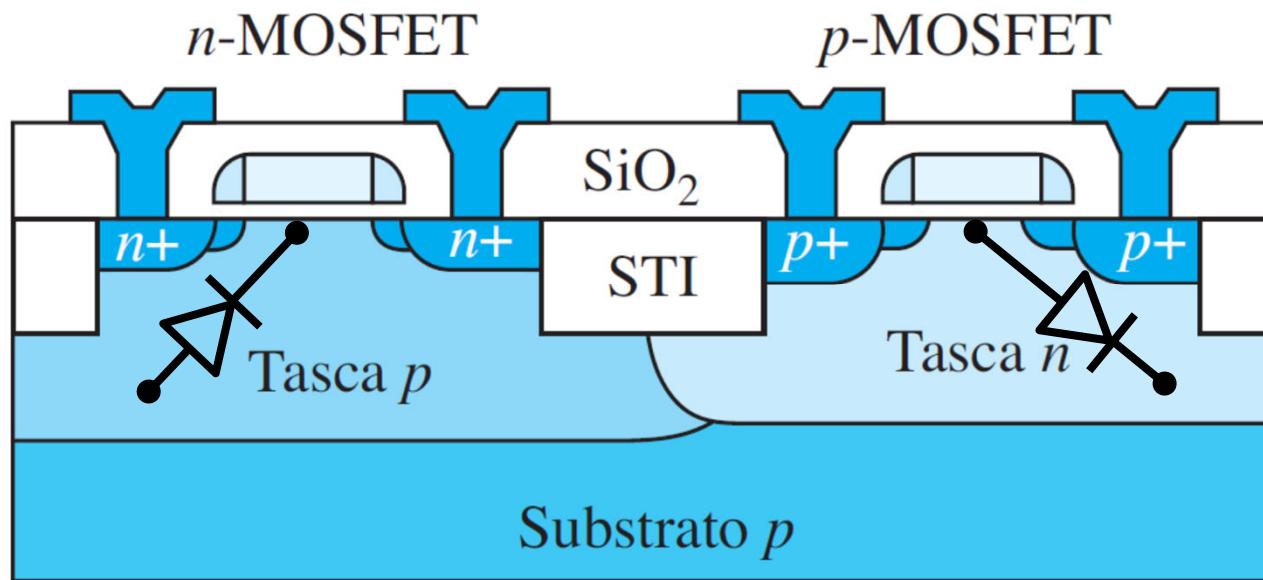
Esempio nel caso di 2 inverter in cascata



- La forma della caratteristica statica in-out determina i **margini di rumore** della porta
- $NM_H = V_{OH,min} - V_{IH,min}$
- $NM_L = V_{IL,max} - V_{OL,max}$

Tecnologia CMOS

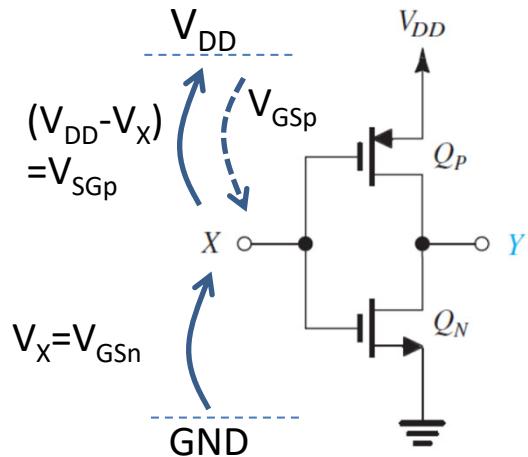
*CMOS (Complementary MOS) technology:
in grado di realizzare entrambi i tipi di transistori MOSFET
sul medesimo substrato di silicio*



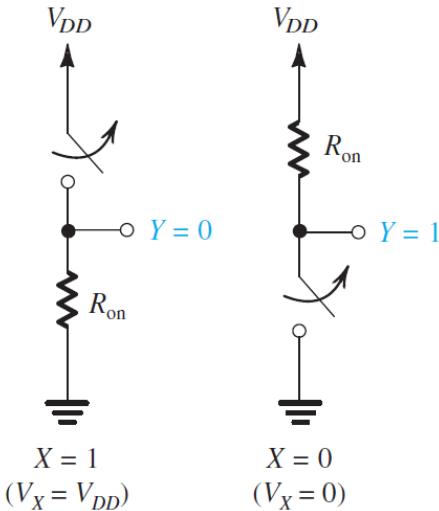
In figura e' mostrato un processo CMOS "a doppia tasca" (double-well)

Nota: per mantenere il diodo body-canale sempre polarizzato inversamente, il body del nMOS e' spesso collegato alla tensione piu' bassa (ad es. GND) del circuito mentre il body del pMOS alla tensione piu' alta (ad es. V_{DD}).

Invertitore CMOS



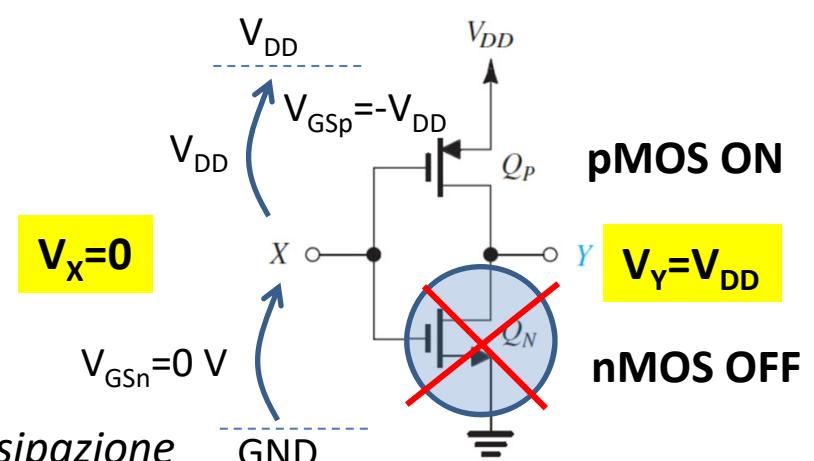
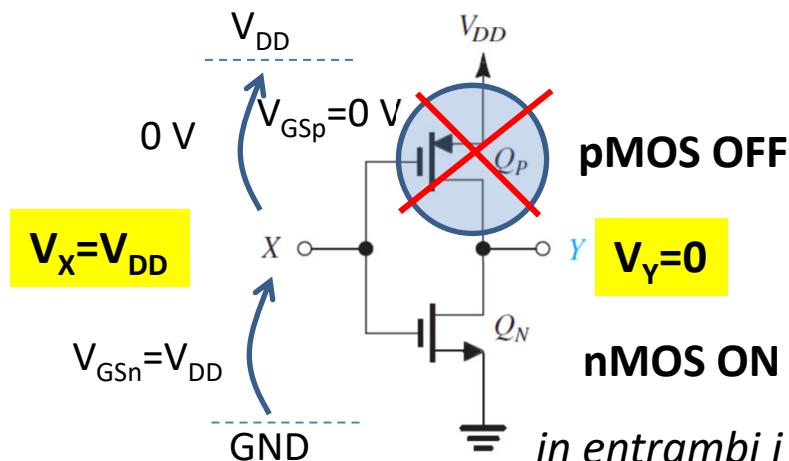
Due "interruttori" comandati dalla stessa V_x



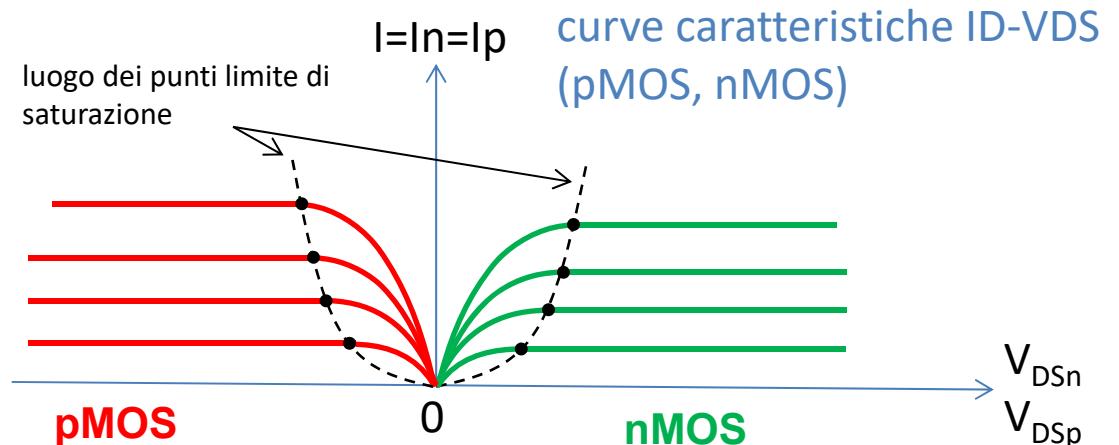
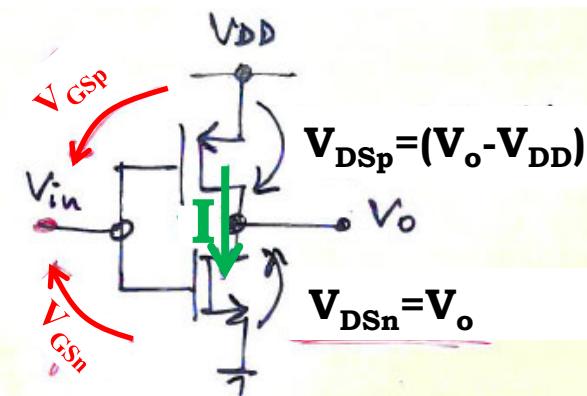
Tensione di comando nMOS: $V_{GSn} = V_{in}$

Tensione di comando pMOS: $|V_{GSp}| = |V_{in} - V_{DD}| = V_{DD} - V_{in}$

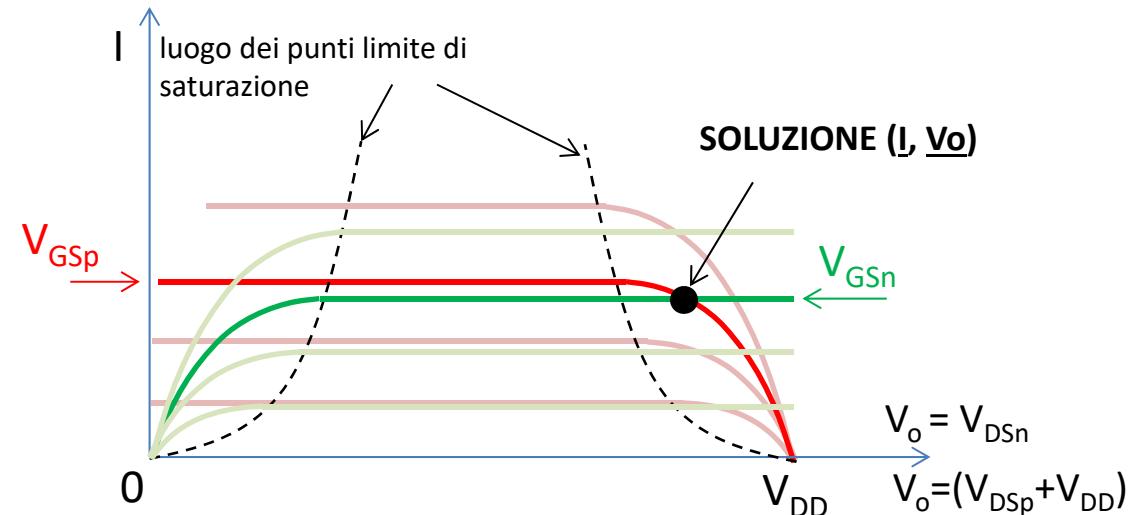
I due transistori ("interruttori") conducono alternativamente



Invertitore CMOS - analisi grafica



- Generiamo ora il grafico corrente-tensione di uscita V_o .
- Il fascio di curve del nMOS rimane invariato essendo $V_{DSn}=V_o$ (vedi sopra).
- Il fascio di curve del pMOS viene traslato di V_{DD} , dato che l'origine delle sue curve e' a $V_{DSP}=(V_o-V_{DD})=0 \rightarrow V_o=V_{DD}$.

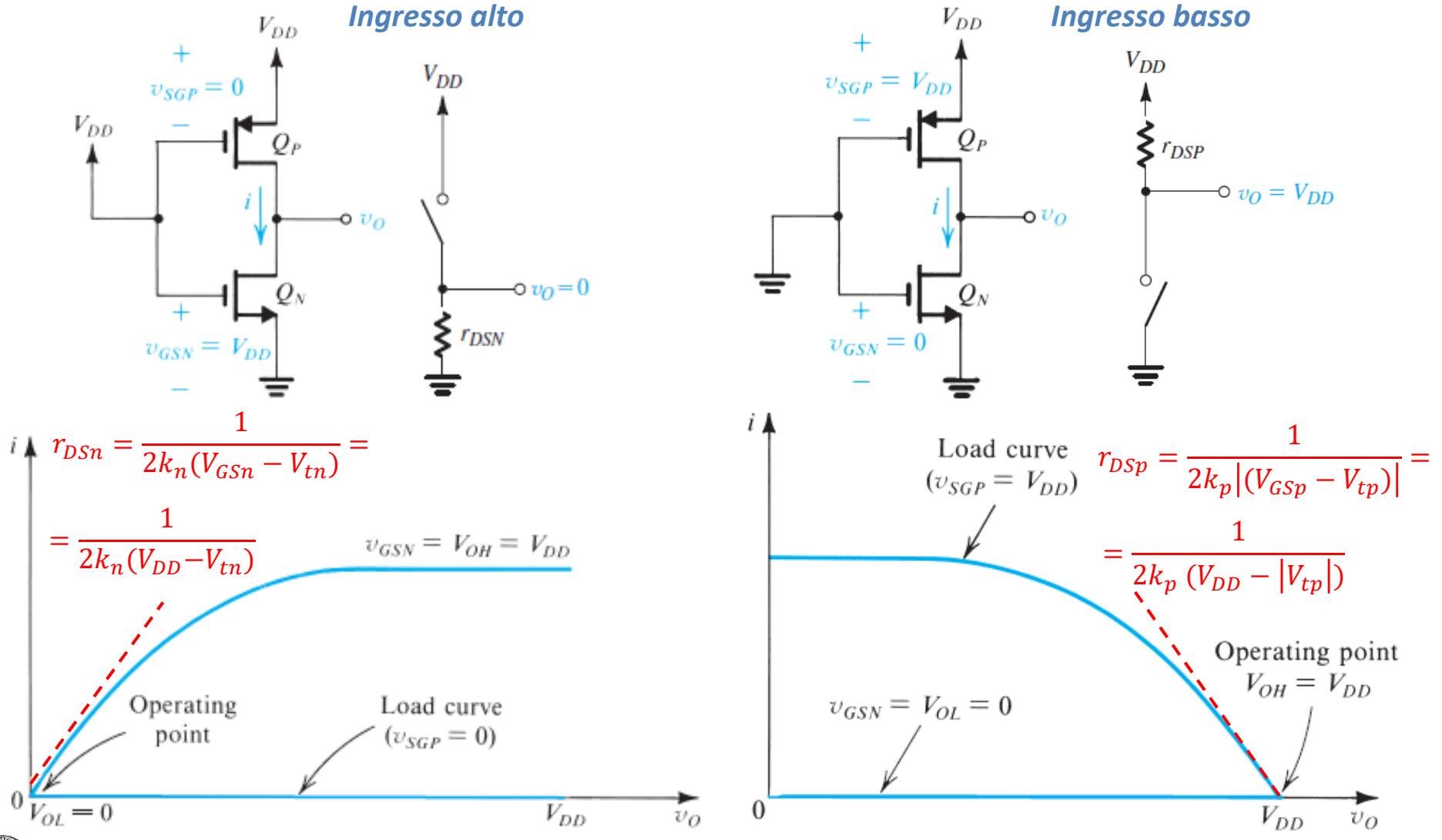


$$V_{GSn} = V_{in}$$

$$V_{GSp} = (V_{in} - V_{DD})$$

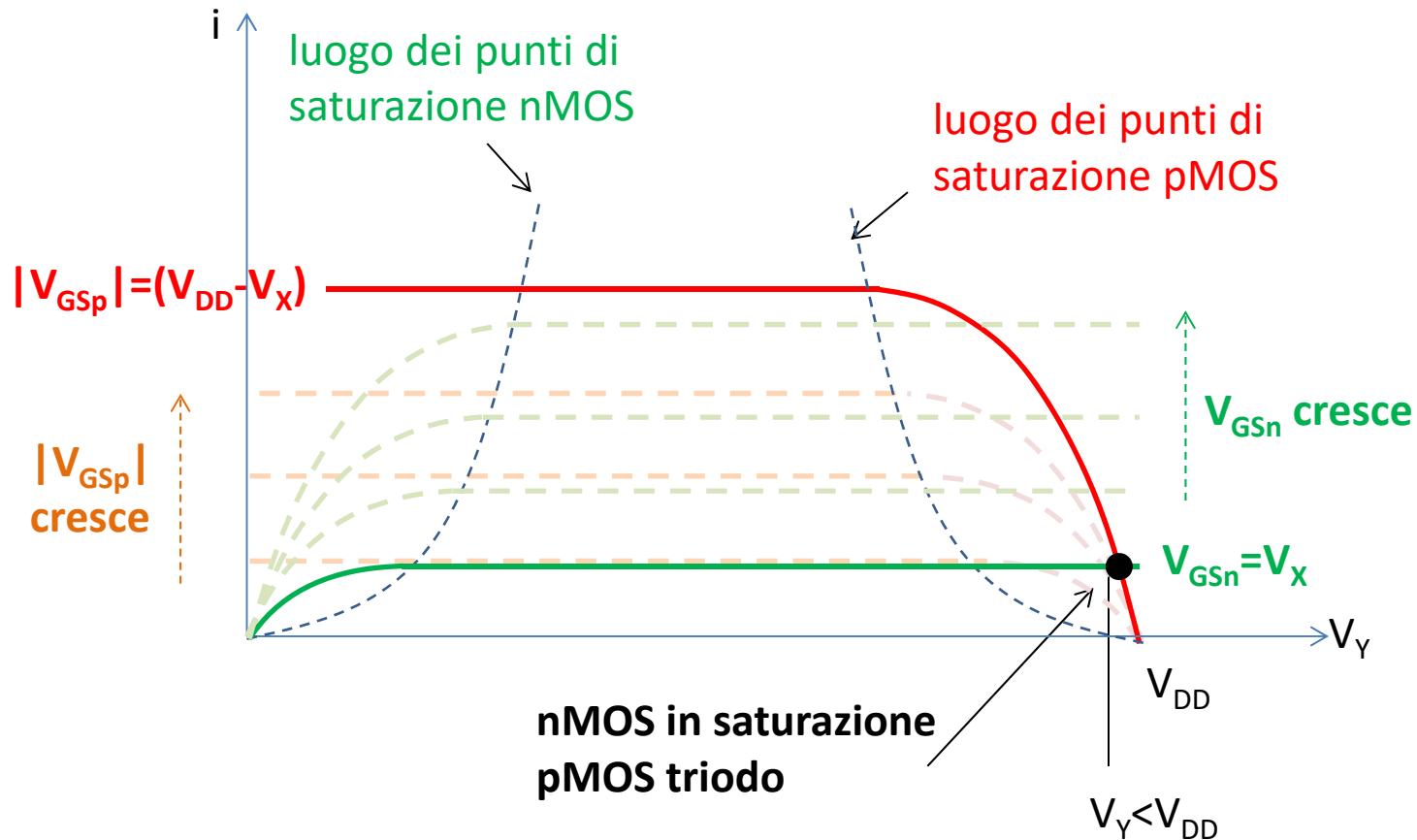
Selezionando la tensione di ingresso V_{in} , vengono fissate entrambe le tensioni di comando dei MOS e quindi una curva per ciascun MOSFET. L'intersezione tra le due curve di nMOS e di pMOS da' la soluzione del circuito. E' analogo alla soluzione grafica del circuito nMOS con carico R, con l'intersezione di una curva del fascio del nMOS e la retta di carico di V_{DD} e R.

Invertitore CMOS - livelli logici



Invertitore CMOS

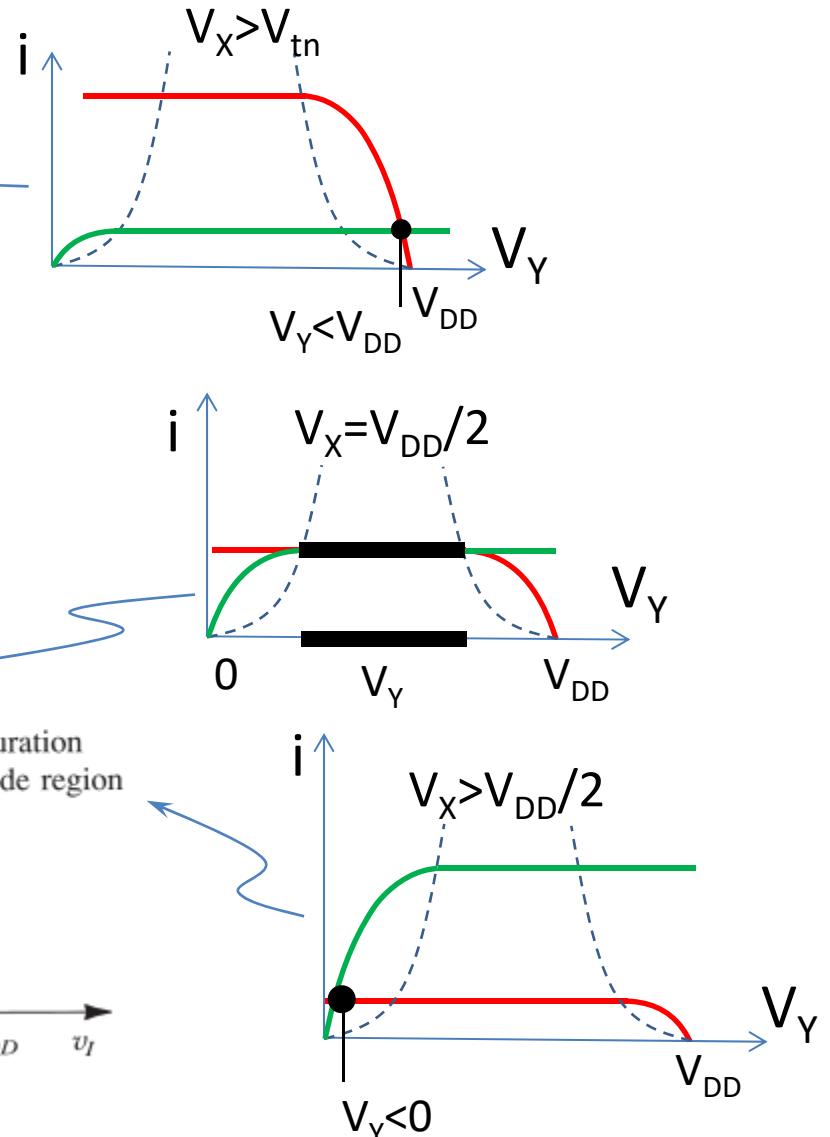
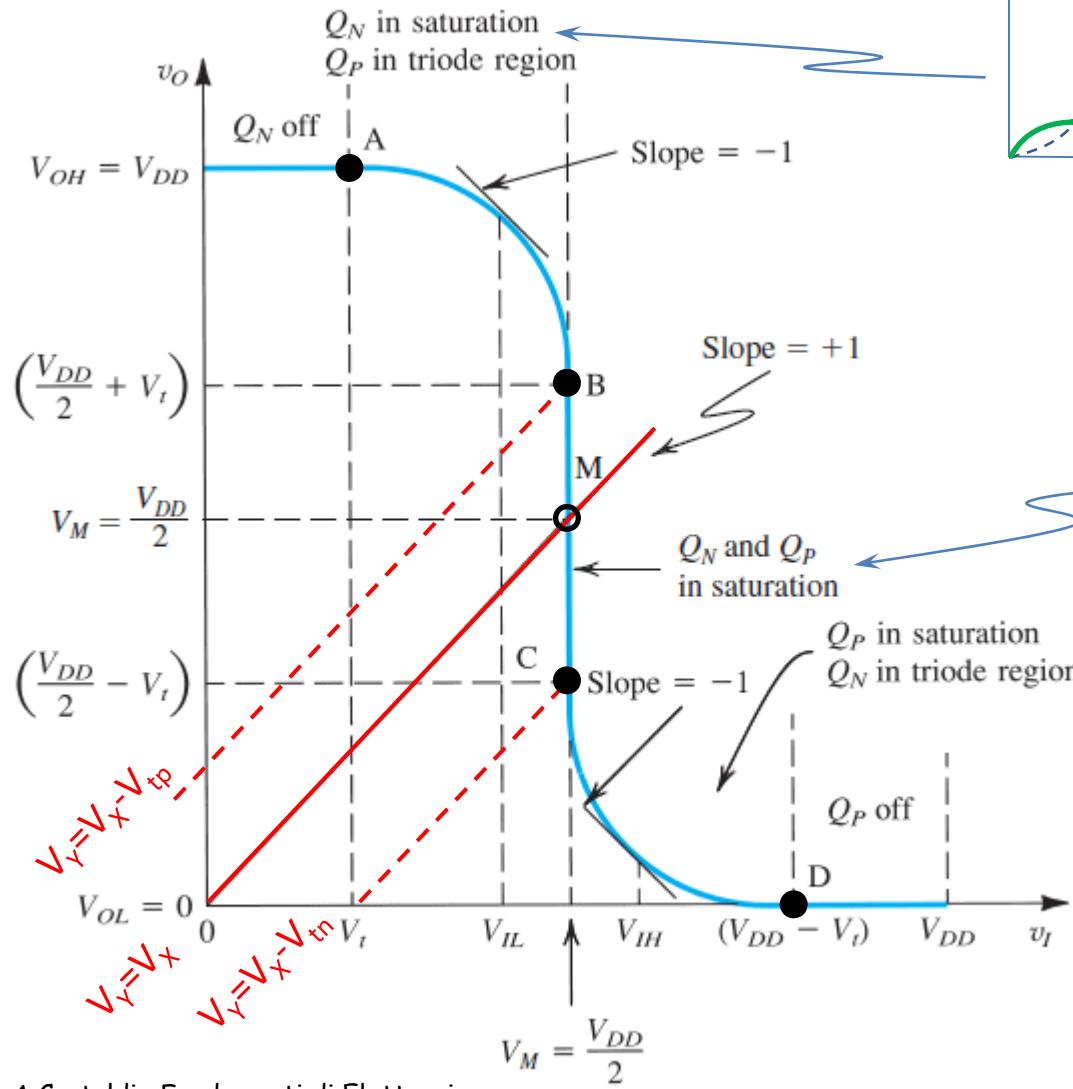
In generale, per $V_x > V_{Tn}$:



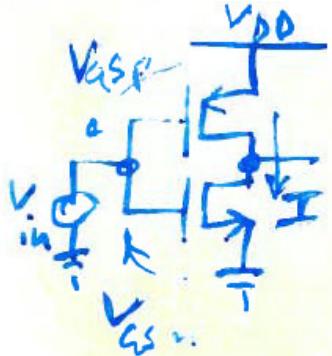
Se V_x supera V_{Tn} , si accende sia l'nMOS (in SAT) sia il pMOS (triodo). All'aumentare di $V_x = V_{GSn}$, per l'nMOS si attiva una curva a piu' alta corrente mentre per il pMOS un curva a minore corrente. Il punto soluzione quindi si sposta da V_{DD} verso zero.

Caratteristica (statica) di trasferimento

Caso Inverter SIMMETRICO ($k_n = k_p$, $V_{tn} = |V_{tp}|$)



Tratto BC - calcolo soglia logica V_M (caso generale)



tratto BC: nMOS e pMOS saturi

$$I = k_n(V_{GSn} - V_{tn})^2 = k_p(V_{GSp} - V_{tp})^2 \quad (\text{KCL al nodo di drain})$$

$$k_n(V_{in} - V_{tn})^2 = k_p(V_{in} - V_{DD} - V_{tp})^2$$

$$\sqrt{k_n} |V_{in} - V_{tn}| = \sqrt{k_p} |V_{in} - V_{DD} - V_{tp}|$$

$$(V_{in} - V_{tn}) > 0 \quad (V_{in} - V_{DD} - V_{tp}) < 0$$

Attenzione : $\text{sqrt}(x^2) = |x|$
Valutare l'argomento del modulo !
Nel tratto BC vale la cond.
 $V_{tn} < V_{in} < V_{DD} - |V_{tp}|$ (cioe'
entrambi i MOS accesi !)

$$\sqrt{k_n} (V_{in} - V_{tn}) = \sqrt{k_p} (-V_{in} + V_{DD} + V_{tp})$$

$$\sqrt{k_n} (V_{in} - V_{tn}) = \sqrt{k_p} (-V_{in} + V_{DD} - |V_{tp}|)$$

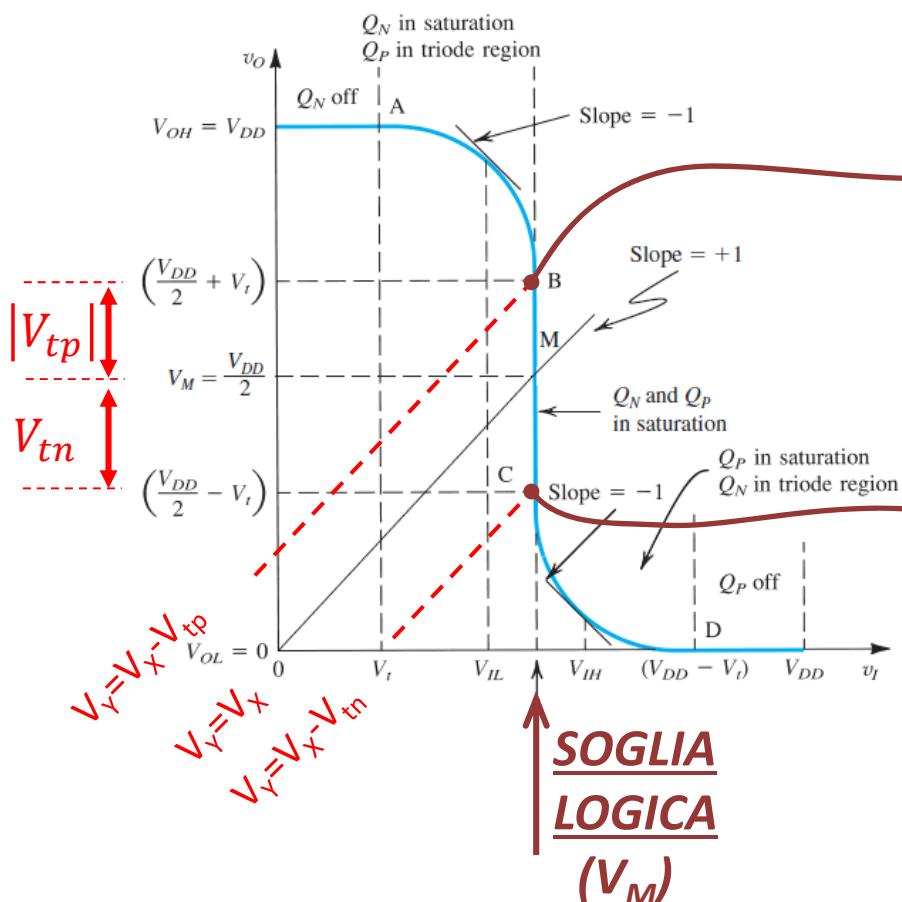
equazione 1° grado in V_{in} : di qui si ricava V_{in} , ovvero la soglia logica, nel caso generale

Caso
particolare
inverter
simmetrico

$$\begin{cases} k_n = k_p = k \\ V_{tn} = |V_{tp}| = V_t \end{cases} \quad \begin{aligned} \sqrt{k} (V_{in} - V_t) &= \sqrt{k} (-V_{in} + V_{DD} - V_t) \\ (V_{in} - V_t) &= (-V_{in} + V_{DD} - V_t) \end{aligned}$$

$$\rightarrow V_M = \frac{V_{DD}}{2} \quad \begin{aligned} &\text{SOGLIA LOGICA} \\ &(\text{solo per inverter simmetrico}) \end{aligned}$$

Tratto BC - calcolo estremi B,C



per l'inverter simmetrico (rappresentato in figura) i segmenti MB e MC sono lunghi uguali ($=V_t$), altrimenti dalle relazioni a fianco si trovano le lunghezze $MB=|V_{tp}|$ e $MC=V_{tn}$ nel caso generale.

Punto B:
pMOS passa da TRIODO \rightarrow SAT

$$V_{DSp} = (V_{GSp} - V_{tp})$$

$$(V_Y - V_{DD}) = (V_X - V_{DD} - V_{tp})$$

$$\rightarrow V_Y = (V_X - V_{tp})$$

quindi per $V_X=VM$ (alla SOGLIA LOGICA):

$$V_{Y|punto\ B} = V_M - V_{Tp} = (V_M + |V_{Tp}|)$$

Punto C:
nMOS passa da SAT \rightarrow TRIODO

$$V_{DSn} = (V_{GSn} - V_{tn})$$

$$V_Y = (V_X - V_{tn})$$

$$\rightarrow V_Y = (V_X - V_{tn})$$

quindi per $V_X=VM$ (alla SOGLIA LOGICA):

$$V_{Y|punto\ C} = V_M - V_{Tn}$$

Inverter NON simmetrico

In generale ($k_n \neq k_p$, $V_{Tn} \neq |V_{Tp}|$)

$$k_n = \frac{1}{2}(\mu_n C_{ox})(W/L)_n$$

Quindi per avere $k_n=k_p$

$$k_p = \frac{1}{2}(\mu_p C_{ox})(W/L)_p$$

$$\frac{(W/L)_p}{(W/L)_n} = \frac{\mu_n}{\mu_p} \cong 3$$

cioe' il pMOS deve avere larghezza 3x del nMOS !!!

**INVERTER
SIMMETRICO**

$$k_n = k_p$$

$$\frac{(W/L)_p}{(W/L)_n} \cong 3$$



**INVERTER
AREA MINIMA**

$$k_n \sim 3 * k_p$$

$$\frac{(W/L)_p}{(W/L)_n} = 1$$

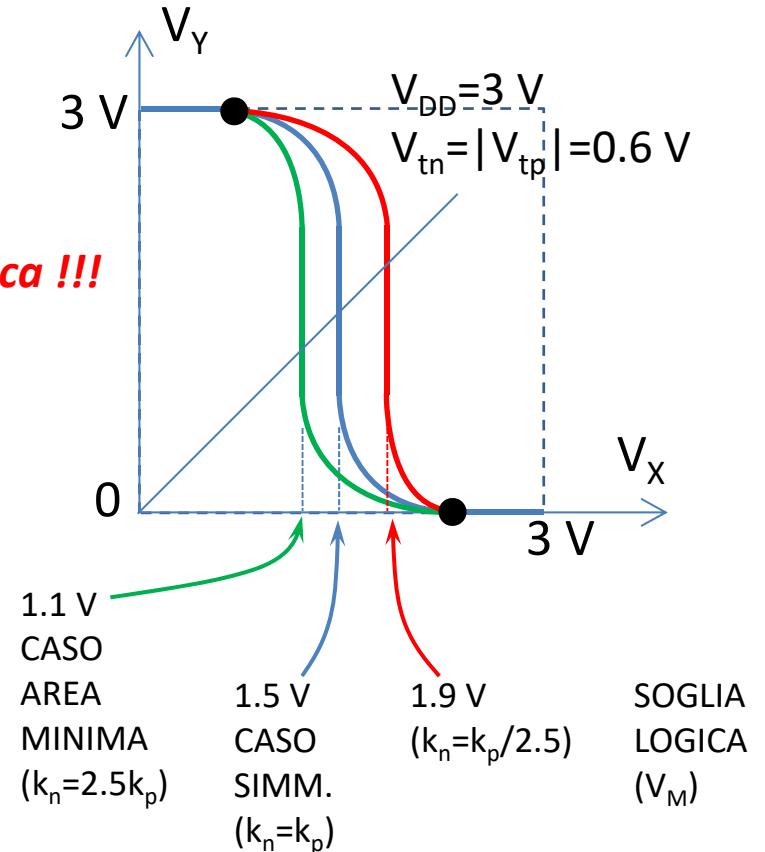


→ Caratt. in/out non piu' simmetrica !!!

Risolvendo l'equazione del tratto BC nel caso generale
($k_n \neq k_p$, $V_{Tn} \neq |V_{Tp}|$) --- vedi precedente slide --- si ottiene:

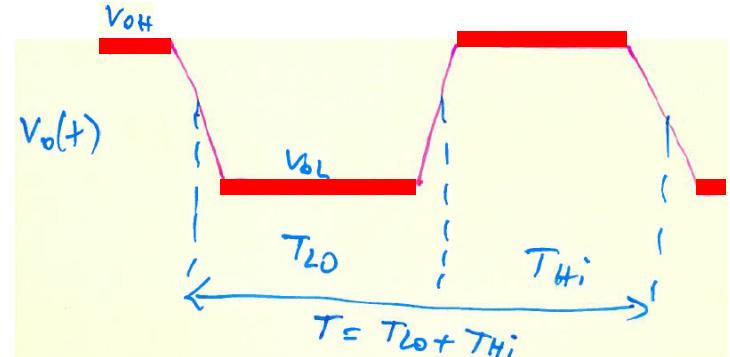
$$V_M = V_{X,soglia} = \frac{\sqrt{k_n/k_p} V_{tn} + V_{DD} - |V_{tp}|}{\sqrt{k_n/k_p} + 1}$$

NOTA: La distorsione della caratteristica in/out porta ad una asimmetria anche nei MARGINI DI RUMORE



Dissipazione di Potenza: statica e dinamica

$$\langle P \rangle_T = P_{\text{STATIC}}^{\text{(DC)}} + \underbrace{P_{\text{cross-}}}_{\text{Dynamic}} + P_{\text{CAP}}$$



$$P_{\text{STATIC}} = \frac{E_{L0} + E_{H1}}{T}$$

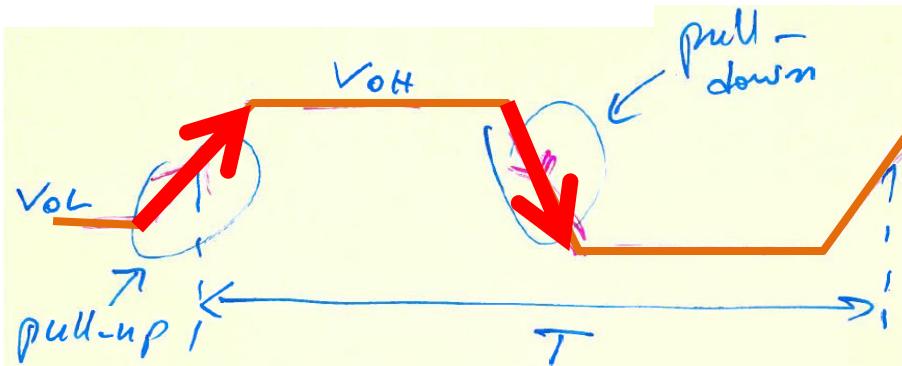
- **CMOS inverter:**
 - $I_{L0} = I_{H1} = 0$ (no static dissipation)
- **(nMOS+R) inverter:**
 - $I_{L0} \sim V_{DD}/R, I_{H1}=0$
 - $P_{\text{static}} = V_{DD}^2/R * (T_{L0}/T_{L0} + T_{H1})$

- $E_{L0} = \int p_{i_{L0}}(t) dt = \int V_{DD} i_{L0}(t) dt =$
 $= V_{DD} \left[\frac{1}{T_{L0}} \int_{T_{L0}}^{T_{L0}} i_{L0}(t) dt \right] T_{L0} = V_{DD} \cdot I_{L0} \cdot T_{L0}$
 $\underbrace{I_{L0} = \langle i_{L0} \rangle}_{I_{L0}}$
- $E_{H1} = V_{DD} \cdot I_{H1} \cdot T_{H1};$

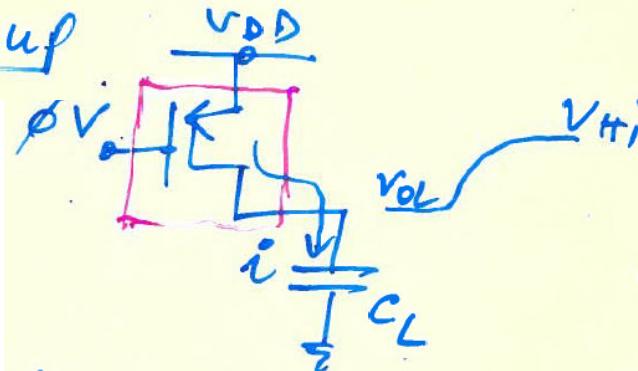
$$\Rightarrow P_{\text{STATIC}} = V_{DD} \cdot \frac{I_{L0} T_{L0} + I_{H1} T_{H1}}{T_{L0} + T_{H1}}$$

Per $T_{L0} = T_{H1} = \frac{1}{2} T$ → $P_{\text{STATIC}} = V_{DD} \left(\frac{I_{L0} + I_{H1}}{2} \right)$

Dissipazione di potenza dinamica #1: P_{CAP}

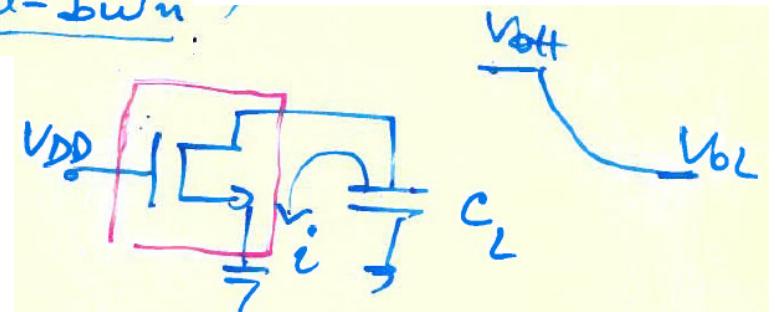


- Pull-up



$$\Delta Q = \int_L H i dt = C (V_{DD} - V_{OL})$$

- Pull-down



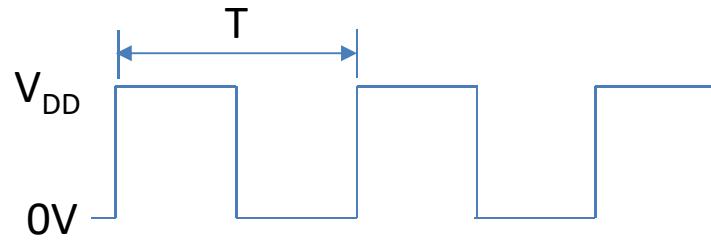
$$\Delta Q = \int_H L i dt = C (V_{OL} - V_{DD})$$

During 1 period T , ΔQ is "moved" from V_{DD} to GND

$$\rightarrow \langle i_{DD} \rangle = \frac{\Delta Q}{T} = \frac{C (V_{DD} - V_{OL})}{T} \quad (\text{av. current from } V_{DD} \text{ to GND})$$

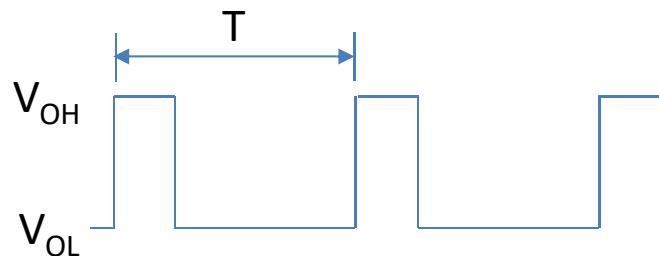
$$\rightarrow P_{CAP} = V_{DD} \langle i_{DD} \rangle = f C (V_{DD} - V_{OL}) \cdot V_{DD}$$

Dissipazione di Potenza dinamica P_{CAP} esempi



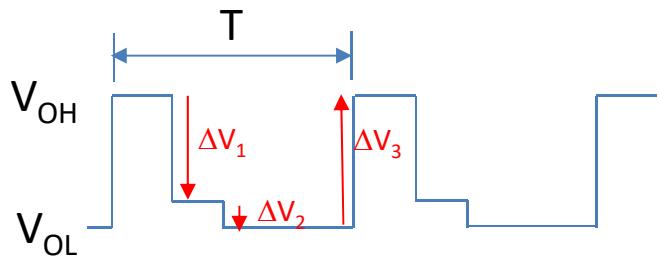
CMOS inverter

$$V_{OL}=0, V_{OH}=V_{DD}; \\ \rightarrow P_{CAP}=f*C*V_{DD}^2$$



$$\rightarrow P_{CAP}=f*C*(V_{OH}-V_{OL})*V_{DD}$$

charge is moved from V_{OL} to V_{OH} and back to V_{OL} only once. Average current in period not sensitive to duty cycle !

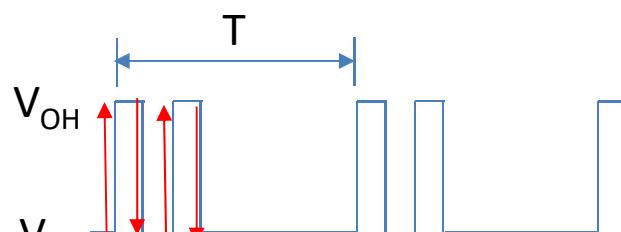


$$\Delta Q_{HL}=C \Delta V_1 + C \Delta V_2 = C*(V_{OH}-V_{OL}) \text{ (moved from } C \text{ to gnd)}$$

$$\Delta Q_{LH}=C \Delta V_3 = C*(V_{OH}-V_{OL}) \text{ (moved from } V_{DD} \text{ to } C)$$

$$\rightarrow P_{CAP}=f*C*(V_{OH}-V_{OL})*V_{DD}$$

Not sensitive to intermediate step



$$\Delta Q_{HL}=\Delta Q_{LH}=2*C*(V_{OH}-V_{OL})$$

$$\rightarrow P_{CAP}=2*f*C*(V_{OH}-V_{OL})*V_{DD}$$

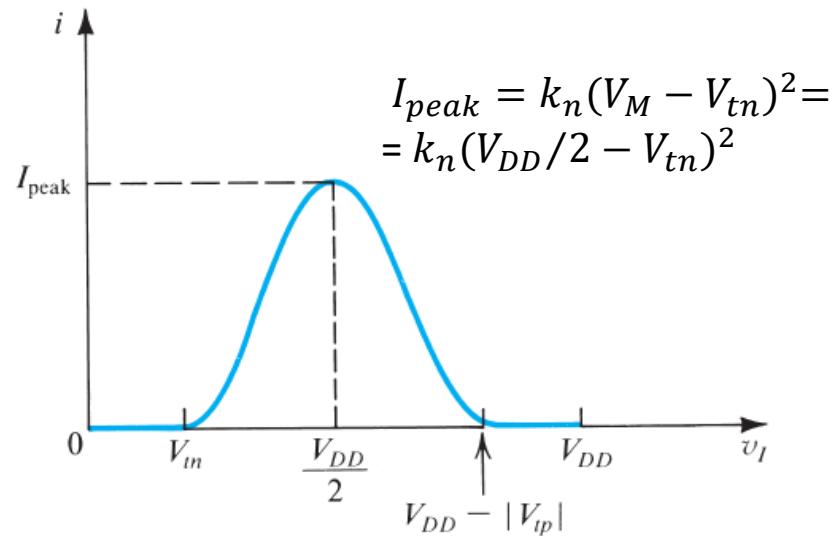
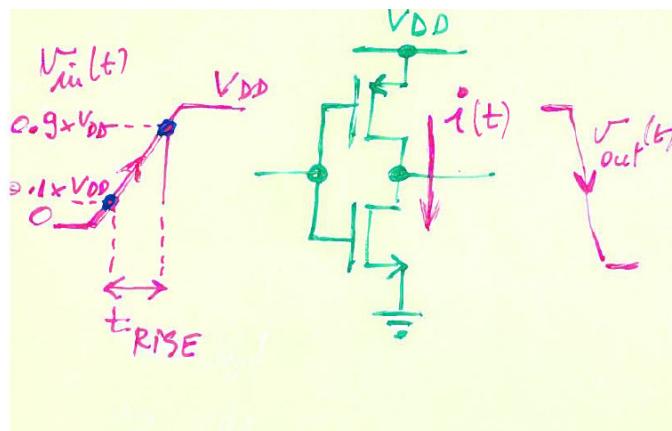
Cap charged from V_{OL} to V_{OH} and back to V_{OL} twice.

Dissipazione di potenza dinamica #2: P cross-conduzione

Un'altra componente della potenza dinamica dissipata dall'inverter CMOS e' dovuta alla corrente che fluisce tra VDD e GND (attraverso il pMOS e l'nMOS).

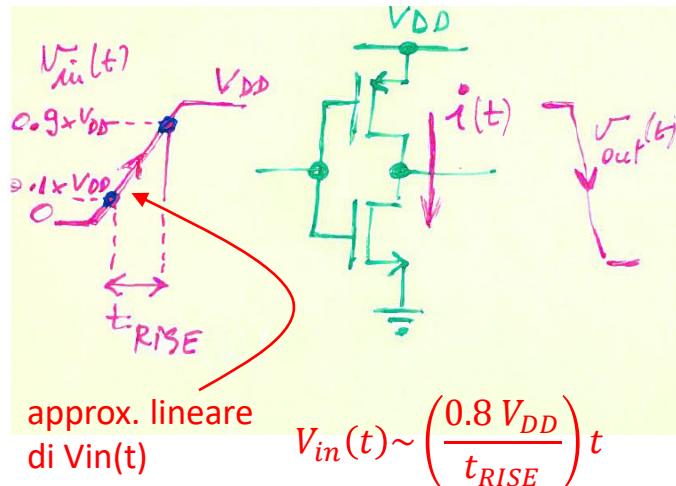
Tale corrente, detta di cross-conduzione, scorre durante la transizione della tensione di ingresso Vin e perciò si dissipà energia in ciascuna transizione.

La corrente che scorre attraverso l'inverter in funzione della tensione di ingresso $V_{in} = V_{gsn}$ e' mostrata in figura, per il caso di inverter simmetrico (tensione di soglia $V_M = V_{DD}/2$).



Per trovare l'andamento della corrente in funzione del tempo (legato alla potenza erogata da VDD) dobbiamo avere la relazione che lega V_{in} al tempo. Assumendo (come in figura) che V_{in} vari linearmente con t da 0 a V_{DD} , possiamo semplificare i conti, la forma del grafico di corrente vs. il tempo rimane lo stesso (V_{in} e t sono proporzionali).

P cross-conduzione: stima

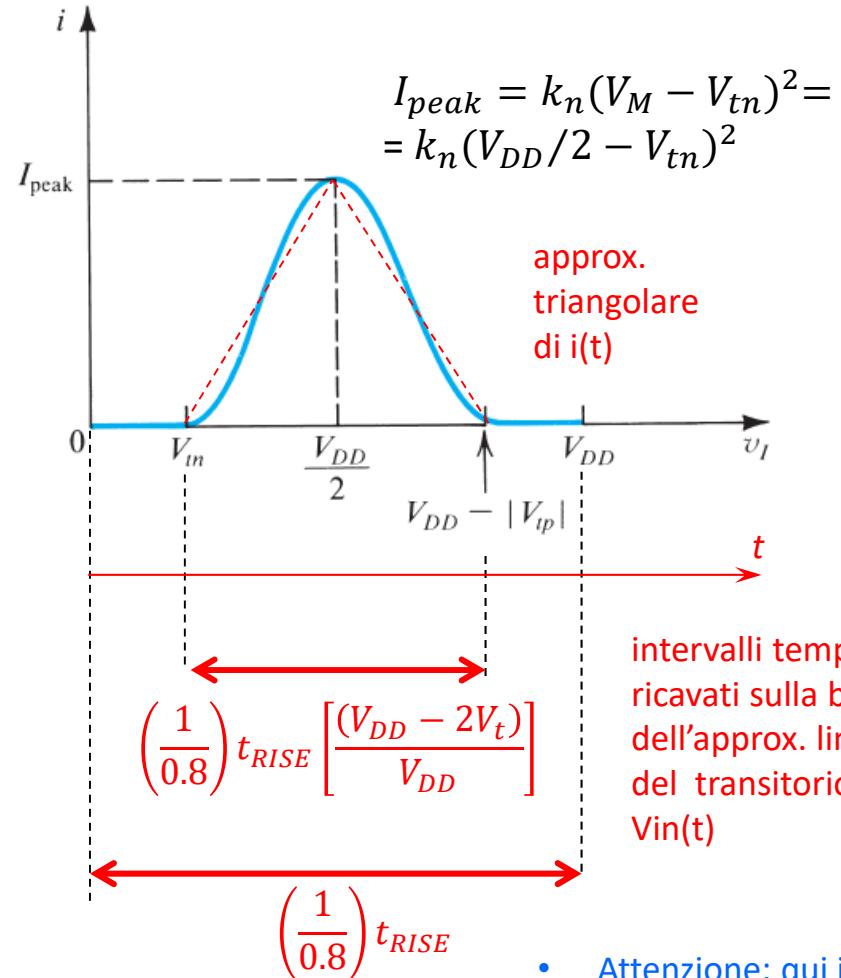


$$\begin{aligned} E_{CROSS-COND} &= \int_{t_{RISE}} p(t) dt = \int_{t_{RISE}} V_{DD} i(t) dt \cong \\ &\cong V_{DD} \left\{ \frac{1}{2} \cdot \left(\frac{1}{0.8} \right) t_{RISE} \left[\frac{(V_{DD} - 2V_t)}{V_{DD}} \right] \cdot I_{peak} \right\} \end{aligned}$$

approx. area del triangolo di $i(t)$

$$\begin{aligned} P_{CROSS-COND} &= 2 \cdot E_{CROSS-COND} \cdot f_{ck} \cong \\ &\cong 2 \cdot \frac{1}{2} \cdot \left(\frac{1}{0.8} \right) t_{RISE} (V_{DD} - 2V_t) \cdot I_{peak} \cdot f_{ck} \end{aligned}$$

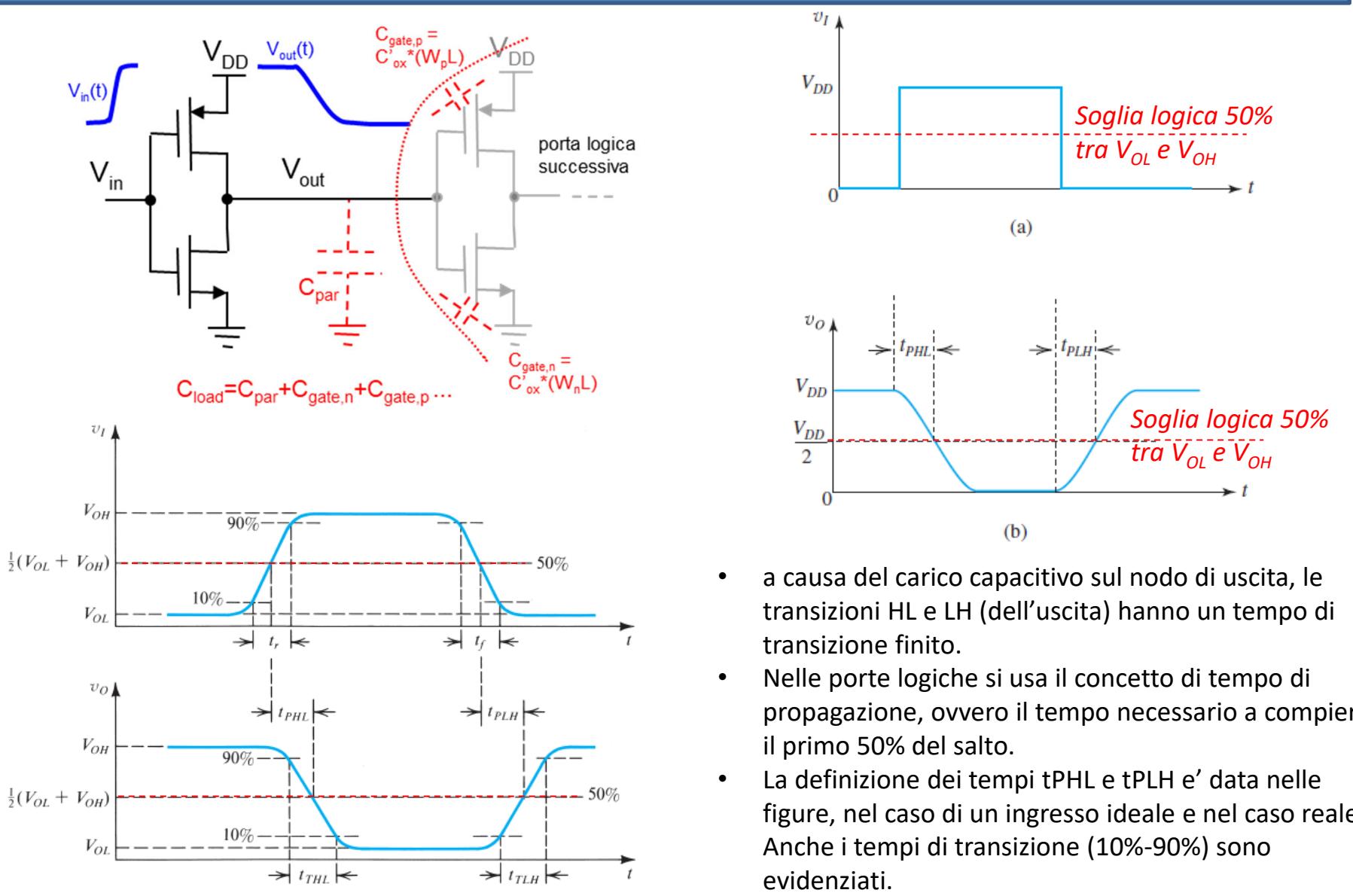
2 transizioni ogni periodo



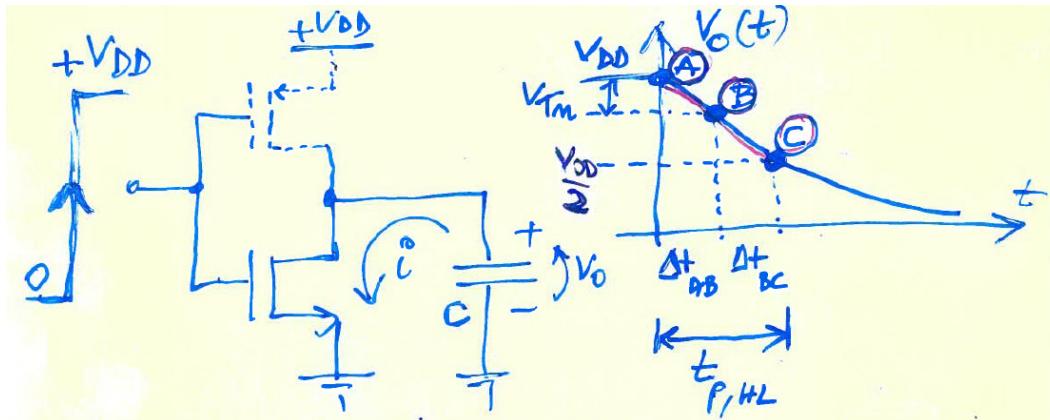
intervalli temporali ricavati sulla base dell'approx. lineare del transitorio di $V_{in}(t)$

- Attenzione: qui il t_{RISE} e' della V_{in} , non della V_{out} ! (potrebbero essere diversi)
- Ad es. per V_{in} a gradino ($t_{RISE} \approx 0$) $\rightarrow P_{CROSS-COND} = 0$!

Tempo di propagazione (o di ritardo)



Calcolo Tprop H \rightarrow L



metodo generale di calcolo $V_0(t)$:

$$i(V_0) = C \frac{dV_0}{dt}$$

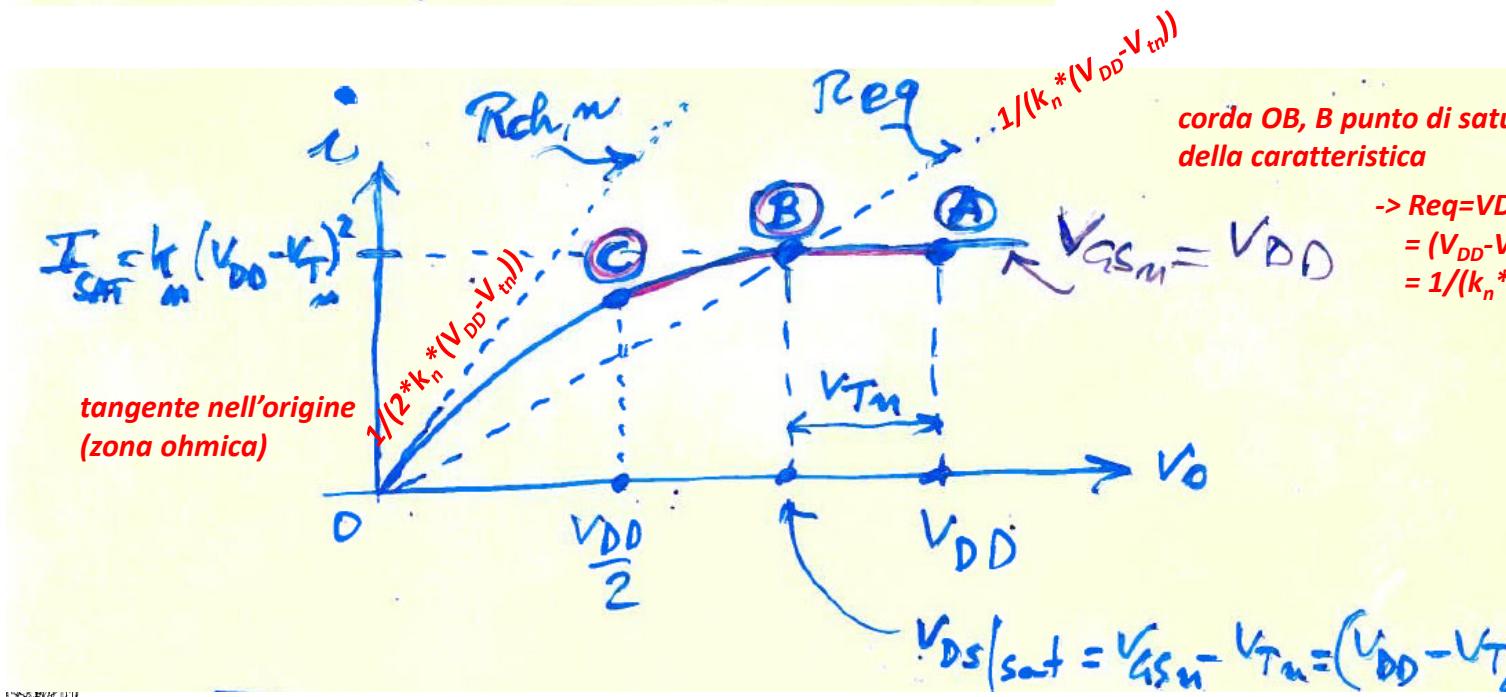
si integra l'equazione nel
tratto AB e BC, ovvero
per V_0 che varia tra
 $VDD/2$ e VDD

tratto AB

$$i = I_{D,sat} = \text{cost.}$$

tratto BC

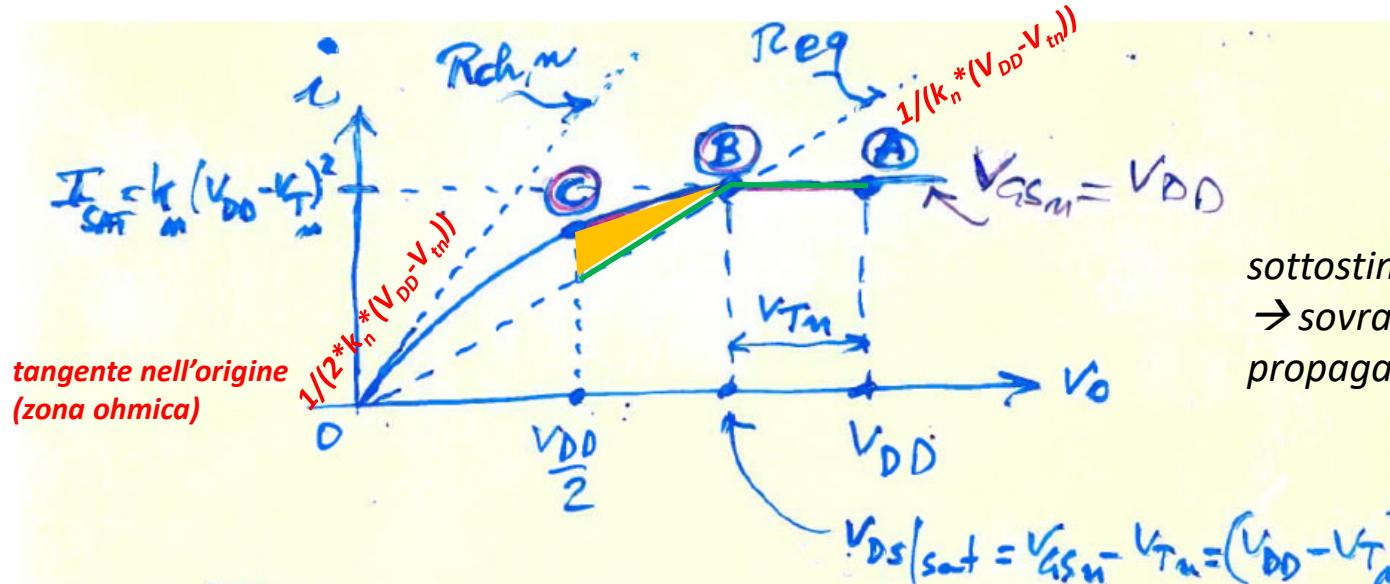
$$i(V_0) = I_{D,triodo} = 2k \left[(V_{DD} - V_{Tn})V_0 - \frac{1}{2}V_0^2 \right]$$



corda OB, B punto di saturazione
della caratteristica

$$\begin{aligned} \rightarrow & \text{Req} = V_{DS,sat} / I_{D,sat} = \\ & = (V_{DD} - V_{Tn}) / [k_n * (V_{DD} - V_{Tn})^2] = \\ & = 1 / (k_n * (V_{DD} - V_{Tn})) \end{aligned}$$

#1-Tprop H \rightarrow L approx. per eccesso



Tratto AB: qui si puo' fare il conto esatto

$$i(t) = I_{DSAT} \cdot \text{costante!}$$

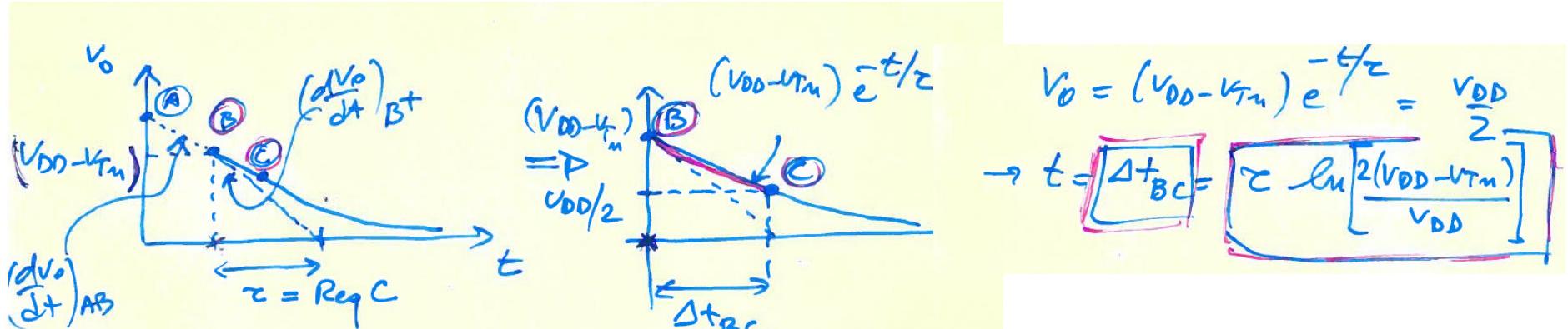
$$\Rightarrow \boxed{\Delta t_{AB}} = \frac{\Delta V_D}{I_{DSAT}} = \boxed{C \frac{V_{Tn}}{k_m (V_{DD} - V_{Tn})^2}}$$

Tratto BC: utilizziamo l'approssimazione della corda OB, corrispondente alla resistenza equivalente R_{eq} (2 volte la resistenza in zona ohmica, R_{ch})

$$\frac{\text{Tratto BC}}{R_{eq}} = \frac{V_{DSsat}}{I_{DSAT}} = \frac{(V_{DD} - V_{Tn})}{k_m (V_{DD} - V_{Tn})^2} = \frac{1}{k_m (V_{DD} - V_{Tn})} = 2R_{ch}$$

→ PROBLEMA EQUIV. SCARICA CIRCUITO RC.

#1-Tprop H \rightarrow L approx. per eccesso



$$V_o = (V_{DD} - V_{Tn}) e^{-t/\tau} = \frac{V_{DD}}{2}$$

$$\rightarrow t = \boxed{\Delta t_{BC}} = \boxed{\tau \cdot \ln \left[\frac{2(V_{DD} - V_{Tn})}{V_{DD}} \right]}$$

clock derivata in B^- e B^+ :

$$\left(\frac{d(V_o)}{dt} \right)_B^- = \frac{I_{DSAT}}{C} = \frac{k (V_{DD} - V_{Tn})^2}{C} \quad \text{ok}$$

$$\left(\frac{d(V_o)}{dt} \right)_{B^+} = \frac{(V_{DD} - V_{Tn})}{\tau} = \frac{(V_{DD} - V_{Tn})}{\left(\frac{1}{k(V_{DD} - V_{Tn})} \right) C} = \frac{k(V_{DD} - V_{Tn})^2}{C}$$

$$\Rightarrow \boxed{\Delta t_{P,H_L}} = \boxed{\Delta t_{AB} + \Delta t_{BC}} = C \frac{V_{Tn}}{k(V_{DD} - V_{Tn})^2} + \frac{C \text{Req.}}{\ln \left[\frac{2(V_{DD} - V_{Tn})}{V_{DD}} \right]}$$

Esempio:

$$k_n = 1 \text{ mA/V}^2, V_{Tn} = 1 \text{ V}$$

$$V_{DD} = 5 \text{ V}$$

$$C = 0.1 \text{ pF}$$

$\Delta t_{AB} + \Delta t_{BC} \sim 18 \text{ ps sovrastima}$
(I_D sottostimata)

(Δt esatto $\sim 16 \text{ ps}$)

#2-Tprop H \rightarrow L approx. per difetto

- approssimazione corrente satura

assumono $i(t) = I_{D\text{sat}}$ su tutto il tratto ABC:

$$\Delta t_{ABC} \approx \frac{C \cdot V_{DD}/2}{I_{D\text{sat}}} = \frac{C}{2} \frac{V_{DD}}{k_n(V_{DD}-V_{Tn})^2}$$

sovraстima la corrente nel tratto BC
 → sottostima il tempo di propagazione

Esempio:

$$k_n = 1 \text{ mA/V}^2, V_{Tn} = 1 \text{ V}$$

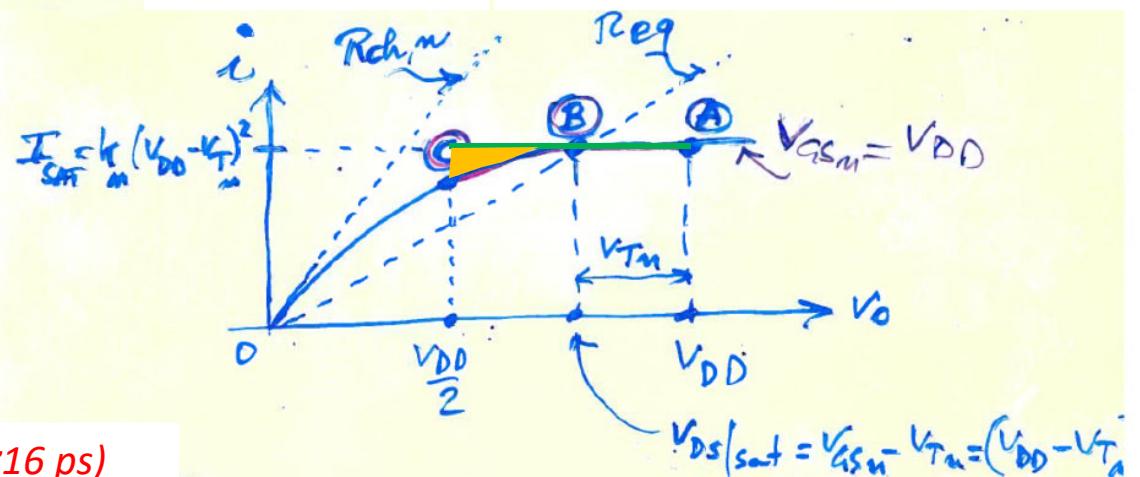
$$V_{DD} = 5 \text{ V}$$

$$C = 0.1 \text{ pF}$$

$\Delta t_{ABC} \sim 15.6 \text{ ps sottostima}$

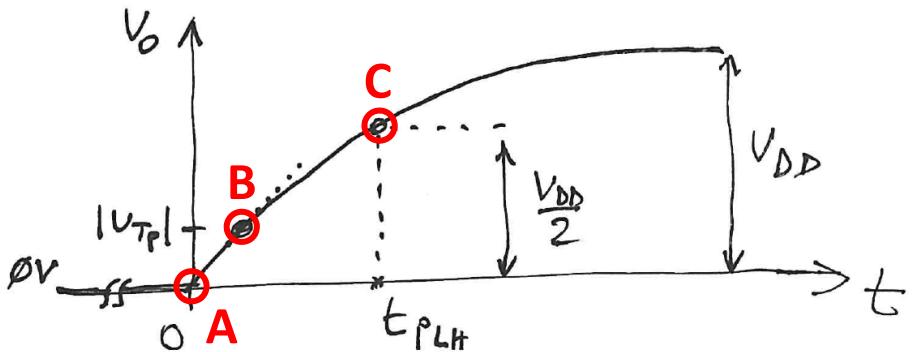
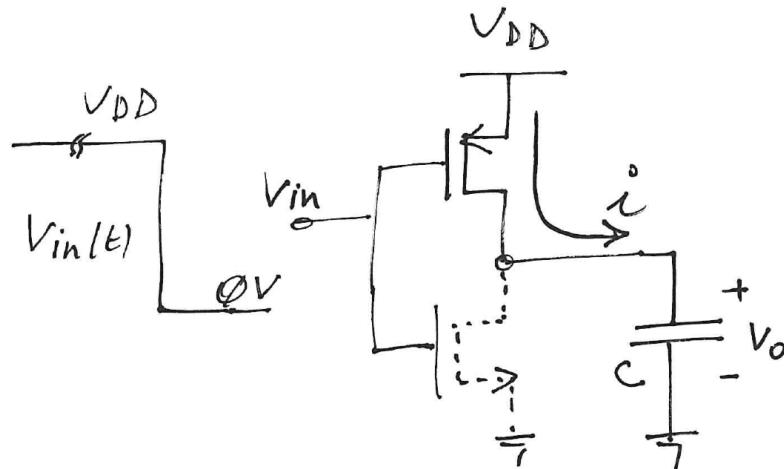
(I_D sovraстимата)

(Δt esatto $\sim 16 \text{ ps}$)



- questa approx., oltre all'informazione di essere una sottostima, e' una buona approssimazione numerica di T_{prop} (primo 50% del salto), inoltre e' un conto immediato.
- Come altre approssimazioni, e' utile anche per valutare rapidamente la dipendenza funzionale di T_{prop} dai parametri del MOS (k , W/L , V_{Tn} , V_{DD} , etc.), dal carico C e dalla architettura circuitale (caso di porte logiche complesse)

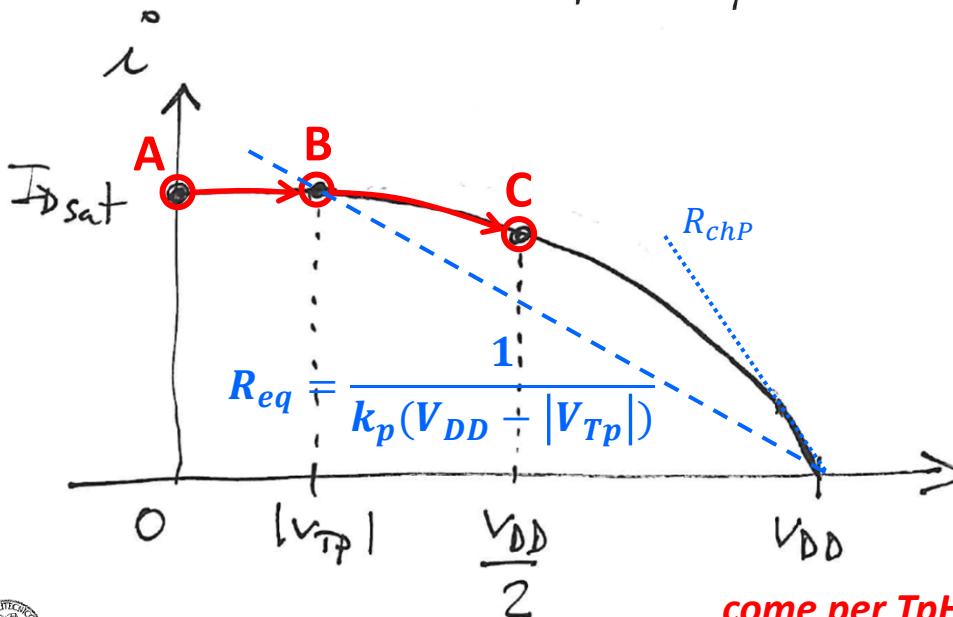
Calcolo Tprop L \rightarrow H



$$I_{Dsat} = k_p(V_{DD} - |V_{Tp}|)^2$$

$$R_{chP} = \frac{1}{2k_p(V_{DD} - |V_{Tp}|)}$$

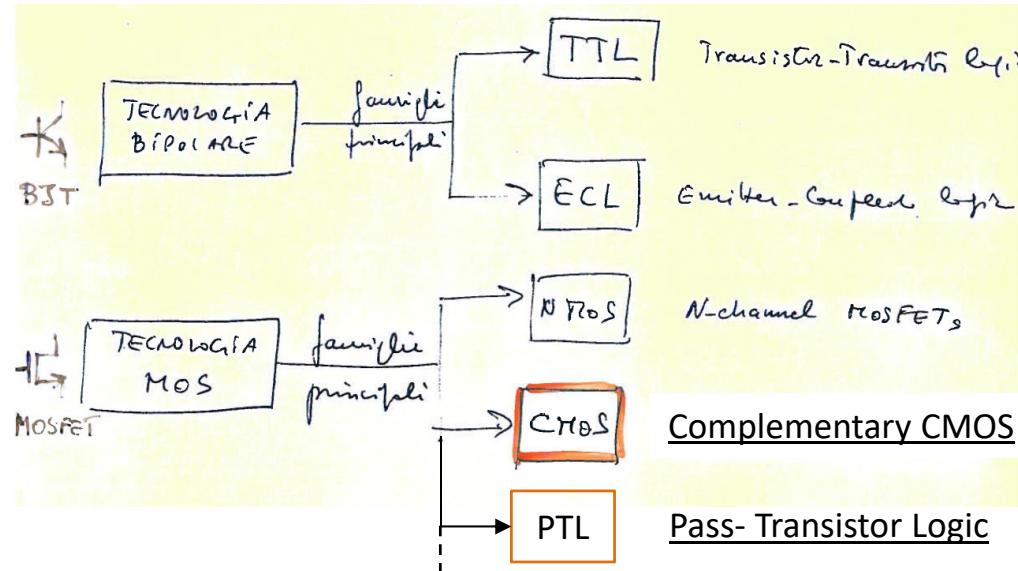
$$\begin{aligned} R_{eq} &= \frac{(V_{DD} - |V_{Tp}|)}{I_{Dsat}} = \frac{(V_{DD} - |V_{Tp}|)}{k_p(V_{DD} - |V_{Tp}|)^2} = \\ &= \frac{1}{k_p(V_{DD} - |V_{Tp}|)} \end{aligned}$$



come per TpHL si possono usare, con analoghe considerazioni, le diverse approssimazioni viste precedentemente

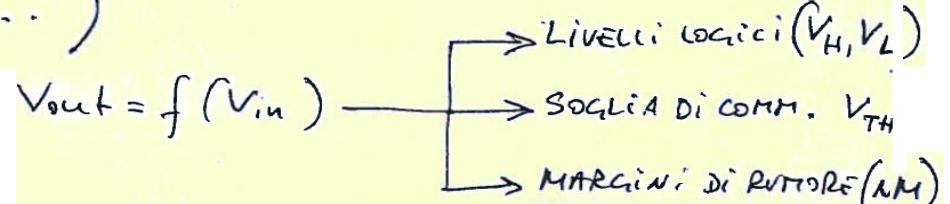
Famiglie logiche

Un insieme di porte logiche, realizzate con la medesima tecnologia, costituiscono una famiglia logica



□ Analisi di una porta logica:

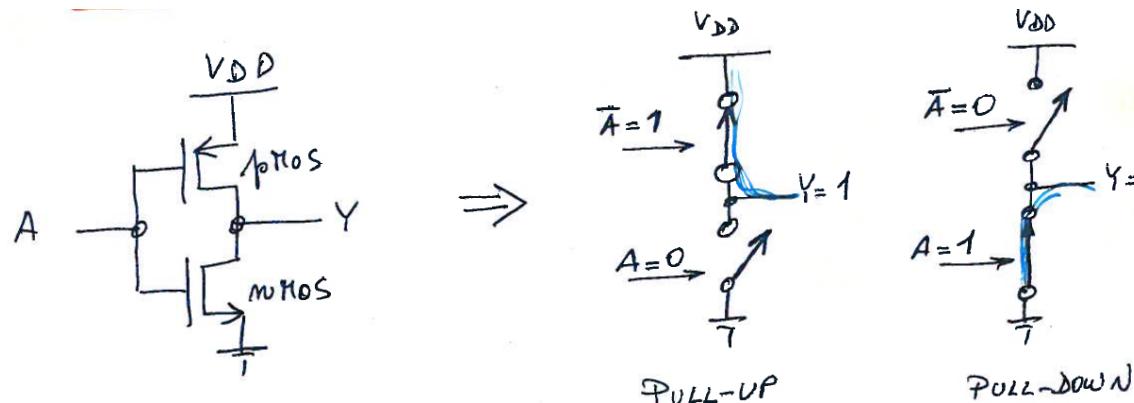
- Funzione logica $Y = f(A, B, C \dots)$
- Caratteristica di trasf. statica in/out $V_{out} = f(V_{in})$
- Dissipazione di potenza [W]
(statica, dinamica CAP/CROSS-COND.)
- Velocita' di risposta [s]
(tempo di propagazione o max freq. di commutazione)



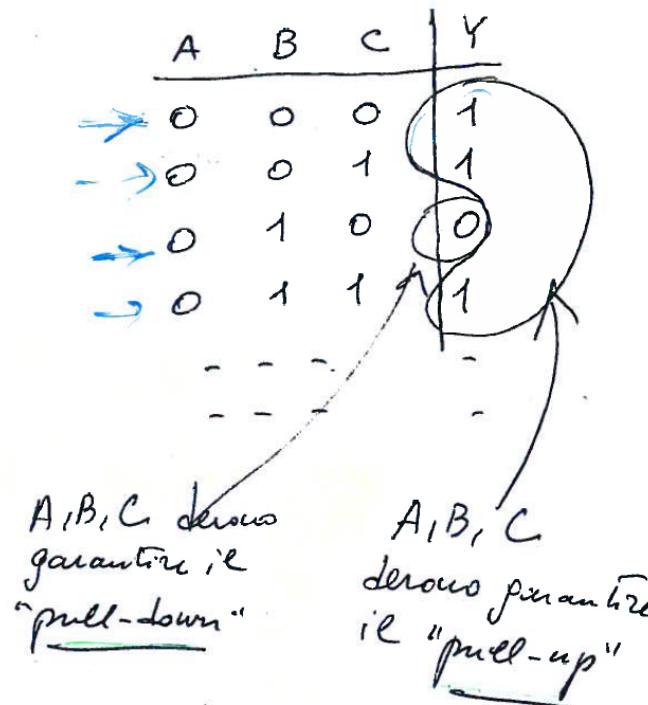
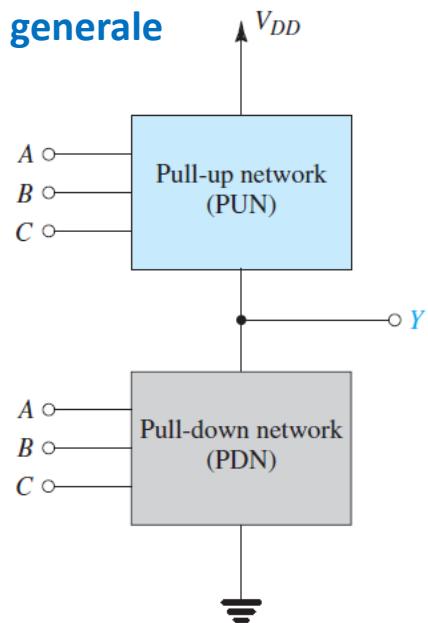
$$\frac{\text{PRODOTTO RITARDO} \times \text{CONSUMO}}{[\text{s}]} \quad [\text{J}]$$

Porte logiche CMOS: architettura

□ Inverter BASE



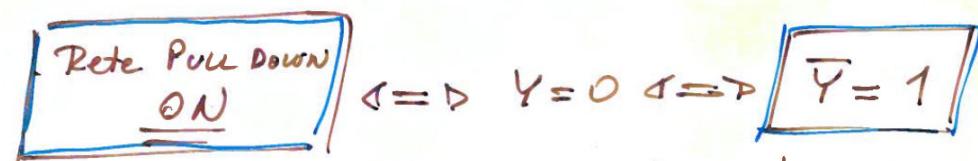
□ Architettura generale



Sintesi porta NAND a 2 ingressi

□ Funzione logica: $Y = \overline{A \cdot B}$

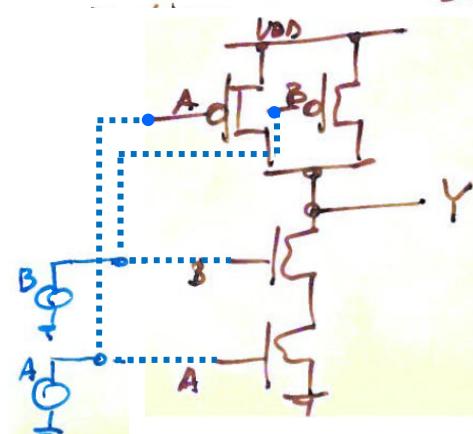
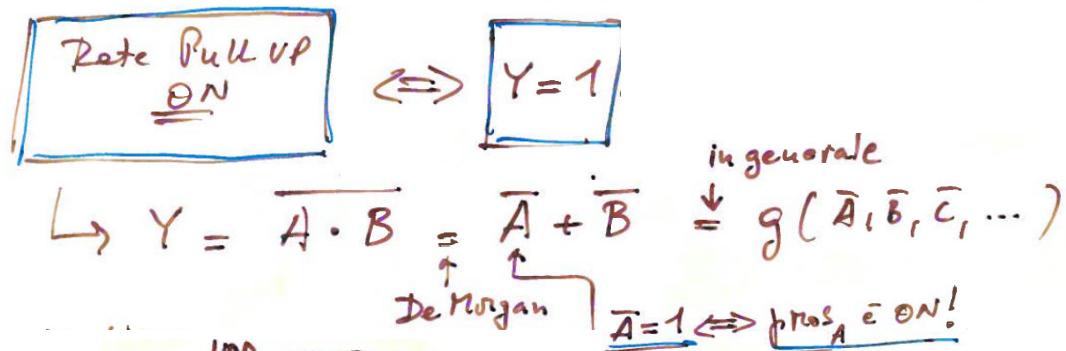
□ Sintesi rete di Pull-Down (PD):



$$\hookrightarrow \overline{Y} = \overline{\overline{A \cdot B}} = \overline{A \cdot B} = \overline{A} + \overline{B} \stackrel{\text{in generale}}{\Leftrightarrow} f(A_1, B_1, C_1, \dots)$$

\uparrow
 $A = 1 \Leftrightarrow \text{mos}_A \text{ è ON!}$

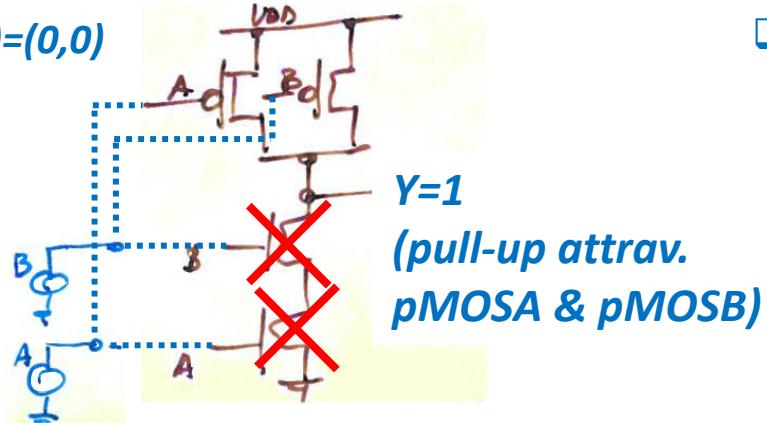
□ Sintesi rete di Pull-Up (PU):



□ schematico

Sintesi porta NAND a 2 ingressi

$(A,B)=(0,0)$

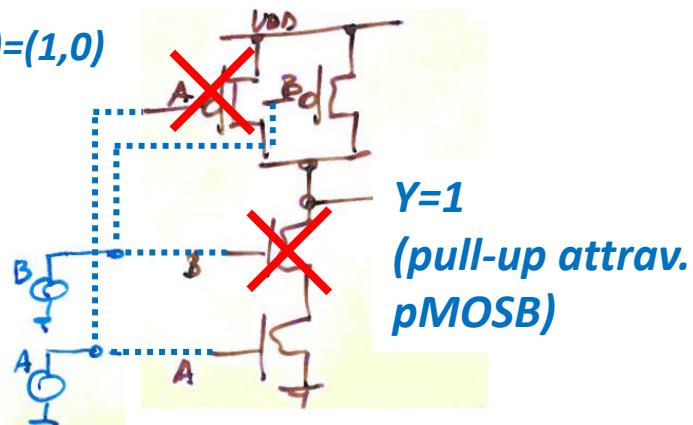


Funzione logica:

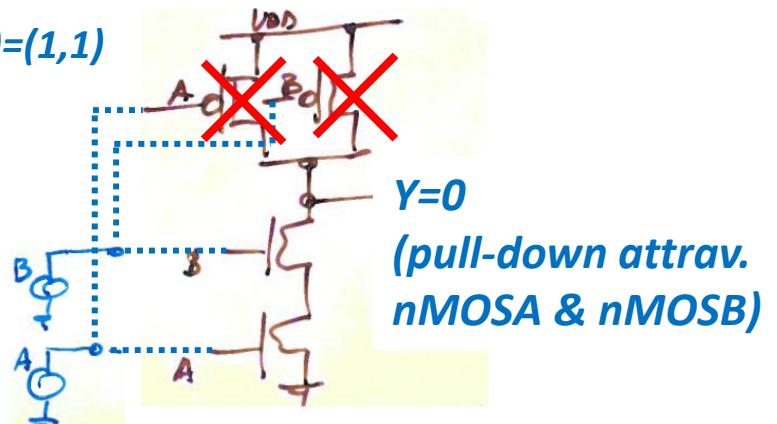
$$Y = \overline{A \cdot B}$$

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

$(A,B)=(1,0)$



$(A,B)=(1,1)$



in una porta logica, la transizione di pull-up (o pull-down) avviene attraverso i soli transistori pMOS (o nMOS) effettivamente accesi (non tutti !!!)

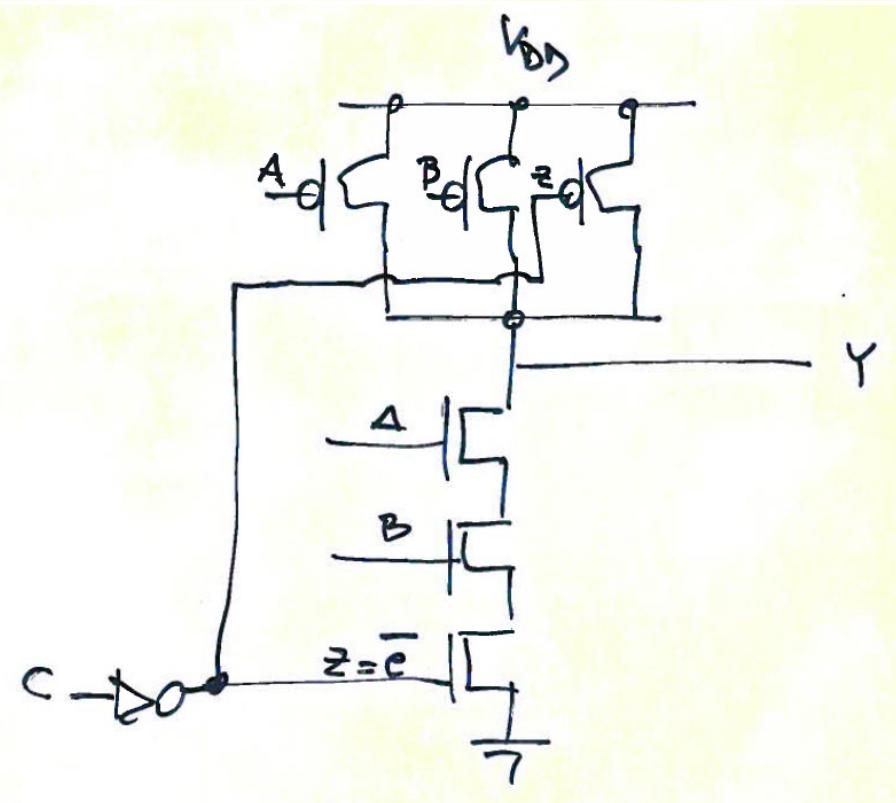
Casi particolari

- funzione logica non esprimibile come $\bar{Y}=f(A,B,C,\dots)$:

$$Y = \overline{A \cdot B \cdot \overline{C}}$$

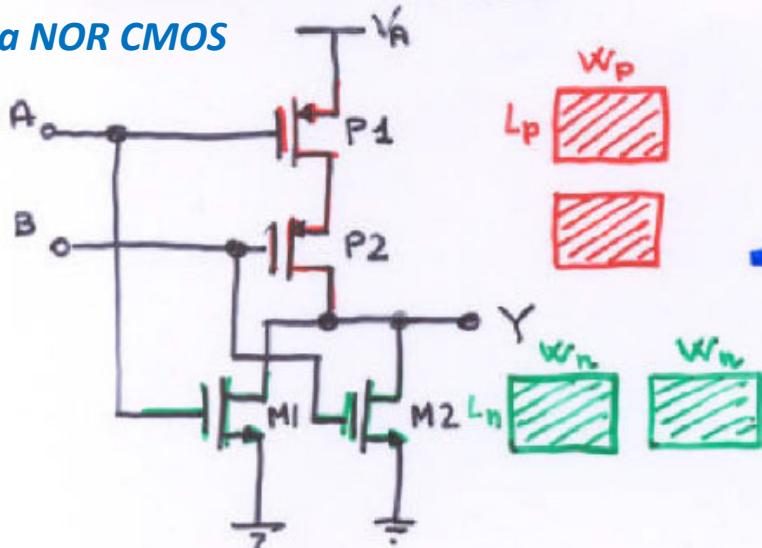
- Si ricorre a tanti inverter quanti sono necessari per riportarsi al caso $Y=f(A,B,C,\dots)$:

Sintesi rete pull-down: $\overline{Y} = A \cdot B \cdot \overline{[\overline{C}]} = A \cdot B \cdot \overline{z}$

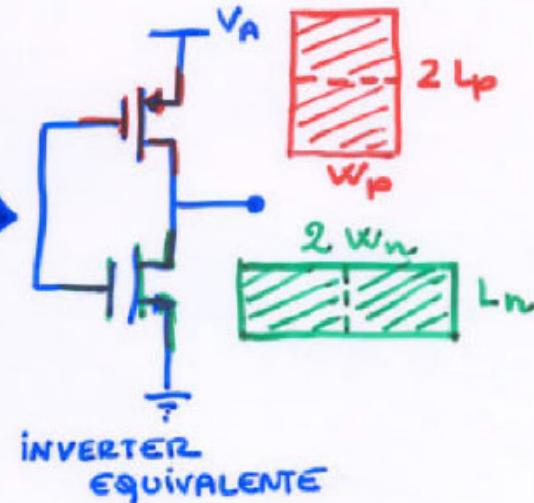


Equivalenza porta logica - inverter (1)

□ Porta NOR CMOS



Inverter equivalente, vedere NOTA



I tempi di ritardo della porta logica possono essere calcolati analogamente a quelli di un inverter CMOS. Si puo' sostituire la rete di pull-up (o pull-down) interessata dalla transizione con un singolo transistore equivalente alla rete ai fini del calcolo dei tempi.

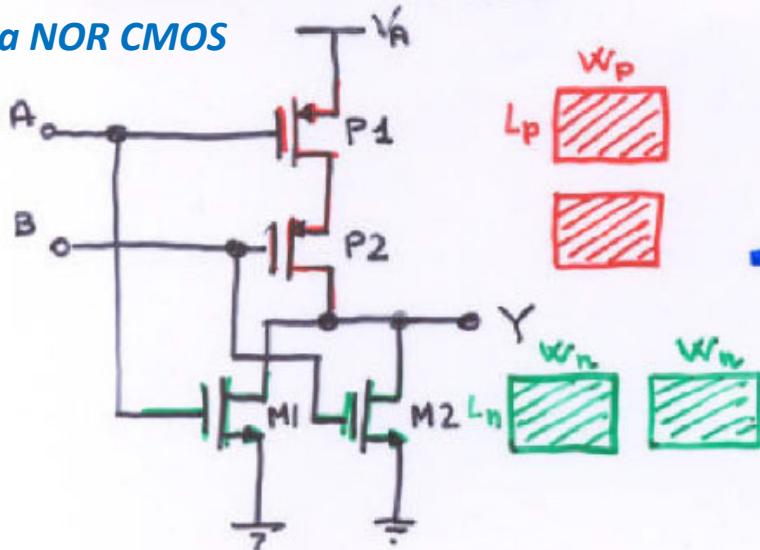
$$R_{on} \propto \frac{1}{k} \propto \frac{1}{(W/L)} \rightarrow \begin{cases} R_{series} = R_1 + R_2 + \dots \rightarrow \frac{1}{k_{eq}} = \frac{1}{k_1} + \frac{1}{k_2} \dots \\ \frac{1}{R_{par}} = \frac{1}{R_1} + \frac{1}{R_2} \dots \rightarrow k_{eq} = k_1 + k_2 + \dots \end{cases}$$

calcolo k equivalente
nel caso di MOS in
serie o parallelo

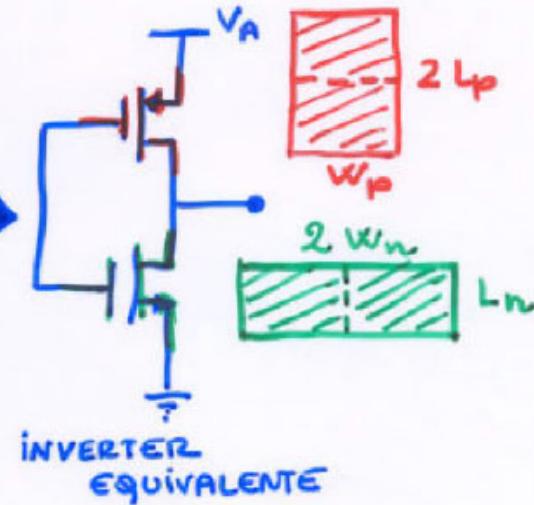
NOTA IMPORTANTE: nelle porte logiche ci sono diverse transizioni possibili (ad es. 3 diverse transizioni di pull-down nel caso in figura) a cui corrisponde un nMOS con k equivalente diverso per ciascun caso.

Equivalenza porta logica - inverter (2)

□ Porta NOR CMOS



Inverter equivalente (dipende da A,B)



□ nMOS equivalente (in caso di pull-down):

- ❖ transizione $(A,B)=(0,0) \rightarrow (1,1)$
a t=0 si accendono i 2 nMOS, pull-down attraverso nMOS equivalente ($K_{n_{eq}} = K_{n1} + K_{n2}$)
- ❖ transizione $(A,B)=(0,0) \rightarrow (1,0)$
a t=0 si accende M1, pull-down attraverso M1 ($K_{n_{eq}} = K_{n1}$)
- ❖ transizione $(A,B)=(0,0) \rightarrow (0,1)$
a t=0 si accende M2, pull-down attraverso M2 ($K_{n_{eq}} = K_{n2}$)

□ pMOS equivalente (in caso di pull-up):

- ❖ transizione $(A,B)=(x,y) \rightarrow (0,0)$
a t=0 si accendono i 2 pMOS, pull-down attraverso pMOS equivalente ($K_{p_{eq}} = K_{p1} * K_{p2} / (K_{p1} + K_{p2})$)

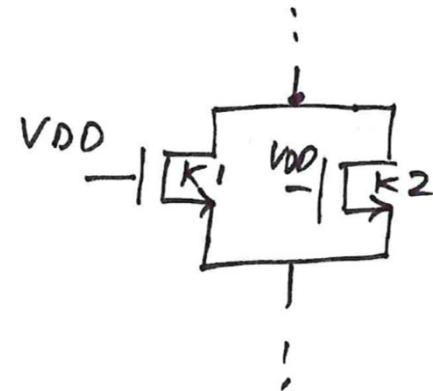
MOS equivalente

□ MOS in parallelo

$$\rightarrow k_{eq} = k_1 + k_2$$

$$\rightarrow \left(\frac{W}{L}\right)_{eq} = \left(\frac{W}{L}\right)_1 + \left(\frac{W}{L}\right)_2$$

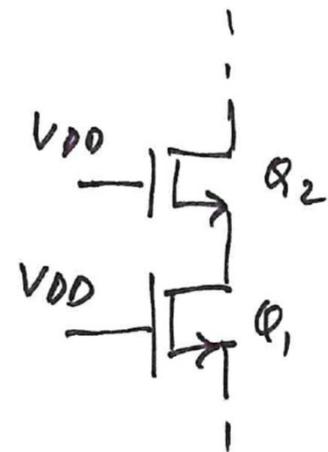
$$(P.S. \quad I_{eq} = I_1 + I_2 \rightarrow k_{eq} = k_1 + k_2)$$



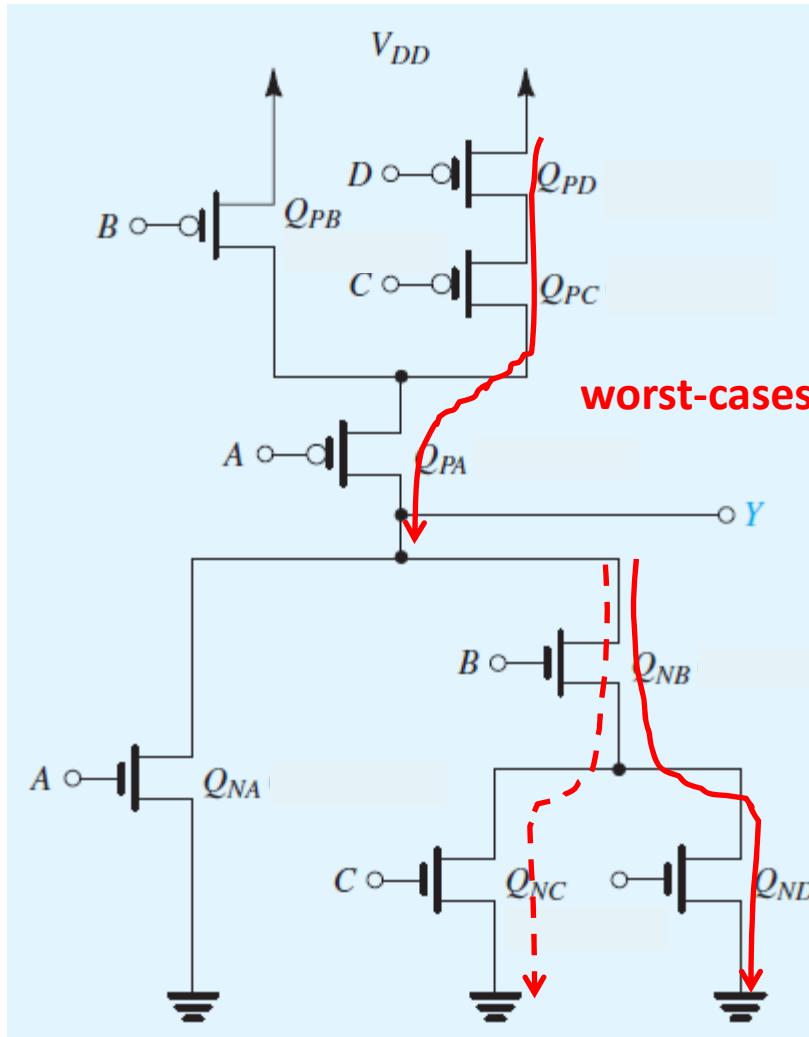
□ MOS in serie

$$\rightarrow k_{eq} = \frac{1}{\left(\frac{1}{k_1}\right) + \left(\frac{1}{k_2}\right)}$$

$$\rightarrow \left(\frac{W}{L}\right)_{eq} = \frac{1}{\left(\frac{W}{L}\right)_1 + \left(\frac{W}{L}\right)_2}$$



esempio: worst/best cases



□ Pull-down

- ❖ worst case (trans. piu' lenta) attraverso QnB e QnD (oppure QnC)
 - $K_{n_{eq}} = \text{serie}(QnB, QnD) = Kn/2$
- ❖ best case (piu' veloce), attraverso tutti nMOS accesi
 - $K_{n_{eq}} = \text{par}(QnA, \text{serie}(QnB, \text{par}(QnC, QnD))) = (2/3)*Kn + Kn = (5/3)*Kn$

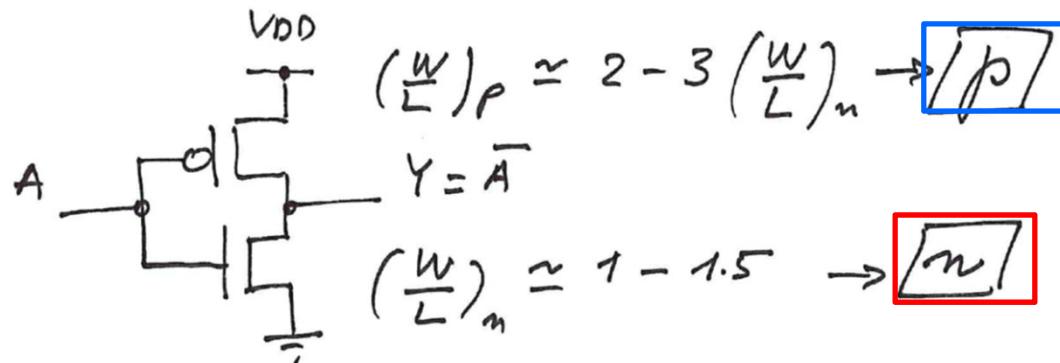
□ Pull-up

- ❖ worst case (trans. piu' lenta) attraverso QPA, QPC, QPD
 - $K_{p_{eq}} = \text{serie}(QpA, QpC, QpD) = Kp/3$
- ❖ best case (piu' veloce), attraverso QPA, QPB
 - $K_{p_{eq}} = \text{serie}(QnA, \text{par}(QpB, \text{serie}(QpC, QpD))) = (5/7)*Kp$

Cenni al dimensionamento (W/L) nelle porte logiche

□ Inverter base (riferimento)

- ❖ per minimizzare l'area su silicio occupata dai transistori Qn e Qp, la lunghezza di tutti i canali (L_n e L_p) e' presa uguale alla min. lunghezza (L_{min}) che la tecnologia di fabbricazione puo' consentire
- ❖ $n=(W/L)_n$ e' solitamente scelto con W minima (dell'ordine della L_{min}), per cui $n=(W/L)_n \approx 1-1.5$
- ❖ $p=(W/L)_p$ e' spesso un compromesso tra l'inverter simmetrico $p=(\mu_n/\mu_p)*n = 3*n$ e quello ad area minima ($p=n$), per cui tipicamente $p \approx 2*n$

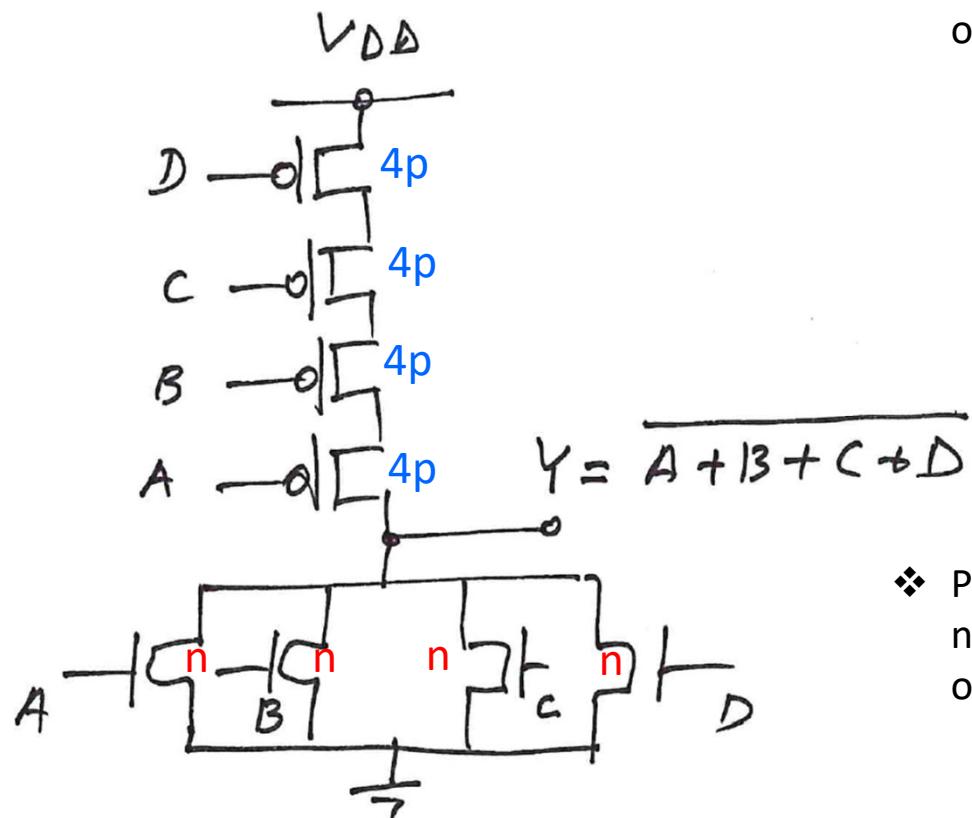


□ Porta logica: dimensionamento riferito all'inverter base

- obiettivo: garantire un ritardo (tempo di prop.) della porta che – nel caso peggiore (non c'e' solo un caso come nell'inverter) – sia pari o migliore a quello dell'inverter base di riferimento
 - ❖ (W/L) di ciascun nMOS della PDN: va scelto tale da produrre una corrente di scarica della PDN almeno uguale a quella del transistor nMOS dell'inverter base che ha $(W/L)=n$.
 - ❖ (W/L) di ciascun pMOS vale lo stesso discorso: tale da produrre una corrente di scarica della PUN almeno uguale a quella del transistor pMOS dell'inverter base che ha $(W/L)=p$.

Cenni al dimensionamento (W/L) nelle porte logiche

□ Esempio: NOR a 4 ingressi



❖ PUN, caso peggiore: tutti e 4 pMOS accesi (in realtà per la NOR è l'unico caso possibile). Corrisponde a resistenza pull-up massima, ovvero I_{PU} minima.

$$\rightarrow (W/L)_{p,eq} = (W/L)_p (1/4)$$

impongo la condizione $(W/L)_{p,eq} = p$ per avere un valore di $k_{p,eq}$ (e quindi di corrente di carica attraverso la PUN) nel caso peggiore pari a quello dell'inverter base.

$$\rightarrow (W/L)_p = 4p \quad \text{devo fare il } (W/L)_p \text{ 4 volte il } (W/L)_p (=p) \text{ dell'inverter di riferimento}$$

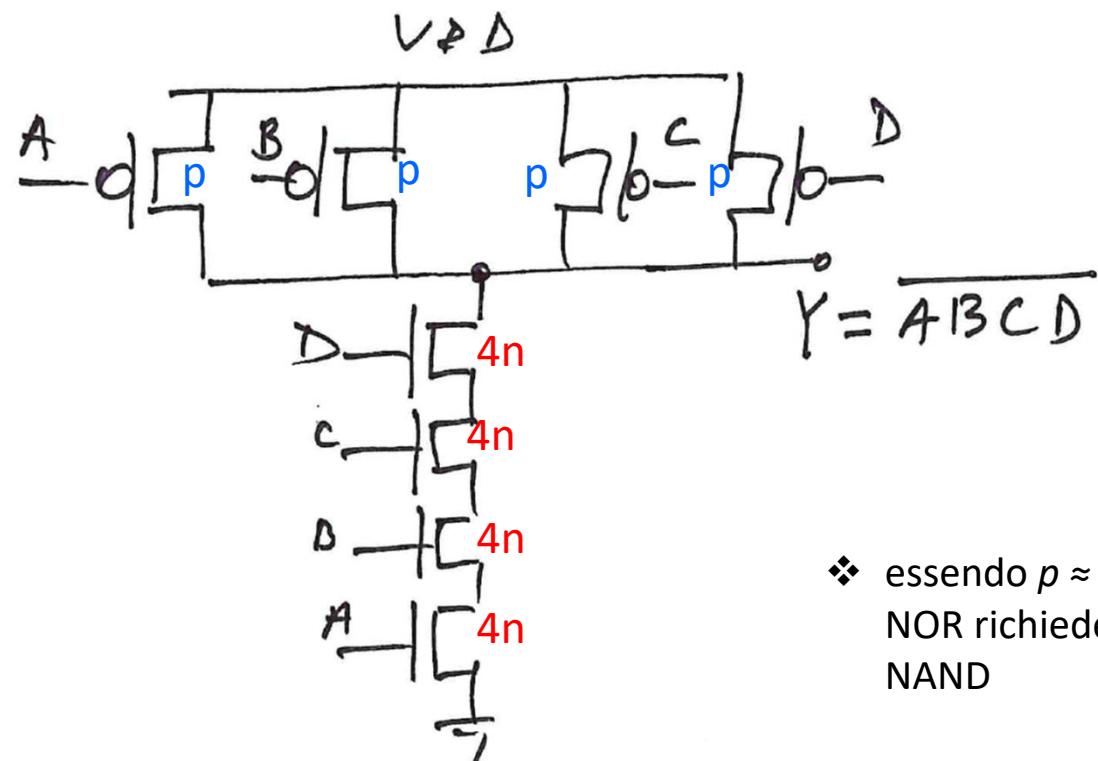
❖ PDN: qui il caso peggiore è quando 1 solo nMOS conduce (resistenza pull-up massima, ovvero I_{PD} minima)

$$\rightarrow (W/L)_{n,eq} = (W/L)_n = n$$

devo fare il $(W/L)_n$ uguale al $(W/L)_n (=n)$ dell'inverter di riferimento

Cenni al dimensionamento (W/L) nelle porte logiche

- Esempio: NAND a 4 ingressi



❖ essendo $p \approx 2*n$ per l'inverter base, la porta NOR richiedera' piu' area che una porta NAND

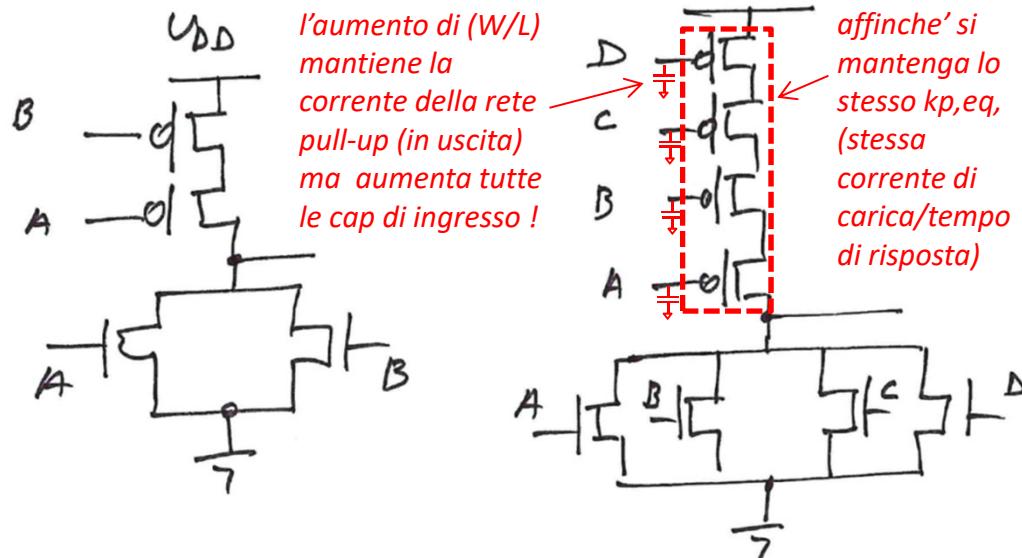
→ porta NAND preferibile nella sintesi di reti combinatorie !

Fan-in e Fan-out

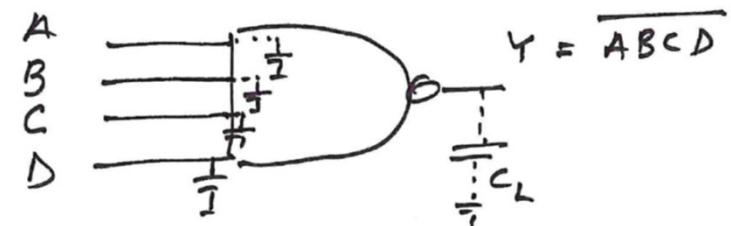
□ Fan-in: letteralmente “ventaglio” di ingresso -> n. di ingressi di una porta logica

- Aggiungere un ingresso nella tecnologia CMOS comporta l'aggiunta di 2 transistori (1 nMOS, 1 pMOS). La nuova topologia impatterebbe sul tempo di risposta (vedi MOS equivalente), questo si risolve aumentando i (W/L) per mantenere le prestazioni dell'inverter base. Rimane pero' l'aumento della capacita' di ingresso ($C_{gate} = C_{ox} * W * L$) che si riflette ancora in un aumento del tempo di risposta all'ingresso della porta.
- il max n. di ingressi in genere limitato (ad es. 4 per una porta NAND), progettazione “intelligente” per usare porte con Fan-in limitato

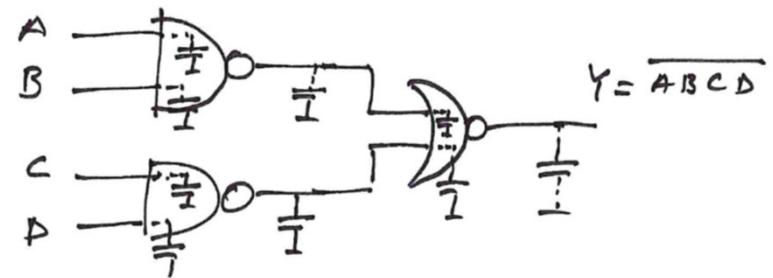
esempio NOR (CMOS) a 2 e 4 ingressi



NOR a 4 ingressi realizzata con una sola porta NOR CMOS a 4 ingressi



stesse funzione logica realizzata con NAND/NOR a 2 ingressi in tecn. CMOS che puo' avere prestazioni dinamiche migliori

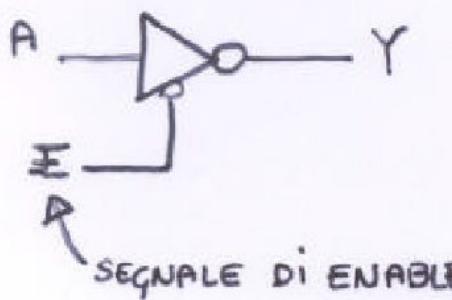


□ Fan-out: n. di uscite di una porta logica

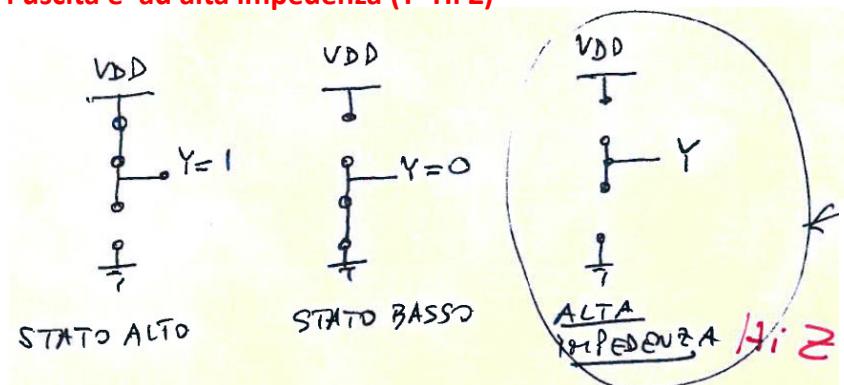
Piu' uscite significa piu' carico capacitivo sul nodo di uscita della porta, impatta linearmente sul tempo di risposta. Fan-out limitato dalla max frequenza di operazione.

Porta tristate

Possibilità di un terzo stato: se abilitato ($E=1$) l'uscita è ad alta impedenza ($Y=Hi Z$)



E	A	Y
0	0	1
0	1	0
1	0	High Z
1	1	High Z

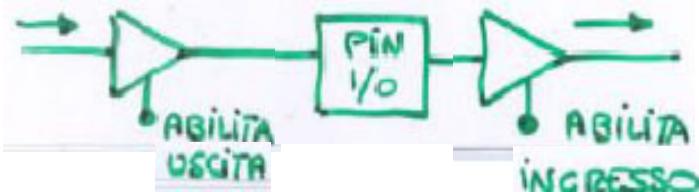


□ Esempi di applicazione

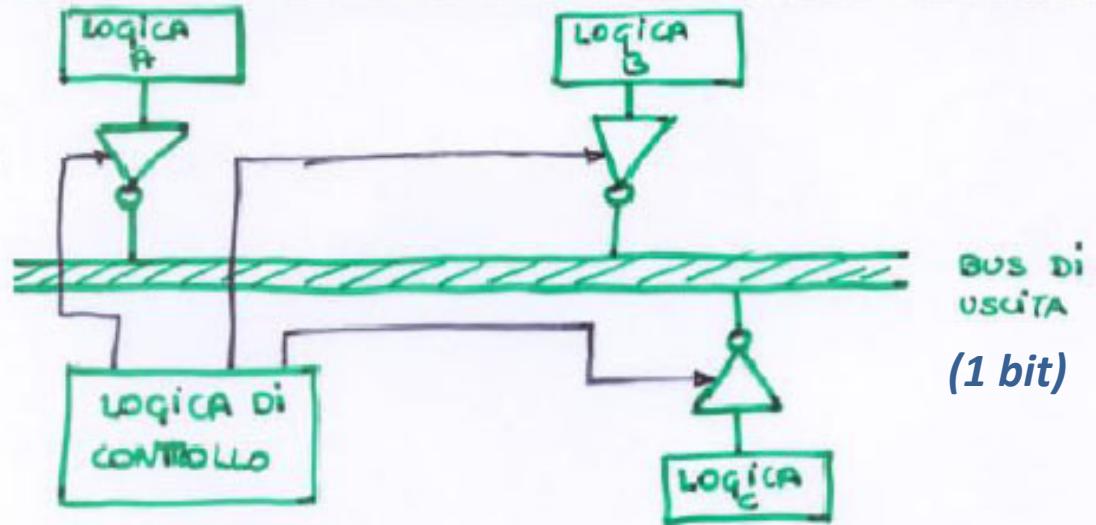
* COLLEGAMENTO BIDIREZIONALE



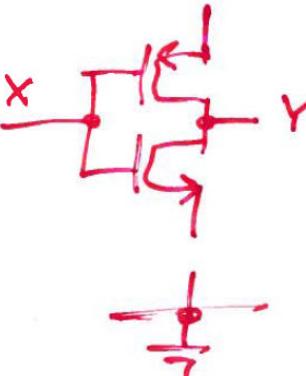
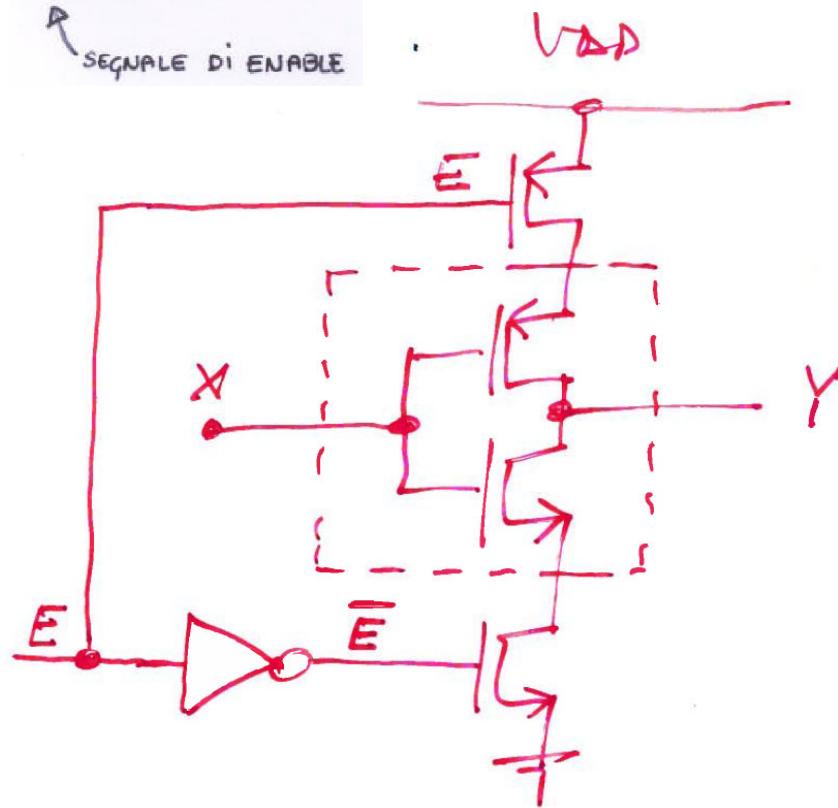
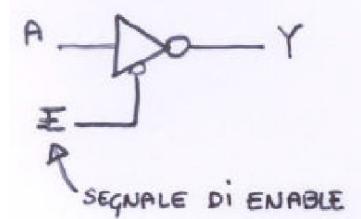
* TERMINALE INGRESSO/ USCITA



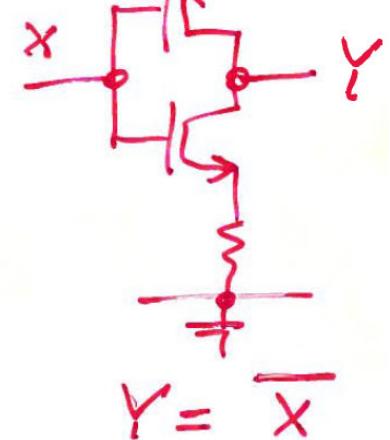
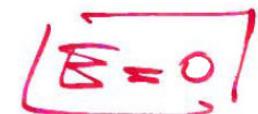
* CONNESSIONI MULTIPLE AD UN SINGOLO BUS DI USCITA



Inverter tristate: implementazione (esempio)



$$Y = \text{Hi-Z} \quad (\text{TRISTATE})$$



$$Y = \bar{X}$$

Nota1: va considerato l'effetto dei transistori di Enable sui tempi di propagazione

Nota2: in questo esempio Enable e' attivo basso