

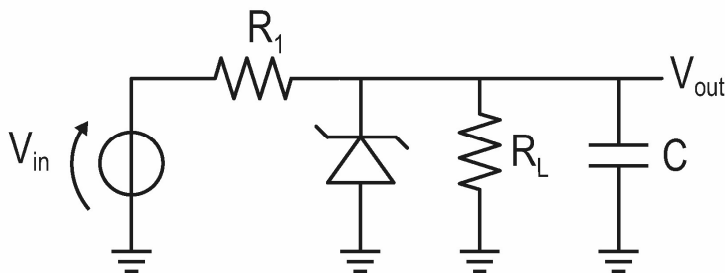
Indicare chiaramente la domanda a cui si sta rispondendo. Ad esempio 1a) ...

Esercizio 1

Dati: $R_1 = 150\Omega$, $R_L = 100\Omega$, $C = 100\text{pF}$,

$|V_{Z0}| = 15\text{V}$.

- Calcolare la potenza dissipata dal diodo Zener con $V_{in} = 60\text{V}$.
- Disegnare su grafico quotato la tensione V_{out} al variare della resistenza R_L tra 30Ω e 150Ω (con $V_{in} = 60\text{V}$).
- Assumendo $R_L = 100\Omega$ e $V_{in}(t)$ un rettangolo tra 0V e 60V che sale a $t = 0$ e scende a $t = 30\text{ns}$, disegnare $V_{out}(t)$ su grafico quotato indicando le costanti di tempo ed in quanto tempo V_{out} raggiunge il valore massimo.
- Si consideri una resistenza da 5Ω in serie al diodo Zener, sia $R_L = 100\Omega$ e si trascuri la capacità C . Calcolare l'ampiezza di ripple di V_{out} causata da un ripple sovrapposto alla tensione di ingresso, per cui $V_{in}(t) = 60\text{V} + 3\text{V} \cdot \sin(2\pi \cdot 50 \cdot t)$.

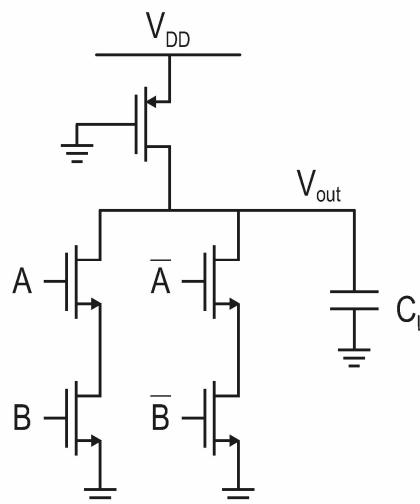
**Esercizio 2**

Dati: $V_{DD} = 3.3\text{V}$, $V_{Tn} = |V_{Tp}| = 0.6\text{V}$, $k_n = 0.5 \frac{\text{mA}}{\text{V}^2}$, $|k_p| = 25 \frac{\mu\text{A}}{\text{V}^2}$,

$C_L = 100\text{fF}$.

Siano A, B, \bar{A}, \bar{B} segnali digitali con livelli 0 e V_{DD} , dove \bar{A}, \bar{B} sono i segnali negati di A, B .

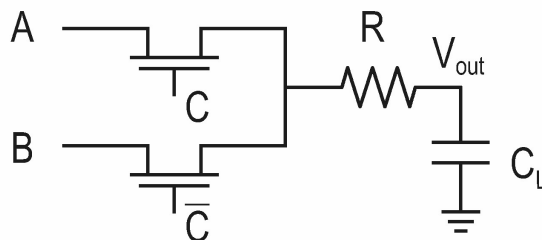
- Ricavare in una tabella i livelli di tensione dell'uscita V_{out} in funzione dei livelli digitali degli ingressi e descrivere la funzione logica svolta dal circuito.
- Calcolare il tempo di propagazione necessario a raggiungere un valore di tensione pari a metà della dinamica di uscita quando gli ingressi commutano istantaneamente da $AB = "00"$ a $"01"$.
- Calcolare la potenza media dissipata dal circuito (staticamente e dinamicamente) quando $B = "1"$ ed A è un'onda quadra tra $"0"$ e $"1"$ con frequenza 10MHz e duty cycle 50% .
- Modificare la rete di pull-up per minimizzare la dissipazione della porta e ricalcolare la potenza media dissipata nelle condizioni del punto c).

**Esercizio 3**

Dati: $V_{DD} = 3.3\text{V}$, $V_{Tn} = 0.6\text{V}$, $k_n = 0.5 \frac{\text{mA}}{\text{V}^2}$, $R = 100\Omega$, $C_L = 0.5\text{pF}$.

Siano A, B, C, \bar{C} segnali logici tra 0V e V_{DD} e \bar{C} negato di C .

- Scrivere la tabella della verità del circuito e calcolare i livelli di tensione V_{out} in funzione dei livelli digitali degli ingressi.
- Considerando i MOS interruttori ideali, ovvero dei corto circuiti quando accesi, disegnare $V_{out}(t)$ quando gli ingressi commutano istantaneamente da $ABC = "110"$ a $"100"$ e calcolare il tempo necessario affinché l'uscita raggiunga il valore di $V_{DD}/2$.
- Calcolare la potenza dinamica dissipata quando $A = "0"$, $B = "1"$ e C è un'onda quadra tra $"0"$ e $"1"$ a frequenza 1MHz e duty cycle 50% .
- Avendo a disposizione i segnali logici A, B, C e i loro negati, realizzare la stessa funzione del circuito in figura con una porta logica CMOS.



TE 5/novembre/2019 (1a prova itinere)

Svolgimento piu' esteso rispetto alla traccia di soluzioni pubblicata (WeBeep/TemiEsame)

Esercizio 1

a) $V_{in}=60V$

Hp. diodo in BD (vedo che il valore di $V_{in} > |V_z|$).

Risolvendo il circuito si ottiene:

$$I_1 = (60 - |V_z|)/R_1 = 300mA, \quad I_L = |V_z|/R_L = 150mA$$

Quindi (LCK): $I_D = (I_L - I_1) = (-150)mA < 0 \rightarrow$ diodo in BD ok.

$$V_{out} = |V_z| = 15V$$

La potenza dissipata dal diodo e' quindi $|V_z| * I_D = 15V * 150mA = 2.25W$

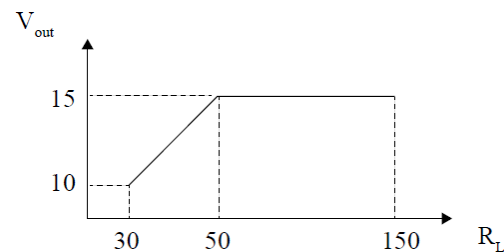
b) $R_L = \{30, 150\} \Omega$, disegnare V_{out} vs R_L

Dobbiamo trovare lo stato del diodo quando R_L varia nell'intervallo dato. Visto il punto precedente, ipotizzo il diodo in BD e verifico i valori limite di R_L . Per fare questo, calcolo la I_D e impongo la condizione di BD:

$$I_D = (I_L - I_1) = |V_z|/R_L - (V_{in} - |V_z|)/R_1 < 0 \text{ da cui } R_L > 50\Omega. \text{ Finche' il diodo e' in BD, } V_{out} = |V_z| = 15V.$$

Per $R_L \leq 50\Omega$ il diodo e' spento e $V_{out} = V_{in} * R_L / (R_1 + R_L)$.

In particolare per $R_L = 30\Omega \rightarrow V_{out} = 60V * (30/180) = 10V$.



[p.s. nell'intervallo $[30\Omega, 50\Omega]$ gli estremi sono connessi in prima approssimazione con un tratto lineare]

Commento: quando il diodo e' in BD la corrente in R_1 e' fissata a $(V_{in} - |V_z|)/R_1 = 45/150\Omega = 300mA$ e non dipende da R_L . Di conseguenza quando R_L diminuisce, la $I_L = |V_z|/R_L$ cresce e lo fa alle spese di $|I_D|$ che diminuisce. Per mantenere il diodo in conduzione (BD) e' necessario che $I_L = |V_z|/R_L$ sia minore di $(V_{in} - |V_z|)/R_1$. Se immaginiamo che questo circuito debba erogare la tensione costante $|V_z|$ ad un carico che puo' assorbire fino ad un certo valore massimo di corrente I_{Lmax} , dobbiamo fare in modo che la corrente in R_1 sia maggiore della I_{Lmax} richiesta dal carico.

c) $R_L=100\Omega$, risposta al rettangolo

@ $t=0^-$:

$V_{in}=0V$, diodo off, $V_{out}(0^-)=0V$.

@ $t=0^+$

$V_{in}=60V$, $V_{out}(0^+)=V_{out}(0^-)=0V$, quindi D rimane off. La corrente $I_1=60V/R_1$ va in C che si carica ($\rightarrow V_{out}$ cresce). Mantenendo l'hp diodo off, calcoliamo il valore finale $V_{out}(\infty)=60V \cdot R_L/(R_1+R_L)=24V$ e la $\tau_{OFF}=C \cdot R_1//R_L=6ns$

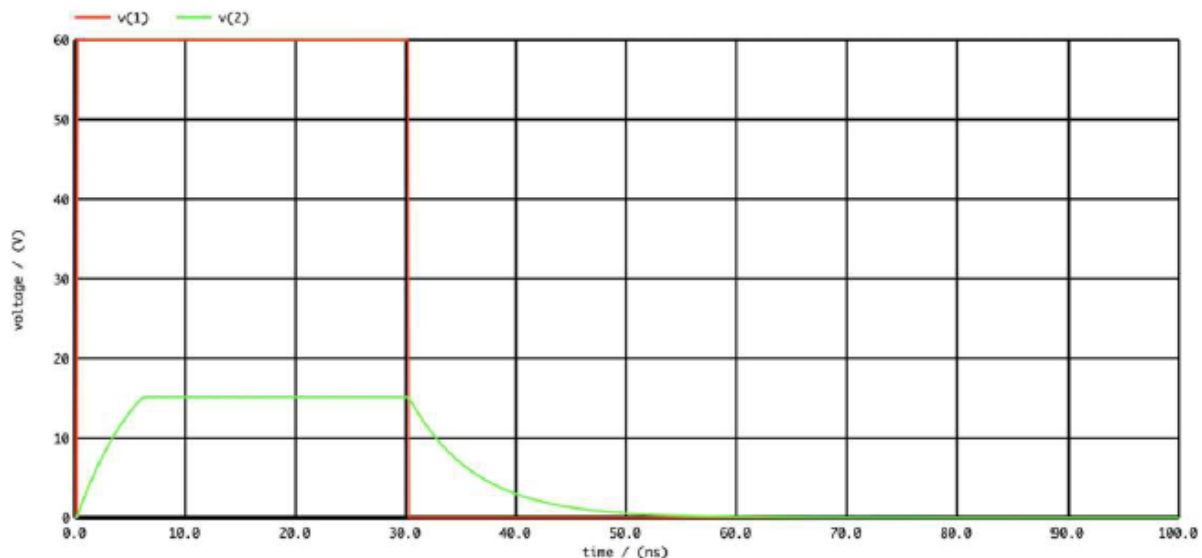
Tuttavia la V_{out} può crescere fino a $|V_z|=15V$ quando il diodo da off va in BD e limita la tensione V_{out} a 15V. Il tempo necessario ad arrivare a 15V si calcola scrivendo l'espressione del transitorio e imponendo il passaggio per $V_{out}=15V$:

$24V \cdot [1 - \exp(-t/\tau_{OFF})] = 15V \rightarrow t^* = 5.9 ns$ (V_{out} raggiunge 15V prima del termine del rettangolo $T=30ns$).

Fronte di discesa

@ $t=T$ si ha $V_{in}=0$, $V_{out}=15V$ (tiene il valore)

Dobbiamo stabilire lo stato del diodo. Se rimanesse in BD, V_{out} sarebbe bloccata a 15V quindi la corrente in C sarebbe nulla ($dV_{out}/dt=0$). Allora avremmo $I_D=I_{R1} + I_{RL}=|V_z|/R_1 + |V_z|/R_L > 0$ che non soddisfa l'ipotesi BD. Quindi il diodo a $t=T$ va subito off e la capacità si scarica da 15V a zero con la stessa $\tau_{OFF}=6ns$.



d) resistenza serie al diodo $R_z=5\Omega$, $R_L=100\Omega$. $V_{in}(t)=60V + 3V \cdot \sin(2\pi ft)$

So già che il diodo è in BD per $V_{in}=60V$ e $R_L=100\Omega$. Per verificare che sia in BD anche quando V_{in} varia nell'intervallo [57 V, 63 V], verifico quando va off. Risolvendo il circuito con diodo off, la condizione risulta $V_{in} < 37.5$. Quindi nell'intervallo di valori di $V_{in}=[57V, 63V]$, il diodo è sempre BD.

A questo punto posso risolvere la V_{out} con il PSE. Noto che possiamo dividere le sorgenti in 3:

$V_{in0}=60V$, $V_{in1}=3V \cdot \sin(2\pi ft)$, $|V_z|=15V$ se sarà $V_{out}=V_{out}|V_{in0} + V_{out}|V_{in1} + V_{out}|V_z$.

La V_{out} avrà una componente costante, data dagli ingressi costanti V_{in0} e $|V_z|$, pari a
 $V_{out} = V_{out}|V_{in0} + V_{out}|V_z = 60/31 + 15 \cdot 60/65 = 15.8V$

La risposta al termine di "segnale" $V_{in1} = 3V \cdot \sin(2\pi ft)$ è:

$$V_{out} = V_{in} \cdot (R_z // R_L) / (R_1 + R_z // R_L) = V_{in} / 31$$

-> $V_{out1}(t) = V_{in1}(t) / 31 = 3V / 31 \cdot \sin(2\pi ft) = 0.1V \cdot \sin(2\pi ft)$. Il ripple è quindi pari a $0.1V / 15.8V = 0.6\%$.

Esercizio 2

a) tabella verità

La porta logica realizza la funzione XOR.

Il livello logico alto è pari a $V_{DD} = 3.3V$. Succede quando $AB = 01$ o 10 per cui la rete di PD è OFF e il pmos fa il pull-up fino a V_{DD} .

Quando A e B sono 00 o 11, uno dei 2 rami della rete di PD conduce (i due rami della rete di pull-down si accendono in mutua esclusione) ed è contemporaneamente acceso il pMOS. La rete di PD la rappresentiamo con un mos equivalente avente $K_{eq} = K_n / 2$. Per risolvere il circuito (trovare V_{out}) ipotizzo che pMOS sia saturo e nMOS (equiv) sia triodo (dato che $K_n, eq \gg K_p$).

$$I_{Dp,sat} = K_p \cdot (V_{DD} - |V_{tp}|)^2 = 0.182mA$$

Ora per il nMOS posso:

i) usare l'eq. triodo (per trovare la soluzione esatta): $I_{Dn} = 2K_n \cdot [(V_{DD} - V_{tn}) \cdot V_{out} - (1/2) \cdot V_{out}^2]$

Uguagliando le correnti ($I_{Dp,sat} = I_{Dn}$) si ottiene $0.25 \cdot V_{out}^2 - 1.35 \cdot V_{out} + 0.182 = 0$, da cui $V_{out1} = 5.26V$ (non accettabile, $V_{out1} > V_{ds,sat} = (V_{DD} - V_{tn}) = 2.7V$, non compatibile con ipotesi triodo), $V_{out2} = 0.138V$ (sì, $V_{out2} < V_{ds,sat} = (V_{DD} - V_{tn}) = 2.7V$ ok triodo).

ii) oppure, ipotizzando che $V_{out} \ll V_{dsn,sat} = (V_{DD} - V_{tn})$, avremmo potuto rappresentare il nMOS con la resistenza in zona ohmica (caso limite della regione triodo, equivale a trascurare il termine quadratico : $I_{Dn} \sim 2K_n \cdot (V_{DD} - V_{tn}) \cdot V_{out}$), cioè $R_{ds,n} = 1 / (2 \cdot (V_{DD} - V_{tn})) = 0.74 k\Omega$. Il valore di V_{out} sarà quindi pari a $|I_{Dp,sat}| \cdot R_{ds,n} = 135mV$. Avendo trovato che $V_{out} = 0.135V$ è effettivamente $\ll V_{dsn,sat} = (V_{DD} - V_{tn}) = 2.7V$, ciò indica che l'ipotesi triodo era corretta e che l'approssimazione ohmica è appropriata. Si nota infatti che il valore trovato è molto vicino al valore precedente (esatto)

b) commutazione $AB = (00) \rightarrow (01)$

Dalla tabella di verità:

$$V_{out}(00) = V_{OL} = 0.135V$$

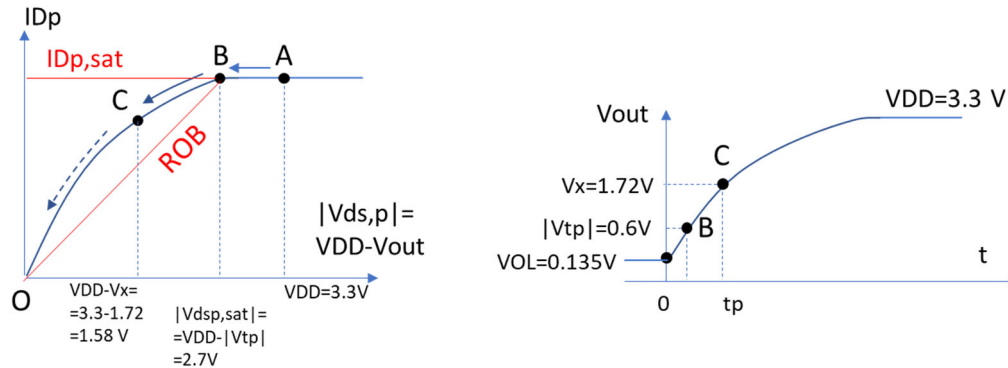
$$V_{out}(01) = V_{DD} = 3.3V$$

È quindi una transizione di pullup attraverso il pMOS con valore iniziale di $V_{out}(0) = 0.135V$.

In assenza di indicazioni, come valore di soglia per calcolare t_p prendiamo il valore medio tra V_{OH} e V_{OL} :

$$V_x = (3.3 + 0.135) / 2 = 1.72V$$

I grafici mostrano l'evoluzione della $V_{out}(t)$ (a dx) e la traiettoria del punto di lavoro del pMOS nel piano ($|V_{dsp}|$, I_{Dp}) a sx.



i) Sottostima di t_p

Assumo corrente costante nell'intervallo $t < t_p$: $I_{Dp} = I_{Dp,sat} = K_p \cdot (V_{DD} - |V_{tp}|)^2 = 0.182 \text{ mA}$

$$\rightarrow t_p = C \cdot [(V_{OH} - V_{OL}) / 2] / I_{Dp,sat} = 4.35 \text{ ns}$$

ii) Sovrastima di t_p

Tratto AB a corrente costante (esatto): $\Delta t_{AB} = C \cdot (V_{outB} - V_{OL}) / I_{Dp,sat} = 1.28 \text{ ns}$

Tratto BC con pMOS resistivo (ROB), approssimazione:

$$V_{out}(t) = V_{outB} + (V_{DD} - V_{outB}) \cdot [1 - \exp(-t / (ROB \cdot C))], \text{ con } ROB \cdot C = 7.42 \text{ ns}$$

Imponendo il passaggio per $V_{out}(t) = V_x \rightarrow \Delta t_{BC} = 3.97 \text{ ns}$

$$\rightarrow t_p = \Delta t_{AB} + \Delta t_{BC} = 1.28 + 3.97 = 5.25 \text{ ns}$$

c) Potenza media (dinamica e statica)

V_{out} commuta da $V_{OL} = 0.135 \text{ V}$ a $V_{OH} = 3.3 \text{ V}$ con la stessa frequenza di A (10 MHz).

Il contributo alla potenza media dato dalla potenza dinamica (qui consideriamo solo quella dovuta alla carica/scarica della capacità di uscita) è:

$$P_{dyn} = f_A \cdot C \cdot V_{DD} \cdot (V_{OH} - V_{OL}) = 10 \text{ MHz} \cdot 0.5 \text{ pF} \cdot 3.3 \text{ V} \cdot (3.3 \text{ V} - 0.135 \text{ V}) = 10.4 \mu \text{ W}$$

(p.s. questo contributo non dipende dal duty cycle, ma dalla frequenza di ripetizione e dal numero di cicli carica/scarica)

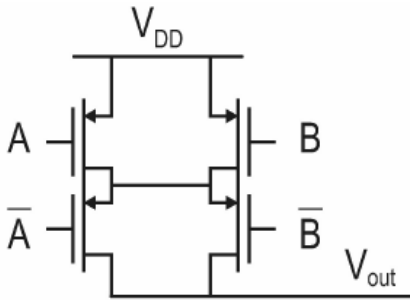
Per la potenza statica, sappiamo che nello stato alto (V_{OH}) non c'è corrente erogata da V_{DD} e quindi non viene dissipata potenza. Mentre nello stato basso (V_{OL}) la corrente vale $I_{Dp,sat} = 0.182 \text{ mA}$ e viene dissipata la potenza $V_{DD} \cdot I_{Dp,sat} = 601 \mu \text{ W}$.

La potenza statica media complessiva vale $P_{stat} = 0.5 \cdot (V_{DD} \cdot I_{Dp,sat}) = 301 \mu \text{ W}$ (dipende dal duty cycle !)

In totale la potenza media dissipata è $P_{stat} + P_{dyn} = 311 \mu \text{ W}$.

d) Modificare rete pull-up per minimizzare la potenza media dissipata

Per minimizzare la dissipazione della porta occorre agire sulla rete di pull-up sostituendo al pmos sempre acceso la rete di pull-up "fully-complementary CMOS", mostrata nella figura seguente:



In questo modo si annulla la potenza statica dissipata mentre quella dinamica cresce leggermente ed è pari a $100\text{fF} \cdot 3.3\text{V} \cdot 3.3\text{V} \cdot 10\text{MHz} = 11 \mu\text{W}$.

Esercizio 3

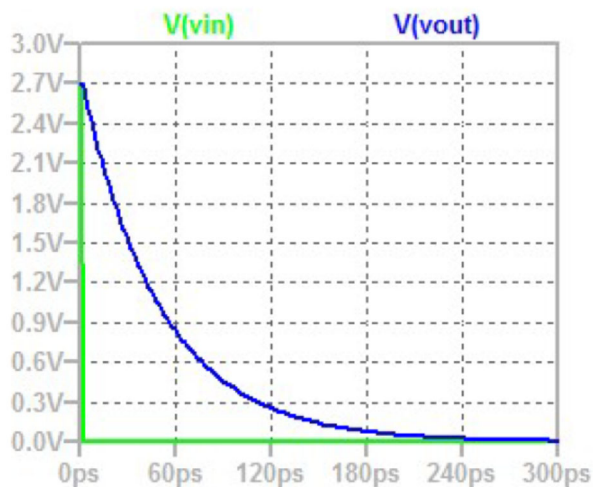
a) tabella di verità

A	B	C	Vout, note
0	0	0	0V, nMOSA off, pulldown con nMOSB
0	0	1	0V, nMOSB off, pulldown con nMOSA
0	1	0	$(V_{DD}-V_t)=2.7\text{V}$, nMOSA off, pullup (debole) con nMOSB
0	1	1	0V, nMOSB off, pulldown con nMOSA
1	0	0	0V, nMOSA off, pulldown con nMOSB
1	0	1	$(V_{DD}-V_t)=2.7\text{V}$, nMOSB off, pullup (debole) con nMOSA
1	1	0	$(V_{DD}-V_t)=2.7\text{V}$, nMOSA off, pullup (debole) con nMOSB
1	1	1	$(V_{DD}-V_t)=2.7\text{V}$, nMOSB off, pullup (debole) con nMOSA

b) calcolo t_p

Il condensatore, inizialmente carico a 2.7V, si scarica fino a 0V con costante di tempo $100\Omega \cdot 0.5\text{pF}$.

L'andamento è mostrato in figura. Il tempo per raggiungere $V_{DD}/2$ è pari a $100\Omega \cdot 0.5\text{pF} \cdot \ln(2.7/1.65) = 24.6\text{ps}$.



c) potenza dinamica

Il condensatore viene caricato e scaricato a 1MHz; i valori di tensione sono 2.7V e 0V.

$P_{din} = 0.5pF * 2.7V * 3.3V * 1MHz = 4.455\mu W$.

d) sintesi porta CMOS

