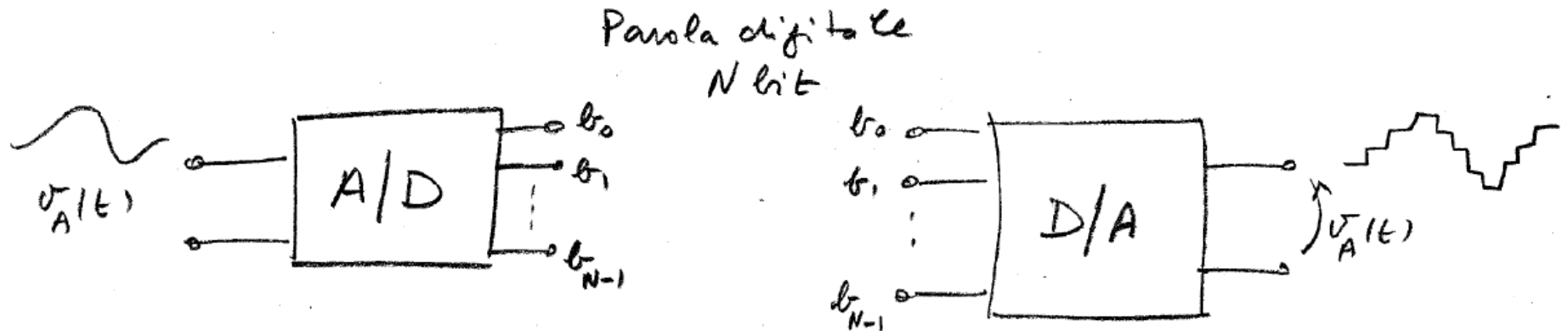


# Convertitori A/D e D/A



- *conversione binario-decimale:*

$$D = b_{n-1} \times 2^{n-1} + b_{n-2} \times 2^{n-2} + \dots + b_1 \times 2^1 + b_0 \times 2^0$$

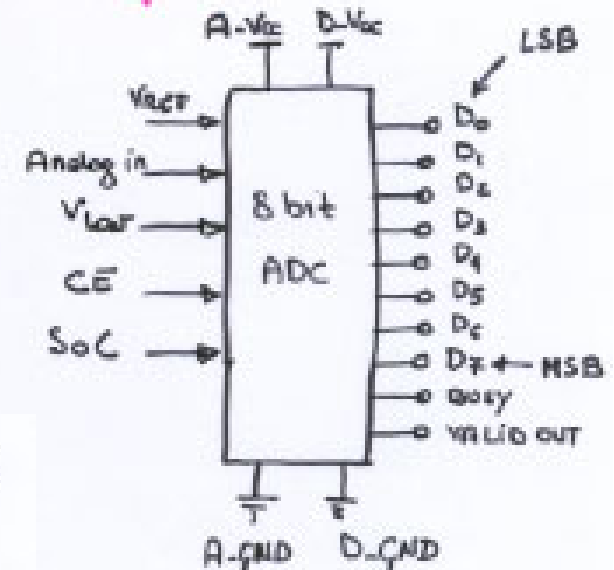
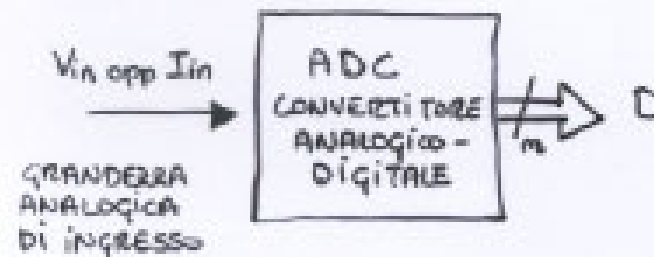
MSB LSB

(n=5 bit)

$10011_2 = 19_{10}$

$2^4 \quad 2^3 \quad \dots \quad 2^1 \quad 2^0$

# CONVERTITORI ANALOGICO-DIGITALI

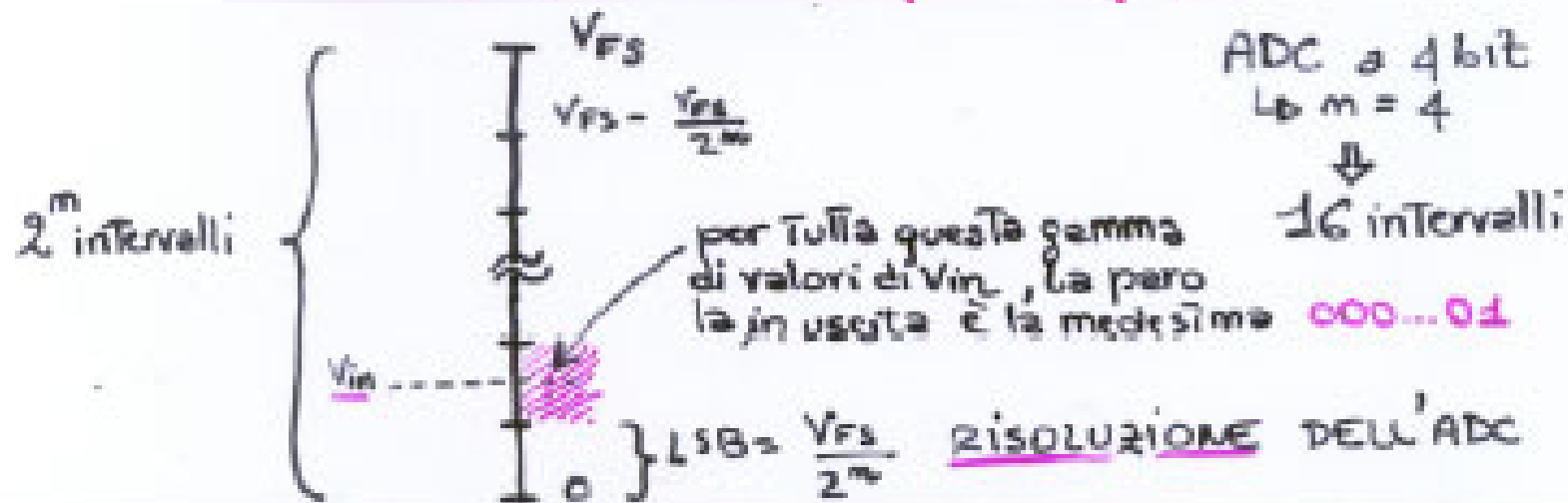


- $V_{REF}$ : valore massimo corrispondente ad un codice di uscita con tutti 1
- $V_{LOW}$ : valore minimo (tipicamente GND) corrispondente ad un codice di uscita con tutti 0

Molti ADC hanno anche pin per funzionalità aggiuntive:

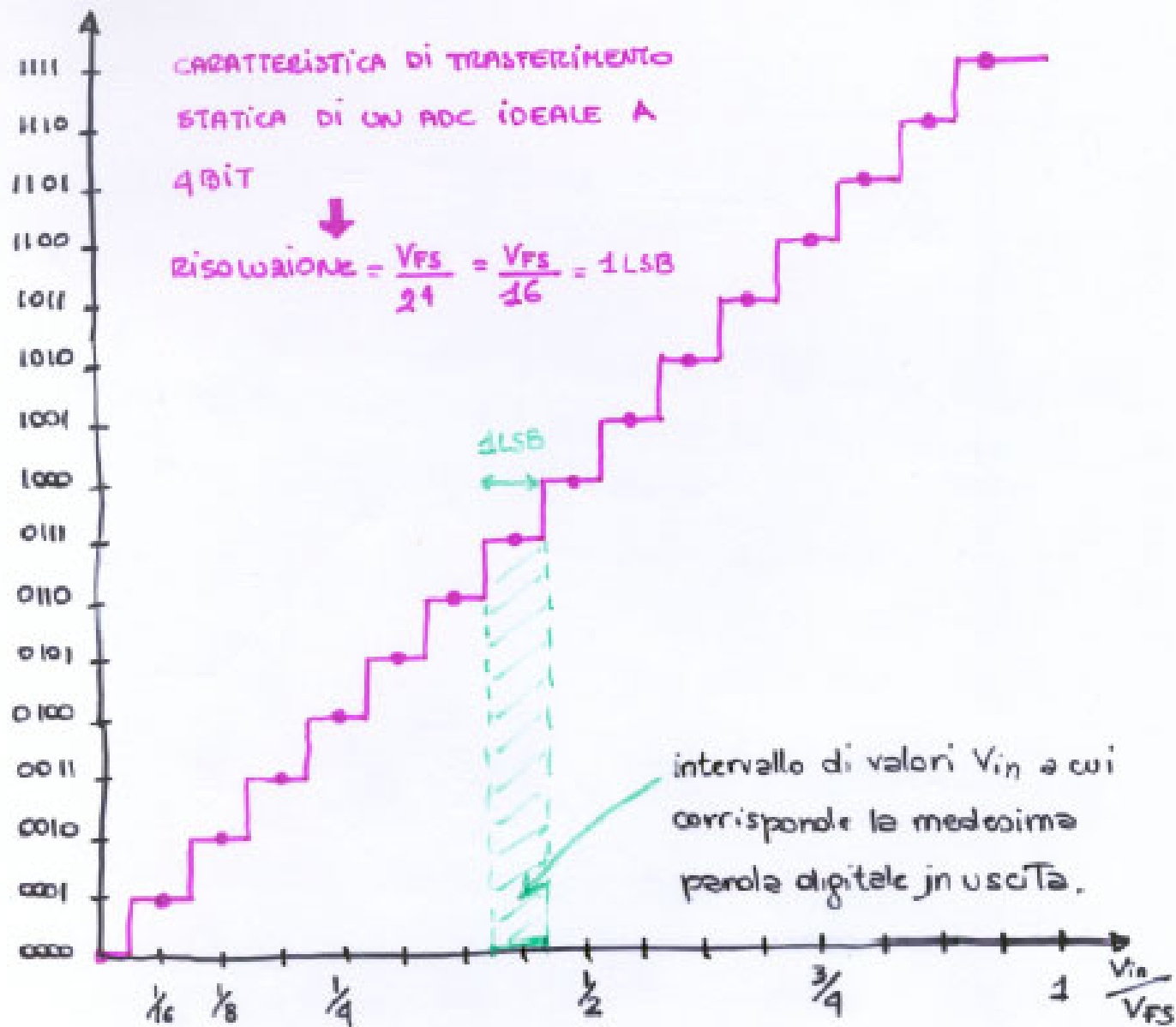
- $CE$  (Chip Enable): abilita o meno l'ADC spegnendo la circuiteria interna e mettendola in High Z
- $SOI$  (Start of Conversion), per dare il via alla conversione
- $BUSY$ : quando è attivo indica che all'interno dell'ADC è in corso la conversione
- $VALID OUT$ : indica il completamento della conversione

# CONVERTITORI ANALOGICO-DIGITALI



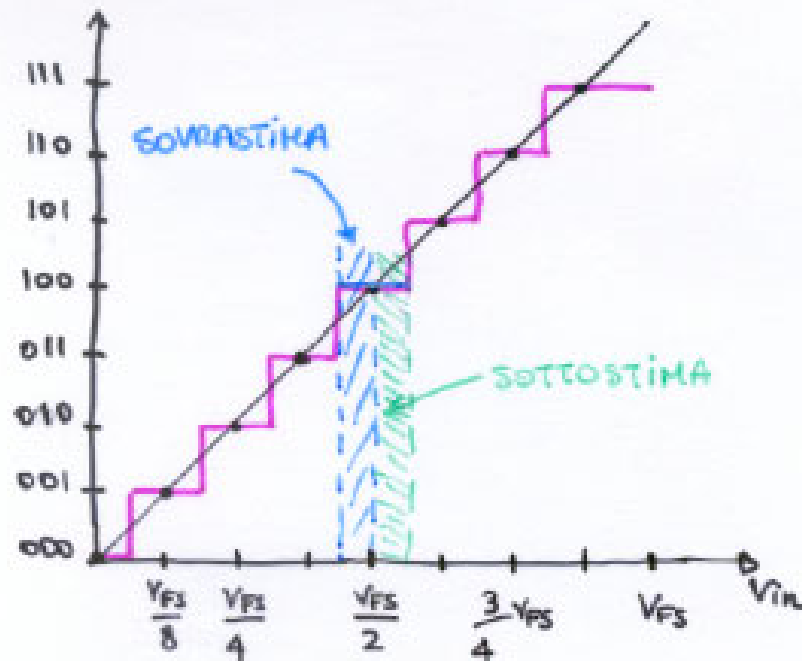
- \* la medesima parola digitale in uscita può essere fornita per una gamma di valori in ingresso pari alla risoluzione dell'ADC considerato → CARATTERISTICA A SCALINATA

# CARATTERISTICA DI TRASFERIMENTO STATICA DI UN ADC



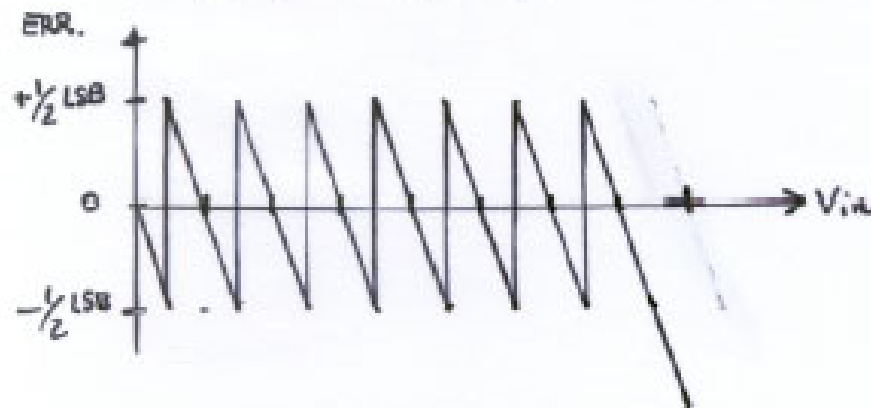
## ERRORE DI QUANTIZZAZIONE

Per effetto della forma a scalinata della caratteristica di uscita al crescere di  $V_{in}$  ciascun codice in uscita dapprima sovrastima la tensione di ingresso e poi lo sottostima



ADC a 3 bit

$$\downarrow$$
$$1\text{LSB} = \frac{V_{FS}}{2^3} = \frac{V_{FS}}{8}$$



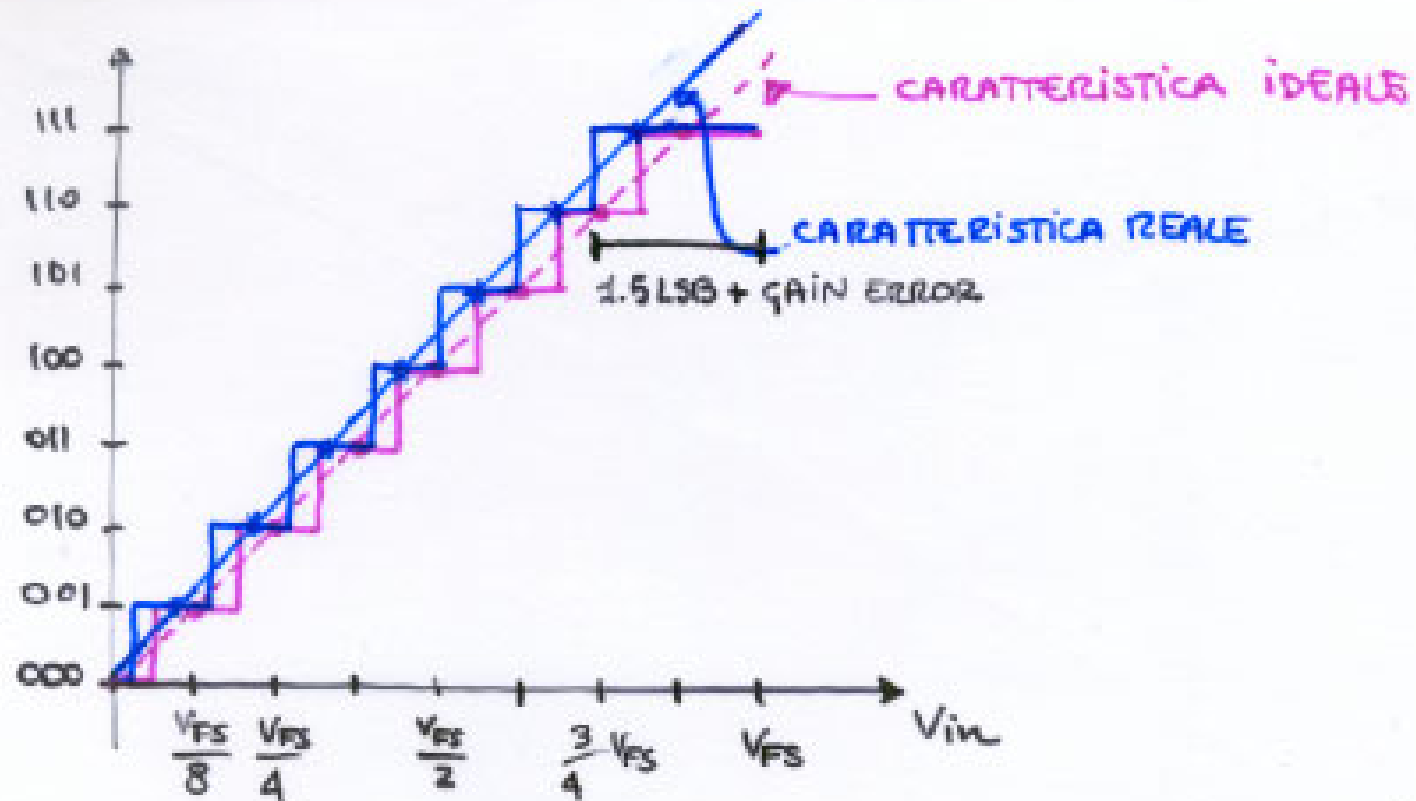
## ERRORE DI QUANTIZZAZIONE

- \* l'errore di quantizzazione è "insito" nel processo stesso di conversione attraverso una caratteristica a scalinata invece della teorica caratteristica rettilinea e la sua "entità" dipende dalla risoluzione dell'ADC considerato
- \* valore quadratico medio dell'errore (supposto a media nulla):

$$\sigma_q^2 = \frac{1}{LSB} \int_0^{LSB} (err)^2 d\alpha = \frac{LSB^2}{12}$$

↳ valore efficace :  $\sigma_q = \frac{LSB}{\sqrt{12}}$

## ERRORE DI GUADAGNO

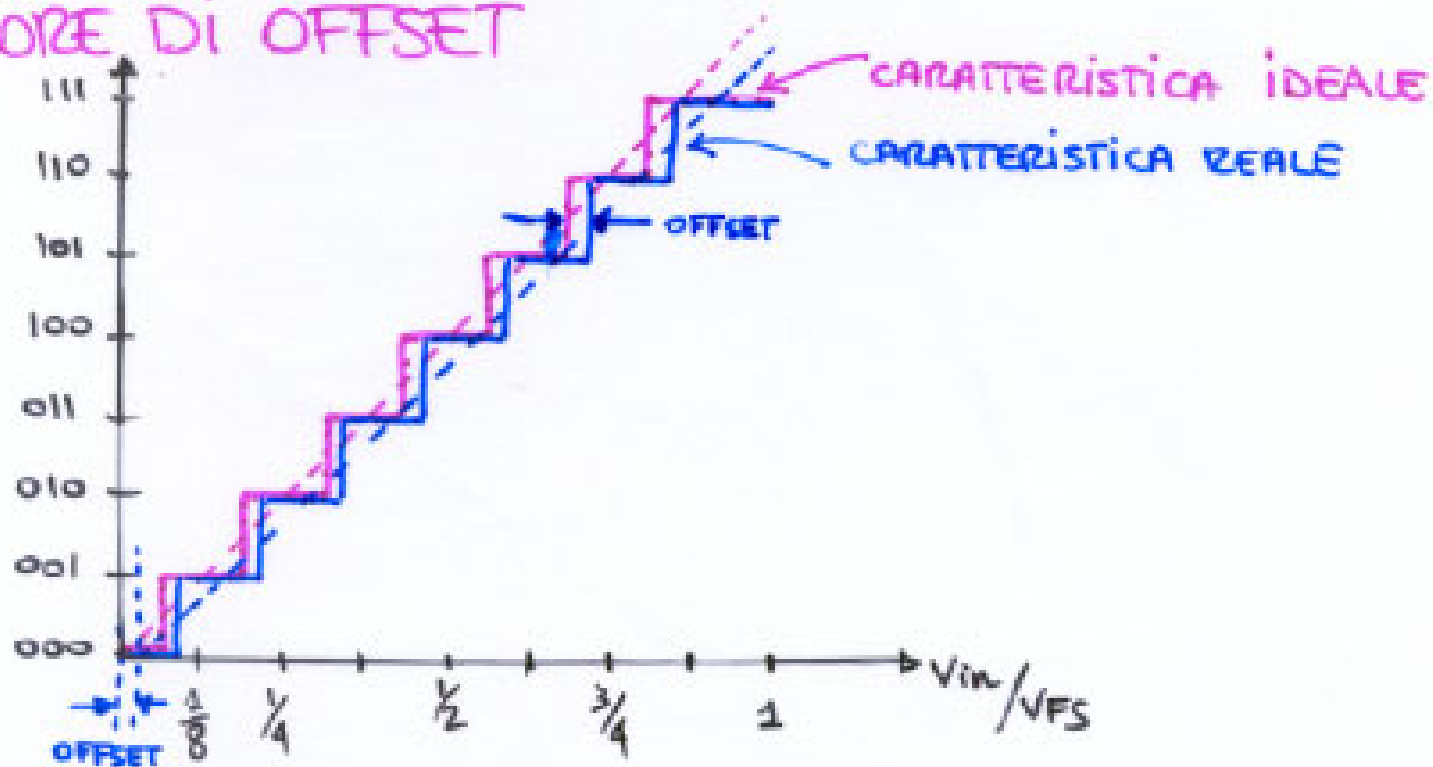


- \* Pendenza della retta congiungente i punti della prima e dell'ultima Transizione non coincidente con quella ideale



**ERRORE DI GUADAGNO**: scostamento tra la pendenza ideale e la pendenza reale, cioè differenza tra la larghezza dell'ultimo gradino ed il valore ideale di  $1.5 \text{ LSB}$

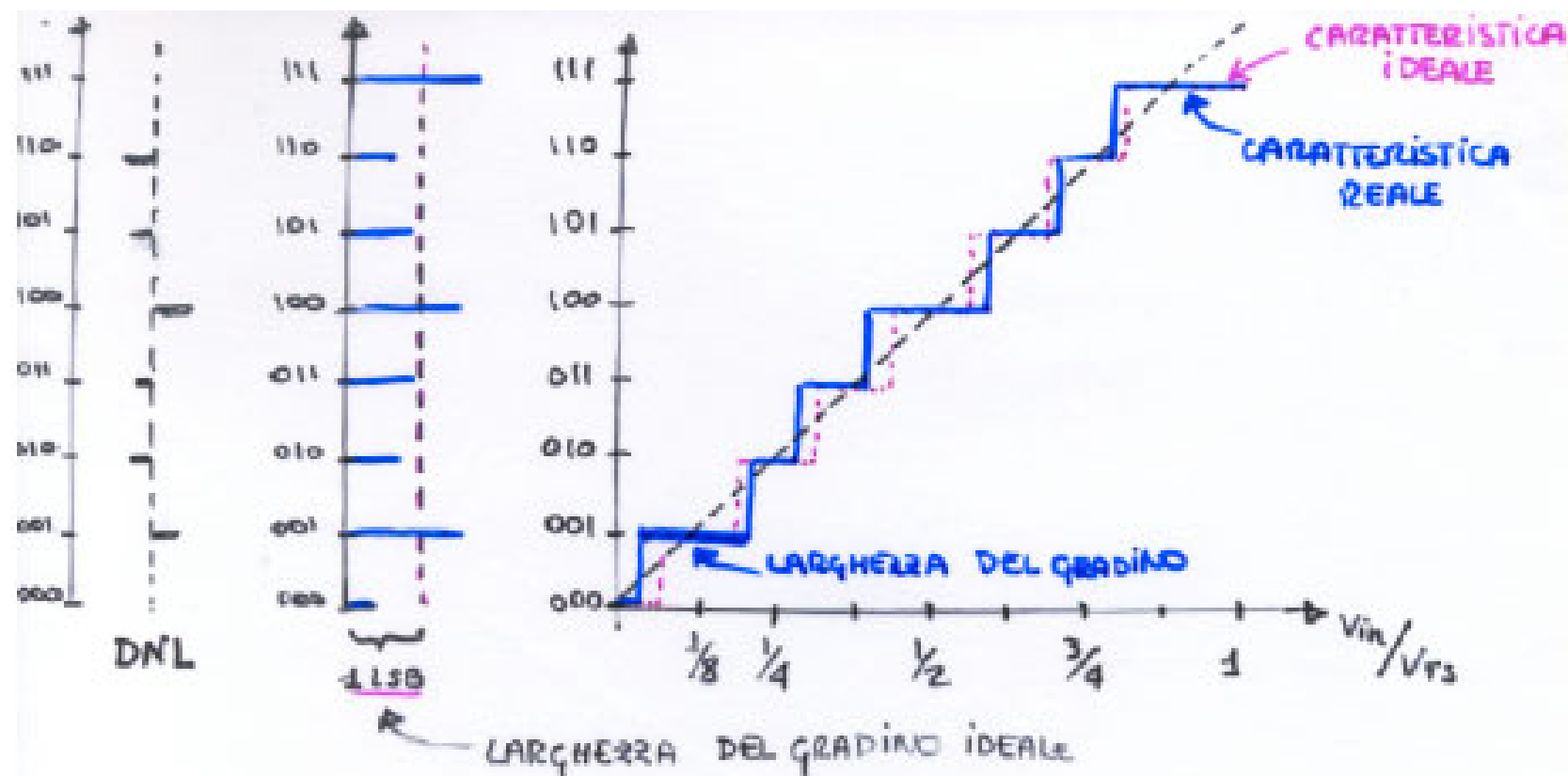
## ERRORE DI OFFSET



**ERRORE DI OFFSET:** differenza di larghezza del primo gradino rispetto al valore ideale di 0.5 LSB



## NON-LINEARITÀ DIFFERENZIALE (DNL)



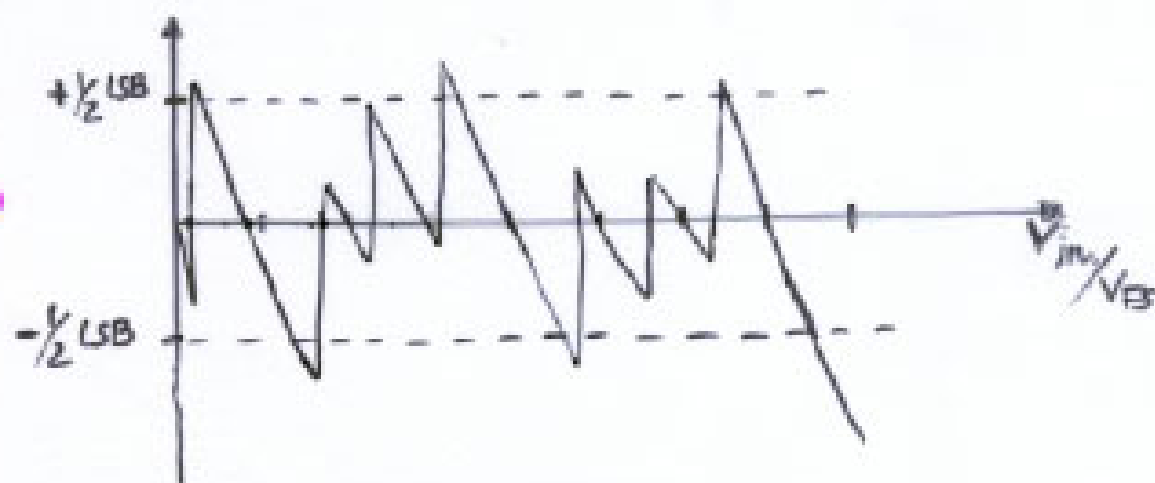
**NON-LINEARITÀ DIFFERENZIALE (DNL):** scostamento tra la larghezza dell'iesimo gradino ed il suo valore ideale pari a  $1\text{LSB}$

La DNL dei due codici estremi è calcolata sottraendo il valore ideale di  $0.5\text{LSB}$  e di  $1.5\text{LSB}$

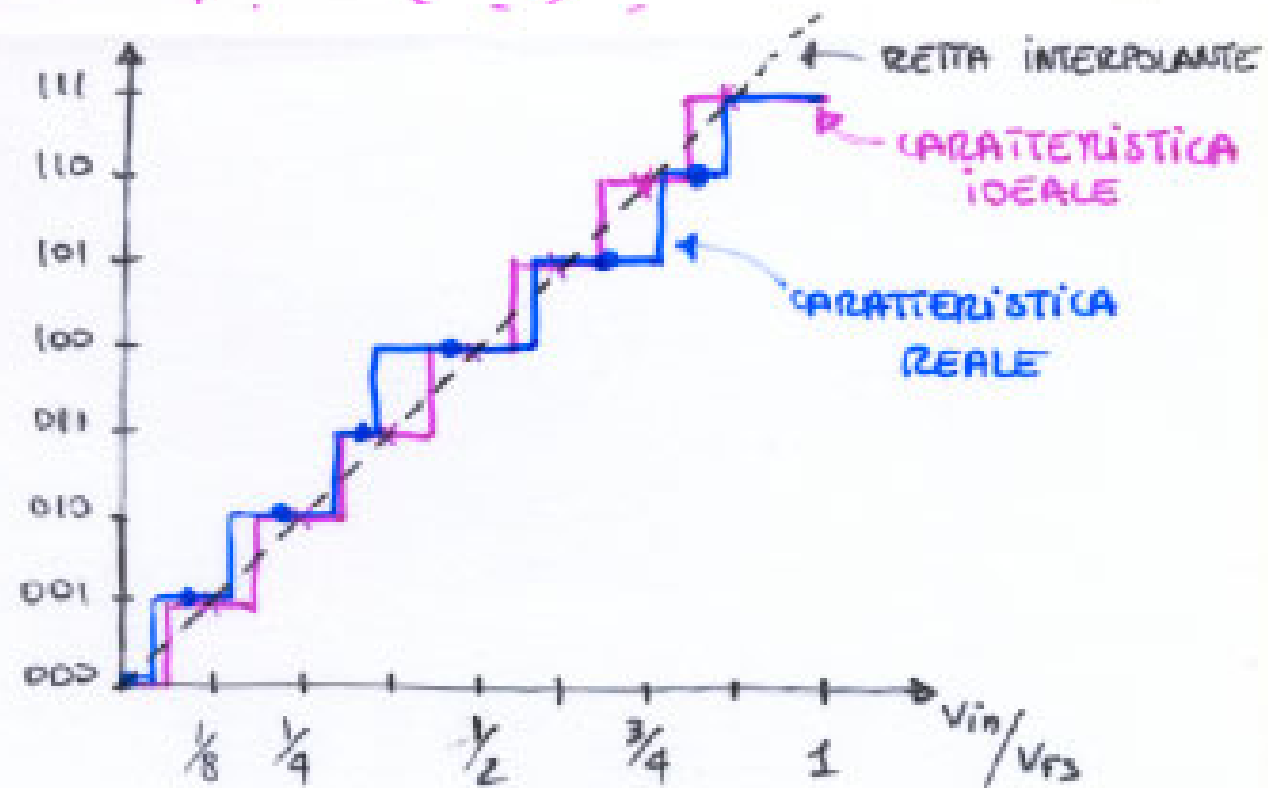
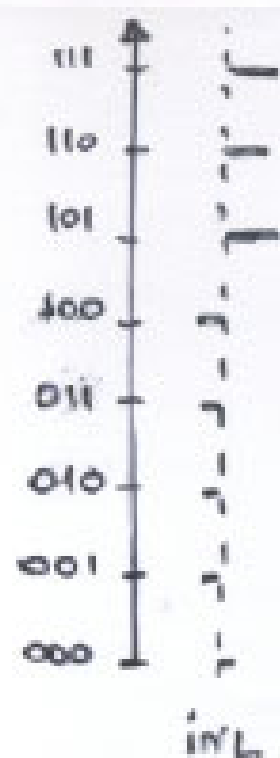
## NON-LINEARITÀ DIFFERENZIALE (DNL)

La presenza di DNL in un ADC reale è causata da un errore di quantizzazione che si discosta da quello di un ADC ideale a pari numero di bit. Infatti ogni gradino più largo di 1LSB corrisponde ad un errore di quantizzazione maggiore di  $\pm \frac{1}{2}$  LSB, mentre a gradini più stretti di 1LSB corrisponde un errore di quantizzazione inferiore a  $\pm \frac{1}{2}$  LSB.

ERRORE DI  
QUANTIZZAZIONE IN  
UN ADC REALE  
AFFETTO DA DNL



## NON-LINEARITÀ INTEGRALE (INL)



**NON-LINEARITÀ INTEGRALE:** scostamento tra il centro del gradino reale e quello ideale

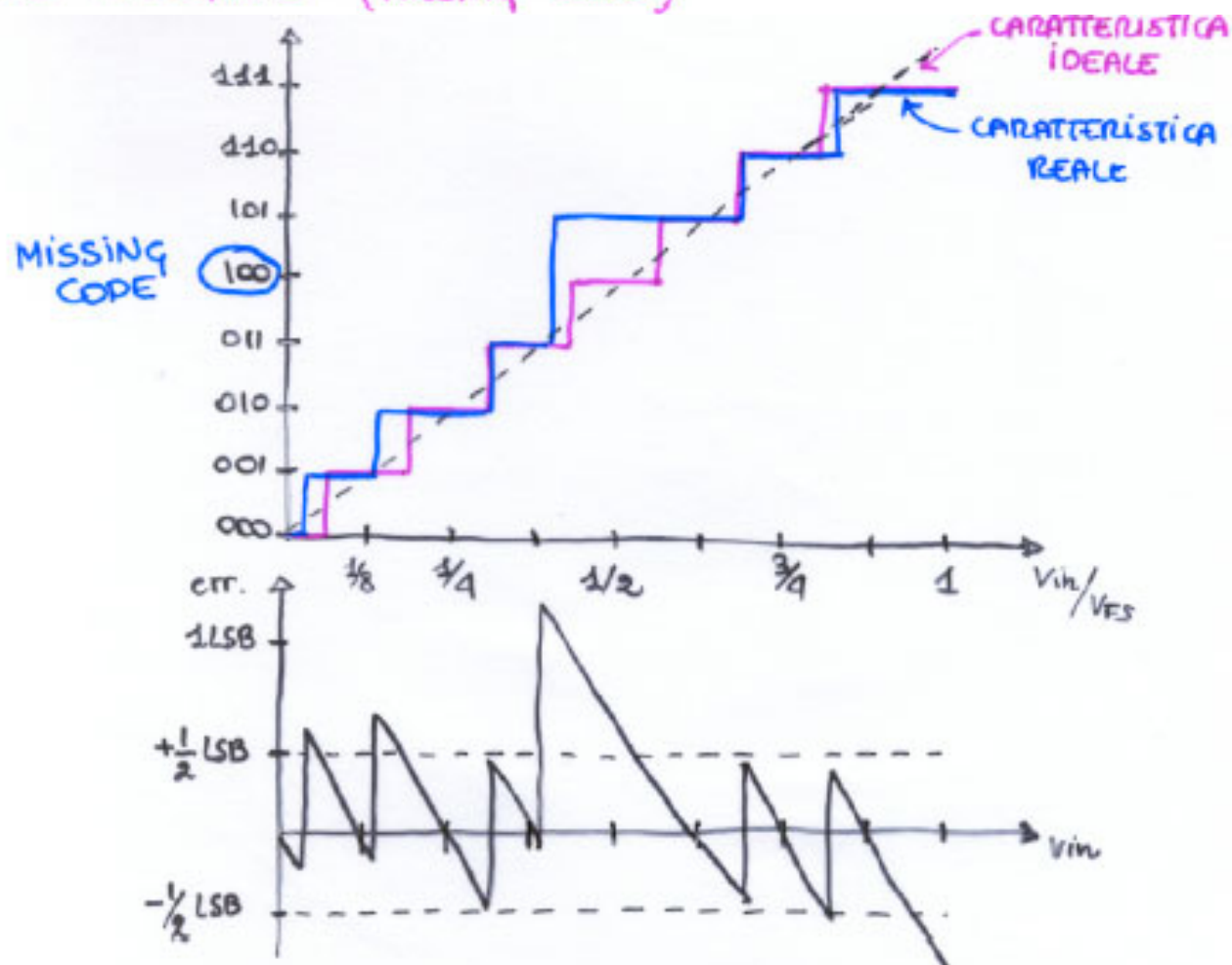
## NON-LINEARITÀ INTEGRALE (INL)

Lo scostamento può essere definito rispetto a :

- \* caratteristica ideale (bisettrice del 1° quadrante)
- \* retta interpolante ai minimi quadrati i centri dei gradini reali
- \* retta congiungente il centro del primo gradino con il centro dell'ultimo gradino.

La non-linearità integrale relativa ad un dato codice è la somma algebrica delle non-linearità differenziali relative a tutti i codici precedenti.

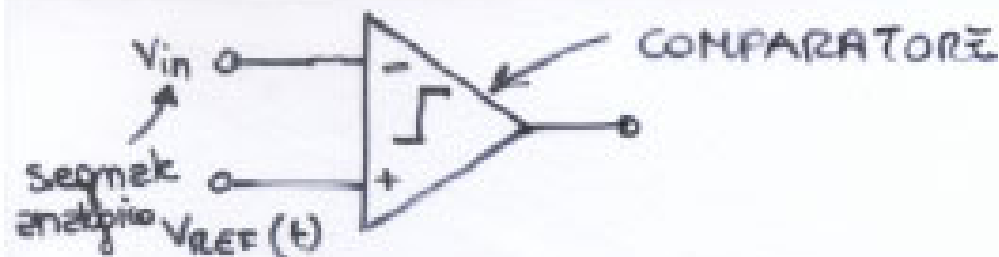
## ERRORE DA CODICE MANCANTE (MISSING CODE)



d'errore da codice mancante si riferisce al fatto che esiste una parola digitale che non verrà mai fornita in uscita dall'ADC (**MISSING CODE**).

la presenza di codici mancanti è fonte di errore di quantizzazione necessariamente maggiore di  $1\text{LSB}$

## STRUTTURA BASE DI UN ADC



↑ tensione di riferimento variata nel tempo secondo opportuni criteri

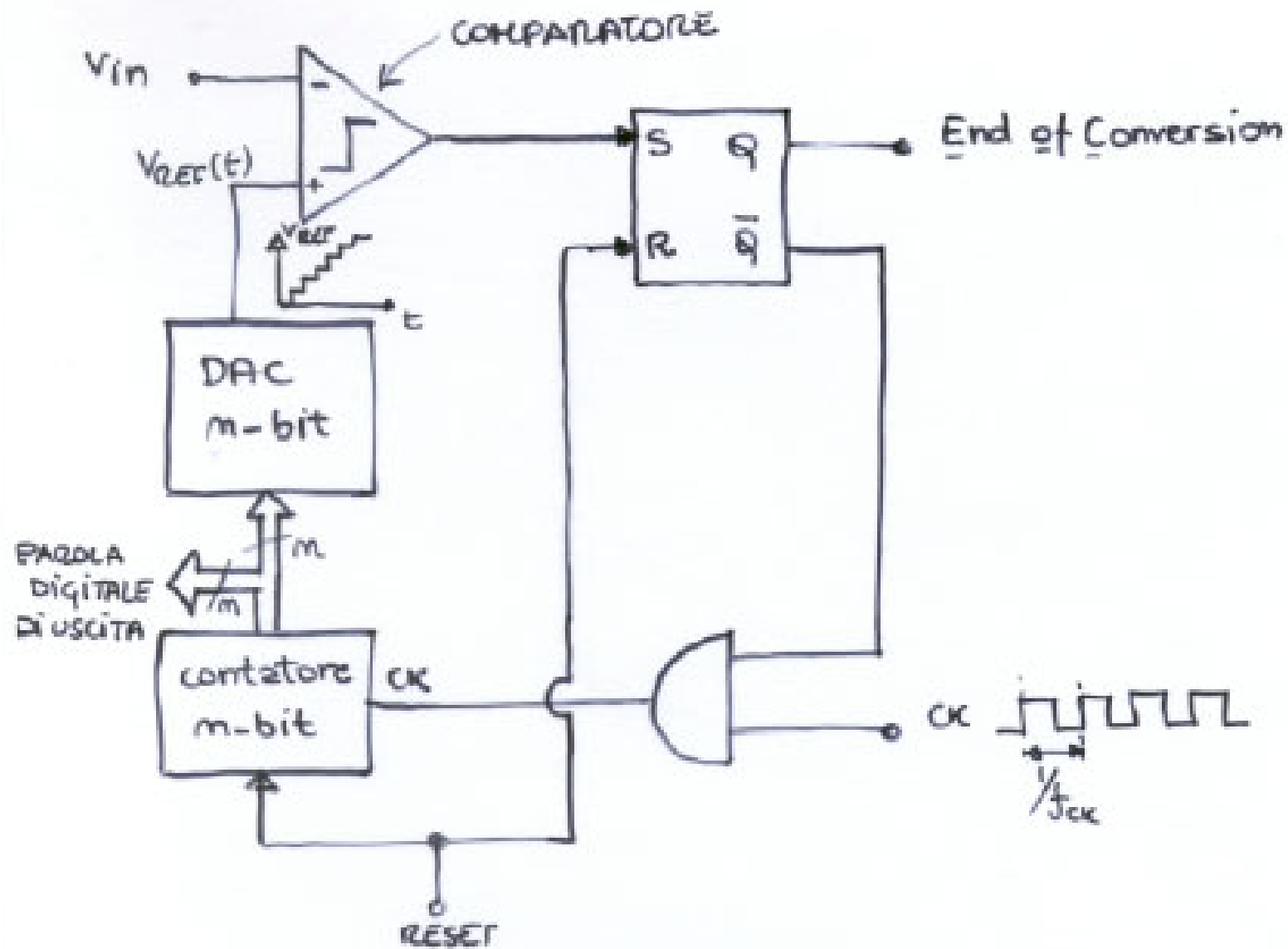
- $V_{in}$  è mantenuta costante durante tutto il tempo della conversione da  $\mu m$  5811

- quando  $|V_{in} - V_{REF}(\bar{t})| \leq \frac{1}{2} \text{ LSB}$

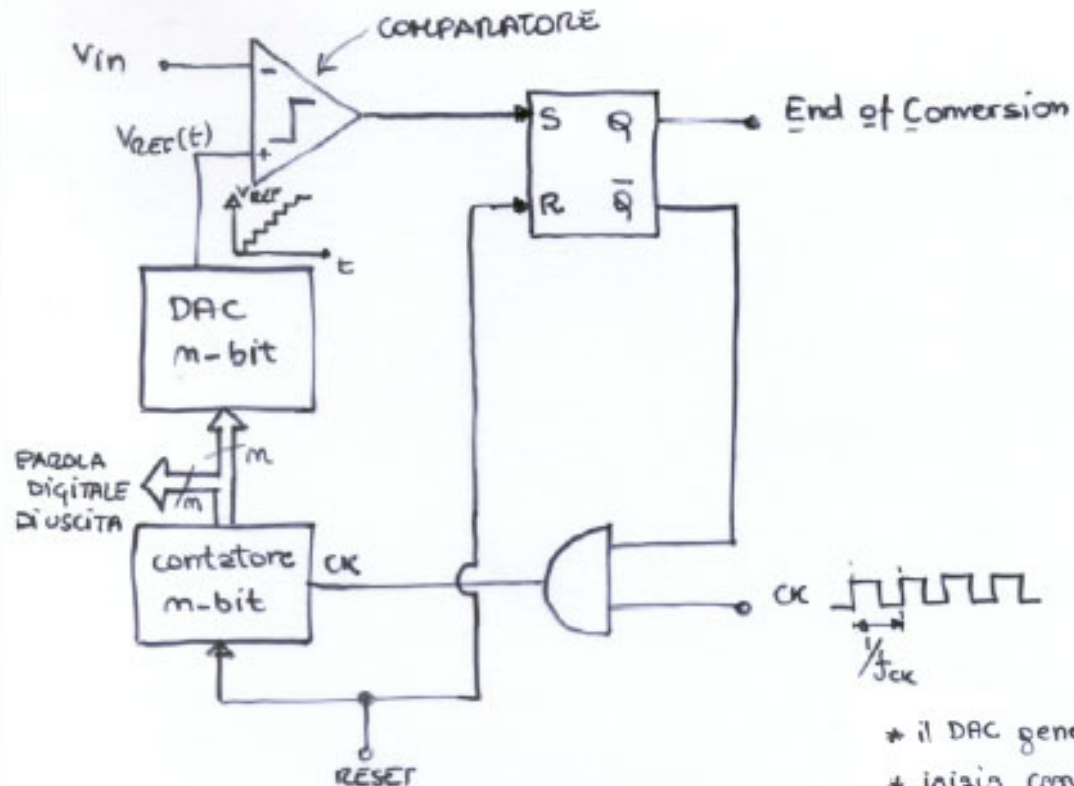


la logica di controllo dell'ADC individua  $i$  bit della parola digitale corrispondente a  $V_{REF}(\bar{t})$  e quindi della parola digitale che rappresenta il codice di conversione della Tensione in ingresso.

# ADC A GRADINATA (1)



## ADC A GRADINATA (1)



- \* il DAC genera una sequenza di  $2^m$  valori discreti
- \* inizio conversione: il RESET azzerà il contatore ed azzererà il reset di un FF SR  $\Rightarrow \bar{Q} = 1$  e il segnale di clock viene dato al contatore  $\Rightarrow$  ad ogni colpo di clock l'uscita del DAC si incrementa di 1 LSB
- \* quando  $V_{REF}(t) > V_{in} \Rightarrow$  comparatore commuta e azzererà il SET del FF  $\Rightarrow \bar{Q} = 0$  e viene bloccato il contatore.  $Eoc = 1 \Rightarrow$  la parola digitale in uscita è quella corrispondente alla Tensione analogica di ingresso.



**TEMPO DI CONVERSIONE:** varia proporzionalmente all'ampiezza del segnale di ingresso.



## ADC A GRADINATA (2)

$$V_{in} = 0 \Rightarrow T_{conv}|_{min} = 0$$

$V_{in} \simeq V_{FS} \Rightarrow$  l'uscita del DAC necessita di  $2^m$  colpi di clock per portarsi a  $(V_{FS} - \frac{V_{FS}}{2^m})$

$$\hookrightarrow T_{conv}|_{max} \approx \frac{2^m}{f_{clk}}$$



😞 velocità di conversione relativamente bassa

ADC a 10 bit  $\Rightarrow V_{in} \simeq V_{FS}$  necessita di 1024 colpi di clock per essere convertito

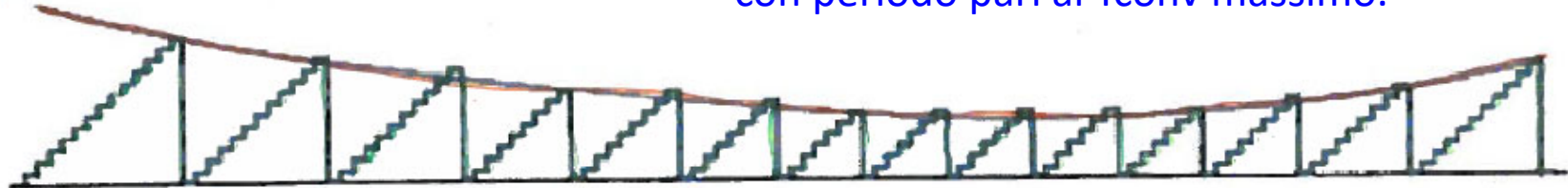
$$f_{clk} = 1 \text{ MHz} \Rightarrow T_{conv}|_{max} = 1.024 \text{ ms} \Rightarrow \approx 1000 \text{ convers./s}$$

😊 architettura semplice, basata su pochi blocchi funzionali  
 $\hookrightarrow$  ADC economico

😞 la parola digitale fornita in uscita è il più piccolo valore di  $V_{DAC}$  che sia maggiore di  $V_{in}$ , ma non è necessariamente il valore di  $V_{DAC}$  più vicino a  $V_{in} \Rightarrow V_{in}$  è sempre sovrastimato

# ADC A GRADINATA

Analog  
input



Time →

PS: a differenza dal grafico, normalmente la conversione viene fatta partire periodicamente, con periodo pari al  $T_{conv}$  massimo.

Digital  
output



Time →

Digital  
output

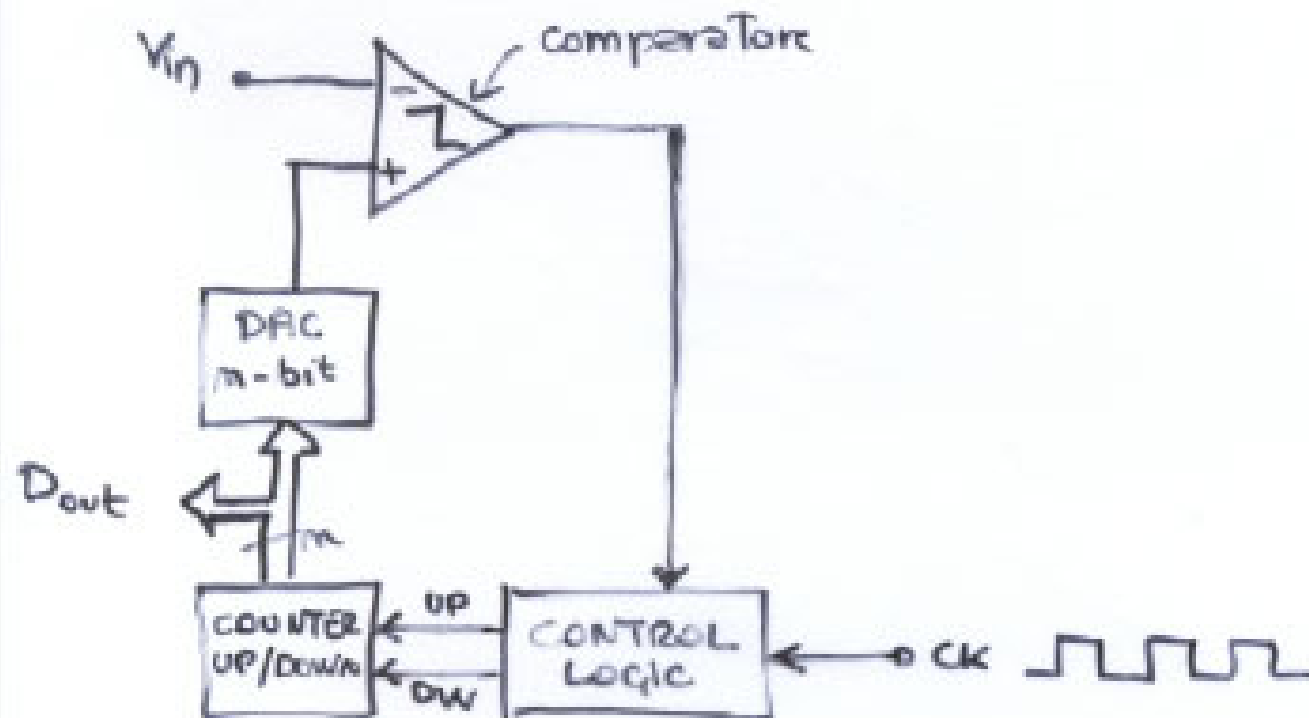


longer  
time

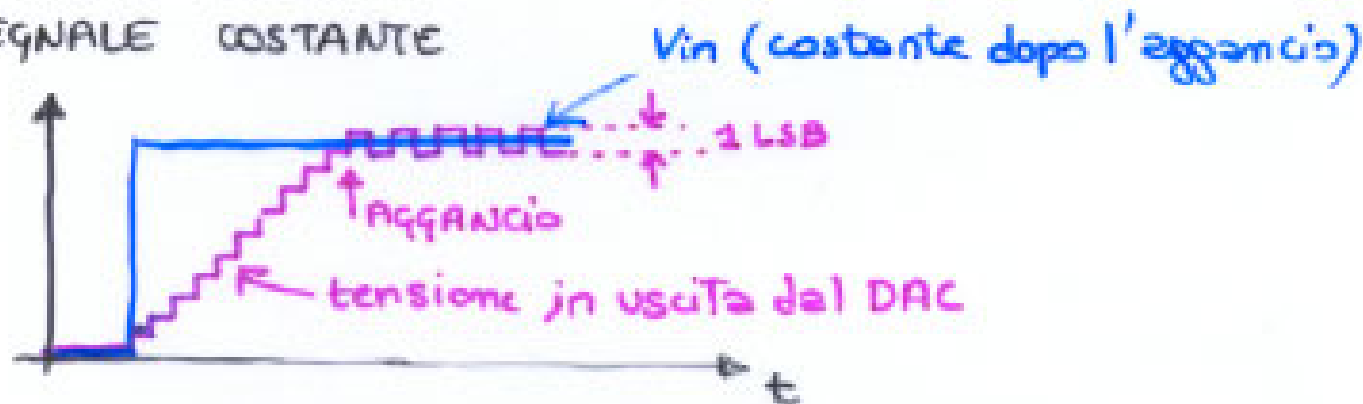
shorter  
time

## ADC TRACKING

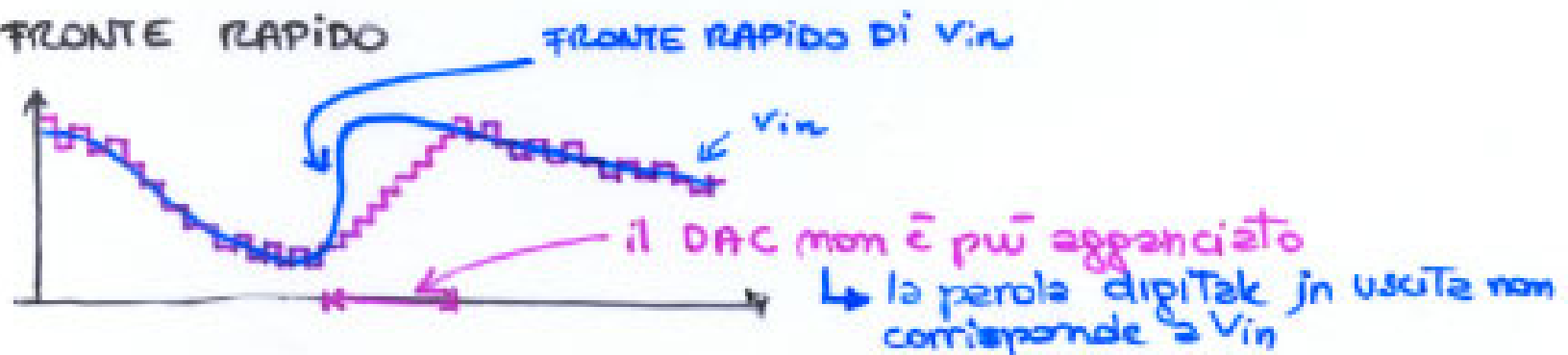
È ottenuto da un ADC a gradinata sostituendo il comparatore con un counter UP/DOWN



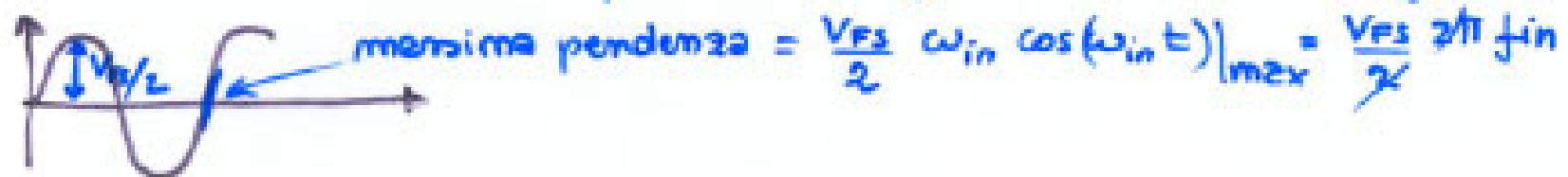
• SEGNALE COSTANTE



• FRONTE RAPIDO



Qual è la massima frequenza di aggancio di un Tracking ADC?

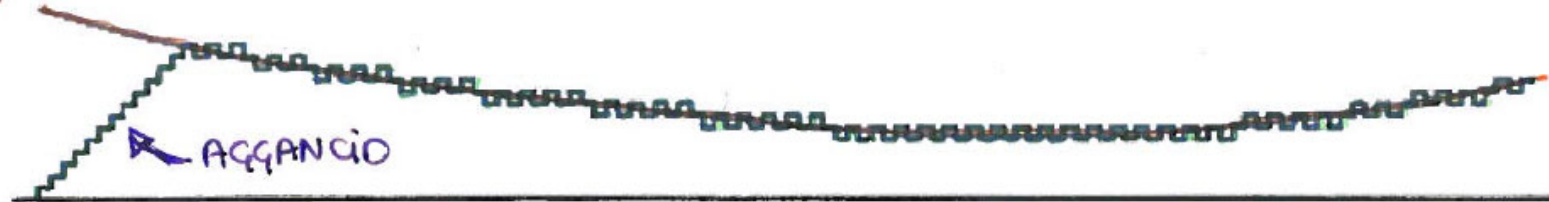


massima velocità di variazione dell'uscita del DAC:  $1 \text{ LSB} \times f_{CK} = \frac{V_{FS}}{2^n} \times f_{CK}$

↳  $V_{FS} \pi f_{in} < \left( \frac{V_{FS}}{2^n} \right) f_{CK} \Rightarrow f_{in} < \frac{f_{CK}}{2^n \pi}$       $f_{CK} = 1 \text{ MHz}; n = 10 \Rightarrow f_{in} < 300 \text{ Hz}!!$

## ADC TRACKING

Analog  
input



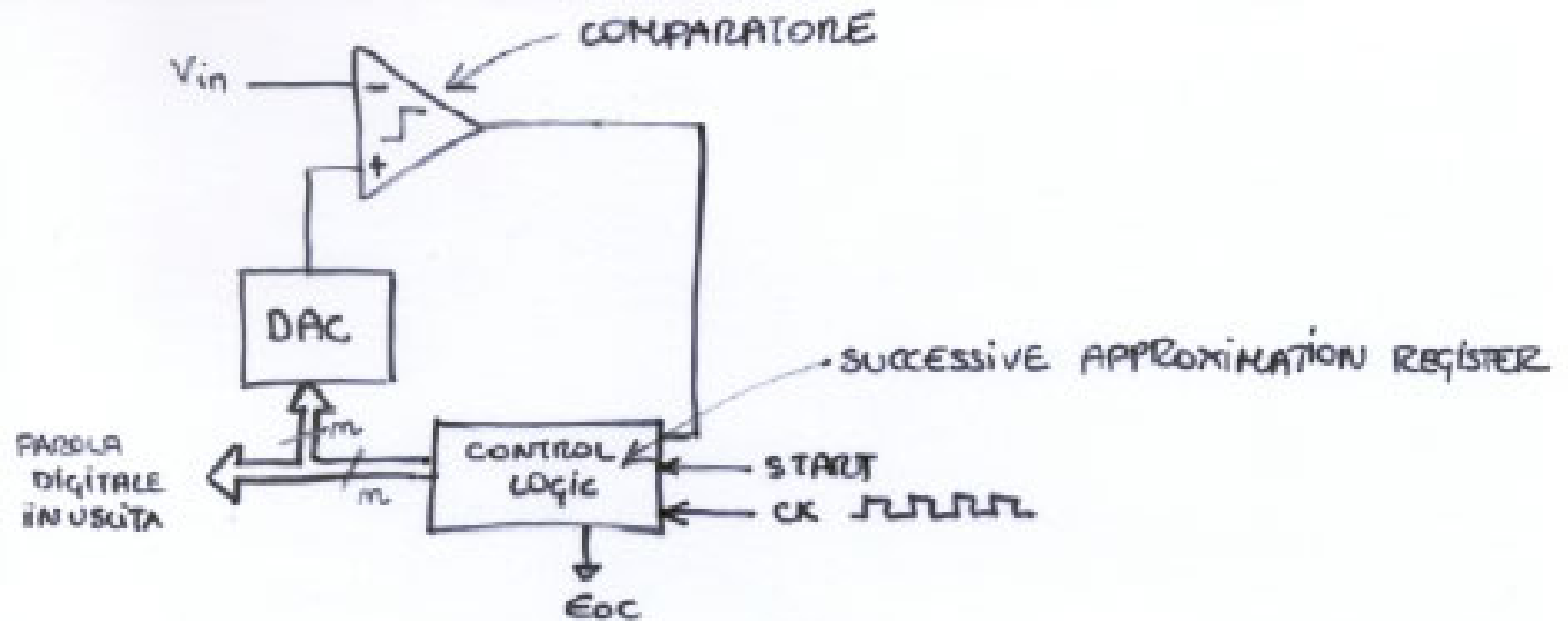
Time →

Digital  
output



Time →

# ADC AD APPROSSIMAZIONI SUCCESSIVE



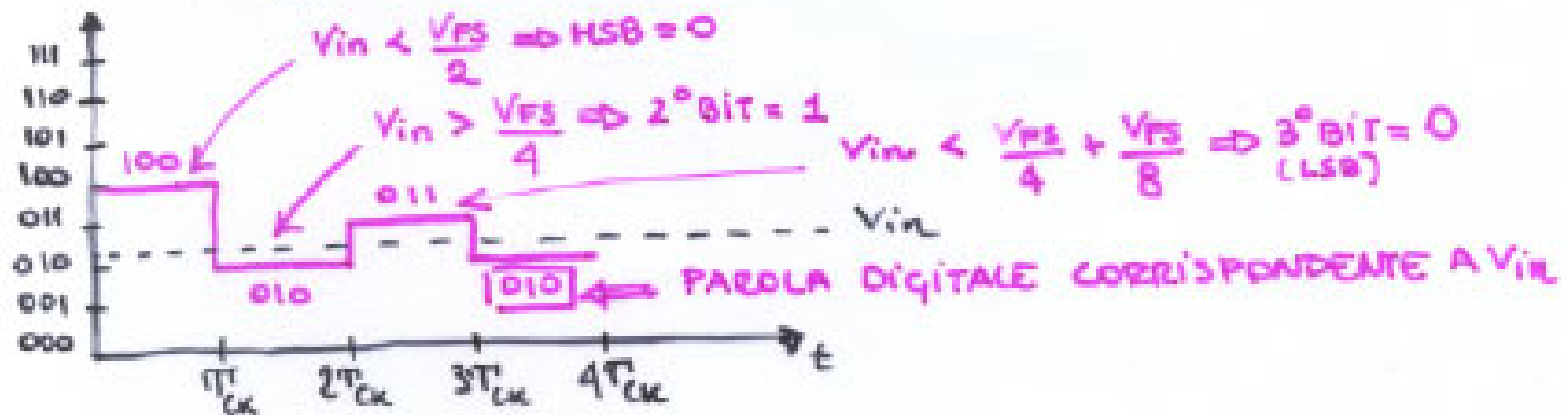
# ADC AD APPROSSIMAZIONI SUCCESSIVE

La logica di controllo aziona inizialmente il MSB  $\Rightarrow V_{DAC} = \frac{V_{FS}}{2}$

$$MSB = 1 \quad \text{se } V_{in} \geq \frac{V_{FS}}{2}$$

$$MSB = 0 \quad \text{se } V_{in} < \frac{V_{FS}}{2}$$

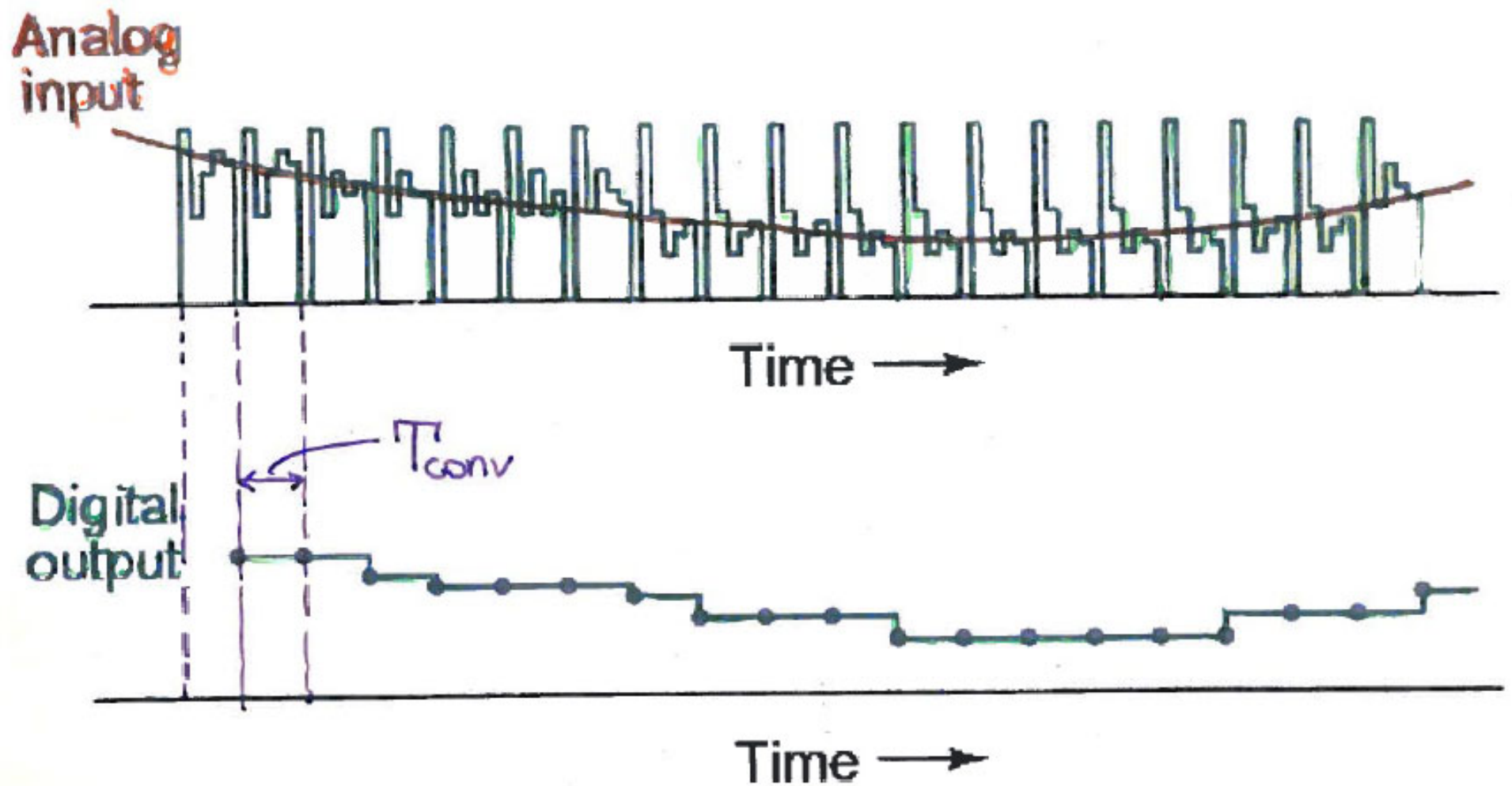
e così via fino all'esaurimento dei bit



**TEMPO DI CONVERSIONE**  $T_{CONV} = \frac{n}{f_{CK}}$  (ADC-10bit;  $f_{CK} = 1\text{MHz} \Rightarrow T_{CONV} = 10\mu s$ )

$T_{CONV}$  limitato dal settling time del DAC e dal tempo di risposta del comparatore. In generale, il ritardo della logica SAR è trascurabile.

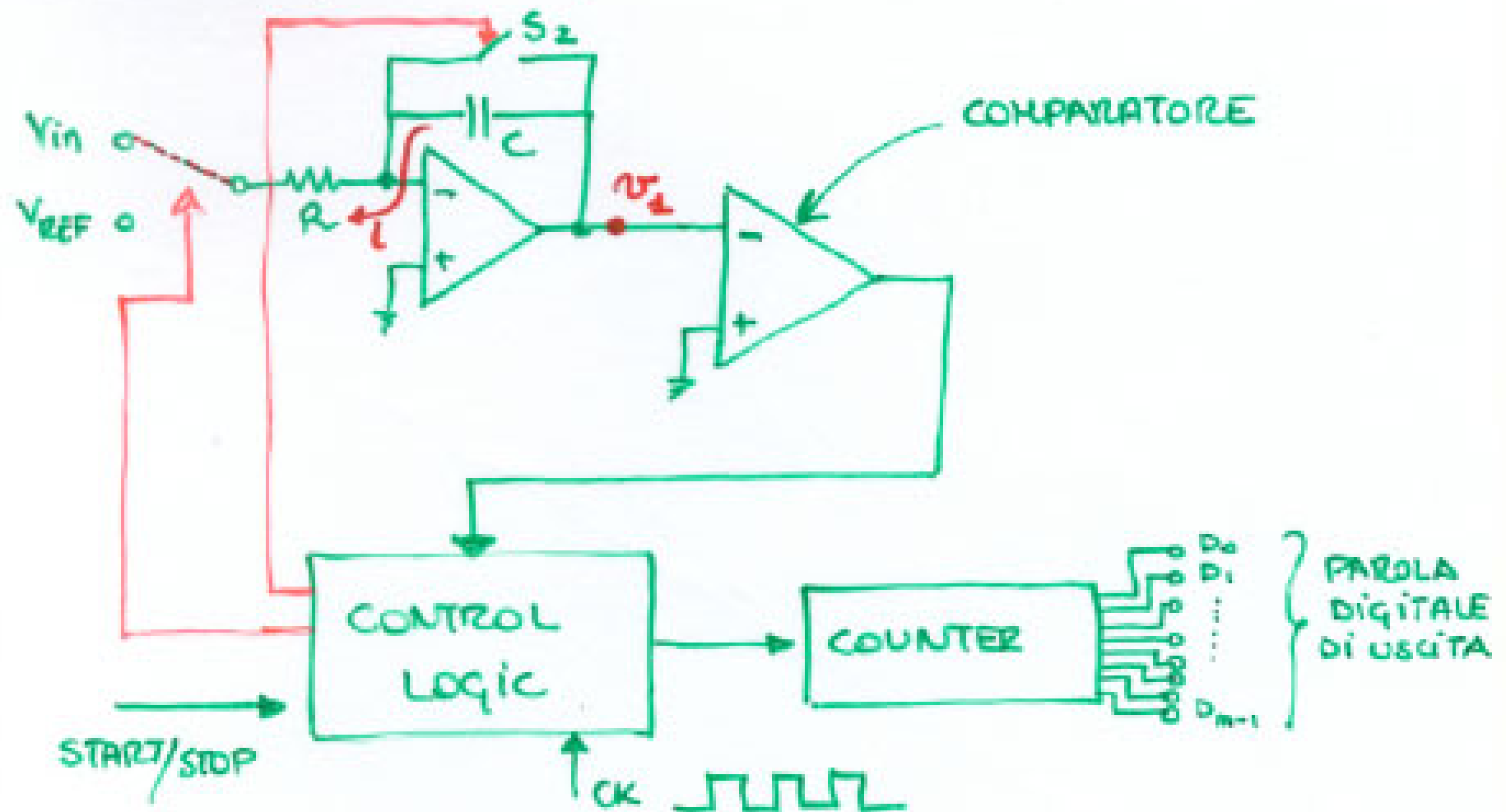
## ADC AD APPROSSIMAZIONI SUCCESSIVE





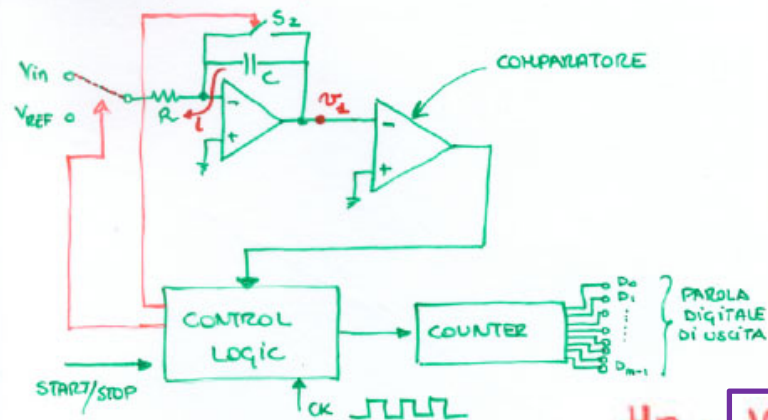
# ADC A DOPPIA RAMPA (DUAL-SLOPE ADC) (1)

Architettura idonea per ADC ad elevata risoluzione



## ADC A DOPPIA RAMPA (DUAL-SLOPE ADC) (1)

Architettura idonea per ADC ad elevata risoluzione



HP:  $V_{in} < 0$

⇒ PRIMA DELL'INIZIO DELLA CONVERSIONE:  $S_2$  CHIUSO  $\Rightarrow V_2 = 0$

⇒ INIZIO DEL CICLO DI CONVERSIONE: FASE 1

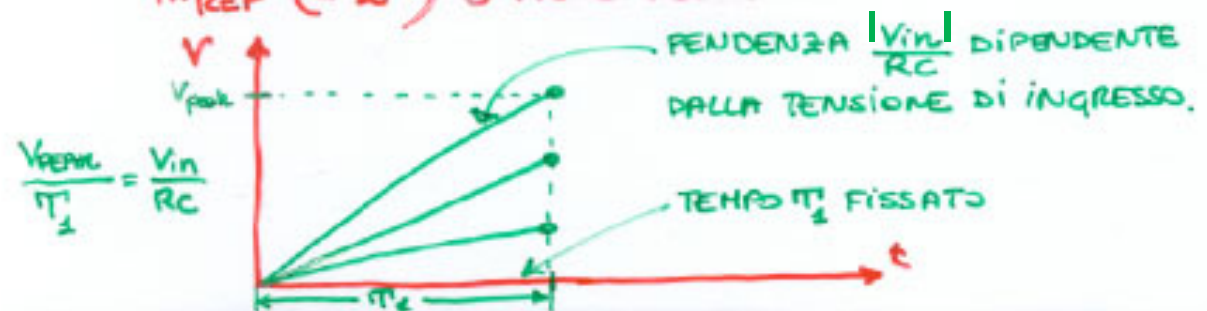
- $S_2$  SI APRE

- $S_1$  CONNETTE L'INGRESSO DELL'INTEGRATORE A  $V_{in}$

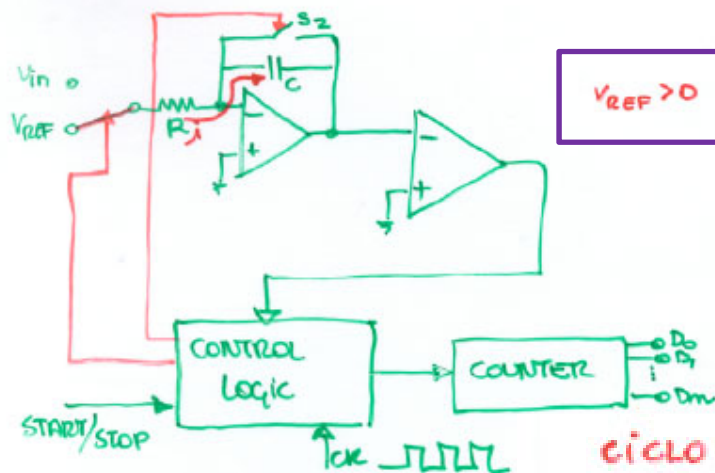
↳  $i = \frac{V_{in}}{R} \Rightarrow V_2$  CRESCE LINEARMENTE (PENDENZA  $\frac{i}{C} = \frac{V_{in}}{RC}$ )

- CONTATORE È ABILITATO E CONTA PER UN TEMPO  $\pi_1$

↳ la prima fase termina quando il contatore ha contato  $m_{REF} (= 2^m)$  e viene resettato

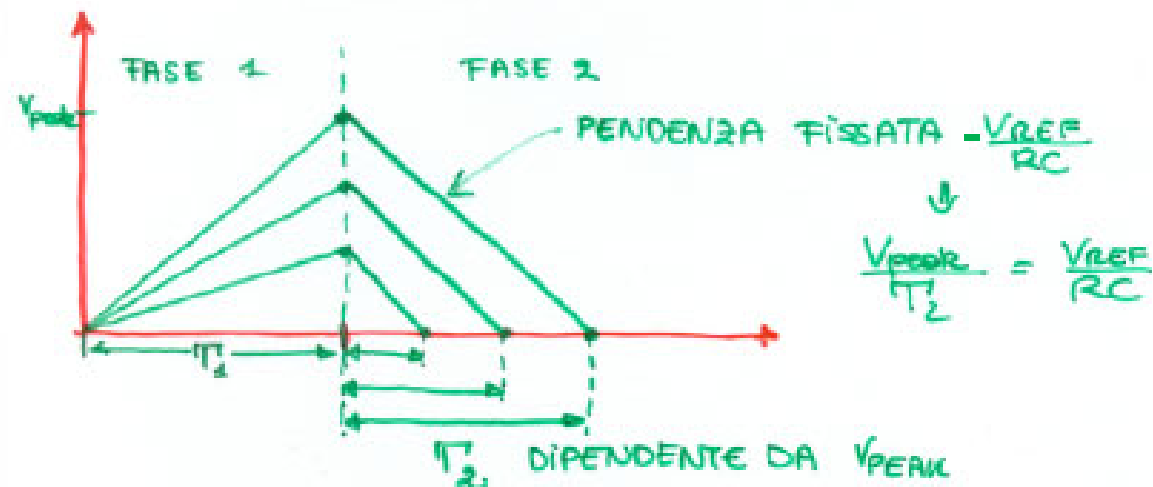


## ADC A DOPPIA RAMPA (2)



### CICLO DI CONVERSIONE: FASE 2

- $S_2$  CONNETTE LA TENSIONE  $V_{REF}$  ALL'INGRESSO DELL'INTEGRATORE  
 $\rightarrow i = \frac{V_{REF}}{R} \Rightarrow V_1$  DECRESCe LINEARMENTE (PENDENZA  $\frac{V_{REF}}{RC}$ )
- IL CONTATORE È ABILITATO E CONTA
- QUANDO  $V_1 = 0 \Rightarrow$  IL COMPARATORE COMUTA E LA LOGICA FERMA IL CONTATORE



## ADC A DOPPIA RAMP (3)

FASE 1:  $\frac{V_{peak}}{T_1} = \frac{V_{in}}{RC}$

FASE 2:  $\frac{V_{peak}}{T_2} = \frac{V_{REF}}{RC}$

$$\left. \begin{array}{l} \text{FASE 1: } \frac{V_{peak}}{T_1} = \frac{V_{in}}{RC} \\ \text{FASE 2: } \frac{V_{peak}}{T_2} = \frac{V_{REF}}{RC} \end{array} \right\} \Rightarrow \frac{V_{in}}{RC} T_1 = \frac{V_{REF}}{RC} T_2$$
$$\downarrow$$
$$T_1 V_{in} = T_2 V_{REF}$$

$$\hookrightarrow T_2 = \frac{V_{in}}{V_{REF}} T_1$$

MA:  $m_{REF}$  È PROPORZIONALE A  $T_1$

$k$  (CONTÉGGO DEL COUNTER @  $T_2$ ) È PROPORZIONALE A  $T_2$



$$k = m_{REF} \left( \frac{V_{in}}{V_{REF}} \right) = \frac{m_{REF}}{V_{REF}} \cdot V_{in} = \underbrace{\frac{2^m}{V_{REF}}}_{\text{RISOLUZIONE DELL'ADC}} \cdot V_{in}$$

↳ la parola digitale  $k$  in uscita al contatore al tempo  $T_2$  è la parola digitale equivalente a  $V_{in}$

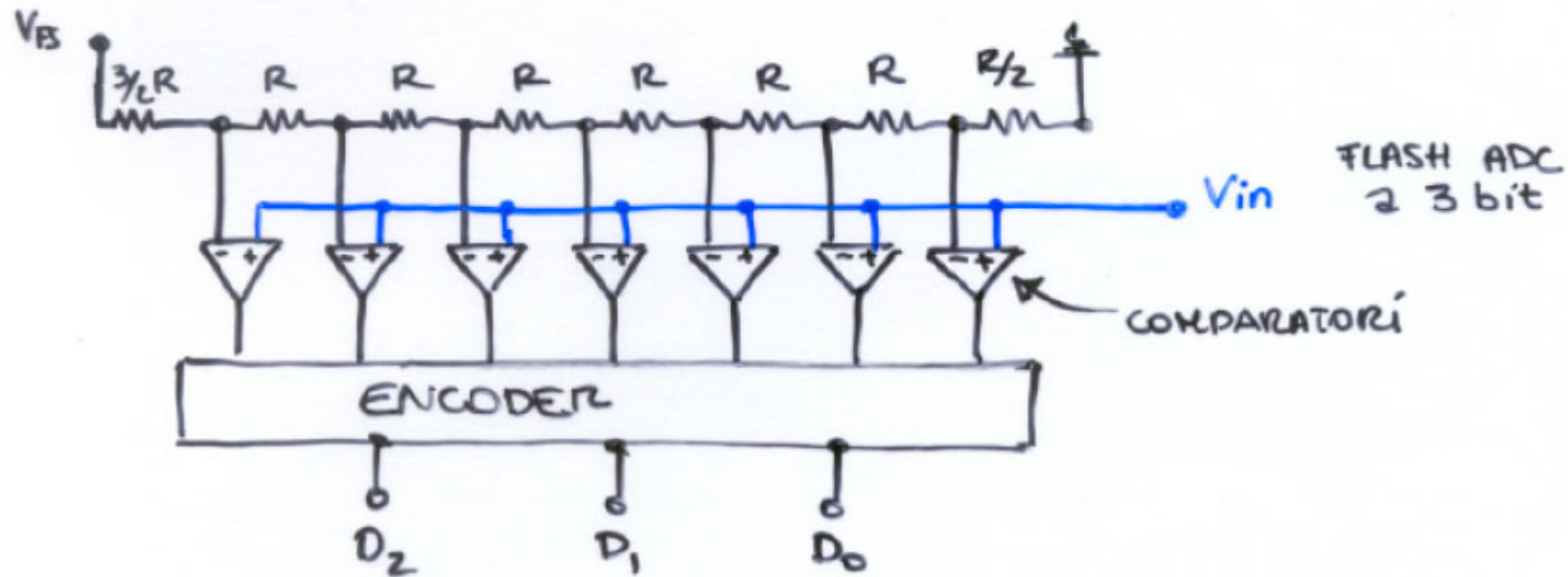
😊 elevata accuratezza, poiché le prestazioni non dipendono dalle tolleranze sui valori di  $R$  e  $C$

😊 ridotto numero di componenti e blocchi circuitali

😞 tempi di conversione piuttosto lunghi

## FLASH ADC

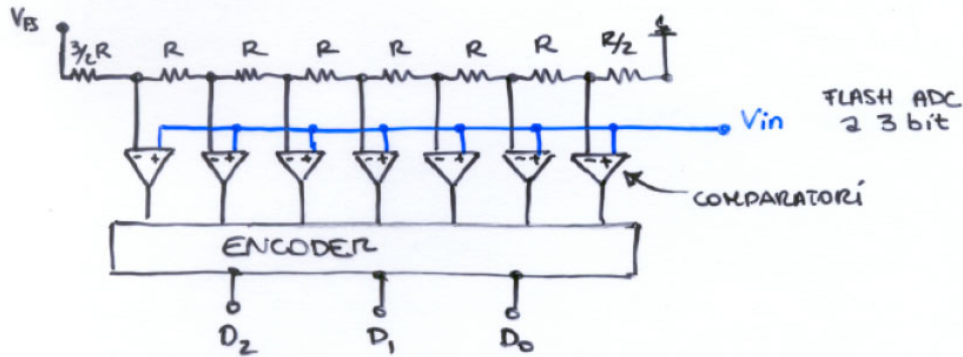
Per raggiungere elevate velocità di conversione è necessario ricorrere ad ADC basati su architetture di Tipo parallelo.





## FLASH ADC

Per raggiungere elevate velocità di conversione è necessario ricorrere ad ADC basati su architetture di Tipo parallelo.



- \* Il segnale analogico è confrontato con  $2^m - 1$  diverse Tensioni di riferimento ottenute con un partitore di resistenze ad elevata precisione.
- \* Le uscite dei comparatori sono codificate dall'encoder per fornire la parola digitale di uscita
- ☹ Servono  $2^m - 1$  comparatori e  $2^m$  resistenze ad elevata precisione  
↳ architettura flash adatta per ADC a basso numero di bit
- ☹ L'offset dei comparatori degrada la linearità dell'ADC
- 😊 Tempi di conversione molto brevi, limitati solo dai tempi di ritardo dei comparatori e della rete logica  
↳  $\tau_{conv} \approx$  decine di ns.

## • DINAMICA DELL'ADC

È data dal rapporto tra il massimo valore formibile dall'ADC e il valore del minimo intervallo di tensione che può essere discriminato

$$\begin{aligned}\text{DINAMICA} &= 20 \log \frac{\text{FSR}}{\text{LSB}} = 20 \log \frac{\text{FSR}}{\frac{\text{FSR}}{2^n}} = 20 \log 2^n = \\ &= 6.02 \cdot n\end{aligned}$$

ADC a 12 bit con  $V_{\text{REF}} = 5V$

000000000000  $\Rightarrow \frac{V_{\text{REF}}}{2^{12}} = \frac{5V}{4096} = 1.22 \text{ mV}$

1111111111  $\Rightarrow V_{\text{REF}} = 5V$

↳  $\text{DINAMICA} = 20 \log \frac{5V}{1.22 \text{ mV}} = 72 \text{ dB}$

$\downarrow$   
 $= 12 \cdot 6.02 = 72 \text{ dB}$

## dinamica segnale analogico vs. dinamica ingresso ADC

L'uscita dell'ADC (anche se ideale) può perdere risoluzione in tutti i casi in cui il segnale analogico in ingresso presenta un'ampiezza minore della massima ampiezza consentita.

↳ il segnale di ingresso non sfrutta l'intera dinamica

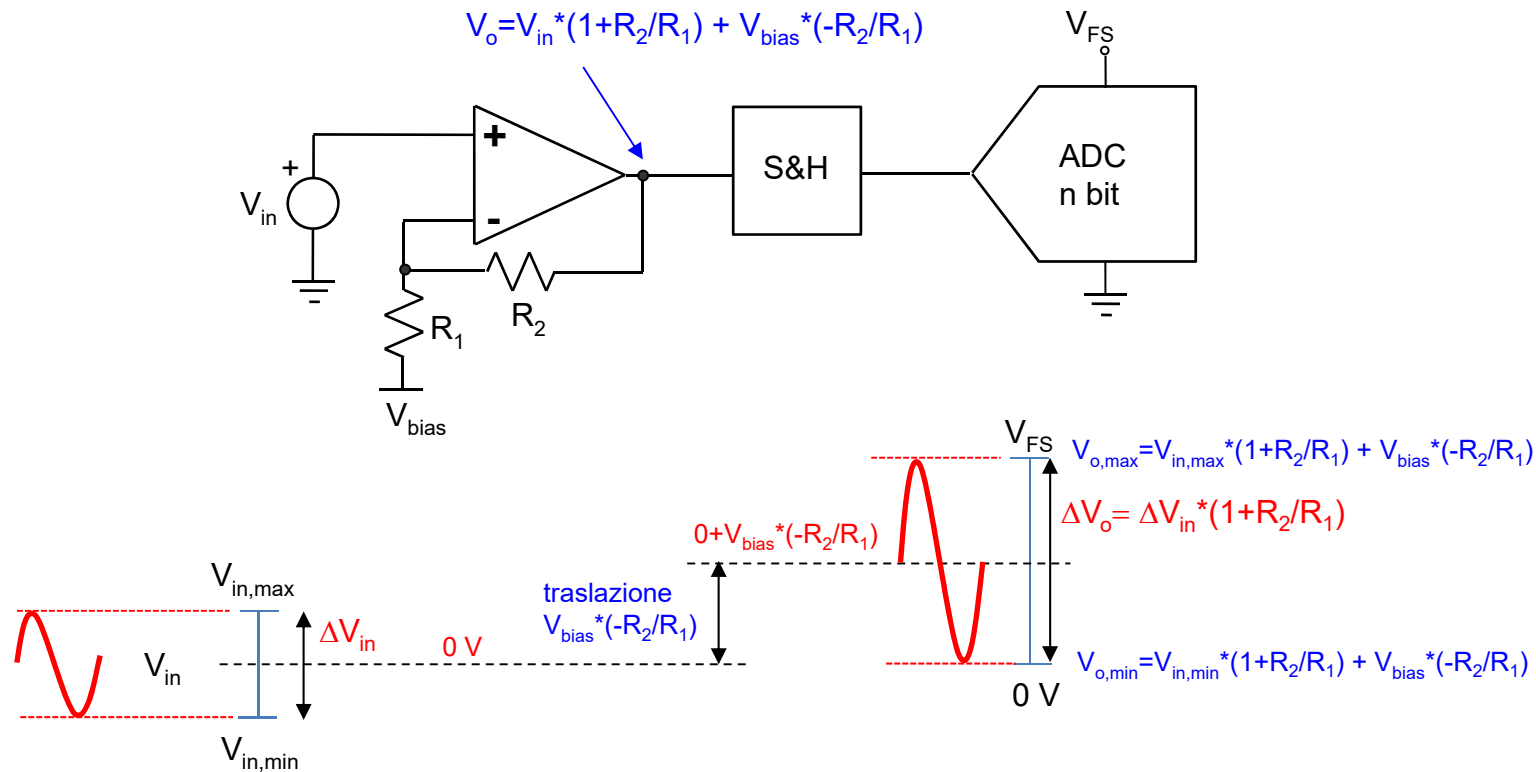


Quando il segnale di ingresso non ha ampiezza sufficiente per sfruttare l'intera dinamica dell'ADC è conveniente amplificare preliminarmente il segnale di ingresso per "portarlo in dinamica".



## Esempio:

Segnale di ingresso con: i) dinamica ridotta rispetto a ADC e ii) non contenuta totalmente entro la dinamica di ingresso dell'ADC. Uso uno stadio di amplificazione con un secondo ingresso DC per amplificare e traslare il segnale di ingresso in modo da sfruttare tutta la dinamica dell'ADC.



- dimensionando lo stadio di amplificazione e la tensione di bias tali da allineare dinamica-segnale a dinamica-ADC, si avr  una migliore risoluzione in ingresso:  $LSB_{in} = LSB_{ADC} / (V_o/V_{in}) = LSB_{ADC} / (1 + R_2/R_1)$
- invece in assenza di amplificazione si avr  semplicemente  $LSB_{in} = LSB_{ADC}$  (e il taglio dell'intervallo convertibile dell'ingresso).