



UNIVERSITÀ
DEGLI STUDI
FIRENZE

Scuola di
Scienze Matematiche
Fisiche e Naturali
Corso di Laurea magistrale in
Fisica Nucleare e Subnucleare

**Sviluppo di un sistema innovativo di
alimentazione del tracciatore interno di
CMS per la fase ad alta luminosità di LHC.**

Titolo inglese

Relatore:
Giacomo Sguazzoni

Correlatore:

Candidato:
Andrea Fiaschi

Anno Accademico: 2017/2018

INDICE

1	Introduzione	4
1.1	Modello Standard	4
1.2	LHC e l'esperimento CMS	6
1.3	HL-LHC	9
1.3.1	Obiettivi	10
1.4	Esperimento CMS	11
1.4.1	Il rivelatore CMS	13
1.4.2	Tracciatore	16
1.4.3	Tracciatore di fase II	17
1.4.4	Tracciatore interno	19
2	Alimentazione seriale	24
2.1	Caratteristiche dell'alimentazione seriale	24
2.2	Alimentazione seriale con RD53A	25
2.3	Evoluzione design SLDO	29
2.3.1	PCB	32
2.4	Caratterizzazione ShuntLDO da 0.5A	33
2.5	ShuntLDO 2A	36
2.6	Comportamento statico	36
2.6.1	Differenze tra GND PCB e GND SLDO	37
2.6.2	Offset	39
2.7	Comportamento dinamico	41
3	RD53A	53
3.1	Organizzazione del chip	53
3.2	Front End	54

3.3	Alimentazione	59
3.4	Single Chip Card	60
3.5	Misure Statiche con chip	63
3.5.1	Variazioni di carico	67
3.5.2	Fast ramp-up	69
3.6	Sistemi di acquisizione dati	70
3.7	Setup	70
3.8	Scansioni	71
3.8.1	LDOvsSLDO	71
3.9	Sviluppi	71
4	Conclusioni	73

CAPITOLO 1

INTRODUZIONE

1.1 Modello Standard

MA TUTTO QUESTO PIPPONE SUL MS SERVE??????

Il *Modello Standard* (MS) è la teoria che ad oggi descrive meglio la fenomenologia delle interazioni tra particelle elementari. Questa teoria, formulata nella seconda metà del novecento riesce a descrivere tre delle quattro interazioni fondamentali: interazione elettromagnetica, interazione debole e interazione forte, mentre ad oggi non esiste una estensione della teoria che comprenda l'interazione gravitazionale.

Il Modello Standard descrive la materia come composta da due tipi di particelle, entrambi fermioni con spin $1/2$, *leptoni* e *quark*:

- i *leptoni* hanno carica elettrica intera e quelli conosciuti sono sei, suddivisi in tre generazioni di doppietti con massa crescente. Ogni doppietto è costituito da una particella con carica $Q = -1$ che ha interazioni elettrodeboli, rispettivamente l'elettrone e , il muone μ e il leptone tau τ nelle tre generazioni. Il doppietto è completato da una particella neutra chiamata *neutrino*, ν_e , ν_μ e ν_τ rispettivamente, che interagisce solo per interazione debole.
- Analogamente ai leptoni i *quark* sono organizzati in doppietti. In questo caso però la carica è frazionaria: la componente superiore del doppietto ha carica $Q = 2/3$ ed è costituita dai quark u , c e t rispettivamente per le tre generazioni. La componente inferiore ha carica $Q = -1/3$ ed è costituita dai quark d , s e b rispettivamente per le tre generazioni.

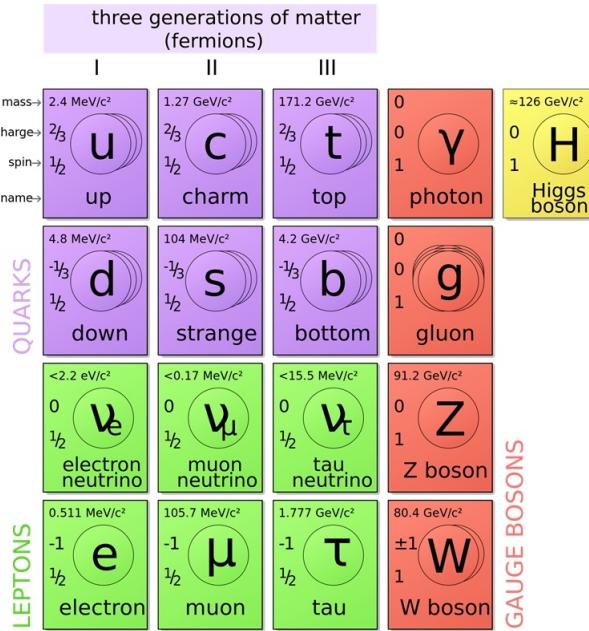


Figura 1.1: Particelle elementari del Modello Standard.

I quark interagiscono sia elettrodebole che forte e quest'ultima interazione è alla base della formazione di stati legati chiamati adroni, come ad esempio neutrone e protone.

Ad ognuna di queste particelle corrisponde una antiparticella che ha i numeri quantici opposti ma stessa massa e spin. Oltre alle antiparticelle il Modello Standard prevede l'esistenza dei *bosoni di gauge* e del *bosone di Higgs*. I primi sono i mediatori delle interazioni che, a loro volta, derivano dalle simmetrie insite nella teoria:

- il *fotone* è responsabile della mediazione dell'interazione elettromagnetica;
- i *bosoni W^\pm* e *Z*, sono i mediatori dell'interazione debole; un'esempio in cui entra in gioco questa forza è il decadimento β . Questi bosoni, sono massivi, circa $80 \text{ GeV}/c^2$ e $91 \text{ GeV}/c^2$ rispettivamente.
- I *gluoni* sono i mediatori dell'interazione forte.

Come detto precedentemente la forza gravitazionale non è descritta dal MS, ma risulta essere trascurabile nelle interazione tra particelle, in quanto la sua intensità, paragonata a quella delle altre tre forze, è vari ordini di

grandezza inferiore. Nel MS le interazioni sono descritte come manifestazioni di simmetrie di gauge della Lagrangiana. Queste simmetrie non ammettono termini di massa per i bosoni di gauge poiché questo porterebbe alla rottura delle simmetrie stesse. Tuttavia è possibile introdurre un meccanismo di rottura spontanea della simmetria, detto *di Higgs*, da cui derivano i termini di massa per i bosoni di gauge e un ulteriore bosone scalare massivo, il *bosone di Higgs*. Attraverso il meccanismo di Higgs vengono anche introdotti i termini di massa dei fermioni.

Aggiungere un paragrafetto sulle problematiche del MS (dark matter, teoria efficace a bassa energia etc.). Per questo si costruiscono gli acceleratori ...

1.2 LHC e l'esperimento CMS

Il *Large Hadron Collider* o *LHC* è attualmente il più grande acceleratore di particelle mai costruito. Si trova presso il *CERN (European Organization for Nuclear Research)*, collocato in un anello sotterraneo di 27 km nella regione di Ginevra (Svizzera).

LHC è un collider adronico in grado di produrre interazioni protone-protone all'energia di 13 TeV nel centro di massa. È stato progettato con due anelli separati con campo magnetico opposto in modo che i fasci contro-rotanti possano essere costituiti da particelle con la stessa carica elettrica. Questa caratteristica, oltre ad altre, fa di LHC una macchina di frontiera di ineguagliata complessità che ha richiesto una grande innovazione tecnologica.

L'accelerazione dei protoni avviene a stadi come schematizzato in Fig. 1.2: i protoni ottenuti da idrogeno gassoso sono inizialmente accelerati da un acceleratore lineare, LINAC2. Successivamente i protoni sono iniettati nel Proton Synchrotron Booster (PSB) che aumenta l'energia fino a 1.4 GeV e, in seguito, grazie al Proton Synchrotron, raggiungono i 25 GeV. In queste fasi i protoni vengono raggruppati in pacchetti distanti temporalmente 25 ns intervallo che corrisponde alla frequenza di interazioni di 40 MHz a cui LHC opera. I protoni vengono infine accelerati fino ad energie di 450 GeV nel Super Proton Synchrotron (SPS) prima di essere iniettati nei due anelli di LHC in cui subiscono l'ultima fase di accelerazione fino all'energia di 13 TeV prima di farli collidere nei punti in cui sono collocati gli esperimenti.

Il *Compact Muon Solenoid* o *CMS* è uno dei principali esperimenti di LHC, assieme ad ALICE, ATLAS e LHCb.

Lo scopo di questi esperimenti è lo studio del MS e la ricerca della materia oscura e di evidenze di nuova fisica, ovvero fenomeni non previsti dal MS stesso. Questi esperimenti sono collocati nei punti in cui i fasci di particelle

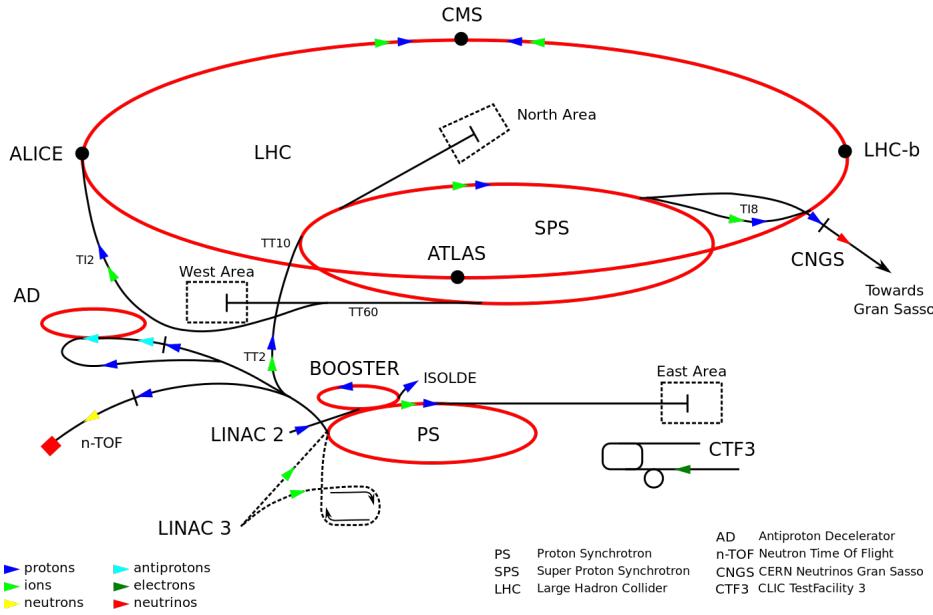


Figura 1.2: Schema di pre-accelerazione e accelerazione di LHC.

si incrociano e le interazioni protone-protone prodotte possono essere quindi registrate ed essere analizzate in seguito. Più nel dettaglio:

- ALICE (A Large Ion Collider Experiment) è un esperimento che studia un stato della materia noto come *quark-gluon plasma*, prodotto nelle collisioni di ioni pesanti dal momento che, oltre alle collisioni protone-protone, LHC può operare come collisionatore ione-ione;
- CMS (Compact Muon Solenoid) e ATLAS (A Toroidal LHC ApparatuS) sono entrambi progettati con lo scopo di investigare il più ampio spettro di fisica possibile. I due esperimenti hanno gli stessi obiettivi, ma sono stati costruiti in modo differente al fine di essere indipendenti nello studio dei processi di interazione che avvengono durante le collisioni tra due protoni. Atlas e CMS nel 2012 hanno scoperto il bosone di Higgs [?].
- LHCb (LHC beauty) è un esperimento che studia la fisica degli adroni contenenti il quark b e la violazione di CP (coniugazione di Carica e Parità) nelle interazioni elettrodeboli.

Altri esperimenti presenti ad LHC, ma di dimensioni minori sono TOTEM e LHCf:

- TOTEM (TOTal Elastic and diffractive cross section Measurement), ha come fine lo studio della fisica diffrettiva a piccolo angolo nelle interazioni protone-protone;
- LHCf (LHC forward) è composto da due rivelatori che sono posizionati a 140m dal punto di collisione di ATLAS per lo studio delle interazioni calorimetriche dei pioni neutri a grande rapidità e altissima energia, con lo scopo di verificare i modelli di simulazione per meglio modelizzare il comportamento dei raggi cosmici primari nell'interazione con l'atmosfera.

In un acceleratore due sono i parametri operativi fondamentali che ne determinano il potenziale di scoperta e la capacità di effettuare accurate misure di fisica: l'energia del centro di massa e la luminosità.

Più grande l'energia nel centro di massa, maggiore la massa delle particelle che possono essere prodotte e, in generale, a parità di massa, è maggiore la sezione d'urto di produzione e quindi il numero di potenziali osservazioni. L'energia nel centro di massa di LHC è attualmente $\sqrt{s} = 13 \text{ TeV}$ a cui si è arrivati gradualmente: durante il RunI (2010-2012) l'energia del centro di massa è stata compresa tra 7 e 8 TeV ed è stata incrementata al valore attuale per il RunII (2015-2018).

La struttura non elementare dei protoni, costituiti internamente da partoni (quark e gluoni) che si dividono l'impulso totale, permette di produrre stati di energia intermedia fino al limite cinematico dell'energia del centro di massa e quindi di esplorare un ampio intervallo di energie senza dover modificare i parametri di funzionamento dell'acceleratore. Nella collisione l'interazione effettiva coinvolge solo una coppia di partoni che trasportano una frazione dell'impulso nominale dei due protoni. Questo costituisce un grande vantaggio dei collider adronici rispetto ai collider e^+e^- nell'ambito delle analisi di fisica di scoperta.

Un ingrediente fondamentale per raggiungere energie elevate è il campo magnetico in cui sono immersi i tubi in cui circolano i fasci che sono inoltre tenuti ad una pressione di vuoto di 10^{-13} atm , per evitare che i protoni interagiscano con le molecole di gas. Il campo magnetico, ortogonale al piano dell'anello, permette ai fasci di rimanere su una traiettoria quasi circolare. In particolare:

$$P[\text{GeV}/c] \sim 0.3 \cdot B[\text{T}] \cdot r[\text{m}] \quad (1.1)$$

dove B è il campo magnetico, r il raggio di curvatura e P l'impulso della particella. Dati i parametri di LHC ($r \sim 4 \cdot 10^3 \text{ m}$ e $P = 6.5 \text{ TeV}/c$) si ottiene un campo B che in media è pari a $\sim 5.4 \text{T}$. Per ottenere un campo di tale intensità è stato necessario sviluppare dipoli magnetici superconduttori, il

che ha rappresentato un'importante sfida tecnologica per la progettazione di LHC. Gran parte dell'anello di LHC, infatti, è mantenuta a temperature criogeniche di $\sim 2^{\circ}\text{K}$ grazie ad un complesso sistema di raffreddamento.

correggere definizione luminosità

La *luminosità* è proporzionale al numero di interazioni che l'acceleratore può fornire agli esperimenti ed è una grandezza fondamentale per stimare la capacità dell'acceleratore di produrre eventi con piccola sezione d'urto e, quindi, la possibilità degli esperimenti di osservarli. Al fine di ottenere risultati con un'ampia statistica ed una buona precisione è importante per un acceleratore avere una alta luminosità istantanea, un parametro che corrisponde al numero di collisioni prodotte per unità di area e tempo e può essere espressa in funzione del rate R di particelle (**che cazzo vor di'?????**) e della sezione d'urto σ

$$L = \frac{R}{\sigma} \quad (1.2)$$

Un altro modo di esprimere la luminosità è metterla in funzione delle variabili che caratterizzano il fascio:

$$L = f \frac{N_1 N_2}{4\pi\sigma_x\sigma_y} \quad (1.3)$$

con N_1 N_2 numeri di protoni per pacchetto, f frequenza collisioni e $4\pi\sigma_x\sigma_y = A$ area efficace. Si parla invece di *luminosità integrata* $L_{int} = \int L dt$ per ottenere la relazione tra numero di eventi relativi a un certo processo e la sezione d'urto σ del processo stesso:

$$N = \sigma L_{int}. \quad (1.4)$$

1.3 HL-LHC

Il progetto di upgrade HL-LHC, formalmente approvato nel Giugno 2016 dal CERN, permetterà di ampliare il campo di indagine di fenomeni fisici rari all'interno del MS ed anche di ricercare processi di nuova fisica BSM (Beyond Standard Model). Questa fase di alta luminosità permetterà a CMS di raggiungere precisioni dell'ordine del per cento sulle misure di accoppiamento del bosone di Higgs e la prima osservazione diretta di vertici trilineari del bosone di Higgs. I processi deboli di scattering di bosoni vettori sono profondamente legati alla rottura della simmetria elettronebedole e dal punto di vista della misura sono una sfida, in quanto le sezioni d'urto sono piccole e i fondi irriducibili sono dominanti.

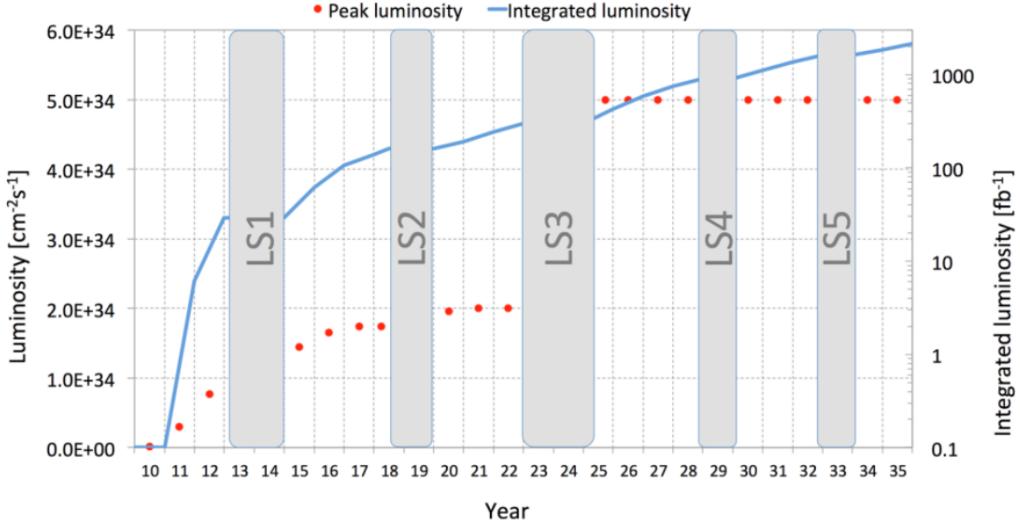


Figura 1.3: Projected LHC performance through 2035, showing preliminary dates for long shut downs of LHC and projected luminosities.reference LHCC P 008

L'aumento di luminosità ad LHC permetterà lo studio di questi canali, per far ciò l'upgrade di LHC sarà accompagnato da un programma di adeguamento dell'esperimento CMS, al fine di mantenere alte le prestazioni del rivelatore (efficienza, risoluzione, reiezione di processi di fondo...) nonostante l'aumento di radiazione e le più difficili condizioni operative, come ad esempio pile-up più frequente. In figura 1.3 è mostrato un prospetto della scaletta dei tempi di LHC dal 2015 in poi. Il Run 2 continuerà fino alla fine del 2018, quando inizierà il Long Shutdown 2 (LS2) e dopo cui si avrà la fase di Run 3. Entro il 2022 si stima sarà raccolta una luminosità integrata di circa 300fb^{-1} . Durante il Long Shutdown 3 (LS3), programmata dal 2022 fino alla metà del 2024, saranno eseguiti gli aggiornamenti principali di LHC e degli esperimenti per la fase di alta luminosità.

1.3.1 Obiettivi

L'idea di aumentare la luminosità di LHC oltre quella decisa nel progetto originale è antecedente alla messa in opera del progetto. Eventuali modifiche importanti alla macchina e agli esperimenti possono essere eseguite solo con lunghi periodi di shut down in cui è possibile accedere al tunnel e alle caverne. Per questo motivo è stato deciso un piano temporale che intervalli periodi di presa dati (Run I, Run II etc.) e periodi in cui si ha uno spegnimento

mento completo per lunghi periodi (LS1, LS2, LS3). In figura 1.3 è possibile vedere la suddivisione temporale tra periodi di presa dati e periodi di spegnimento. Run I è stato il periodo di presa dati dal 2011 al 2012. Nel primo periodo di stop LS1 LHC è stato modificato al fine di raggiungere energie nel centro di massa di 13 TeV, per poi arrivare gradualmente a 14 TeV. In questo momento siamo alla fine del Run II, e nell'esperimento CMS si hanno una media di 25 interazioni per bunch, ciò vuol dire 25 vertici da ricostruire ogni 25 ns. Attraverso modifiche e miglioramenti apportati nel LS1 e LS2 verrà aumentata la luminosità, questa parte del processo per l'esperimento CMS va sotto il nome di fase-I. Durante il periodo LS3 saranno invece sostituite vari parti degli esperimenti, che a causa del danneggiamento da radiazione saranno deteriorati e nello contemporaneamente verranno sostituiti i quadrupoli di fuocheggiamento con nuovi modelli capaci di incrementare la luminosità. Il periodo che seguirà LS3 sarà chiamato fase II o HL-LHC (High Luminosity LHC). Nello scenario prefissato la lumiosità istantanea sarà di $5 \cdot 10^{34} cm^{-2}s^{-1}$ con picchi di $2 \cdot 10^{35} cm^{-2}s^{-1}$, in questo modo gli esperimenti saranno in grado di raccogliere una maggiore statistica con una luminosità di $300 fb^{-1}$ ogni anno per 10 anni(250 o 300)?????In queste condizioni ci sarà una maggiore probabilità di sovrapposizione di interazioni (Pile Up), questa sarà la grande sfida, insieme alla gestione degli effetti di degradazione in cui incorreranno i rivelatori a seguito delle maggiori dosi di radiazione assorbita. Sempre nella figura 1.3 è possibile vedere le proiezioni di luminosità di picco e luminosità integrata.

1.4 Esperimento CMS

CMS è un esperimento ad ampio spettro che opera ad LHC, è installato un centinaio di metri sotto terra CMS nei pressi del paese Cessy, in Francia, tra il lago di Ginevra e il complesso dei monti Jura. Essendo ad ampio spettro i suoi rivelatori sono in grado di distinguere un gran numero di particelle e , μ , τ , γ etc... L'obiettivo principe di LHC è quella di indagare la natura della rottura spontanea della simmetria elettrodebole alla base di cui sta il meccanismo di Higgs. Lo studio sperimentale del meccanismo di Higgs consente inoltre di verificare la consistenza del Modello Standard a scale di energia dei TeV. Inoltre c'è la speranza di nuove scoperte che offrano indicazioni su teorie oltre al Modello Standard, come ad esempio Supersimmetrie o Extra Dimension. Ad LHC vengono utilizzati anche fasci di ioni pesanti, che hanno energie 30 volte superiori ai precedenti acceleratori, permettendo così uno studio approfondito della QCD in condizioni estreme di temperatura, densità e frazioni di momento partonico. Con la luminosità ed energia nel centro di

massa raggiungibili ad LHC un ampio spettro di fisica diventa accessibile, questo però vincola i vari esperimenti, compreso CMS a richieste stringenti sulle prestazioni e quindi sulla progettazione e messa in opera. Con un'energia nel centro di massa di 14 TeV la sezione d'urto protone-protone è circa 100 mb, data la luminosità questo porta a circa 10^9 eventi al secondo, che grazie al processo di selezione online viene abbassato fino a 100 eventi al secondo, i quali vengono poi memorizzati per una successiva analisi. Ogni 25 ns vi è una nuova collisione tra bunch di particelle che con le sue circa 20 collisioni produce un alto numero di particelle che dovranno essere rivelate con l'attenzione a distinguere le une dalle altre. Questo richiede un'alta segmentazione del rivelatore e una buona risoluzione temporale, al fine di evitare effetti di pile-up. Il tutto cercando di ridurre il più possibile i volumi. Inoltre dato l'alto flusso di particelle il rivelatore e l'elettronica di lettura devono essere in grado di resistere ad alti livelli di radiazione. Tutti questi motivi hanno portato alla necessità di alti requisiti per il buon funzionamento dell'esperimento:

- Buona capacità di identificare i muoni e ottima risoluzione degli impulsi su ampio angolo.
- Alta efficienza del tracciatore e buona risoluzione dei momenti di particelle cariche.
- Buona risoluzione nella misura dell'energia elettromagnetica, copertura maggiore possibile di tutto l'angolo solido e ottima capacità di isolamento di fotoni e leptoni.
- Buona risoluzione dell'energia trasversa mancante (MET) e calorimetri adronici con coperture ampia dell'angolo solido e buona segmentazione.

Il sistema di coordinate adottato da CMS è tale che l'origine corrisponde al punto di collisione dei due fasci con asse y verticale orientato verso l'alto e asse x in direzione radiale verso il centro di LHC. L'angolo azimutale ϕ è misurato a partire dall'asse x e giace sul piano x-y e la coordinata radiale su questo piano è r . L'angolo polare θ è misurato dall'asse z.

Per lo studio dei processi è utile introdurre anche grandezze invarianti per trasformazioni di Lorentz come Δy e $\Delta\eta$, dove y indica la rapidità e η la pseudorapidità:

$$y = \frac{1}{2} \ln \left(\frac{E + p_z}{E - p_z} \right) \quad (1.5)$$

$$\eta = -\ln \left(\operatorname{tg} \frac{\theta}{2} \right) \quad (1.6)$$

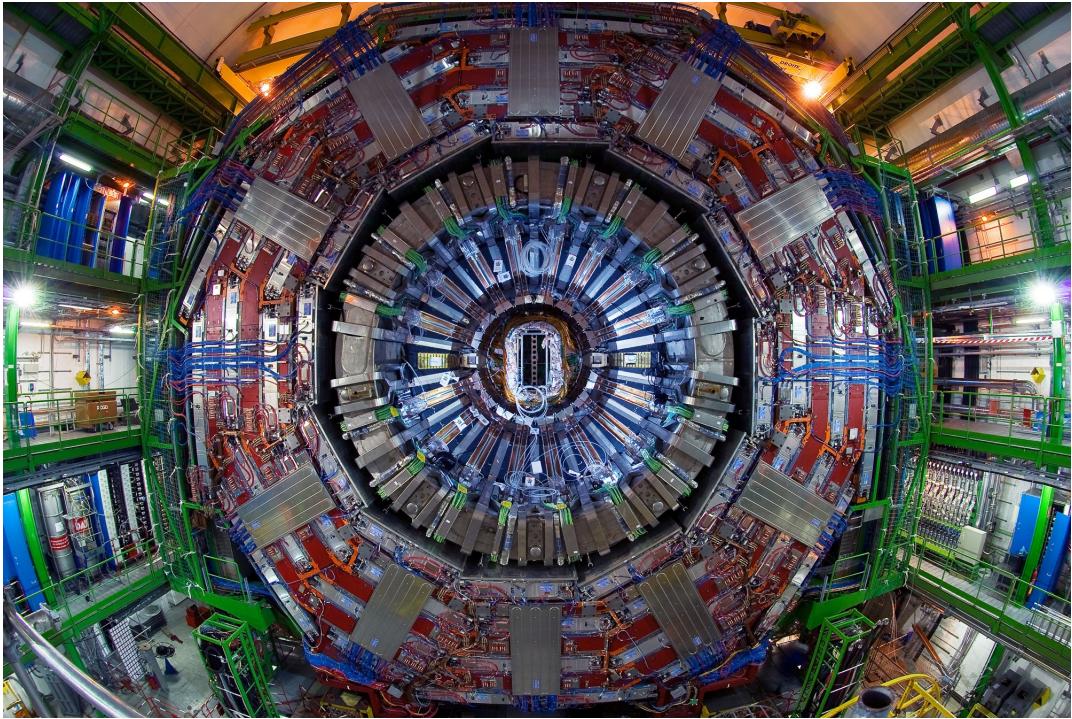


Figura 1.4: Vista frontale di CMS durante l'installazione del tracciatore.

Infine la differenza nel bilancio dell'energia misurata sul piano trasverso è indicata come E_T^{miss} .

1.4.1 Il rivelatore CMS

CMS è un esperimento a simmetria cilindrica, ha un diametro di 15 m ed è lungo 21.6 m, per un peso complessivo di circa 12500 tonnellate. Lo scopo dell'esperimento è studiare una vasta gamma di processi fisici delle interazioni protone-protone, figura 1.4. Per questo motivo è composto da diversi tipi di rivelatori, vedi figura 1.5, disposti in modo concentrico rispetto al punto di collisione dei due fasci:

- **Tracciatore:** collocato nella parte più interna è in grado di ricostruire la traiettoria delle particelle cariche nella zona $r < 1.2$ m e $|\eta| < 2.5$ individuando anche eventuali vertici secondari. È suddiviso in due sottorivelatori: un rivelatore di vertice a pixel di silicio e un rivelatore a microstrip di silicio.
- **Calorimetro elettromagnetico (ECAL):** è un calorimetro omogeneo composto da cristalli di tungstato di piombo (PbWO_4), collocato nella

regione $1.2 \text{ m} < |\mathbf{r}| < 1.8 \text{ m}$ ed $|\eta| < 3$ misura l'energia di elettroni e fotoni, oltre che la traiettoria.

- **Calorimetro adronico** (HCAL): posto nella regione con $1.8 \text{ m} < |\mathbf{r}| < 2.9 \text{ m}$ ed $|\eta| < 5$, fornisce informazioni sull'energia e traiettoria delle particelle adroniche. Il calorimetro utilizza strati di ottone alternati a strati di scintillatore plastico ed è suddiviso in quattro parti: HB (Barrel Hadronic Calorimeter) e HE (Endcap Hadronic Calorimeter) situati all'interno del magnete nella zona del barrel e dell'endcap, HO (Outer Hadronic Calorimeter) situato all'esterno del magnete e il HF (Forward Hadronic Calorimeter) anch'esso esterno al magnete e posto nella regione in avanti.
- **Magnete superconduttore solenoidale**: posto nella regione $2.9 \text{ m} < r < 3.8 \text{ m}$, genera un campo magnetico uniforme di 3.8 T lungo la direzione dei fasci. Ciò permette di curvare la traiettoria delle particelle cariche, specialmente dei muoni, consentendo così di misurarne l'impulso trasverso. Il flusso del campo magnetico si chiude su un giogo di ferro con diametro circa 14 m e lunghezza 21.6 m . In questa zona è presente una campo residuo di 1.8 T in direzione opposta a quello interno.
- **Camere a muoni**: sono poste tra i vari strati del giogo di ritorno del campo magnetico, nella regione $4 \text{ m} < r < 7.4 \text{ m}$ e $|\eta| < 2.4$ e come dice il nome hanno il compito di rivelare i muoni. Queste camere a muoni sono di tre tipi, camere a deriva (DT) nel barrel, camere a strisce catodiche (CSC) nelle regioni estreme che chiudono il rivelatore, dette endcap, e camere a piastra resistiva (RPC).

Questa struttura rispecchia la necessità di ricostruire con precisione gli eventi originati dalla collisione di particelle, che avvengono in rapida successione. CMS come anche gli altri esperimenti, può essere paragonato ad una gigantesca macchina fotografica che registra 40 milioni di foto al secondo (digitalizzando l'informazione di decine di milioni di sensori). La struttura a strati consente di avere rivelatori diversi in ogni strato, di cui i più interni sono meno densi, mentre i più esterni sono più densi. Questo perché il tracciatore non deve alterare l'energia delle particelle che poi sarà misurata nei calorimetri e per facilitare la ricostruzione delle tracce è importante evitare fenomeni di multiple scattering.

Le particelle che gli scienziati cercano di riprodurre nelle collisioni protone-protone hanno vite medie molto brevi, e decadono rapidamente in particelle più leggere. Dopo un processo di hard-scattering migliaia di queste particelle

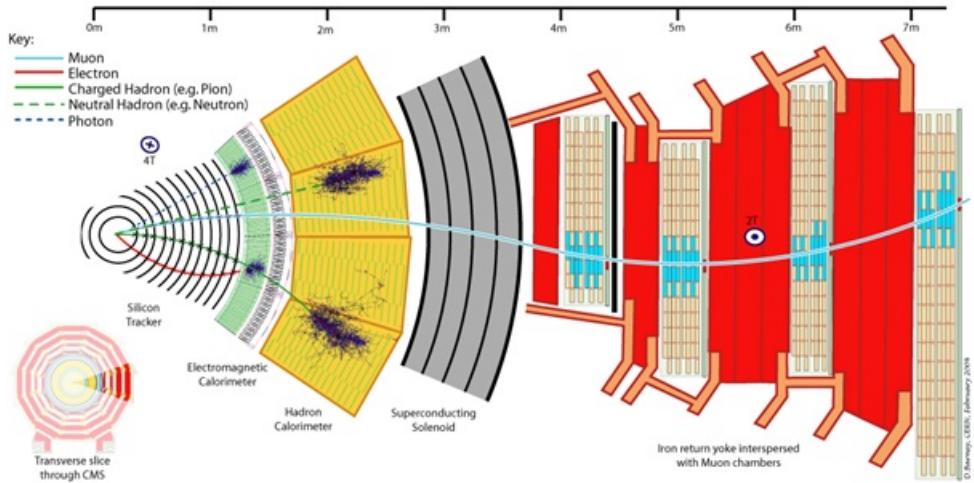


Figura 1.5: Spaccato di CMS e risposta ai vari tipi di particella.

leggere sono generate elettroni, muoni, fotoni, ma anche protoni, neutroni etc. Tutte queste particelle attraversano i vari strati di cui è composto il rivelatore. Le informazioni raccolte vengono utilizzate per ricostruire l'evento di interazione, per dedurre l'esistenza di nuove particelle.

Le traiettorie delle particelle cariche sono piegate dal campo magnetico, e il loro raggio di curvatura è utilizzato per calcolare il loro impulso: maggiore è la loro energia cinetica, minore è la curvatura. Un'altra componente importante di un rivelatore sono i calorimetri per misurare l'energia delle particelle (sia cariche che non). I calorimetri devono essere abbastanza grandi per assorbire anche le particelle più energetiche. Questi motivi fanno sì che gli esperimenti ad LHC siano così grandi. I rivelatori sono costruiti in modo il più possibile ermetico per raccogliere tutti i prodotti delle interazioni e poter ricostruire gli eventi. Combinando le informazioni di ogni strato del rivelatore è possibile determinare il tipo di particella che ha lasciato una data traccia.

Particelle cariche come elettroni, protoni e muoni, lasciano tracce ionizzando il materiale attraversato. Gli elettroni sono molto leggeri e perciò perdono energia velocemente, mentre i protoni penetrano più in profondità negli strati del rivelatore. I fotoni essendo neutri non rilasciano segnali nel tracciatore, ma nei calorimetri sono convertiti in elettroni e positroni e così ne viene misurata l'energia. L'energia dei neutroni viene invece misurata indirettamente, trasferiscono l'energia ai protoni, che poi sono misurati. I muoni insieme ai neutrini (che non vengono rivelati) sono i soli a raggiungere gli strati più esterni.

Ogni parte del rivelatore è connessa ad un sistema di lettura elettronico

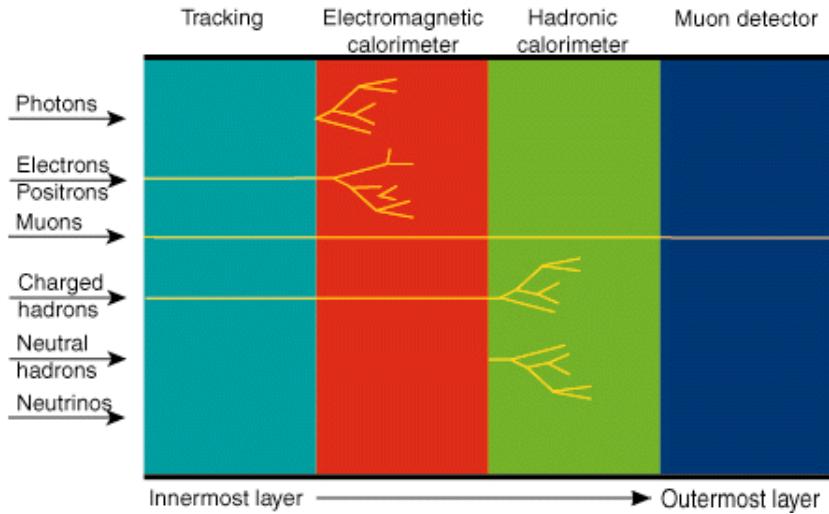


Figura 1.6: Spaccato di CMS e risposta ai vari tipi di particella.

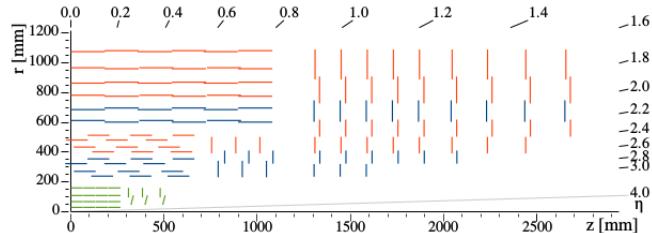


Figura 1.7: Schema di un quarto del tracciatore di CMS visto nel piano rz . Il rivelatore a pixel è rappresentato in verde, mentre i moduli a strip singoli e doppi sono in rispettivamente in rosso e blu.

attraverso migliaia di cavi. Ogni volta che un segnale è raccolto, il sistema registra la sua posizione e l'istante in cui è stato raccolto, se il sistema di trigger decide che l'evento che ha generato Se tale segnale è di interesse, allora l'informazione è letta e portata all'esterno del rivelatore per essere utilizzata nelle analisi offline. Ci sono differenti criteri per selezionare un evento potenzialmente di interesse, in questo modo la mole enorme di eventi registrati in un secondo viene ridotta a poche centinaia, che poi verranno analizzate in dettaglio.

1.4.2 Tracciatore

Il tracciatore al silicio è il rivelatore più vicino al punto dove collidono i due fasci. Lo scopo è ricostruire , con la maggior precisione possibile, le traiettorie delle particelle cariche, identificando vertici primari e secondari.

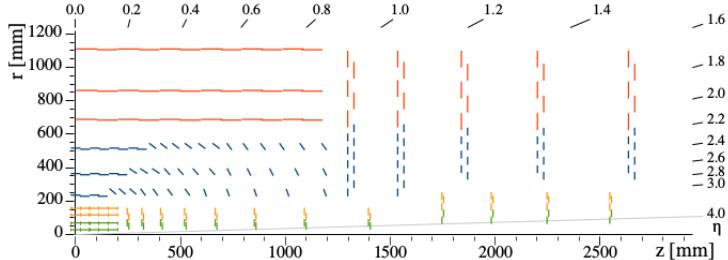


Figura 1.8: Schema rappresentante un quarto del tracciatore. La parte esterna del tracciatore è in blu (moduli PS) e rosso (moduli 2S). La parte del tracciatore a pixel, con l'estensione in avanti è rappresentata in verde e giallo.

La composizione interna del tracciatore è mostrata in figura 1.7. Il raggio esterno è circa 110 cm e la lunghezza totale circa 540 cm.

Nella zona centrale (barrel) e più interna vi è il rivelatore di vertice a pixel, con tre strati distanti 4, 7 e 11 cm dall'asse dei fasci. La dimensione dei pixel è $100 \times 150 \mu\text{m}^2$. Più esternamente ci sono rivelatori a microstrip tra 20 e 110 cm. Le parti laterali, dette endcap, sono invece costituite da 2 piani a pixel e 9 a microstrip. La parte di microstrip è divisa in due parti Inner Barrel e Outer Barrel, figura 1.7:

- Tracker Inner Barrel (TIB), costituito di 4 cilindri posti intorno ai piani a pixel.
- Tracker Inner Discs (TID), 3 dischi posti nella parte interna di endcup.
- Tracker Outer Barrel (TOB), 6 cilindri che formano la parte esterna del barrel.
- Tracker EndCaps (TEC), 9 dischi che completano la parte più esterna di endcup.

1.4.3 Tracciatore di fase II

Al fine di mantenere o migliorare le prestazioni di CMS nelle condizioni di alto pile-up e alto danneggiamento da radiazioni, nella fase di HL-LHC, l'intero sistema di tracciatura delle particelle dovrà essere sostituito con nuovi rivelatori capaci di sostenere livelli di radiazione maggiori e con maggiori funzionalità.

Le limitazioni dell'attuale tracciatore ne impediscono l'utilizzo nella fase di alta luminosità. I principali requisiti per il nuovo rivelatore sono i seguenti, figura 1.8:

- **Tolleranza alla radiazione:** Si prevede che il nuovo tracciatore dovrà operare, mantenendo alta l'efficienza, fino ad una luminosità integrata di 3000 fb^{-1} . Inoltre per la parte esterna del tracciatore non si prevedono interventi di manutenzione, mentre per la parte di tracciatore a pixel sono sotto studio opzioni che consentano di operare sostituzioni nella zona più interna.

Regione	Fluenza	massima [n_{eq}/cm^2]	$r[mm]$	$z[mm]$
IT barrel layer1		2.3×10^{16}	28	0
IT barrel layer2		5.0×10^{15}	69	0
IT barrel layer4		1.5×10^{15}	156	89
IT forward, ring1		1.0×10^{16}	51	252
IT service cylinder		9.6×10^{14}	170	260

- **Alta risoluzione e un migliore sistema di separazione delle tracce:** l'attuale tracciatore ha prestazioni peggiori nel tracciare jet di alta energia, a causa della sovrapposizione di più hit nel rivelatore a pixel. Al fine di sfruttare al meglio la maggiore statistica che ci sarà con HL-LHC, è necessario migliorare la capacità nel distinguere due tracce molto vicine. Allo stesso modo per assicurare alta efficienza, nonostante un maggiore pile-up, è necessaria una maggiore densità di canali di lettura. Come riferimento si stima che la media di pile-up per ogni bunch crossing sarà di circa 140, a fronte dei 40 attuali.
- **Riduzione di materiale:** un fattore importante che limita l'attuale risoluzione è la quantità di materiale che le particelle attraversano. Questo è responsabile di perdita di energia e scattering multipli, i quali causano un peggioramento nelle prestazioni dei calorimetri e nella precisione di ricostruzione dell'evento.
- **Sistema di riconoscimento delle tracce affidabile e veloce:** maggiore pile-up significa complicazioni nella ricostruzione delle tracce e tempi più lunghi. La velocità nella ricostruzione è essenziale per la funzionalità del trigger di alto livello (High -Level Trigger).
- **Compatibilità con il nuovo trigger L1:** La selezione degli eventi nella nuova fase ad alta luminosità è una sfida importante, non solo per l'alto numero di particelle e quindi tracce, ma anche perché l'alto numero di pile-up rende inefficienti gli algoritmi di selezione degli eventi. Per questo motivo parte del processo di ricostruzione, che attualmente è

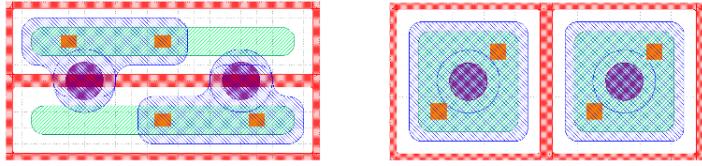


Figura 1.9: Schema di due celle adiacenti con dimensioni $25 \times 100 \mu\text{m}^2$ (sinistra) e $50 \times 50 \mu\text{m}^2$ (destra). Gli impianti n+ sono riportati in verde, in blu le metallizzazioni, in rosso le aree di p-stop , i contatti in arancione e in viola i le piazzole per i bump bond.

svolto ad alto livello, sarà spostato in L1il cui rate massimo raggiungerà i 750 kHz.

- **Estensione della regione di accettanza delle tracce:** altri benefici per CMS possono essere ottenuti ampliando la copertura della regione in avanti da parte del tracciatore e dei calorimetri.

1.4.4 Tracciatore interno

La parte interna del tracciatore sarà dotata di moduli a pixel. Come già evidenziato, nella fase ad alta luminosità il punto cruciale per la progettazione sarà la tolleranza alla radiazione di di sensori e elettronica di lettura, come anche la parte di gestione dei dati e l'aumento di frequenza di lavoro per il trigger. I candidati per i sensori che rispettano le richieste su risoluzione, separazione delle tracce e occupazione sono sensori di silicio, di spessore 100-150 μm , con pixel di $25 \times 100 \mu\text{m}^2$ o $50 \times 50 \mu\text{m}^2$. Di conseguenza il chip di lettura dovrà avere celle di piccola dimensione con basse soglie. Lo sviluppo di questo nuovo chip è portato avanti dalla collaborazione RD53 che vede insieme ATLAS e CMS, il progetto prevede un chip con celle di dimensione $2500 \mu\text{m}^2$ in tecnologia CMOS a 65 nm. Tale configurazione dovrebbe consentire una migliore resistenza al danneggiamento da radiazione.

Sensori

L'ambiente in cui saranno immersi i sensori nella fase di alta luminosità sarà estremo sia in termini di luminosità integrata che istantanea. I sensori saranno esposti ad una fluenza di $2.3 \times 10^{16} \text{n}_{\text{eq}}/\text{cm}^2$ negli strati più interni del tracciatore con una luminosità integrata di 3000fb^{-1} . La dose equivalente è circa 12 MGy (1.2 Grad). Date queste condizioni si è preferito optare per sensori il più sottili possibile, dato che il vantaggio di raccogliere più carica con sensori più spessi viene annullato dal peggioramento delle prestazioni

dovuto all'aumento di difetti nel silicio, a causa dell'alto irraggiamento. Lo spessore attivo del sensore, nel caso pixel planare sarà tra i 100 e 150 μm (nella fase-0 e fase-1 lo spessore dei pixel era tra i 270 e i 285 μm). Il test di questi sensori insieme ai chip di lettura dimostrerà la fattibilità di utilizzo di questo tipo di sensore in ambienti con alti livelli di radiazione, o se saranno necessarie modifiche. Rispetto al tracciatore di CMS di fase-1 l'area dei pixel sarà ridotta di un fattore 6. Le due possibilità prese in considerazione sono $25 \times 100\mu\text{m}^2$ e $50 \times 50\mu\text{m}^2$. Nel processo di valutazione dei vari progetti per i pixel particolare rilevanza hanno i seguenti punti:

- **Metodo di controllo polarizzazione** Schema di polarizzazione dei sensori prima di unirli al chip. Tra le opzioni considerate ci sono l'utilizzo di punch through comuni per polarizzare più pixel contemporaneamente, resistenze in poli-silicio, o l'assenza completa di un metodo di polarizzazione. In assenza di una griglia per la polarizzazione il test dei sensori richiederebbe altre tecniche per aver accesso ai singoli pixel.
- **Isolamento del pixel** isolamento attraverso p-stop o p-spray. Per risparmiare spazio, gli impianti di p-stop sono in comune tra i pixel adiacenti, invece di averne uno per ogni singolo pixel.
- **Metal overhangs**

CMS ha avviato numerose proposte di R&D per sensori planari, al fine di studiare tutte le possibili opzioni di progetto nei sensori sottili con piccolo pitch. I sensori sono valutati attraverso esperimenti di test beam, prima e dopo irraggiamento, al fine di testare la resistenza alla radiazione, la risoluzione spaziale, l'efficienza di raccolta carica, e non ultima l'efficienza di cella. Le proposte includono sia sensori con pixel di dimensione $25 \times 100\mu\text{m}^2$ che $50 \times 50\mu\text{m}^2$ con vari design. Queste proposte includono sensori compatibili sia con chip di lettura PSI46dig, che con il prototipo di ROC RD53A. In figura 1.9 è mostrato l'aspetto di due celle adiacenti con pixel di dimensione $25 \times 100\mu\text{m}^2$ (sinistra) e $50 \times 50\mu\text{m}^2$ (destra). Questi sensori sono compatibili con il prototipo RD53A.

Chip

La parte cruciale nel sistema di lettura per il tracciatore interno è la progettazione di un chip di lettura dei pixel resistente alle radiazioni. Il diagramma a blocchi del chip è mostrato in figura 1.10. La carica raccolta su ogni pixel è amplificata, formata e digitalizzata con una risoluzione di 4 bit a 40

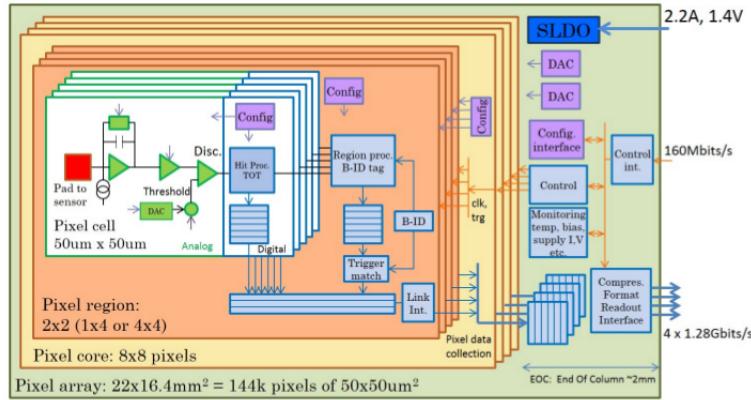


Figura 1.10: Architettura del chip con bassi livelli di rumore analogico con un sistema di digitalizzazione del ToT a 4 bit. Nello schema sono riportate anche l’interfaccia di controllo, posta nella zona di EOC (End Of Column), l’interfaccia di lettura e il sistema di alimentazione che sfrutta un regolatore di tensione con shunt (Shunt-LDO).

MHz, sfruttando l’informazione di ToT (Time Over Threshold)¹, che viene poi digitalizzata e utilizzata come misura di carica raccolta. I segnali vengono memorizzati durante i $12.5 \mu\text{s}$ di latenza del trigger² e memorizzati localmente in vettori all’interno della regione di pixel (che potrà essere 2×2 o 4×4). I dati riguardanti eventi con trigger sono raccolti da questa memoria e dopo un appropriato processo di compressione dati, svolto all’interno del chip, questi sono inviati all’esterno del chip tramite E-links (Electrical links) ad una velocità di 1.28 Gb/s. Sempre all’interno del rivelatore sono presenti i moduli di conversione, basati su chip LpGBT, che riversano i dati provenienti da un massimo di 7 E-links in una fibra ottica da 10 Gb/s per il trasporto verso il sistema di acquisizione dati (DAQ), all’esterno del rivelatore. I comandi, i dati di configurazione, i segnali di trigger e il clock sono spediti a 2.5 Gb/s verso i moduli di conversione per poi essere convertiti e inviati ai moduli tramite E-links a 160 Mb/s. Gli impulsi di calibrazione sono disponibili per tutti i pixel, grazie ad un esteso sistema a doppio impulso che può iniettare due differenti segnali di calibrazione con tempi e livelli programmabili. Inoltre è presente la possibilità di monitorare l’attività del chip tramite un Sono presenti anche sensori per il controllo della temperatura del chip distribuiti in più punti, in particolare sensori di temperatura sono integrati nella parte

¹Il metodo di ToT consiste nel misurare il tempo durante il quale l’impulso analogico è sopra una certa soglia.

²Si fa riferimento a latenze che si avranno con il trigger di fase II.

del chip che si occupa dell’alimentazione. Questo infatti è il punto con la più alta densità di potenza dissipata, che può variare significativamente in funzione delle configurazioni. Un rapido elenco delle caratteristiche del chip di lettura sono riportate in tabella:

Technology	65nm CMOS
Chip size	22mm \times (16.4mm + 2mm)
Pixel size	50 \times 50 μm^2 , 25 \times 100 μm^2)
Number of pixels	144320
Hit rate	< 3GHz/cm ²
Charge resolution	24bit ToT

Le richieste tecniche per questo nuovo PROC (Pixel Read Out Chip) hanno portato ad l’utilizzo di moderna tecnologia CMOS a consumi ridotti ed alta densità con alimentazione a bassa tensione, circa 1.2 V. Questo fa sì che il chip sia alimentato con correnti significative, circa 2.2 A per chip. La prima idea potrebbe essere quella di utilizzare convertitori DC-DC locali, ma questa possibilità è esclusa a causa dell’ambiente ricco di radiazioni, del poco spazio disponibile e del tentativo di limitare il più possibile la quantità di materiale nel tracciatore.

La soluzione scelta è dunque quella di utilizzare un sistema di alimentazione seriale, ciò permette l’utilizzo di un quantitativo minimo di materiale e mantiene a livelli accettabili la perdita di potenza sui cavi. La catena è composta da 8-10 moduli ognuno con 2 o 4 chip connessi in parallelo, come si può vedere in figura 1.11. All’interno del chip è incluso circuito ottimizzato per l’alimentazione che combina le capacità di uno shunt di corrente e di un regolatore LDO (Low DropOut), chiamato Shunt-LDO (SLDO). Come vedremo nel capitolo successivo lo SLDO assicura un consumo di corrente/potenza costante, indipendentemente dal rate di eventi e di trigger. Inoltre grazie ad una attenta progettazione è assicurata una suddivisione delle correnti appropriata tra i vari chip posti in parallelo all’interno del modulo. Lo stesso chip al suo interno ha due SLDO in parallelo uno per la parte analogica e uno per quella digitale. Questa separazione è resa necessaria per rendere minima l’influenza del rumore della parte digitale su la parte analogica, più sensibile al rumore.

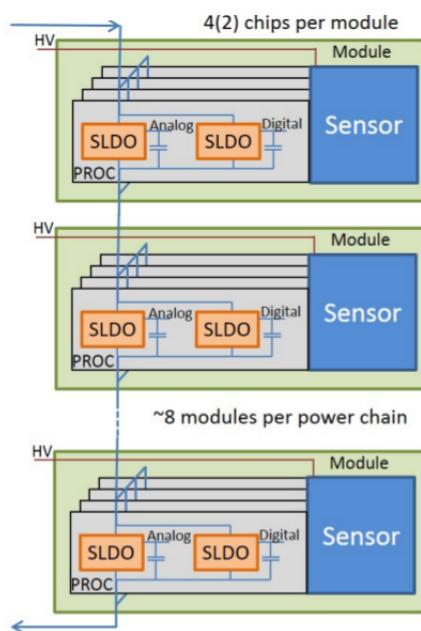


Figura 1.11: Sistema di alimentazione seriale dei moduli, ognuno dei quali ha al suo interno 4 o 2 chip in parallelo. Sul chip l'alimentazione è gestita da due SLDO in parallelo, uno per la parte digitale e uno per quella analogica.

CAPITOLO 2

ALIMENTAZIONE SERIALE

Tenendo conto dei requisiti richiesti per il tracciatore di fase due (tolleranza a radiazione, alta risoluzione, riduzione del materiale, etc..) si è puntato allo sviluppo di un sistema di alimentazione alternativo che non utilizzi i convertitori DC-DC¹, questo nuovo sistema di alimentazione sarà seriale e sarà gestito all'interno del chip da circuiti dedicati stampati in tecnologia CMOS a 65 nm.

2.1 Caratteristiche dell'alimentazione seriale

In un sistema di alimentazione seriale il generatore fornisce tensione e corrente ad una catena di moduli posti in successione, questo significa che in ogni elemento scorre la medesima corrente, ma l'intervallo di tensione in cui viene a trovarsi è differente per ciascuno di essi. Fino ad ora il metodo di alimentazione utilizzato era quello parallelo, tutti i moduli si trovano ad un potenziale comune ma su rami separati, questo implica che nel cavo principale scorre una corrente pari alla somma di quella che passa in tutti i rami e dunque sarà necessario l'utilizzo di un cavo con sezione notevolmente maggiore a quello necessario in una alimentazione seriale. Ciò dipende dal fatto che nel caso di alimentazione seriale la corrente sia riutilizzata n-volte riducendo così le perdite di potenza nei cavi, rispetto ad una alimentazione in parallelo, questo consente l'impiego di cavi più sottili riducendo così il materiale all'interno

¹L'attuale tracciatore ha una alimentazione in parallelo dei moduli, i quali attraverso convertitori DC-DC generano localmente le tensioni necessarie al funzionamento del chip. L'utilizzo di convertitori DC-DC all'interno del volume del tracciatore è scoraggiato dagli alti livelli di radiazione e del campo magnetico.

del tracciatore. Inoltre un'alimentazione seriale, rispetto ad una in parallelo, permette di ridurre la potenza dissipata a parità del numero di moduli alimentati. Trascurando le inefficienze date dal circuito di SLDO possiamo calcolare il rapporto tra la potenza assorbita da n moduli in parallelo con quella di n moduli in serie:

$$W_{\text{parallelo}} = n \cdot I \cdot V + (I \cdot n)^2 \cdot R \quad (2.1)$$

$$W_{\text{serie}} = n \cdot I \cdot V + I^2 \cdot R \quad (2.2)$$

$$\frac{W_{\text{parallelo}}}{W_{\text{serie}}} = \frac{1 + \frac{nRI}{V}}{1 + \frac{RI}{Vn}} \quad (2.3)$$

dove R è la resistenza dei cavi, I è la corrente di alimentazione per il singolo modulo e V è la caduta di tensione su ciascun modulo. Il punto chiave per una alimentazione seriale è che la corrente, che viene fatta scorrere nella catena, sia maggiore o uguale a quella necessaria per alimentare l'elemento con il consumo più alto. Anche nel caso in cui tutti gli elementi della catena siano identici non è vero che avranno pari consumi, gli stessi dipendono dallo stato in cui si trova il chip e le operazioni che esegue. Il chip è dunque un carico dinamico e in qualsiasi momento l'alimentazione deve essere in grado di erogare abbastanza corrente per far fronte ai picchi di assorbimento dei singoli elementi della catena. Dal momento che queste variazioni sono molto veloci l'alimentatore di back-end non può essere in grado di compensarle in modo rapido². Questo è un punto critico che richiede un attento studio. La soluzione al problema consiste nell'implementazione di un regolatore con shunt all'interno del chip, che generi una tensione fissa e si adatti dinamicamente all'assorbimento in corrente. Per quanto detto è necessario che le fluttuazioni di carico date dal chip non siano visibili esternamente, dovranno perciò essere gestite localmente. Il circuito all'interno di ciascun chip incaricato di svolgere questo compito è il regolatore con SLDO.

2.2 Alimentazione seriale con RD53A

Partendo dall'idea di utilizzare un'alimentazione seriale, la prima idea che si può avere, è quella di porre singoli elementi in serie, ciascuno dotati di un

²Gli alimentatori sono posizionati lontano dall'esperimento e dunque i cavi introducono un ritardo (proporzionale alla lunghezza degli stessi), non è quindi possibile pensare di alimentare la catena in tensione. L'alimentazione dovrà essere in corrente, a livello di chip sarà poi implementato un meccanismo di bilanciamento, che gestisca le variazioni di corrente assorbita.

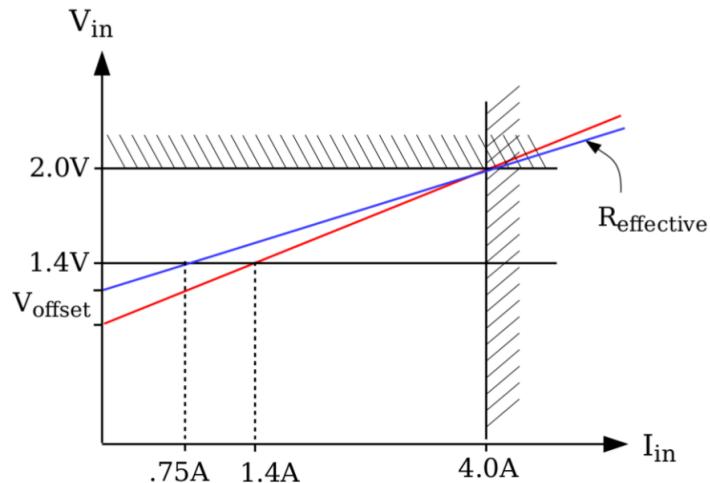


Figura 2.1: Andamento tensione vs corrente del comportamento del chip. Le zone tratteggiate sono oltre i valori operativi massimi (4.0 A per la corrente e 2.0 V per la tensione). La linea orizzontale a 1.4 V è la tensione minima di lavoro. La pendenza è la resistenza efficace, combinazioni differenti di resistenze e offset consentono di spostare il punto di lavoro.

regolatore, questa configurazione ha però una criticità molto importante: il fallimento di un singolo elemento rende inutilizzabile l'intera catena, in quanto interrompe il flusso di corrente in tutto il ramo. Va perciò implementato un metodo per ovviare a questo problema e anche per mitigare le fluttuazioni di tensione causate dai vari elementi che influiscono significativamente sulla tensione generata localmente. Il circuito che si occupa di risolvere queste problematiche è un regolatore di tensione SLDO (Shunt Low Drop Out). Un importante caratteristica di questo particolare circuito è che esternamente è visto come una resistenza efficace R_{eff} , in serie ad un offset di tensione V_{offset} , mentre il carico attivo, nel nostro caso il chip RD53A, non è visibile e dunque non lo sono nemmeno le sue variazioni. Questa comportamento resistivo permette l'utilizzo di più SLDO in parallelo, tra di essi la corrente si suddivide in modo ben preciso, definito dalla resistenza effettiva di ciascun SLDO. Il valore resistivo può essere configurato con una resistenza esterna, consentendo così di definire in che modo la corrente si spartisce nel parallelo di più elementi, ad esempio in RD53A, che verrà trattato nei capitoli seguenti, ci sono due regioni alimentate separatamente da due ShuntLDO, una zona analogica ed una digitale, questo vuol dire che esternamente sarà visibile il parallelo tra i due SLDO. Come si può vedere in figura 2.1 I valori di R_{eff} e V_{offset} sono scelti andando a considerare i due punti di lavoro. Il primo è dato dalla tensione minima necessaria al funzionamento del circuito di

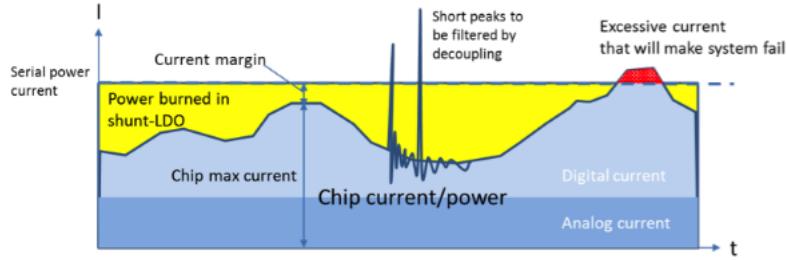


Figura 2.2: Sull'asse y è riportata la corrente, mentre sulle x il tempo. La corrente assorbita da parte analogica e digitale del chip è riportata in celeste, mentre in giallo è indicato il margine di corrente disponibile. Quello che si vuole evitare sono situazioni in cui la corrente richiesta dal chip è maggiore di quella disponibile, zona rossa, poiché può causare un guasto.

SLDO (all'incirca 1.4 V), che deve essere raggiunta per un valore minimo di corrente, in modo che il chip possa funzionare correttamente. Questo vuol dire che per garantire il funzionamento è necessario fornire un certo margine di corrente in eccesso, poiché i consumi sono soggetti a fluttuazioni, un esempio di questo schema di lavoro è riportato in figura 2.2. La corrente fornita allo SLDO è costante nel tempo, mentre quella utilizzata dal chip varia. L'aspetto che è importante sottolineare è la necessità di avere una corrente seriale che sia sempre maggiore del massimo carico in corrente, in modo da evitare fallimenti. L'altro punto di interesse nel grafico è quello definito da massima tensione e massima corrente a cui è possibile alimentare il circuito. Una volta sicuri che non sarà mai utilizzata una corrente maggiore del massimo per alimentare il dispositivo, si ha la sicurezza che nemmeno la tensione massima sarà raggiunta. La scelta di R_{eff} e V_{offset} definisce il consumo in potenza:

$$W = I_{\text{in}}^2 R_{\text{eff}} + I_{\text{in}} V_{\text{offset}} \quad (2.4)$$

La possibilità di modificare R_{eff} e V_{offset} apre alla possibilità di progettare un modo per avere diverse configurazioni, una di low-power mode e una high power mode. (Low-power mode configuration, che cosa posso dire...).

L'obiettivo per il nuovo tracciatore è di aver una catena di moduli ognuno dei quali ospita quattro chip in parallelo, in figura 2.3 è riportato uno schema con due moduli in serie. Per meglio comprendere i risvolti dati dall'utilizzo di un'alimentazione seriale con SLDO è interessante fare un esempio dei consumi di questo tipo di alimentazione. Prendiamo come modello la situazione in cui si ha un serie di 8 moduli con 4 chip ciascuno, assumiamo che $V_{\text{offset}} = 0.8$ V

e $R_{\text{eff}} = 0.3 \Omega$ per ciascun chip³. Con una corrente di $I_{\text{in}} = 2.0 \text{ A}$ per chip⁴ ($I = 8.0 \text{ A}$ per modulo) si avrà un $V_{\text{modulo}} = 1.4 \text{ V}$, per avere un po' di margine incrementiamo la corrente di un 20%, la corrente che arriva nei moduli sarà $I = 9.6 \text{ A}$.

In questa situazione $V_{\text{modulo}} = 1.52 \text{ V}$ e dunque la caduta di tensione su tutta la catena formata da 8 moduli sarà pari a 12.16 V . Questa non è la caduta di tensione totale, va tenuto conto anche della resistenza dovuta ai cavi, in questo esempio assumiamo valga 2Ω . La tensione di uscita del generatore è dunque $V = I \cdot 2\Omega + 12.6 \text{ V} = 31.8 \text{ V}$ ⁵. In questo sistema il generatore a monte della catena sarà limitato in corrente, mentre il limite per la tensione sarà posto leggermente maggiore a quello minimo, ad esempio 34 V. In questo modo la potenza che il generatore può erogare è maggiore di quella necessaria per la catena. Vedremo infatti, come questo sia necessario utile nel caso in cui alcuni chip smettano di funzionare. La potenza massima erogabile dal generatore sarà $34 \text{ V} \cdot 9.6 \text{ A} = 326.4 \text{ W}$, sottraendo la potenza dissipata sui cavi e dividendo per il numero di moduli si ottiene una potenza per modulo di 17.76 W . Questo a fronte di una potenza assorbita, nelle normali condizioni di lavoro, di $W = 4 \cdot W_{\text{chip}} = I \cdot V_{\text{modulo}} = 14.6 \text{ W}$ per modulo.

Vediamo a questo punto cosa accade nel caso in cui un chip in uno dei moduli sia fuori uso⁶. Dato che l'alimentazione è in corrente, ciascuno dei tre chip rimanenti dovrà assorbire un terzo di corrente in più, dunque la corrente per ciascun chip sarà $I = 9.6A/3 = 3.2A$. Questo porta ad una caduta di tensione sul modulo $V_{\text{modulo}} = 3.2A \cdot 0.3\Omega + 0.8V = 1.76 \text{ V}$ e una potenza dissipata $W = 3 \cdot W_{\text{chip}} = 3 \cdot I \cdot V_{\text{modulo}} = 16.9 \text{ W}$, con un incremento di 2 W per il singolo modulo, che corrisponde al 13%. Per la catena di 8 moduli l'incremento, invece, è di appena 1.7%. Questo causerà anche un lieve aumento della tensione erogata dal generatore, che però rimarrà al di sotto dei 34 V⁷.

³ R_{eff} del singolo SLDO è circa 0.600Ω , nel chip sono presenti due SLDO in parallelo uno per l'alimentazione della parte digitale ed uno per quella analogica. La R_{eff} con cui viene visto il chip è dunque la metà, 0.300Ω .

⁴Che vale a dire 1 A per ciascuno dei due SLDO presenti nel chip.

⁵Circa il 60% della potenza è dissipata sui cavi, questo fatto potrebbe sembrare un pessimo traguardo, in realtà è un miglioramento rispetto alla situazione attuale, nella quale l'alimentazione è in parallelo.

⁶Dal momento che nel chip ci sono due SLDO, in realtà lo scenario più probabile è che solo uno dei due sia danneggiato.

⁷Come visto alla tensione massima di 34 V il generatore riesce a distribuire una potenza di 17.76 W per ciascun modulo.

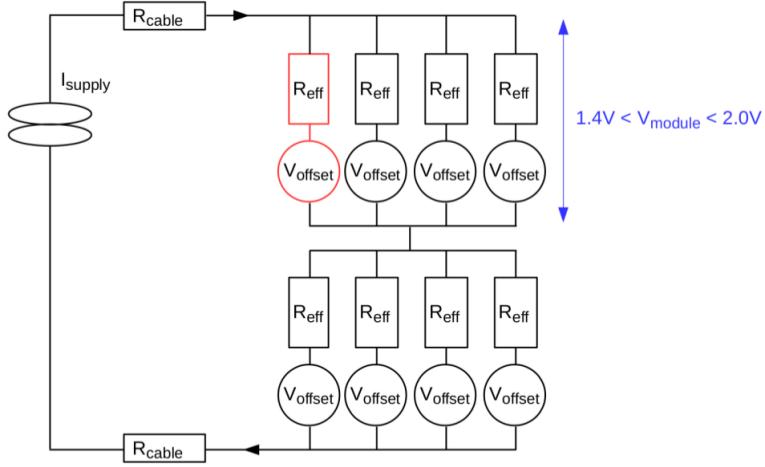


Figura 2.3: Schema di una catena seriale con moduli, ognuno formato da 4 chip. Il chip in rosso si riferisce all'ipotesi di un failure.

2.3 Evoluzione design SLDO

Il design del regolatore SLDO ha subito nel tempo modifiche e migliorie, fino ad arrivare all'attuale versione in tecnologia CMOS a 65 nm capace di lavorare con una corrente massima di 2A.

Partiamo da uno schema estremamente semplificato che permetta di comprendere l'idea di fondo, facendo riferimento alla figura 2.4. Lo SLDO è alimentato in corrente I_{in} , una frazione di questa corrente scorrerà nel ramo di R_3 , la indichiamo con I_{ref} , questa sarà la corrente di riferimento all'interno dello shunt. La parte che agisce come regolatore di tensione è $A1 + M1$, $A1$ fa in modo di tenere la tensione sul carico uguale ad un valore di riferimento, che per ora trascuriamo come sia generato, andando ad aprire o chiudere il gate del mosfet $M1$ e dunque facendo scorrere più o meno corrente. Questo di per se causerebbe un aumento di I_{ref} e conseguentemente di V_{in} proporzionale ad R_3 . Nello schema è però presente un ramo in parallelo al carico, in cui la corrente che scorre è regolata da $M4+A3$, $A3$ è la parte attiva dello shunt, che fa sì che la corrente nel ramo con $M1$ sia 1000 volte quella che scorre in R_3 andando a regolare I_{shunt} modificando la tensione di gate del mosfet $M4$. La corrente che scorre in $M1$ è dunque tenuta costante anche quando si hanno variazioni dinamiche del carico.

Questo primo schema permette una comprensione generale del funzionamento dell'oggetto il cui schema semplificato nella versione da 0.5A è riportato in figura 2.5. Rispetto a quanto visto fino ad ora si hanno alcune differenze,

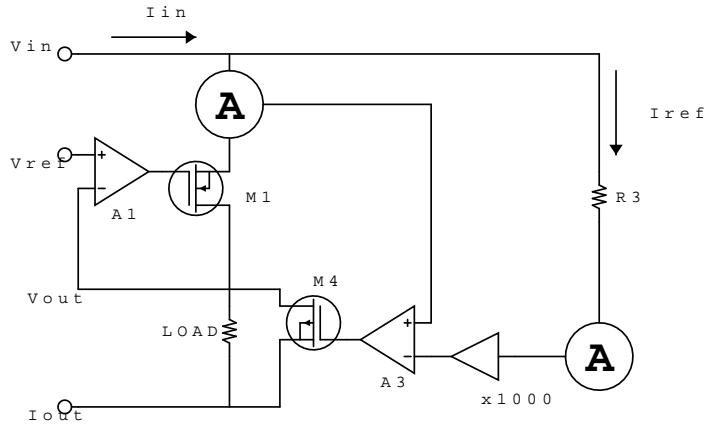


Figura 2.4: Schema di principio dello SLDO.

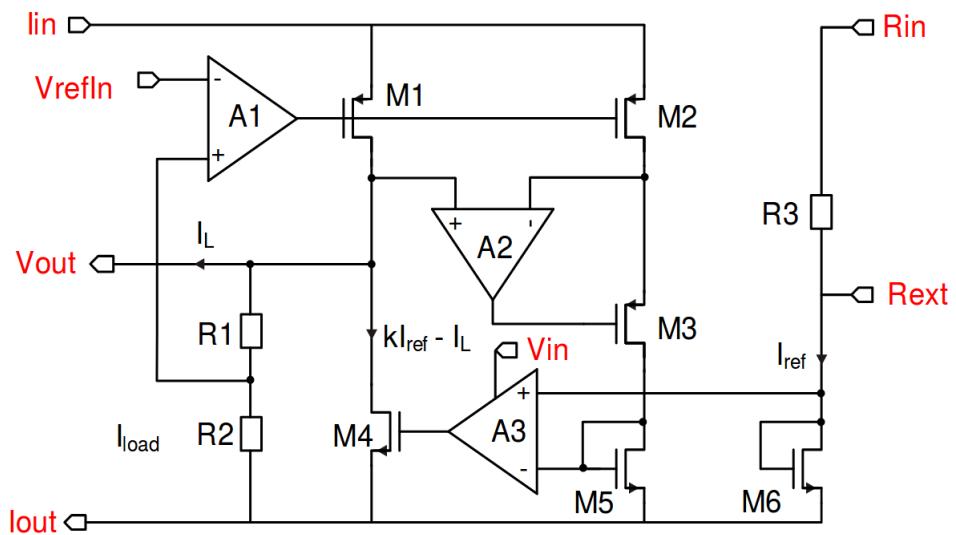


Figura 2.5: Circuito semplificato dello SLDO 0.5 A.

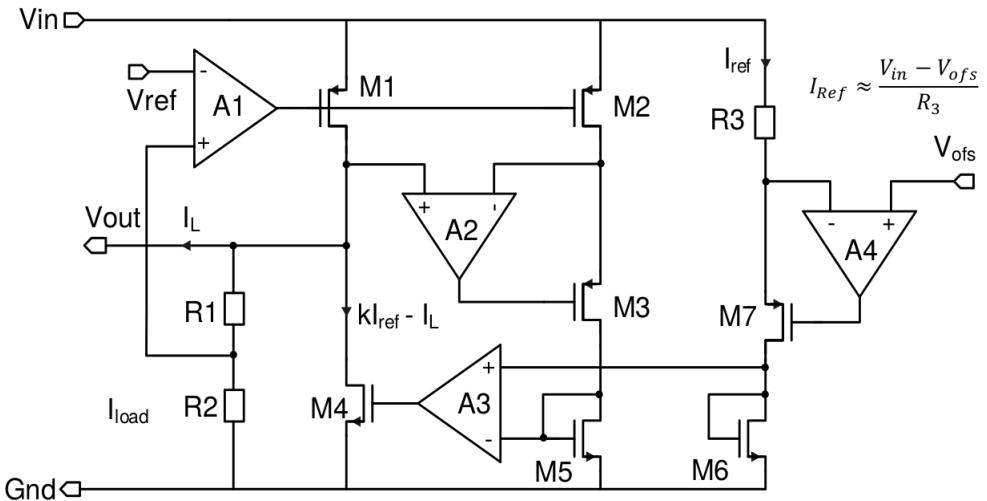


Figura 2.6: Circuito semplificato dello SLDO 2A.

benché l'idea generale di funzionamento rimanga la stessa. In questo schema il carico sta tra i pin V_{out} e I_{out} in parallelo al partitore $R1+R2$ ($R1$ e $R2$ sono resistenze uguali), la tensione di riferimento V_{ref} è confrontata con la tensione su $R2$ che è la metà di V_{out} . A3 fa un confronto tra le correnti che scorrono nel ramo di $R3$ (I_{ref}) e in quello di $M2$ e di conseguenza regola $M4$. La coppia di mosfet $M1-M2$ è in configurazione *current-mirror* e il rapporto k tra le due correnti è uguale a 1000 (dato dalle caratteristiche geometriche dei due mosfet). Quindi la corrente che scorre in $M1$ è 1000 volte I_{ref} . Questo comportamento ci dice che esternamente lo SLDO è visto come un carico resistivo circa uguale a $\frac{R3}{k}$. A2+M3 ha lo scopo di migliorare la precisione di k , tenendo uguale la tensione a valle di $M1$ e $M2$. Il valore di $R3$, per quanto detto, è una importante caratteristica e la sua scelta determina la tensione nel punto di lavoro del grafico IV per una data corrente.

Per funzionare correttamente questo circuito necessita una tensione in ingresso minima di circa $1.4V$, dunque valori di resistenza maggiori consentiranno di operare con correnti minori, con il vantaggio di consumare minor potenza⁸, ma con lo svantaggio di aver minor spazio per eventuali fluttuazioni del carico. Analogamente resistenze minori avranno l'effetto contrario, tensioni minori con correnti maggiori. Sempre nello schematico è indicato con R_{ext} il punto in cui è possibile collegare una resistenza esterna in sostituzione ad $R3$, che è quella presente di default all'interno dello SLDO. Nel

⁸In quanto la corrente in ingresso è fissata e quella non utilizzata viene dissipata sullo shunt, che diventa un punto molto caldo

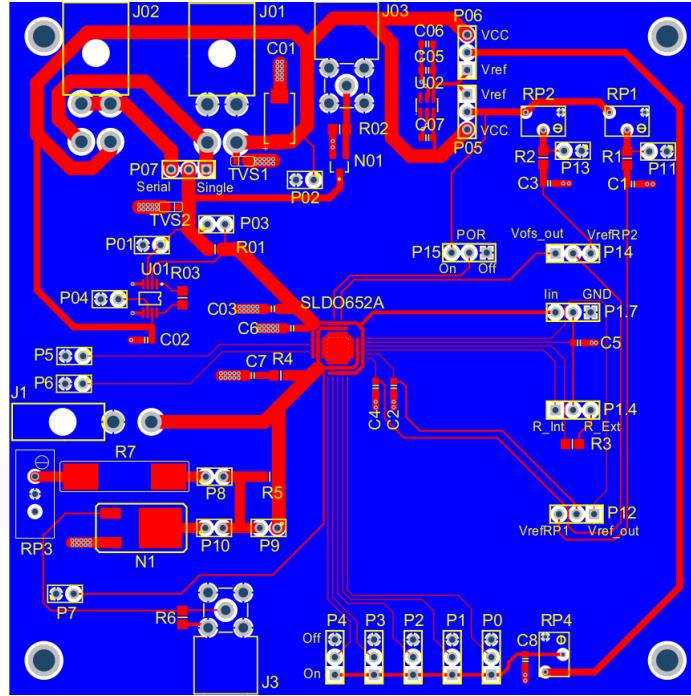


Figura 2.7: PCB di Test per lo SLDO 2A.

prototipo a 2A, rispetto alla versione a 0.5A, è presente il mosfet M7 sul ramo di R3, il cui gate è controllato da A4 (vedi figura 2.6). Questo ulteriore stadio inserisce un offset di tensione al comportamento resistivo dello SLDO. In questo caso la corrente di riferimento I_{ref} sarà:

$$I_{ref} = \frac{V_{in} - V_{ofs}}{R_3} \quad (2.5)$$

2.3.1 PCB

Questa prima parte di studio del comportamento dello SLDO è stato eseguita utilizzando PCB di test nella cui parte centrale lo ShuntLDO è stato collocato e connesso con wire-bond. La PCB riportata nelle immagini è quella relativa al prototipo di ShuntLDO da 2A, figura 2.7. Sulla PCB sono presenti connettori molex per l'alimentazione, jumper di configurazione, pin per misurare varie tensioni etc. Per semplicità e chiarezza espositiva verranno introdotti solo gli elementi principali.

Aggiungere immagini reali.....

L'alimentazione è fornita tramite il molex J01 la linea 1 fornisce la tensione Vcc utilizzata dal bandgap U02 per la generazione del Vref.

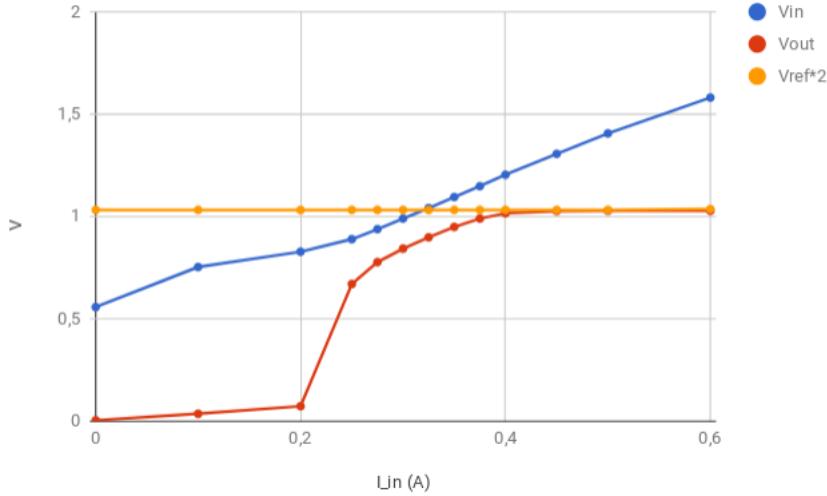


Figura 2.8: .

2.4 Caratterizzazione ShuntLDO da 0.5A

Le prime misure sono state fatte sul prototipo di SLDO da 0.5A prima del passaggio alla versione 2A. La PCB utilizzata è perciò leggermente differente da quella descritta nella sezione precedente, sebbene le funzionalità principali rimangano le stesse. Unica differenza sostanziale è la possibilità di inserire un offset regolabile al V_{out} , cosa che è invece possibile con la PCB dello SLDO da 2A. Il primo studio affrontato è stato la caratterizzazione dello SLDO, utilizzando una alimentazione in corrente. Le prime misure eseguite sono state le curve tensione corrente (IV), ottenute andando a misurare la tensione in ingresso V_{in} , quella di uscita V_{out} e quella di riferimento V_{ref} in funzione della corrente in ingresso.

Le prime curve di IV sono state eseguite sullo shunt da 0.5 A in cui è possibile regolare solo V_{ref} , in figura 2.8 è riportato il grafico ottenuto andando a variare la corrente in ingresso in configurazione senza carico applicato al V_{out} . Questa è quindi una situazione in cui tutta la corrente fornita dall'alimentazione viene assorbita dallo shunt, prendendo l'andamento asintotico e disinteressandoci della parte iniziale del grafico, che corrisponde all'accensione dello ShuntLDO, riportiamo in tabella alcuni valori di interesse:

V_{ref}	V_{out}	$2 \cdot V_{ref} - V_{out}$	R_{eff}	V_{offset}
$0.516V$	$1.028V$	$8mV$	2.0Ω	$0.40V$

In questa prima misura non è stato applicato nessun carico al V_{out} , dunque

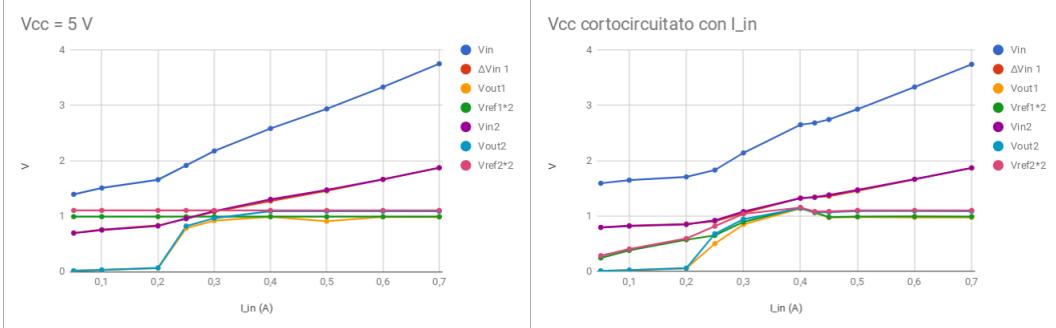


Figura 2.9: A sinistra i bandgap sono alimentati esternamente, a destra sono alimentati tramite V_{in} .

tutta la corrente in ingresso scorre nello Shunt, questa misura ci aiuterà in un confronto successivo con situazioni in cui è presente un carico, sia statico che dinamico.

Un'altra misura di test, che è stata eseguita con questo prototipo di shunt prima del passaggio alla versione da 2A, è un serie di due shunt entrambi con un carico resistivo di 4Ω . In questo caso i due ShuntLDO hanno V_{ref} diversi $V_{ref1} = 0.497$ V e $V_{ref2} = 0.553$ V. Sulla PCB è presente un bandgap la cui alimentazione può essere separata da quella dello SLDO. Il compito di questo bandgap è generare la tensione di riferimento V_{ref} , il suo valore può essere regolato con un potenziometro, anch'esso presente sulla PCB. Possiamo vedere a confronto il diverso comportamento nel caso in cui VCC, tensione che alimenta il bandgap sia esterna, con il caso in cui la tensione VCC sia cortocircuitata con l'ingresso di I_{in} e dunque si trovi a tensione uguale a V_{in} , figura 2.9. In questo confronto va tenuto conto che il bandgap presente sulla scheda di test ha un regime di lavoro compreso tra i 2 e i 18 V. Quello che si può notare dai grafici è che fintanto che la tensione di ingresso non supera circa 1 V il bandgap non riesce a generare il giusto livello di tensione V_{ref} e ciò ha come conseguenza un V_{out} non stabile, ovvero si arriva ad una stabilità del V_{out} con correnti più elevate.

Comportamento dinamico

Prima di passare alla versione da 2A è stata provata una situazione con carico dinamico, per poi riproporla in modo più approfondito ed esaustivo nelle sezioni successive utilizzando però il prototipo da 2A. Nella PCB di test è presente in parallelo all'uscita di V_{out} un mosfet in serie ad una resistenza, il cui comportamento può essere controllato applicando una tensione dall'estero-

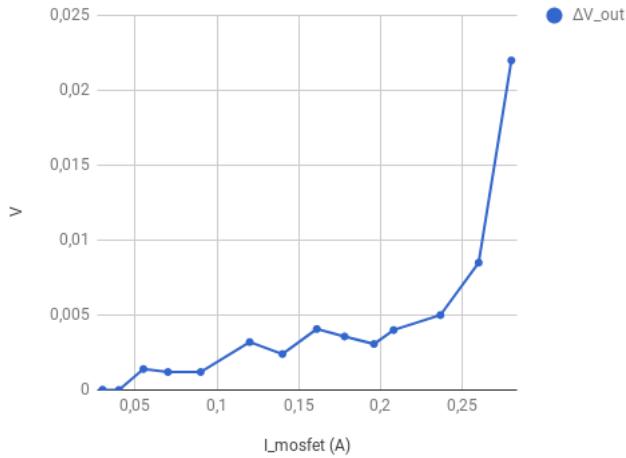


Figura 2.10: Entità degli undershoot in tensione in funzione della corrente assorbita dal mosfet.

no sul gate. La corrente assorbita dal mosfet, può essere ricavata andando a misurare la caduta di tensione sulla resistenza.

La prima misura di interesse è vedere quanto il V_{out} sia sensibile a variazioni veloci di carico. In figura 2.10 è riportato l'andamento dell'undershoot in funzione della corrente assorbita dal mosfet. Va tenuto presente che le misure sono state effettuate con una alimentazione in corrente $I_{in} = 0.5A$, un $V_{ref} \sim 0.5V$ e un carico resistivo su V_{out} di 4Ω . Questo perché nel momento in cui il carico dinamico più il carico statico assorbono insieme una corrente maggiore di quella totale presente in ingresso il sistema va in crisi. Gli effetti visibili in situazioni in cui $I_{mosfet} + I_{load} > I_{in}$ non hanno perciò direttamente a che vedere con il comportamento dello SLDO. Si può vedere dal grafico 2.10 come gli undershoot rimangano inferiori a 10 mV fin tanto che I_{mosfet} rimane sotto gli 0.250 A, valore oltre cui $I_{mosfet} + I_{load} > I_{in}$ ⁹.

Lo stesso test può essere eseguito mettendo due SLDO in serie ed andando a variare dinamicamente il carico di uno dei due, verificando se esternamente queste variazioni siano visibili, e quindi se influenzino l'altro elemento della catena seriale. Dal momento che l'interesse maggiore è per il prototipo a 2 A questo tipo di misura non è stato riportato nel caso dello SLDO da 0.5A, in quanto lo scopo di questa prima parte è quello di introdurre un certo tipo di approccio e prendere confidenza con gli argomenti trattati.

⁹ I_{load} è la corrente che scorre nel carico resistivo, in questo caso $I_{load} = \frac{V_{out}}{R} = 0.250A$

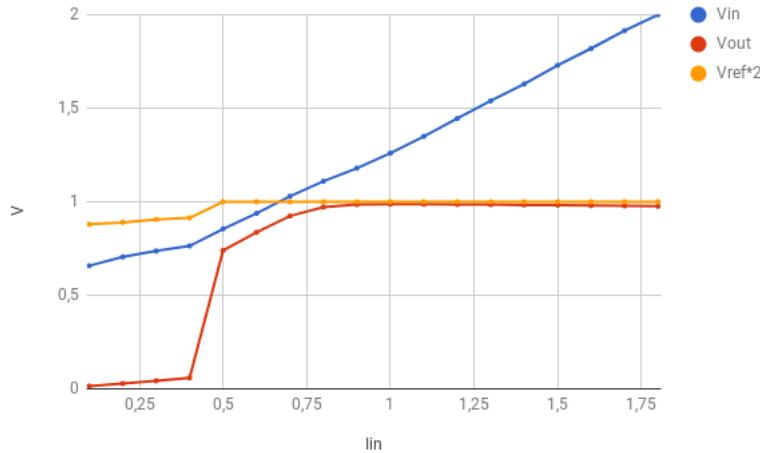


Figura 2.11: .

2.5 ShuntLDO 2A

Rispetto a quanto visto in precedenza, nella versione da 2 A è possibile gestire anche l'offset attraverso un potenziometro RP2 che va ad agire sulla tensione in uscita generata dal bangap, la stessa che viene utilizzata per generare V_{ref} regolando un secondo potenziometro RP1.

2.6 Comportamento statico

La parte di caratterizzazione statica è di nuovo eseguita andando a variare la corrente di alimentazione in ingresso e al contempo misurando V_{out} , V_{ref} e V_{in} , figura 2.11.

Questo andamento è stato ottenuto ponendo¹⁰ $V_{\text{ref}} = 0.5V$ e applicando un carico resistivo di 1Ω a V_{out} . Il bandgap è alimentato esternamente con una tensione di 5 V. Come si vede dal grafico 2.11 delle IV V_{ref} non è costante nella parte iniziale, questo può essere dovuto al fatto che nella fase in cui lo shunt LDO non è attivo si ha uno scorrimento di corrente nel ramo di V_{ref} , ciò causa una maggiore caduta di tensione sul potenziometro e quindi una minore tensione all'ingresso di A4. Idealmente, nel ramo di V_{ref} dovrebbe scorrere una corrente molto piccola in regime di lavoro¹¹, mentre al momento

¹⁰Per selezionare il valore voluto è necessario regolare il potenziometro RP1 che si trova in serie al bandgap sulla PBC.

¹¹Questo perché nello SLDO il V_{ref} è in ingresso al comparatore A1 e viene confrontato con una tensione che sarà circa uguale in una situazione di equilibrio. La corrente che scorre tra ingresso + e - sarà piccola, poiché il comparatore in ingresso ha una grossa

dell'accensione, all'ingresso di A1 si ha una notevole differenza tra + e -, e quindi scorrerà una corrente maggiore, questo è causa di una variazione del V_{ref} . Di seguito riportiamo in tabella i valori che si riferiscono al grafico 2.11:

V_{ref}	V_{out}	$2 \cdot V_{ref} - V_{out}$	R_{eff}	V_{offset}
$0.500V$	$0.980V$	$20mV$	0.880Ω	$0.40V$

2.6.1 Differenze tra GND PCB e GND SLDO

Prima di procedere oltre è interessante fare alcune riflessioni per porre attenzione su un aspetto che influenza le misure. Tutte le tensioni misurate, come per esempio il V_{out} , sono eseguite utilizzando pin sulla PCB. Questo vuol dire che, per esempio, quando viene misurato V_{out} la tensione letta sull'oscilloscopio o attraverso i multimetri è la differenza di tensione tra il pin di V_{out} sulla PCB e la terra (GND) della medesima. Dal momento che questi punti di misura sono collegati al V_{out} dello ShuntLDO attraverso wire bond si introduce una resistenza, che causa una caduta di tensione. L'entità di questa caduta di tensione dipende dalla resistenza dei wire bond e dalla corrente, dunque nel caso di una caratterizzazione con carico statico si presenta come un offset, mentre nel caso di carico dinamico varia al variare della corrente. I wire bond si presentano con tante resistenze in parallelo, perciò il valore di questa resistenza dipende dal numero di wire bond eseguiti. Dunque maggiore sarà il numero di questi ultimi minore sarà il valore della resistenza equivalente e dunque minore sarà l'effetto su V_{out} . Questo problema è riportato schematicamente in figura 2.12.

Ricapitolando, nella configurazione di ShuntLDO una frazione della corrente in ingresso scorre attraverso il transistor di shunt (M4), questa corrente confluisce nella linea di terra del regolatore GND_{REG} e da qui, attraverso i wire bond è collegata alla terra della PCB (GND_{PCB}). La resistenza di questa linea, schematizzata in figura con una resistenza R_{GND} , è la causa della differenza in tensione tra la terra della PCB e dello Shunt. Questo spiega anche il fatto che V_{ref_ext} sia leggermente maggiore di V_{out} . Infatti V_{ref_ext} è esterno allo shunt e dunque l'effettiva tensione di riferimento vista dallo shunt è minore. Il V_{out} realmente prodotto dallo ShuntLDO sarà:

$$V_{out} = 2 \cdot V_{ref} = 2 \cdot (V_{ref_ext} - I_{shunt} \cdot R_{gnd}) \quad (2.6)$$

Questo effetto è appena visibile in figura 2.11, dove all'aumentare della corrente V_{out} si ha una lieve flessione della tensione in uscita. Facendo un fit resistenza.

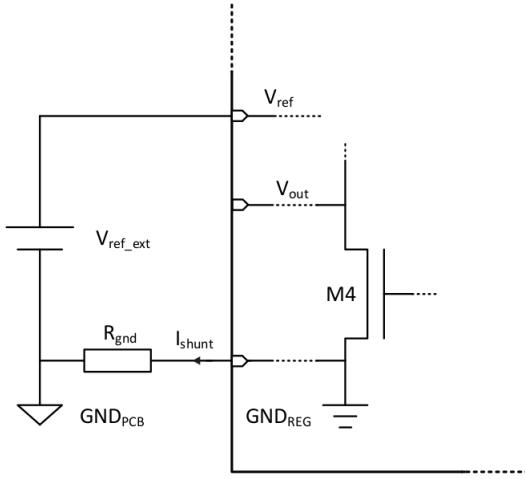


Figura 2.12: Differenze tra GND_{PCB} e GND_{REG} nella configurazione ShuntLDO, causate dalla corrente di shunt.

lineare dei punti si ottiene una pendenza di -0.015Ω . La pendenza ottenuta del fit non è unicamente data dai wire bond ma ha un contributo aggiuntivo dato dalla resistenza delle piste e dei connettori. Una misura più precisa può essere eseguita sfruttando i pin V_{out_Sense} e I_{out_Sense} , rispettivamente indicati sulla PCB con P5 e P6. Questi due pin di monitoraggio sono collegati rispettivamente al V_{out} del regolatore e al GND sempre del regolatore. Essendo piste in cui non scorre corrente, l'effetto resistivo di wire bond è eliminato ed è possibile misurare il valore di tensione del GND locale.

Si è proceduto a misurare il valore di tensione sul pin I_{out_Sense} al variare della corrente di alimentazione I_{in} . La misura è stata eseguita per due diversi valori di carico statico 4Ω e ∞ , con il valore infinito si intende la configurazione in cui il carico è assente e dunque il circuito tra V_{out} e GND è aperto, presentandosi di fatto come una resistenza infinita. In figura 2.13 è possibile vedere come le due diverse configurazioni di carico influenzino la misura con un offset. Infatti nei due casi la pendenza è la stessa e dà un'indicazione del valore resistivo R dei wire bond, l'offset invece rispecchia il fatto che lo spostamento di tensione è dato dalla corrente che scorre verso il GND del chip, che nel caso in cui il carico richieda più corrente diminuisce. Ad esempio a 1 A con i carico resistivo da 4Ω la corrente che effettivamente scorre verso GND nello shunt è 0.75 A (questo nel caso $V_{out} = 1V$).

R_{rossa}	R_{blu}	$offset_{rosso}$	$offset_{blu}$
$4m\Omega$	$4m\Omega$	$-1mV$	$-2mV$

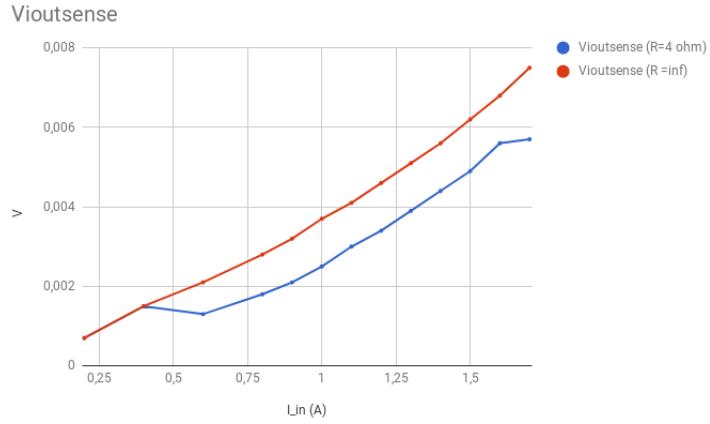


Figura 2.13: Andamento della tensione del GND dello shunt rispetto al GND della PCB al variare della corrente di alimentazione del circuito.

Il valore di questa resistenza è molto piccolo e come detto dipende in prima approssimazione dal numero di wire bond. Fintanto che lo ShuntLDO è utilizzato come circuito a se stante su una PCB di test questo aspetto risulta secondario, in quanto non ci sono problemi di spazio e si può utilizzare un gran numero di connessioni per ridurre al minimo differenze tra GND_{PCB} e GND_{REG} .

2.6.2 Offset

Come detto in precedenza nella versione da 2 A è possibile regolare esternamente il V_{offset} . Una tensione di offset alta consente di raggiungere il punto di lavoro prima, cioè con un minor consumo di corrente, mentre un valore di V_{offset} basso ha l'effetto contrario. Questo effetto lo si può verificare andando a misurare la tensione di output V_{out} per diversi valori di V_{offset} al variare di I_{in} .

Andando a misurare V_{in} al variare della corrente in ingresso è possibile ricavare, con un fit lineare nella regione di funzionamento del circuito, l'intercetta con l'asse y che corrisponde all'offset. Questi valori sono riportati nella tabella seguente:

Offset 0.4V	Offset 0.6V	Offset 0.8V
$0.352V$	$0.539V$	$0.756V$

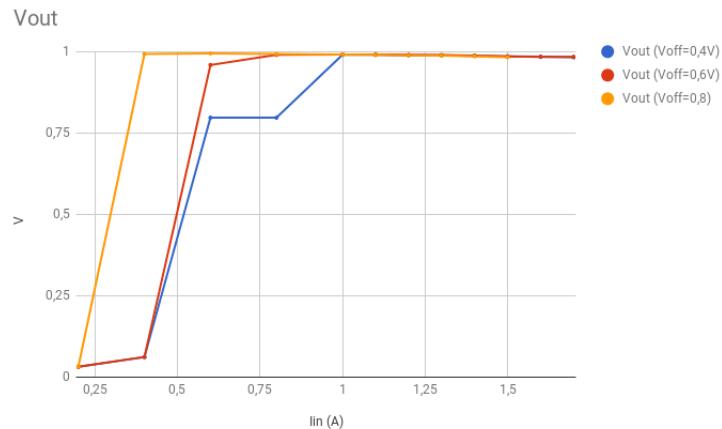


Figura 2.14: Andamento di V_{out} al variare della corrente in ingresso per differenti valori di V_{offset} .

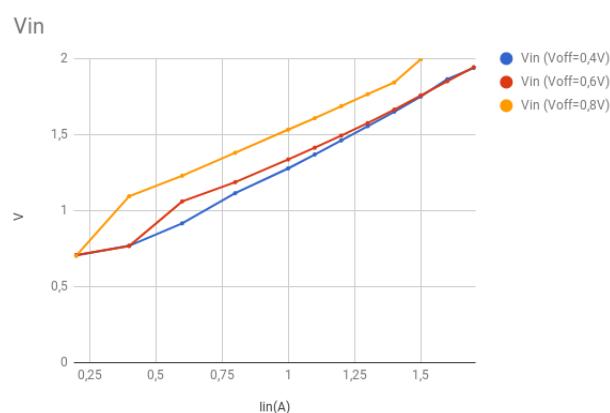


Figura 2.15: Andamento di V_{in} al variare della corrente in ingresso per differenti valori di V_{offset} .

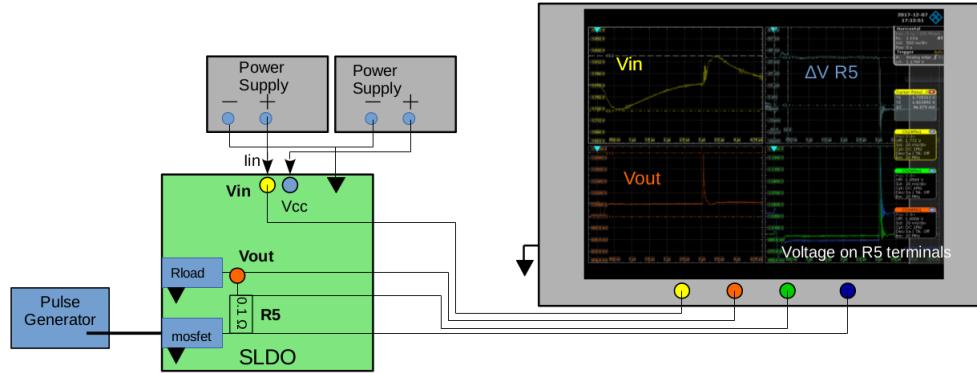


Figura 2.16: Schema del setup per lo studio del comportamento dinamico dello SLDO.

Come si può vedere il valore effettivo è sempre leggermente minore. Questo è un risultato che troveremo anche più avanti nelle misure eseguite sullo ShuntLDO presente all'interno del chip RD53A.

2.7 Comportamento dinamico

Oltre alla caratterizzazione statica è interessante studiare il comportamento dello SLDO in risposta ad una variazione dinamica del carico, andando a focalizzare l'attenzione sulla velocità dello shunt nel riequilibrare il consumo in corrente. La risposta dinamica è dipendente da fattori quali il punto di lavoro a cui si trova lo SLDO, il tempo in cui avviene la variazione di carico e l'entità di tale variazione. Il circuito è alimentato tramite un generatore di corrente a 1.5 A e $V_{ref} = 0.5A$, dunque ci aspettiamo una tensione all'uscita di 1 V. Al fine di introdurre un carico dinamico, in parallelo al carico statico, è presente un mosfet in serie ad una resistenza R_5 di 0.1Ω . La corrente assorbita dal mosfet, indicata con I_{mosfet} sarà ricavata misurando la caduta di tensione sulla resistenza. Il mosfet è pilotato tramite un generatore di impulsi. A seconda dell'ampiezza del segnale inviato al gate del mosfet c'è una maggiore o minore corrente che scorre tra drain e source. Il setup di queste misure è rappresentato schematicamente in figura 2.16, sulla sinistra vi è la PCB in verde, mentre in grigio sono riportati gli alimentatori, sulla destra vi è l'oscilloscopio con cui sono misurate la tensione in ingresso V_{in} ¹², rappresentata in giallo, la tensione in uscita V_{out} , in arancione, e le tensioni agli estremi della resistenza R_5 . Infine sulla sinistra della PCB collegato al gate del mosfet è presente un generatore di impulsi. Per quanto riguarda la

¹²L'alimentazione dello SLDO è comunque in corrente.

durata dell'impulso da mandare al gate del mosfet si è scelto di tenere fronte di salita e discesa ben distanti in modo da osservare separatamente gli effetti dovuti al fronte di salita da quelli di discesa. In una situazione in cui il carico del regolatore è il chip le variazioni sarebbero di minor durata rispetto alla lunghezza dell'impulso utilizzato in queste misure, però lo scopo di queste misure è vedere gli effetti che si hanno al passaggio da un certo consumo di corrente ad uno maggiore e viceversa. Un impulso di breve durata avrebbe il problema di sovrapporre questi due effetti, non permettendo di valutarne l'effettiva entità, in quanto i contributi sono opposti e su tempi brevi si sovrappongono cancellandosi. In queste misure l'attenzione sarà focalizzata su variazioni di V_{in} e V_{out} in ampiezza e sul tempo di recupero al variare di I_{mosfet} per una data R_{load} .

L'introduzione di questo carico, in parallelo alla resistenza connessa a V_{out} , è possibile posizionando un jumper sul pin P10 della PCB. Già dalle prime misure con l'oscilloscopio è visibile come che l'utilizzo del mosfet come carico dinamico non sia esente da problematiche che vanno ad alterare i segnali, rendendo difficile una corretta interpretazione. Prendendo a riferimento la figura 2.17 si nota innanzitutto un'asimmetria nelle variazioni di V_{out} , posto in basso a sinistra e di colore arancione, mentre in V_{in} , posto in alto a sinistra e di colore giallo, la risposta è simmetrica. In azzurro è riportata la differenza tra le tensioni misurate ai capi di R_5 , che invece sono riportate in blu e in verde, da cui è possibile calcolare la corrente che scorre tra Drain e Source del mosfet. Inoltre sono visibili delle oscillazioni in corrispondenza del momento in cui il mosfet si spegne e smette di assorbire corrente. Questo comportamento si riflette su V_{out} , ed è quindi all'origine dell'asimmetria. Questo aspetto è stato approfondito prima di procedere a misure della risposta dinamica nelle varie combinazioni $I_{mosfet}-R_{load}$, al fine di capire a cosa fosse dovuto, sospettando un contributo del mosfet non trascurabile. In questa prima fase l'impulso utilizzato ha le seguenti caratteristiche: frequenza 50 Hz, durata 3 μ s, durata del fronte di salita 40 ns.

Contributo mosfet

Per esaminare il comportamento del mosfet in risposta all'impulso mandato sul gate si è proceduto ad isolare questa parte del circuito dal resto della PCB andando a connettere sul pin P10 (connesso al drain del mosfet) una resistenza in serie ad una batteria stilo. La batteria ricopre il ruolo di V_{out} , mentre la resistenza è necessaria alla misura delle correnti che scorrono nel mosfet. La resistenza utilizzata è $R = 2.7\Omega$.

Come è possibile vedere dalla figura 2.18, le oscillazioni sono presenti anche una volta isolato il mosfet, segno che sono generate da quest'ultimo

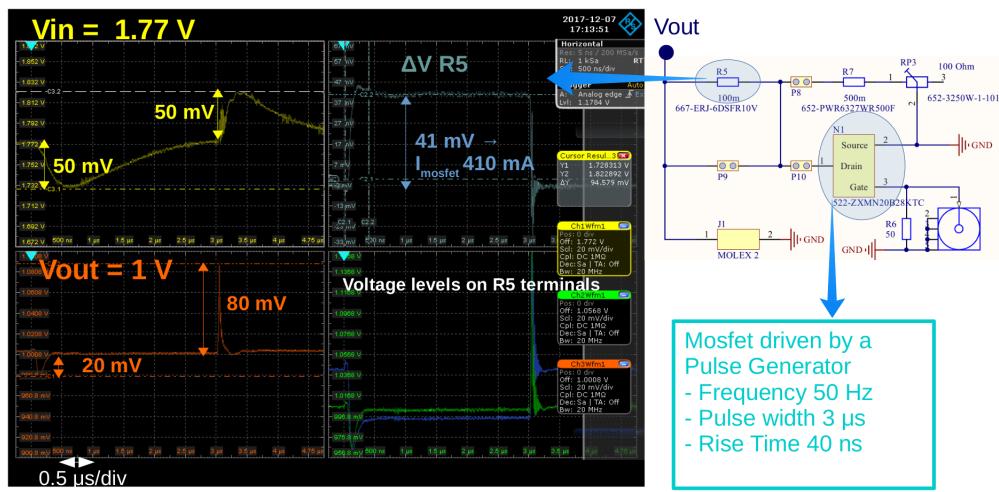


Figura 2.17: .

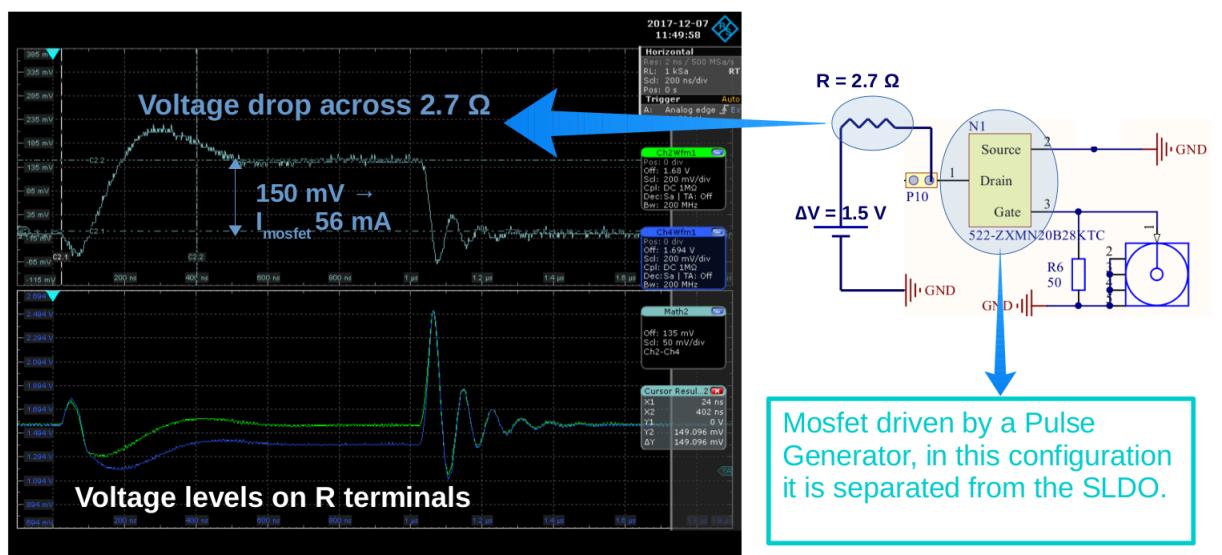


Figura 2.18: .

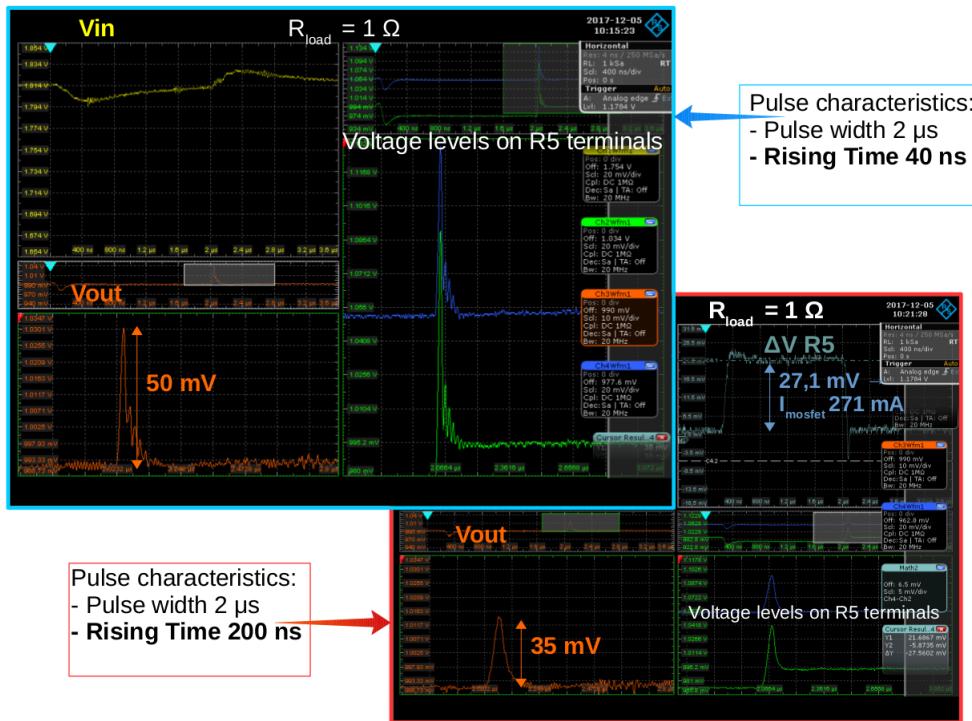


Figura 2.19: .

nel momento in cui il canale che collega drain e source si interrompe, inoltre il fronte di salita è circa 100 ns e non 40 ns come ci aspetteremmo da un mosfet ideale con risposta istantanea. Andando a esaminare la documentazione del mosfet presente sulla PCB si può verificare che effettivamente il tempo di "accensione" è superiore a 40 ns (Turn-on rise time 76,9 ns) e inoltre sono presenti capacità in ingresso di 358pF. Tutto questo rende impossibile vedere la risposta dello SLDO a segnali più veloci della risposta del mosfet, per questo motivo le misure successive sono state prese impostando un tempo di salita del segnale del generatore di impulsi di 200 ns. In figura 2.19 è visibile come la situazione precedente, in cui l'impulso ha un tempo di salita di 40 ns, migliora visibilmente passando a 200 ns, in questo modo quello che viene simulato all'uscita dello ShuntLDO è un variazione di carico più lenta ma il cui comportamento è affetto in modo minore dalle caratteristiche del mosfet.

Misure

A questo punto si è proceduto con le misure della tensione di ingresso V_{in} e di uscita V_{out} per tre differenti valori di R_{load} al variare di I_{mosfet} . I valori di R_{load} scelti sono stati 1Ω , 2.1Ω e 4Ω , e dato che $V_{out} = 1V$ in termini di correnti I_{load} corrispondono rispettivamente 1 A, 0.475 A e 0.250 A. A questo punto per vari valori di I_{mosfet} sono stati misurate le variazioni in ampiezza e il tempo di recupero di V_{in} e V_{out} .

Una prima differenza che si nota è il differente tempo di recupero tra V_{in} e V_{out} , molto più lungo dell'ordine dei μs e dipendente dall'entità di I_{mosfet} per il primo mentre per il secondo ha durata di circa 300 ns indipendentemente dal valore di I_{mosfet} . Questo è dovuto al fatto che il riequilibrio della tensione di ingresso dipende anche dal generatore esterno le cui variazioni sono più lente. Va ricordato che lo SLDO è alimentato in corrente con 1.5 A, dunque nel momento in cui $I_{load} + I_{mosfet}$ raggiungono valori vicini o addirittura superiori a I_{in} si ha un crollo della tensione in ingresso e del V_{out} . Questo è un effetto aspettato in quanto si sta chiedendo allo SLDO di fornire una corrente superiore a quella a sua disposizione.

Per ciascun valore di R_{load} , come detto in precedenza, è stata fatta variare la corrente assorbita dal mosfet I_{mosfet} ed è stato misurato l'effetto di undershoot e overshoot sulle tensioni di V_{out} e V_{in} . Le misure eseguite prendono in considerazioni anche situazioni in cui la variazione del consumo in corrente eccede l'intervallo fisico di operatività del chip. Misure in cui la variazione del carico è il doppio del valore statico hanno interesse nell'ottica di quello che può succedere al momento dell'accensione del chip, le cui variazioni di consumo in regime di lavoro di norma non superano i 500 mA.(controllare) Come detto in precedenza gli impulsi utilizzati presentano una durata che

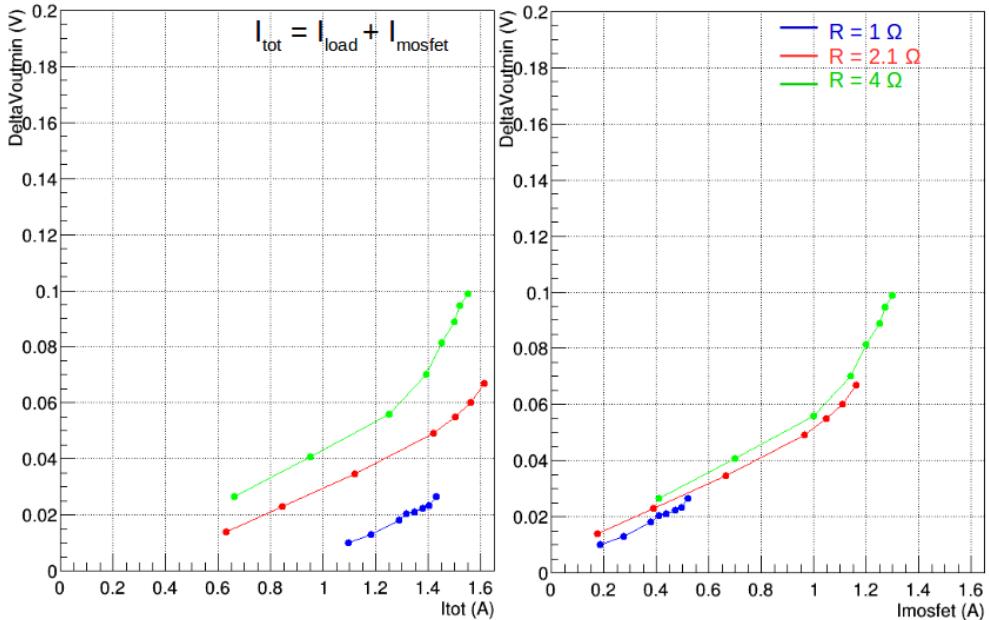


Figura 2.20: Grafici che riportano l'entità dell'undershoot del V_{out} in funzione della corrente totale, grafico di sinistra, e della corrente del mosfet, grafico di destra.

consente di differenziare tra effetti dovuti al fronte di salita e effetti dati dal fronte di discesa dell'impulso. I primi risultati riportano gli undershoot della tensione di uscita a cui è applicato il carico, riferendosi ai grafici in figura 2.20 sono riportati i valori assoluti di tali variazioni in funzione della corrente che scorre nel mosfet (sinistra) e della corrente totale (destra), la corrente totale è somma di quella assorbita dal carico e dal mosfet. In blu sono riportati le misure ottenute con un carico resistivo di 1Ω , in rosso 2.1Ω e in verde 4Ω . Come si può vedere dal grafico di destra vi è una dipendenza della variazione di V_{out} da I_{mosfet} , in quanto le tre curve seguono lo stesso andamento, indipendente dal valore della resistenza. Inoltre, riferendosi ad un intervallo di variazioni di corrente verosimili per il chip, si hanno variazioni relativamente piccole di V_{out} . Con $I_{mosfet} = 0.4 \text{ A}$ il $\Delta V_{out} \simeq 20 \text{ mV}$. Lo stesso comportamento è visibile nei grafici di figura 2.21, dove è riportata l'entità delle variazioni di V_{out} a seguito dello spegnimento del mosfet, cioè l'effetto che si ha sul fronte di discesa dell'impulso. Nell'esaminare questi andamenti va ricordato che la corrente in ingresso al circuito è 1.5 A , quindi punti per i quali si ha una I_{tot} vicina o superiore a questo valore sono ottenuti in una situazione in cui lo SLDO è impossibilitato a compiere il suo lavoro. La corrente che passa in $R3$ è un millesimo di quella che scorre nel ramo

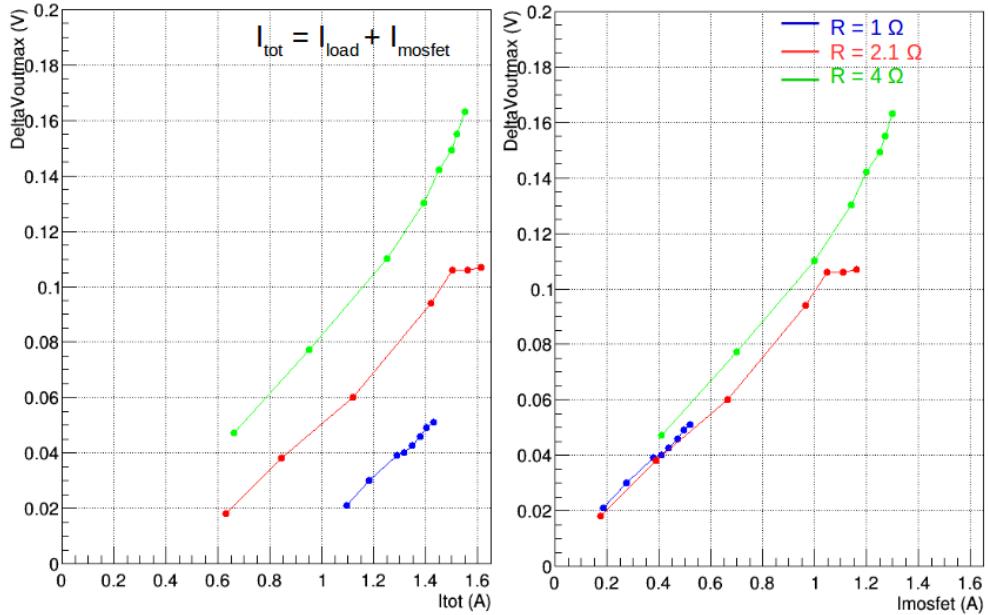


Figura 2.21: Grafici che riportano l'entità dell'overshoot del V_{out} in funzione della corrente totale, grafico di sinistra, e della corrente del mosfet, grafico di destra.

in cui si ha carico e shunt.

Come per il V_{out} è stato misurato l'undershoot e l'overshoot della tensione in ingresso V_{in} . I grafici degli undershoot sono riportati in figura 2.22, quelli riguardanti gli overshoot in figura 2.23. In entrambi i casi la variazione della tensione in ingresso dipende sia dalla variazione di corrente I_{mosfet} che dalla corrente fissa I_{load} . Per valori elevati di I_{mosfet} la tensione in ingresso inizia ad oscillare, con periodi di qualche μs . Questo comportamento è dovuto al generatore utilizzato, in particolare l'alimentazione in corrente è stata ottenuta utilizzando un generatore di tensione e limitando la corrente in uscita. Nel momento in cui si ha una variazione di carico molto veloce che, come abbiamo visto, provoca un abbassamento di V_{out} si ha una piccola ripercussione sulla tensione di ingresso. Dato che il generatore è di tensione limitato in corrente al fine di tenere costante I_{in} avrà un abbassamento di tensione, che però ha tempi più lunghi rispetto a quelli con cui lo ShuntLDO riesce a riequilibrare V_{out} . Il comportamento oscillatorio di V_{in} che compare quando I_{tot} è intorno al valore massimo, cioè I_{in} , ha permesso di constatare come fluttuazioni della tensione in ingresso non influiscano sulla tensione generata dal regolatore. Questo può essere visto bene utilizzando l'oscilloscopio, in figura 2.24 è mostrato uno screenshot in cui è riportato in giallo l'andamento della

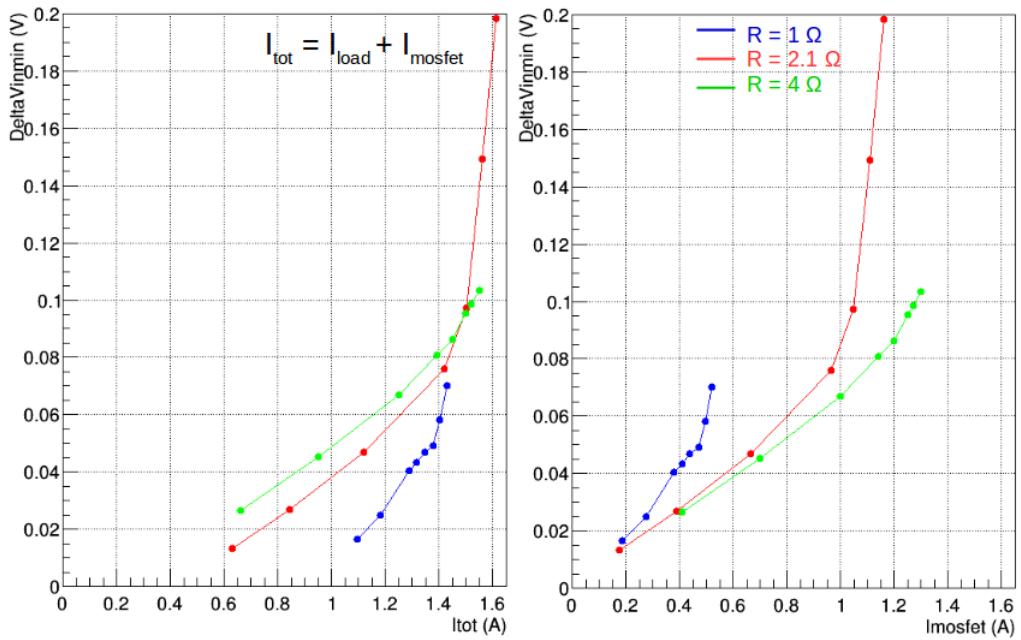


Figura 2.22: Grafici che riportano l'entità dell'undershoot del V_{in} in funzione della corrente totale, grafico di sinistra, e della corrente del mosfet, grafico di destra.

tensione in ingresso in funzione del tempo, e in arancione la tensione di V_{out} . Si nota come le scale di tempo di recupero siano differenti, alcuni μs per V_{in} e circa 300 ns per V_{out} .

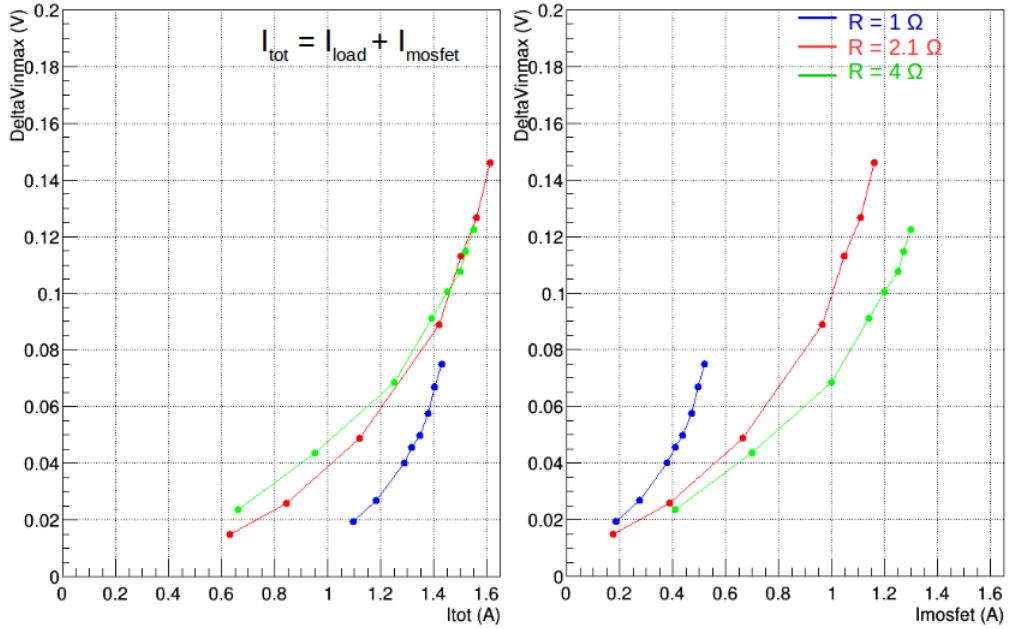


Figura 2.23: Grafici che riportano l'entità dell'undershoot del V_{in} in funzione della corrente totale, grafico di sinistra, e della corrente del mosfet, grafico di destra.

Serie di due SLDO

Eventuali oscillazioni della tensione in ingresso causerebbero oscillazioni di tensione in tutta la catena di moduli, per questo motivo è importante che esse non si ripercuotano sul V_{out} . Per verificare questo aspetto si è proceduto con il monitorare la tensione di uscita di uno SLDO messo in serie con un secondo a cui è stato applicato un carico variabile, tramite l'utilizzo del mosfet, come nelle misure precedenti, in figura 2.25 sono affiancati uno schema del setup (sinistra) e la foto dei due SLDO in serie (destra). Il serie di due SLDO, entrambi con un carico statico di 4Ω , è stato alimentato con una corrente in ingresso di 1.5 A. Sul secondo SLDO è stato collegato l'impulsatore che regola l'assorbimento di corrente da parte del mosfet. Monitorando all'oscilloscopio la tensione di V_{out} di entrambi e il V_{in} del primo shunt della catena (quello con solo carico statico) è stato possibile verificare come le fluttuazioni di tensione non influenzino la generazione della tensione di V_{out} . In figura 2.26 si può vedere come, nonostante il secondo SLDO sia al limite il primo non ne risente nel generare V_{out} . Questo campionamento dei segnali fatto con l'oscilloscopio è stato ottenuto con una I_{mosfet} di 1.2 A e quindi con una I_{tot} di circa 1.45 A, molto vicino al limite di 1.5 A. In verde è riportato l'andamento del V_{out} del secondo SLDO, che infatti ha importanti undershoot e overshoot, i quali



Figura 2.24: Differenze nei tempi di recupero tra V_{out} , in giallo, e V_{out} , in arancione.

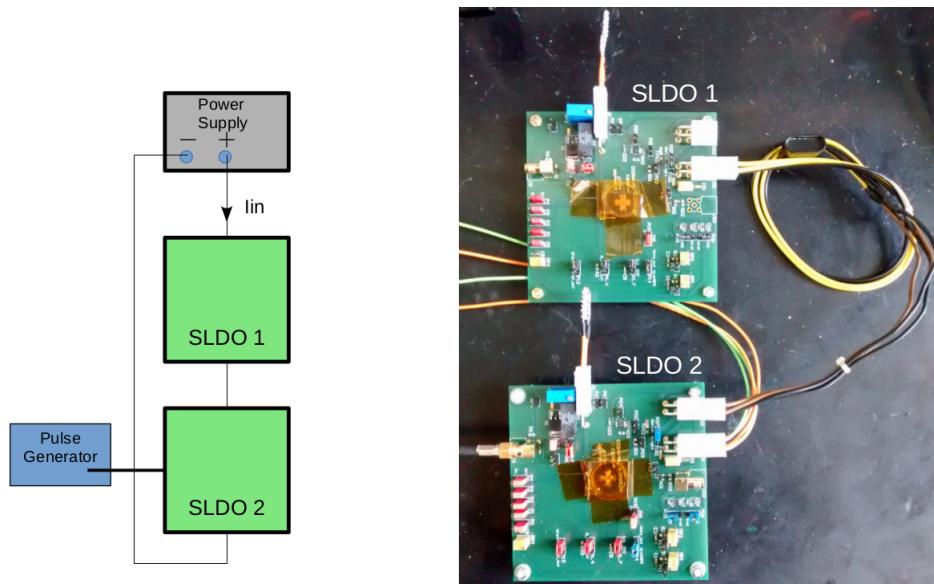


Figura 2.25: Sulla destra foto dei due SLDO in serie di cui a sinistra è riportato uno schema delle connessioni con generatore e impulsatore.

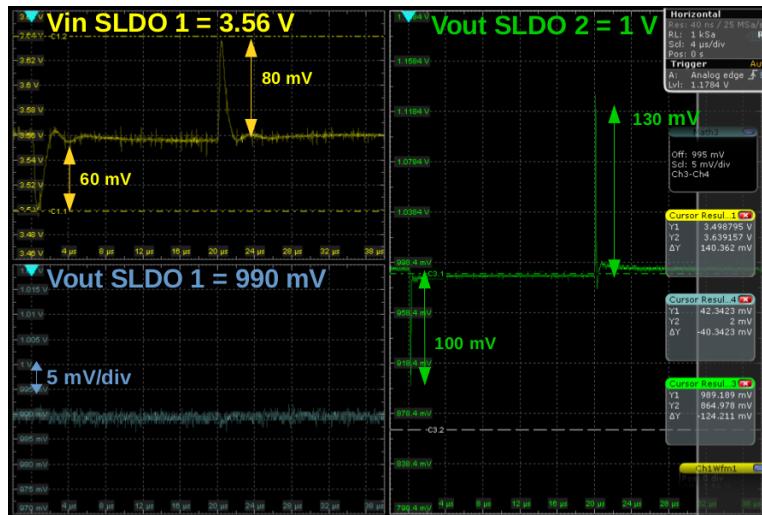


Figura 2.26: Schermata dell'oscilloscopio in cui è riportata in giallo la tensione in ingresso al primo SLDO della catena, in celeste la tensione di V_{out} sempre dello SLDO1 e in verde la tensione di V_{out} dello SLDO2 su cui è applicato il carico dinamico. Le fluttuazioni in tensione originate dalla variazione di carico sullo SLDO 2 si ripercuotono sul V_{in} dello SLDO1 (giallo) ma non sulla tensione da esso generata (celeste).

causano come visto in precedenza, fluttuazioni della tensione in ingresso. La tensione di ingresso dello SLDO2 non è altro che la terra della PCB su cui si trova lo SLDO1, fluttuazioni di questa si ripercuotono e sono visibili in ingresso. Il risultato importante è come niente di tutto questo sia visibile sul V_{out} del primo SLDO.

CAPITOLO 3

RD53A

Il progetto di RD53A è stato approvato nell'autunno del 2015, dopo la revisione da parte delle collaborazioni ATLAS, CMS e RD53A. Nel 2016 è iniziata la progettazione, con questo nuovo chip si vuole dimostrare la possibilità di utilizzare tecnologia CMOS in 65 nm per l'aggiornamento in vista della fase ad alta luminosità di ATLAS e CMS, e quindi la tolleranza al danneggiamento da radiazioni, soglie di lavoro basse e stabili nel tempo, capacità di gestire un alto flusso di particelle incidenti e l'utilizzo di trigger veloci.

3.1 Organizzazione del chip

RD53A non deve essere inteso come il prodotto finale, infatti possiede molte modifiche di design utili solo in una prima fase di test, ad esempio al suo interno sono presenti tre diversi front end (FE), già questo causa una non uniformità del chip. Questo chip è la base di partenza per arrivare al progetto finale, in cui sarà scelto uno dei front end e sarà utilizzato uniformemente su tutta la matrice di pixel. In RD53A la matrice di pixel ha 400 colonne e 192 righe, nel progetto finale si avrà un aumento del numero di pixel, infatti il sistema di alimentazione e di contropolarizzazione dei pixel è progettato per un numero di righe massimo pari a 384, figura 3.1.

L'area del chip che sarà bondata al sensore è posta nella parte alta ed è organizzata secondo una matrice di 192 x 400 pixel di area $50 \mu\text{m} \times 50 \mu\text{m}$, sopra a questa è presente una fila di pad utilizzate per debug, questa sarà eliminata nella versione finale. La parte di circuito necessaria per configurare monitorare e leggere il chip è posta nella parte bassa, sotto cui è posta una fila di pad per i wire-bond. La matrice di pixel è organizzata in *cores* di 8 x

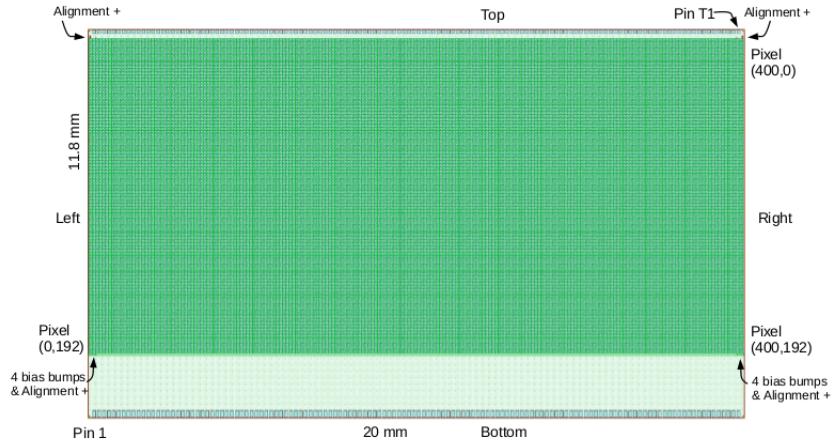


Figura 3.1: RD53A layout. Il chip è largo 20mm per 400 pixel e l'altezza è 11.8 mm per 192 pixel.

8 pixel, all'interno i 64 front end sono disposti in gruppi di 4, chiamati isole analogiche, figura 3.2. Queste isole sono circondate da un "mare" digitale, il circuito intorno ad ogni isola è differente. Nelle parti più esterne del chip tutti i blocchi analogici sono raggruppati in macro blocchi chiamati Analog Chip Bottom (ACB). Il blocco ACB è circondato dal blocco Digital Chip Bottom (DCB) che implementa la logica digitale per Input, Output e configurazione.

3.2 Front End

Come detto in precedenza RD53A non è il chip finale, ma un prototipo, al cui interno sono presenti tre differenti Front End per la parte analogica. Si tratta di tre differenti progetti e sono indicati con i nomi: Sincrono, Lineare e Differenziale, vedi figura 3.3. Questi tre circuiti sono stati progettati da tre differenti gruppi e tra di loro ci sono importanti differenze. Il FE Sincrono sfrutta un sistema di auto-zeroing della linea di base, campionando periodicamente la linea di base invece di aggiustare la soglia pixel per pixel. Il Lineare implementa un amplificatore lineare all'ingresso del comparatore, il cui compito è confrontare il segnale con una certa soglia. Nel Differenziale è presente uno stadio di guadagno differenziale all'ingresso del discriminatore e sbilanciando i due canali implementa la soglia. Le caratteristiche comuni sono le piazzole per i bump-bond e il layout. Inoltre è comune anche la rete di polarizzazione ed il circuito per iniettare segnali di calibrazione, in modo da poter confrontare direttamente le prestazioni. I tre FE condividono l'area del sensore e dato che la matrice è larga 400 pixel ed è suddivisa in core da

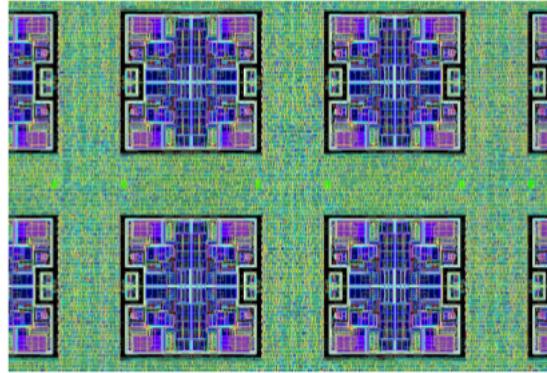


Figura 3.2: Immagine al microscopio della disposizione in gruppi di 4 dei front end.

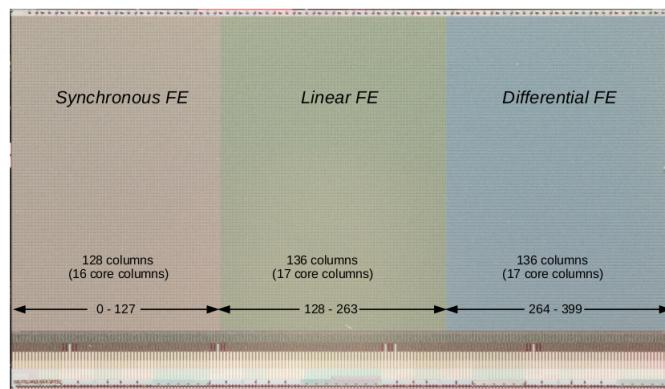


Figura 3.3: Disposizione dei tre differenti Front End rispetto alla matrice di pixel 192 x 400.

8×8 pixel, dunque non è possibile avere una egual area per i tre tipi di FE. Due avranno 17 core e uno solo ne avrà 16. I FE Lineare e Differenziale sono stati posti accanto in quanto hanno funzionalità simili e metterli vicino consente di avere un'area maggiore con una risposta il più uniforme possibile.

Di seguito è riportata una breve descrizione del funzionamento di ciascuno dei tre Front End:

- **Sincrono.** Uno schema a blocchi del front end Sincrono è riportato in figura 3.4. Questo front end consta di un CSA a stadio singolo con Krummenacher feedback accoppiato in AC ad un discriminatore sincrono formato da un amplificatore differenziale e un latch di feedback positivo. Il Krummenacher feedback è progettato in modo da fornire sia la compensazione alla corrente dispersa dal sensore sia la corrente

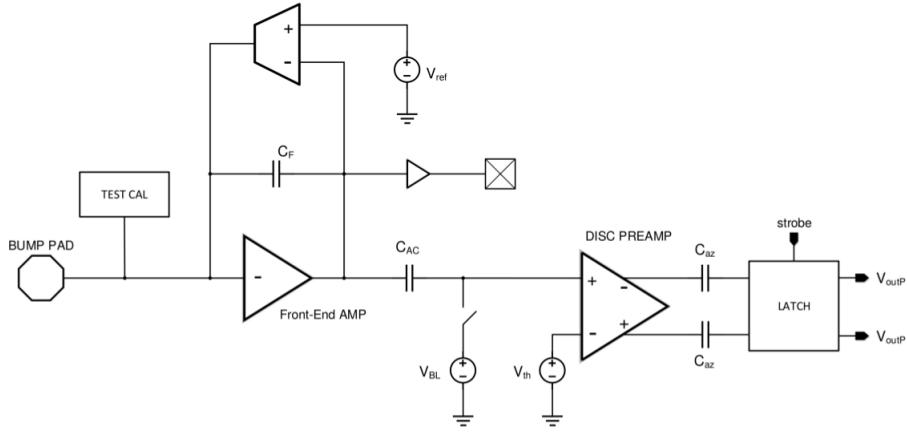


Figura 3.4: Schematico del front end Sincrono.

di scarica per la capacità presente nell'anello di reazione. Maggiore è la corrente più veloce il segnale del pre amplificatore tornerà alla baseline. Consideriamo come riferimento che, una carica di $10ke^-$, che produce 10 nA di corrente e un segnale che dura 400 ns è ridotta circa ad un segnale di 40 nA corrente per una durata di 100 ns . Al fine di avere due differenti valori di guadagno sono incluse due capacità, rispettivamente di 2.5 fF e 4 fF . A causa di piccole differenze, che sono rilevanti a scale di 65 nm , si hanno fluttuazioni abbastanza ampie della baseline in uscita dal primo stadio (dell'ordine delle decine di millivolt) tra canali differenti. Per eliminare queste differenze si è reso necessario un accoppiamento in AC al discriminatore. In ogni caso le differenze tra transistor si traducono in un offset della tensione in uscita dal discriminatore tra i vari pixel. Questo effetto normalmente è compensato con DAC usati localmente per regolazioni fini, invece, nel front end Sincrono l'offset è compensato attraverso un meccanismo di auto azzeramento. Ciò richiede l'acquisizione del livello di tensione della baseline ogni $100 \mu\text{s}$ o meno. Durante le collisioni, la differenza tra segnale e la baseline letta è inviato ad uno stadio che fa il confronto e genera il segnale di uscita del discriminatore.

- **Lineare.** Il Front End lineare è mostrato in figura 3.5. Il circuito di lettura include un amplificatore di carica (*Charge Sensitive Amplifier*) con un Krummenacher feedback al fine di far fronte dell'aumento di corrente di dispersione, indotte dagli alti livelli di radiazione attesa. La scelta di un amplificatore a stadio singolo è stata dettata semplicemente dai limiti imposti sui consumi e lo spazio limitato disponibile. Il segnale

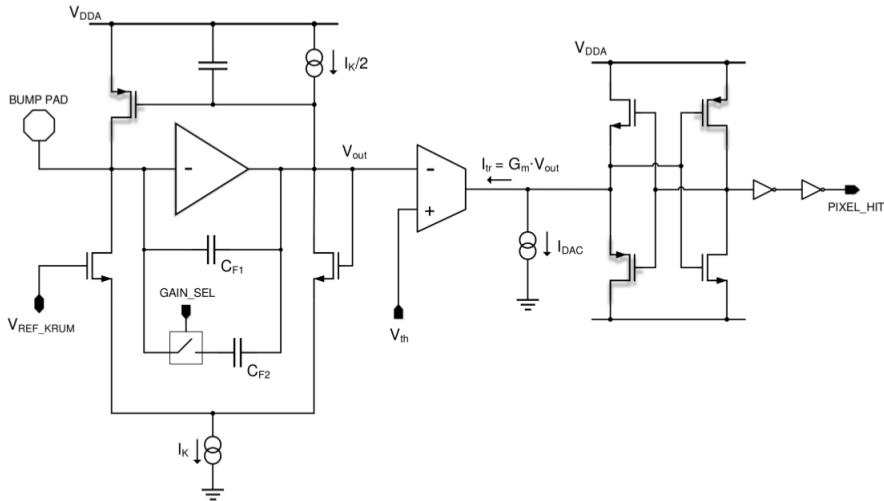


Figura 3.5: Schematico del front end Lineare.

ottenuto dal CSA è mandato ad un comparatore che, insieme al contatore ToT (*Time over Threshold*), è utilizzato per fare la conversione a segnale digitale. Canale per canale gli aggiustamenti della tensione di soglia sono gestiti da un circuito locale basato su un binary weighted DAC a 4 bit che genera una corrente I_{DAC} , fornendo una regolazione locale della soglia. Questo tipo di front end è stato ottimizzato per una carica massima corrispondente a 30000 elettroni con un consumo complessivo di circa $4 \mu\text{A}$. Il CSA può essere utilizzato in regime di alto o basso guadagno andando a modificare il bit GAIN_SEL, mentre la corrente di recupero $I_K/2$ proveniente dal circuito di Krummenacher feedback può essere configurato tramite un DAC. In configurazione di alto guadagno per un segnale di carica pari a 30000 elettroni si ha un ToT di circa 400 ns che risulta in una corrente I_K di 25 nA. La risoluzione aspettata in configurazione di alto guadagno è di $15 \text{ mV}/\text{ke}^-$, mentre è di $7.5 \text{ mV}/\text{ke}^-$ con basso guadagno. Le prestazioni del preamplificatore di carica sono determinate principalmente dall'ingresso del CSA e la parte del circuito di feedback con transistor PMOS. Nelle simulazioni il rumore in carica equivalente, per un rivelatore con capacità di 50 fF, è pari a 87 elettroni. Da simulazioni la dispersione della soglia dovrebbe passare da 380 elettroni a 35 elettroni dopo la messa a punto.

- **Differenziale.** Il front end Differenziale è un circuito puramente analogico: non ha al suo interno latches, flip-flop o contatori. I valori di configurazione sono però forniti da un nucleo digitale, che dalla parte

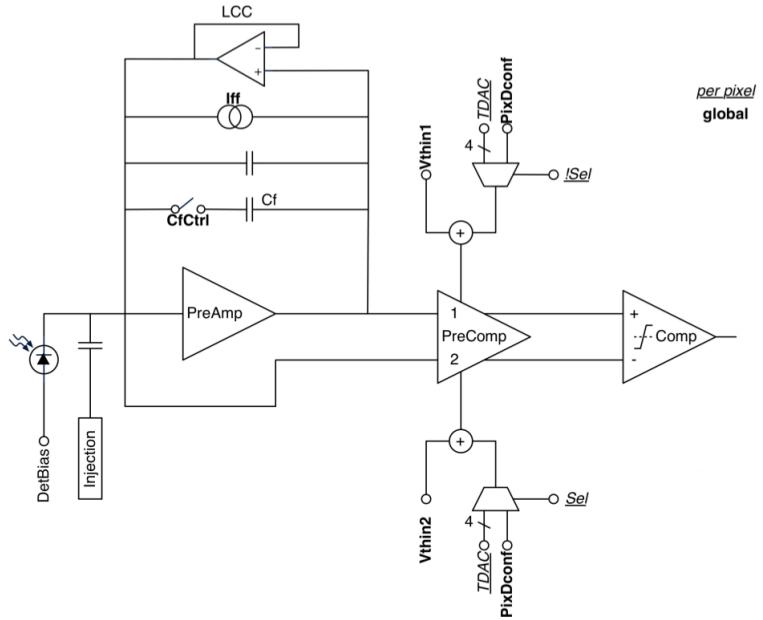


Figura 3.6: Schematico del front end Differenziale.

analoga riceve solo il segnale in uscita del comparatore. Naturalmente è necessaria la presenza di un ADC per la digitalizzazione del ToT ottenuto dal comparatore, anch'esso è implementato interamente nella parte digitale. Lo schema a blocchi del front end differenziale è riportato in figura 3.6. Il preamplificatore presente nel primo stadio ha un guadagno continuo regolabile andando a scegliere tra i due valori possibili di capacità presenti nell'anello di reazione. Questo feedback in corrente è impostato globalmente e non può essere regolato su ogni singolo pixel. Dalle misure sui prototipi è stato visto che la conseguente dispersione nei valori di ToT ha un livello accettabile senza necessità di una pre regolazione. In caso di assenza di segnale il feedback assicura che input e output del preamplificatore siano allo stesso potenziale. Nel secondo stadio il pre comparatore fornisce un guadagno aggiuntivo e agisce come soglia differenziale. La soglia globale può essere regolata tramite le tensioni VTH1 e VTH2. Localmente la soglia è modificata utilizzando un resistor ladder a 4 bit a livello in ciascuno dei due rami del pre comparatore. Oltre a i 4 bit c'è un quinto bit che seleziona quale dei due rami modificare. Dopo il pre comparatore si ha uno stadio con un comparatore la cui uscita è collegata alla regione digitale tramite porte logiche. Progettato per operare con una soglia di 500 elettroni, la parte analogica ha un consumo di $4\mu\text{A}/\text{pixel}$, considerando una

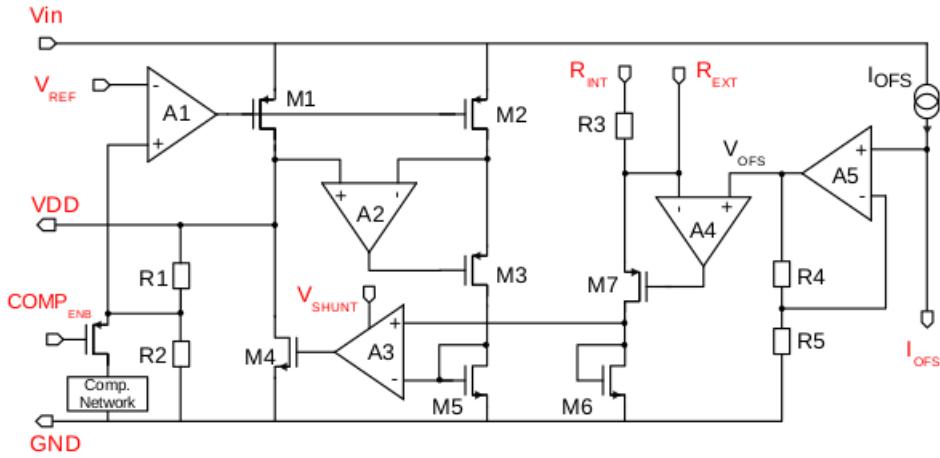


Figura 3.7: Regolatore LDO con Shunt (Shunt-LDO).

capacità di 50 fF e 10 nA di corrente dispersa.

3.3 Alimentazione

In RD53A l'alimentazione è gestita da due regolatori LDO con shunt, uno per la parte analogica ed uno per quella digitale. Rispetto al circuito di SLDO presentato in precedenza vi sono delle differenze, in particolare la tensione di offset è generata con un circuito diverso, lo schema del circuito di SLDO è riportato in figura 3.7. I valori di Input e Output sono riportati nella seguente tabella:

Pin	Tipologia	Minimo	Tipico	Massimo	Descrizione
VIN	Alimentazione	1.4 V		2.0 V	Input di alimentazione esterna (in tensione)
	Power	0 A	0.5 A	2.0 A	Input di alimentazione esterna (in corrente)
VSHUNT	Alimentazione	1.4 V		2.0 V	Tensione di alimentazione per il circuito di shunt
GND	Ground				Terra locale e uscita della corrente di shunt
VDD	Alimentazione	1.0 V	1.2 V	1.32 V	Tensione di uscita del regolatore
VREF	Analogico	500 mV	600 mV	660 mV	Tensione di riferimento ($VDD=2V_{REF}$)
RINT	Analogico		VIN		Enable resistenza interna R
REXT	Analogico	300 Ω			Resistenza esterna collegata a V_{IN}
IOFS	Analogico		200 kΩ		Resistenza esterna connessa a GND
COMPENB	Digitale		GND		Segnale per abilitare il circuito di compensazione

Infatti, è possibile applicare al terminale I_{ofs} una resistenza che con la sua caduta di tensione determina il valore di V_{ofs} . Questa resistenza va saldata sulla Single Chip Card nell'apposito slot. Il valore di I_{ofs} è 2 μ A, quindi:

$$V_{ofs} = 2\mu\text{A} \cdot R_{ios} \quad (3.1)$$

Questa tensione viene raddoppiata tramite l'azione dell'anello di reazione di A5, prima di essere mandata ad A4. Riepilogando il comportamento della

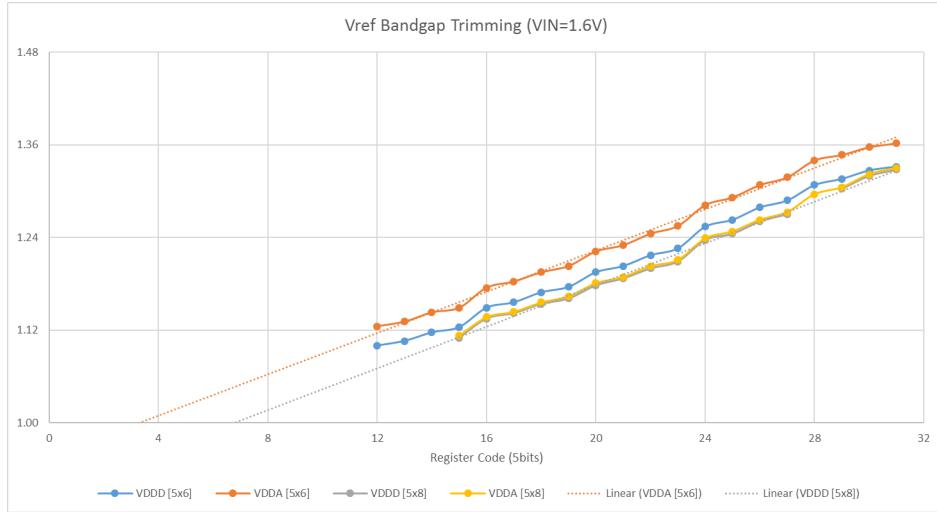


Figura 3.8: Andamento.

tensione in ingresso sarà:

$$V_{in} = 2 \cdot V_{ofs} + \frac{R3}{1000} \cdot I_{in} \quad (3.2)$$

Nelle misure che sono presentate nelle sezioni successive ogni volta che si parlerà di $R3$ e V_{ofs} interni si farà riferimento ai seguenti valori:

$$\begin{array}{rcl} R3 & 620 \Omega \\ R_{ofs} & 250 \text{ k}\Omega \end{array}$$

Per quanto detto in precedenza, equazione 3.1, una R_{ofs} di 250 k Ω corrisponde ad una tensione di offset di circa 0.5 V. Perciò nell'andamento della tensione in ingresso, in funzione della corrente, ci aspettiamo un offset di circa 1 V.

Per quanto riguarda le tensioni di riferimento, come V_{ref} , queste vengono generate all'interno del chip da un circuito dedicato in cui vengono utilizzati bandgap. Il valore di uscita dei bandgap è configurabile, di default ha un valore 16 che corrisponde circa a una tensione di 1.15 V. Questo valore varia leggermente da un chip all'altro, un esempio è riportato in figura 3.8, dove sono riportati gli andamenti di V_{ref} al variare del valore di configurazione per differenti chip.

3.4 Single Chip Card

Analogamente a quanto visto per gli SLDO, per testare i quali si fa uso di una PCB di test, per il chip RD53A è necessario l'utilizzo di una SCC

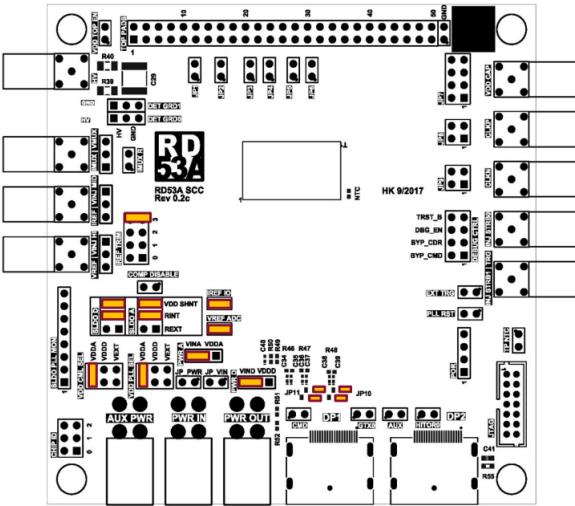


Figura 3.9: Configurazione dei jumper per l'utilizzo di RD53A alimentato attraverso il circuito di ShuntLDO, sia per la regione analogica sia per quella digitale.

(*Single Chip Card*). Il chip è fissato al centro di questa scheda e attraverso wire bond è connesso ai vari elementi della scheda (pin di monitoraggio, molex di alimentazione, DisplayPort per la trasmissione/ricezione di dati, jumper per la configurazione, etc...). Il chip viene montato sulla scheda in un apposito spazio ai cui bordi arrivano le varie piste da connettere e sotto cui, al posto della vetronite, c'è uno spessore metallico con via termici in modo da permettere l'applicazione di un sistema refrigerante sulla parte posteriore della SCC. La presenza di un raffreddamento è necessaria nel momento in cui l'alimentazione è data utilizzando i due SLDO, la corrente non necessaria al chip viene dissipata sui due shunt che diventano punti molto caldi. Al fine di evitare danneggiamenti del chip e dell'eventuale sensore che vi può essere collegato il chip va raffreddato con l'utilizzo di dissipatori di calore.

Dal momento che il chip è un prototipo è stata lasciata la possibilità di poter configurare l'alimentazione esternamente scegliendo tra tre diverse configurazioni e inoltre è possibile mantenere separate a livello di alimentazione la regione digitale e quella analogica¹. Le possibili configurazioni sono:

- Alimentazione del attraverso il circuito di ShuntLDO, in questo caso il generatore utilizzato sarà di corrente e sulla SCC card la configurazione dei jumper sarà quella riportata in figura 3.9. Per operare con il chip in configurazione SLDO è necessario l'utilizzo di un sistema di

¹Nel chip finale gli ShuntLDO della parte digitale e analogica saranno in parallelo.

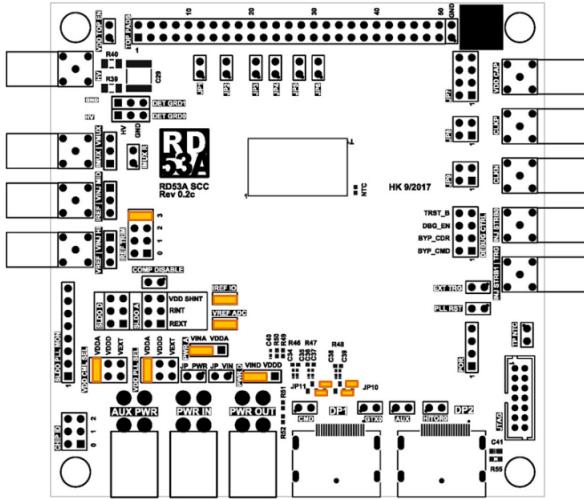


Figura 3.10: Configurazione dei jumper per l'utilizzo di RD53A alimentato dal regolatore LDO senza la parte di shunt.

raffreddamento per il chip. In normali condizioni di lavoro è sufficiente un dissipatore passivo, va però sottolineato che nella misura delle varie tensioni l'effetto di deriva termica non è trascurabile, dunque l'ideale sarebbe l'utilizzo di un sistema di raffreddamento attivo, con un buon contatto termico, che permetta di controllare le temperature.

- Alimentazione senza Shunt, utilizzando solo il regolatore LDO. Questa configurazione necessita di una alimentazione in tensione, in questo caso sarà il generatore esterno a dover generare più o meno corrente al variare dei consumi del chip. L'utilizzo del solo regolatore permette di avere un consumo minimo in termini di potenza e dunque di operare con il chip senza il bisogno di un sistema di raffreddamento. In questo caso la configurazione dei jumper è quella riportata in figura 3.10.
- Alimentazione diretta. In questo caso il circuito con regolatore e shunt viene completamente escluso ed il chip è alimentato direttamente dal generatore di tensione. Questa configurazione è riportata in figura 3.11, l'utilizzo dell'alimentazione diretta è delicato per varie ragioni, prima fra tutte il rischio di danneggiamento di RD53A. La presenza del regolatore LDO, anche privo di shunt, assicura che sbalzi di tensione all'ingresso dell'alimentazione non siano trasmessi al chip, inoltre il regolatore può sopportare tensioni fino a 2 V, mentre il chip già sopra 1.32 V rischia di danneggiarsi.

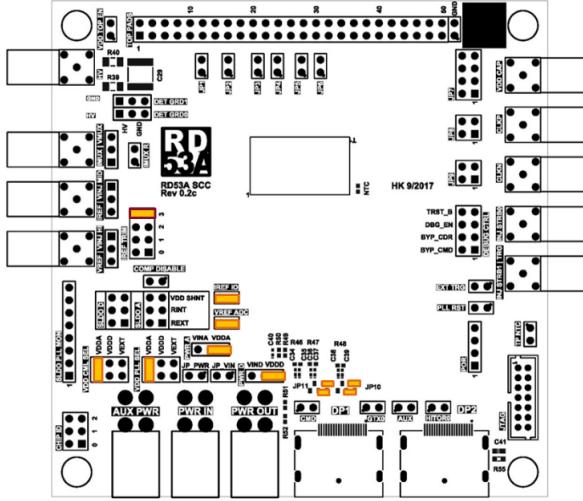


Figura 3.11: Configurazione dei jumper per l'utilizzo di RD53A alimentato direttamente, escludendo il circuito di ShuntLDO.

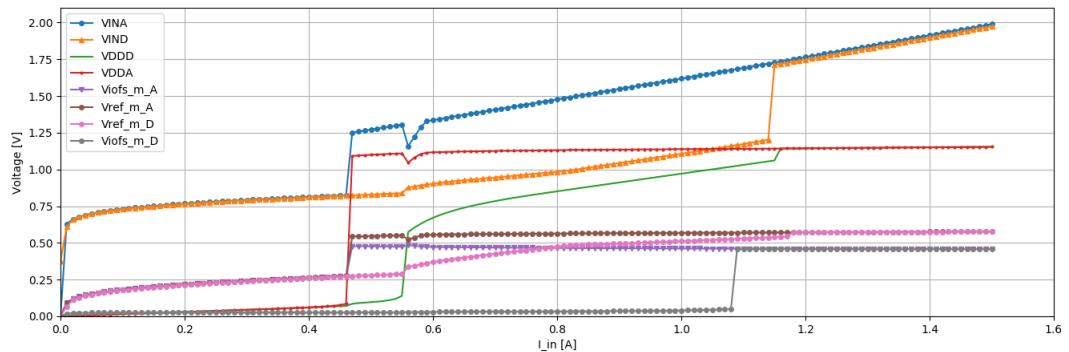


Figura 3.12: IUI.

3.5 Misure Statiche con chip

Utilizzando il chip in configurazione ShuntLDO, raffreddato in modo passivo con un radiatore messo a contatto termico con il retro del chip, si è proceduto ad una caratterizzazione statica del comportamento dei due circuiti di alimentazione presenti nel chip². Le prime misure sono state eseguite utilizzando come riferimento per V_{out} e V_{iofs} le tensioni generate internamente al chip. Le misure per i due SLDO, che sono stati tenuti indipendenti, sono state eseguite a livelli di corrente crescenti, partendo da 0 A fino ad arrivare a 1.5 A a passi di 10 mA. L'andamento ottenuto è quello riportato in figura

²Uno per la parte analogica ed uno per quella digitale.

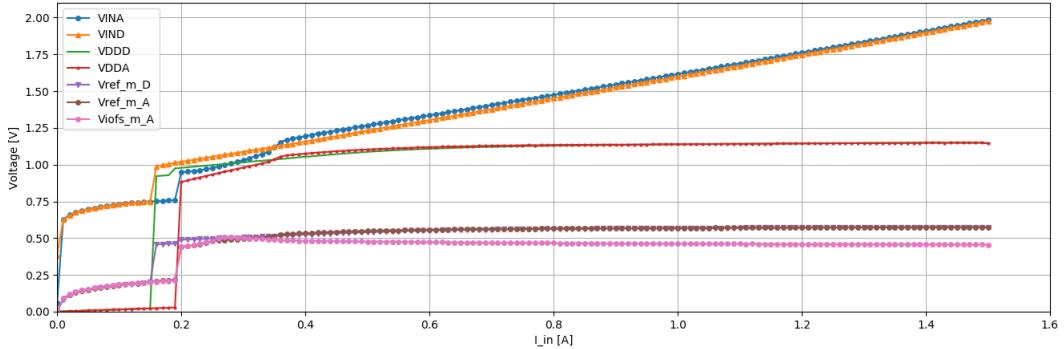


Figura 3.13: IDI.

3.12. L'undershoot ben visibile sulla tensione in ingresso e in uscita della parte analogica è causato da una distribuzione non uguale delle correnti nei due SLDO. Quando si attiva la parte digitale si ha un picco di assorbimento di corrente, che causa un drop nella parte analogica:

$$\begin{array}{lll} \Delta V_{INA} & \Delta V_{DDA} & \Delta V_{DDA} \\ \sim 0.150 \text{ A} & \sim 0.030 \text{ A} & \sim 0.060 \text{ A} \end{array}$$

Questo avviene nonostante le alimentazioni dei due SLDO siano separate, in quanto all'interno del chip ci sono zone di 'dialogo' tra regione analogica e digitale. La parte digitale si attiva a un valore di I_{in} di 0.56 A, non riuscendo però ad andare a regime, anche perché la tensione in ingresso non è abbastanza alta da consentire un corretto funzionamento. Questo è dovuto al ritardo con cui il V_{iofs} digitale arriva al valore corretto. Come introdotto in precedenza la tensione di riferimento dell'offset è ottenuta dalla caduta di tensione su una resistenza, nel nostro caso di $\sim 250 \text{ k}\Omega$, data dal passaggio di una corrente di $2 \mu\text{A}$. Se per vari motivi il circuito che genera questa corrente ha un ritardo nell'accensione questo si ripercuote nell'accensione del chip. Se tutti questi problemi sono effettivamente legati all'accensione, dovranno scomparire nel momento in cui lo scan sia eseguito partendo da valori alti di corrente per poi scendere fino a 0 A.

	Digitale		Analogica	
	media	errore	media	errore
R_{eq}	0.752Ω	0.0003Ω	0.7178Ω	0.0003Ω
V_{ofs}	0.844 V	0.004 V	0.9025 V	0.0003 V

Una seconda serie di misure, il cui andamento è riportato in figura 3.13, è stata ottenuta partendo da una corrente in ingresso di 1.5 A e diminuendola fino a 0 A. Dal grafico si può notare come gli undershoot presenti nella

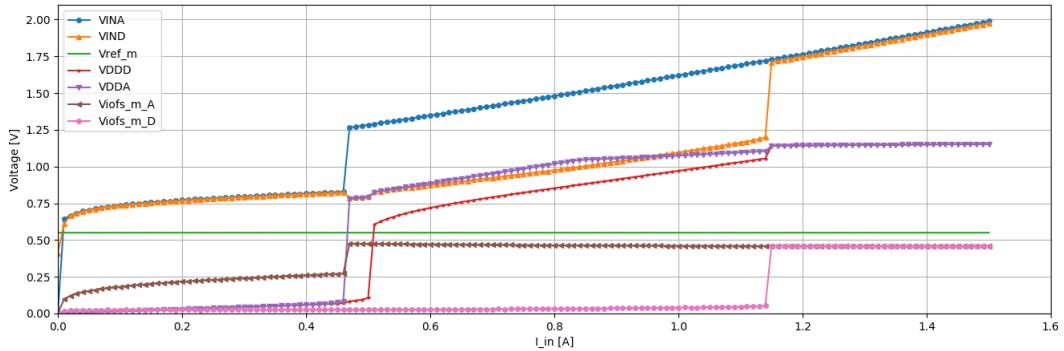


Figura 3.14: IUEVref.

precedente scansione non siano più visibili, questo è in accordo con la giustificazione data, cioè che siano dovuti all'attivazione del chip, che in questa fase ha consumi più elevati. Una volta che il chip ha raggiunto la configurazione di default, i consumi sono di circa 50 mA per la parte digitale e 400 mA per quella analogica. Questo fin tanto che il chip non riceve un segnale di clock esterno. Questa differenza in consumi di corrente tra parte analogica e digitale si riflette nel fatto che, diminuendo ulteriormente la corrente, la prima regione ha mostrare problemi è quella analogica, mentre la parte digitale riesce a rimanere attiva anche con correnti inferiori a 200 mA. Inoltre, partendo da valori di corrente elevati, e quindi tensioni in ingresso ben al di sopra di quelle minime, non si hanno neppure problemi dovuti a differenti istanti di accensione di parte analogica e digitale.

	Digitale		Analogica	
	media	errore	media	errore
R _{eq}	0.73475 Ω	0.00008 Ω	0.7153 Ω	0.0006 Ω
V _{ofs}	0.86530 V	0.00007 V	0.9043 V	0.0005 V

Continuando a tenere i due circuiti di alimentazione separati è interessante vedere cosa cambia andando a fornire esternamente le varie tensioni di riferimento. Il grafico riportato in figura 3.14 è ottenuto fornendo esternamente $V_{ref} = 0.550$ V sia per la parte analogica che quella digitale. Il comportamento della parte digitale è pressoché analogo a quello ottenuto nel primo grafico 3.12, mentre per la parte analogica si vede come fornendo V_{ref} esternamente, non si ha un suo undershoot e dunque non lo si ha nemmeno su V_{DDA} , che però risente ancora del comportamento della parte digitale. Fino a che $V_{iofs_m_D}$ non arriva al valore corretto non si ha una situazione stabile (...da riscrivere....).

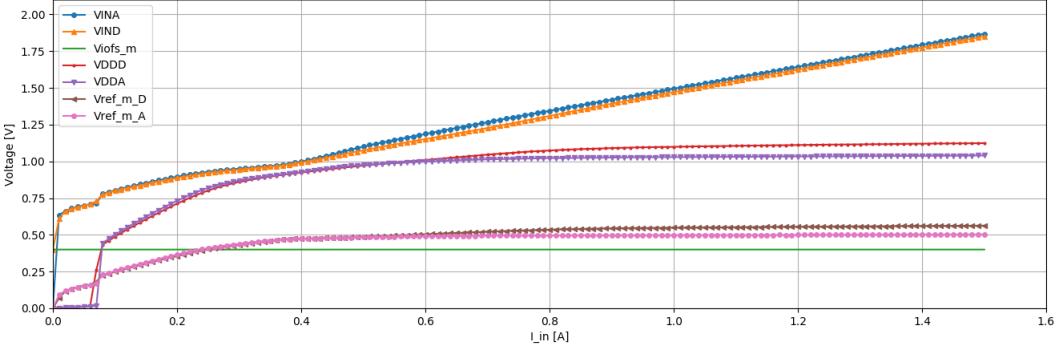


Figura 3.15: IUEViofs.

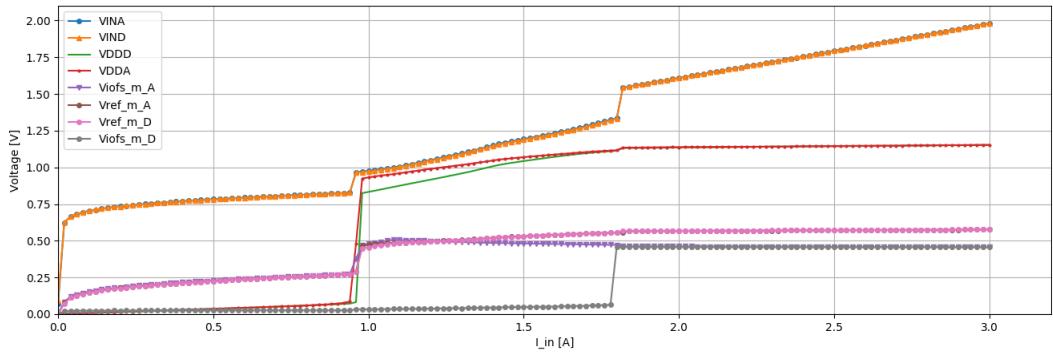


Figura 3.16: PUI sulle x c'è la corrente totale.

	Digitale		Analogica	
	media	errore	media	errore
R _{eq}	0.7539 Ω	0.00007 Ω	0.7448 Ω	0.0002 Ω
V _{ofs}	0.84199 V	0.00011 V	0.8706 V	0.0003 V

Le stesse misure sono state ripetute fornendo esternamente il solo $V_{\text{iofset}} = 0.400$ V e quindi utilizzando per V_{ref} quello interno. In questo caso gli andamenti ottenuti sono decisamente migliori e sono riportati in figura 3.15. Il V_{iofset} esterno permette di evitare problemi visti in precedenza, quali un differente valore di I_{in} di attivazione tra parte analogica e digitale.

	Digitale		Analogica	
	media	errore	media	errore
R _{eq}	0.7871 Ω	0.0013 Ω	0.7554 Ω	0.0013 Ω
V _{ofs}	0.6824 V	0.0013 V	0.7403 V	0.0012 V

Come detto in precedenza in RD53A è stata lasciata la possibilità di tenere separate le alimentazioni dei due SLDO, nella versione finale i due

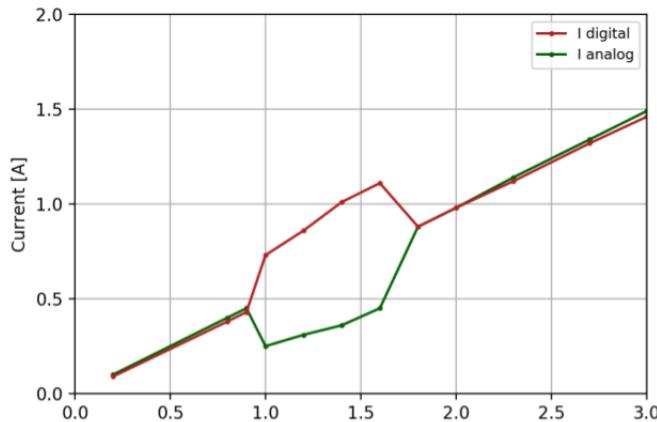


Figura 3.17: Suddivisione delle correnti, misure eseguite da dominik.inizia quando VioffsetA parte e finisce quando si alza anche quello digitale

SLDO si troveranno in parallelo. In questa configurazione gli andamenti delle tensioni in ingresso (VINA VIND) e di quelle in uscita (VDAA e VDDA) risultano migliori, come si può vedere dal grafico riportato in figura 3.16. Questo perché la corrente a disposizione per i due Shunt si può suddividere in modo non uguale, fatto che effettivamente accade, lo sbilanciamento nella ripartizioni delle correnti ha inizio quando si 'attiva' V_{ofs} analogico e termina quando anche V_{ofs} digitale sale, l'andamento delle correnti è riportato in figura 3.17.

	Digitale		Analogica	
	media	errore	media	errore
R_{eq}	0.7441 Ω	0.0002 Ω	0.7396 Ω	0.0009 Ω
V_{ofs}	0.8635 V	0.003 V	0.8688 V	0.0011 V

3.5.1 Variazioni di carico

Per lo SLDO il carico è rappresentato dal chip, che fino a che si trova nella configurazione di default ha consumi di corrente fissi:

Regione Analogica	Regione Digitale
~ 0.400 A	~ 0.050 A

Le misure riportate di seguito sono invece ottenute andando a variare il carico che è applicato al VDAA/VDDA, questo è stato possibile andando a porre in parallelo al chip un Kitley utilizzato dome sink di corrente... I jumper sulla SCC sono stati posizionati in modo da essere in configurazione SLDO con i

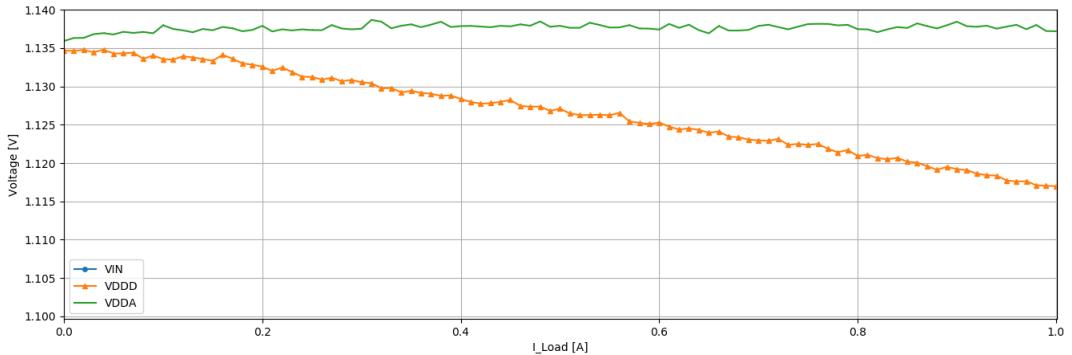


Figura 3.18: LoadVDDD

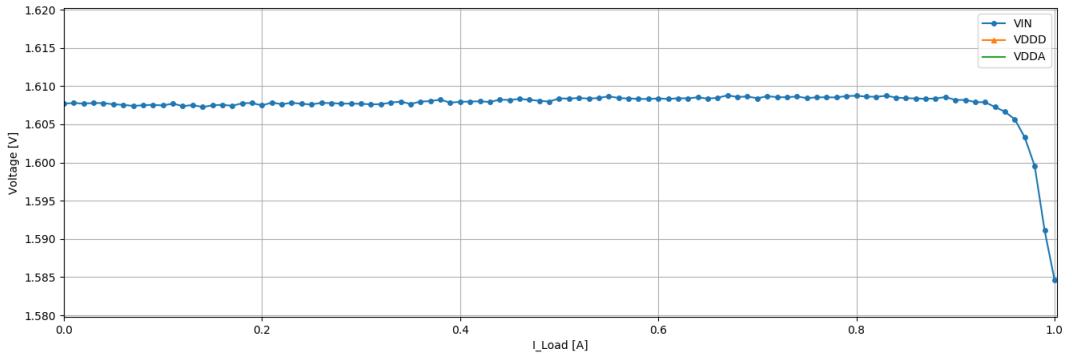


Figura 3.19: LoadVIND

due circuiti di alimentazione in parallelo. Per queste misure la corrente in ingresso è stata fissata a 2 A, che dunque corrisponde ad 1 A per ciascuno dei due SLDO. Dati i diversi consumi tra parte analogica e digitale, l'intervallo in cui è stato fatto variare il carico è stato scelto diversamente. Nel caso in cui il carico sia in parallelo alla parte digitale l'intervallo scelto è tra 0 A e 1 A, mentre nel caso analogico tra 0 A e 0.69 A. Queste variazioni di carico non sono dinamiche ma piuttosto vanno considerate come statiche. Infatti tensione di ingresso e di uscita vengono misurate ad ogni incremento del valore del carico. Gli andamenti riportati di seguito vanno intesi come una deriva del valore della tensione prodotta dal regolatore. Per primo sono riportati gli andamenti ottenuti con il carico applicato alla parte digitale, figura 3.18. Come si può vedere in grafico 3.18, la tensione di alimentazione della regione digitale diminuisce gradualmente arrivando ad una variazione di ~ 18 mV per un carico addizionale di 1 A, mentre la parte analogica non risente di queste variazioni, restando costante. L'andamento della tensione in ingresso, figura 3.19, ha invece una caduta di ~ 24 mV che però si concentra nella parte finale partendo circa per valori di carico di 0.940 A, questo comportamento

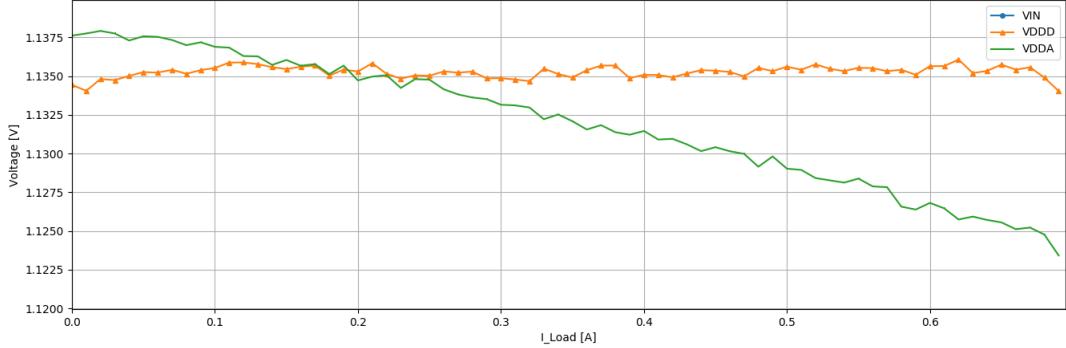


Figura 3.20: LoadVDDA.

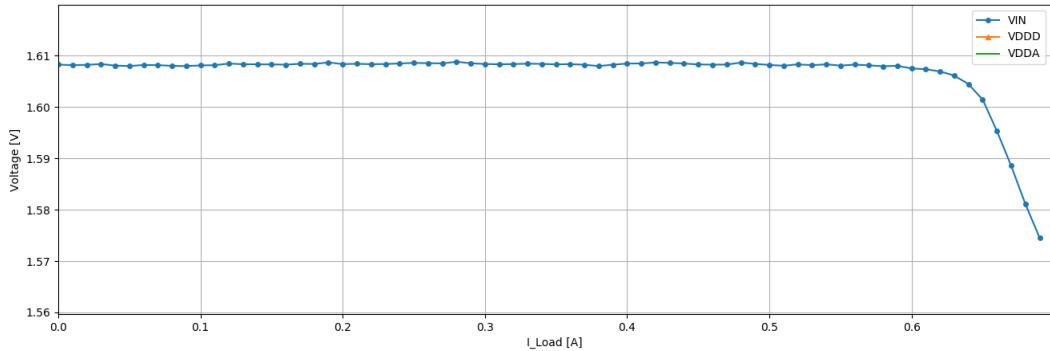


Figura 3.21: LoadVINA

è plausibile se si considera che da sola la parte digitale consuma 50 mA e dunque la somma delle correnti assorbite tre chip e carico supera 1 A, che è quella a disposizione. Discorso analogo si può fare per quanto riguarda la parte analogica, in questo caso però i consumi minimi per il chip sono ~ 400 mA. L'andamento della tensione prodotta dal regolatore è riportata in figura 3.18, mentre per quanto riguarda la tensione in ingresso il grafico di riferimento è 3.21. Per la tensione di uscita la caduta è di ~ 15 mV ed aumenta gradualmente. La tensione in ingresso ha invece una diminuzione di ~ 26 mV in corrispondenza di un carico di 0.690 A, va ricordato che il consumo totale di corrente in questo caso è al di sopra di 1 A, la diminuzione di tensione ha inizio con un carico di ~ 0.610 A.

3.5.2 Fast ramp-up

Le misure riportate fino ad ora, per quanto riguarda lo studio dei circuiti di SLDO, sono da considerare statiche, in quanto sono ottenute su tempi scala lunghi in confronto al tempo di risposta dello SLDO. Nel momento in cui il chip sarà collegato ad un sistema di acquisizione dati, il consumo di

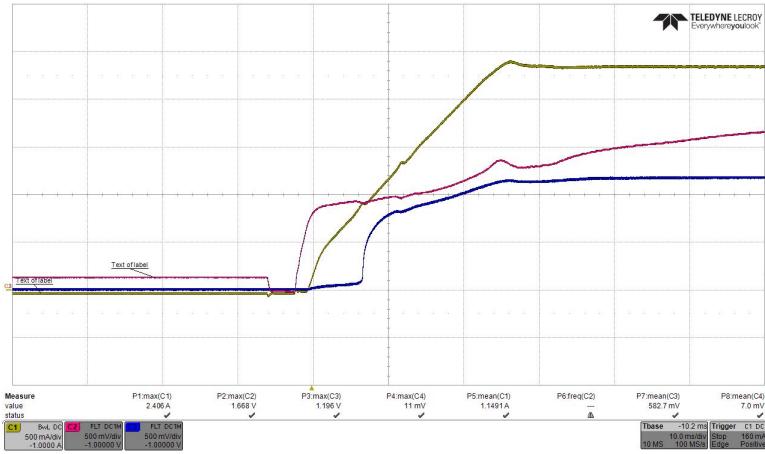


Figura 3.22: In giallo è riportata la corrente che in 25 ns passa da 0 A a 2.4 A, in fucsia la tensione in ingresso e in blu la tensione con cui è alimentata la parte digitale del chip VDDD.

regione analogica e digitale si modificherà e in base alle operazioni richieste si avranno consumi variabili, che ci aspettiamo il circuito di SLDO sia in grado di gestire. In particolare una fase ancor più delicata da questo punto di vista è quella di accensione, in questa fase le variazioni di corrente sono i maggiori. Per queste ragioni si è proceduto ad eseguire scansioni in corrente passando da 0 A a 2.4 A in 25 ns con un incremento costante. I due SLDO sono messi in parallelo, quindi si suddividono la corrente erogata dal generatore. Come è possibile vedere dagli screenshots presi utilizzando l'oscilloscopio non sono presenti oscillazioni durante questa fase di accensione, figura 3.22 e 3.23. Come già visto in precedenza parte digitale e analogica non si attivano nello stesso momento, in particolare VDDD si attiva dopo, questo è in accordo con le misure precedenti.

3.6 Sistemi di acquisizione dati

3.7 Setup

LDO mode

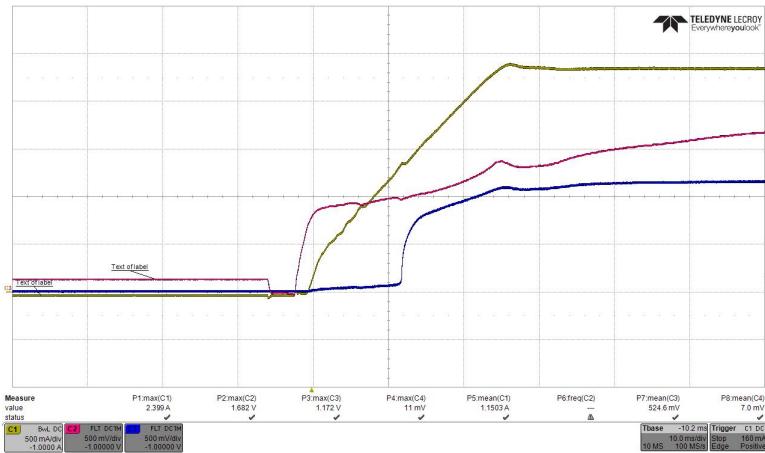


Figura 3.23: In giallo è riportata la corrente che in 25 ns passa da 0 A a 2.4 A, in fucsia la tensione in ingresso e in blu la tensione con cui è alimentata la parte analogica del chip VDDA.

3.8 Scansioni

3.8.1 LDOvsSLDO

Riportiamo di seguito una misura che aiuta a capire quali siano i vantaggi effettivi di utilizzare un circuito di alimentazione che implementi uno Shunt oltre al regolatore. Quello che è stato fatto è monitorare le tensioni di alimentazione del chip VDDD e VDDA mentre il chip

3.9 Sviluppi

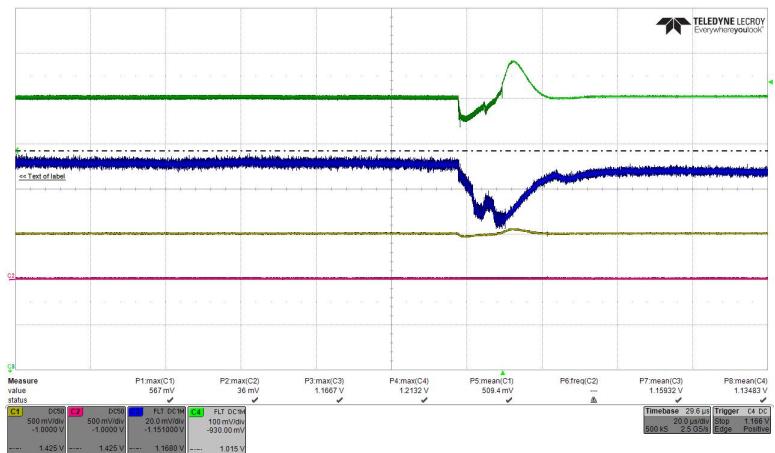


Figura 3.24: .

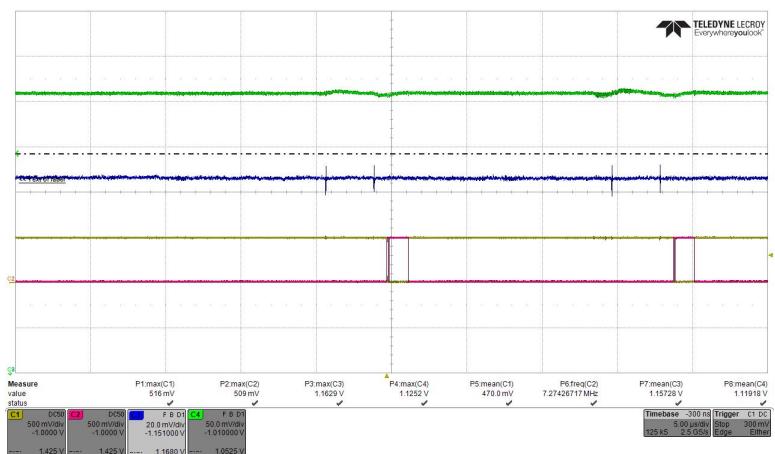


Figura 3.25: .

CAPITOLO 4

CONCLUSIONI



BIBLIOGRAFIA

[1] .

[2] .

- [3] M. Karagounis, D. Arutinov, M. Barbero et al. "An Integrated Shunt-LDO Regulator for Serial Powered Systems". In: *Proc. of the European Solid-State Device Conference, ESSCIRC 2009 (2009)*, pp. 276–279. doi: 10.1109/ESSCIRC.2009.5325974.
- [4] Garcia-Sciveres, Maurice (Lawrence Berkeley National Lab. (US)), "The RD53A Integrated Circuit" CERN-RD53-PUB-17-001.