



UNIVERSITÀ
degli STUDI
di CATANIA

Bus

Architettura degli elaboratori AA 2023/24

Corso di Laurea Triennale in Informatica

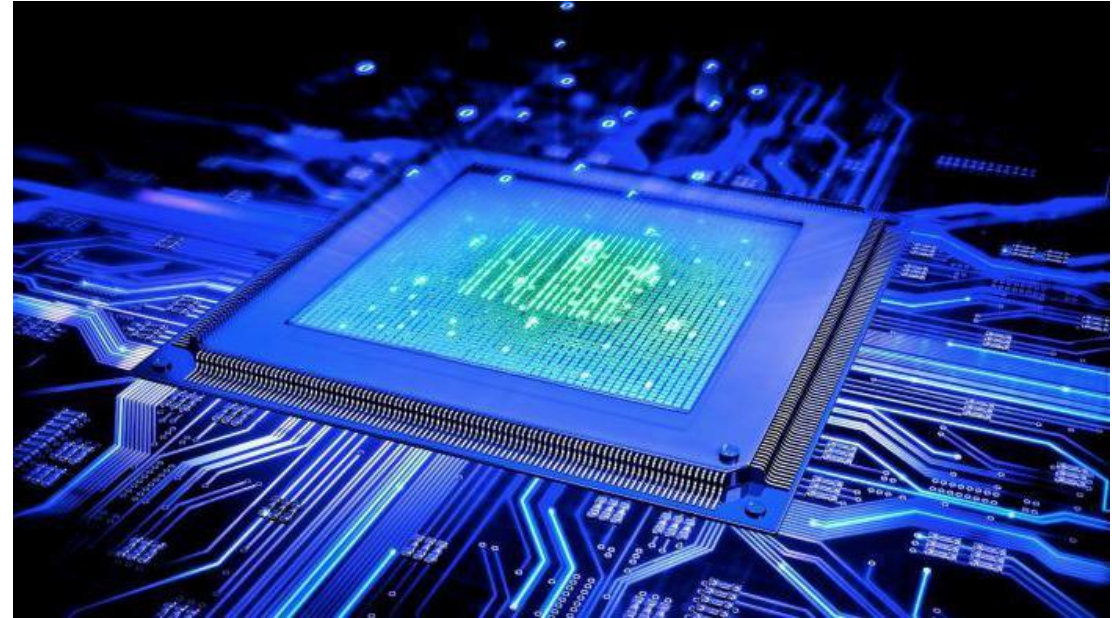
Massimo Orazio Spata

massimo.spata@unict.it

Dipartimento di Matematica e Informatica

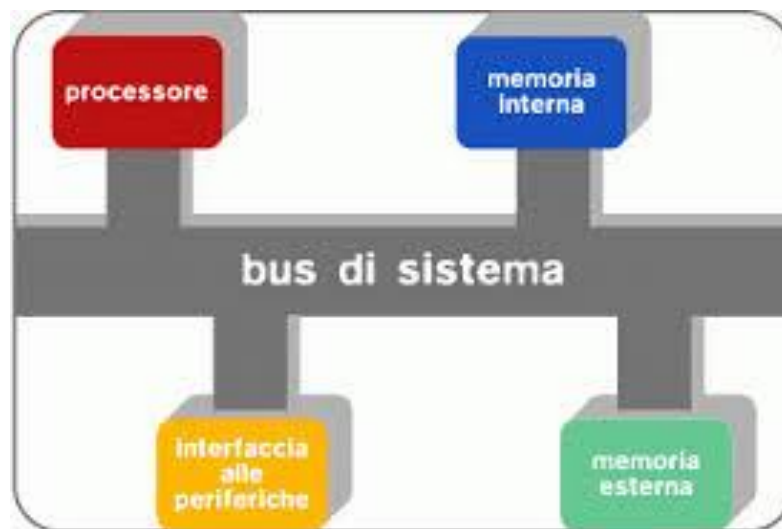
Bus

- Il bus è l'unità di interconnessione tra i moduli del modello di von Neumann.
- Esso si presenta come un fascio ordinato di linee, ognuna delle quali può assumere il significato di un bit, cioè di un valore binario.
- Si dice che i moduli processore, memoria e input/output si «affacciano» sul bus, ovvero essendovi collegati, possono impostare, prelevare o modificare i valori presenti sulle linee che lo compongono.



Bus

- Gran parte dell'attività di un calcolatore elettronico si riduce, a trasferimenti di bit tra i moduli del modello di von Neumann: trasferimenti che vedono il processore come soggetto (Master), memoria e I/O come oggetti (Slave) e il bus come veicolo: da processore a memoria, da memoria a processore, da processore a I/O e da I/O a processore (i casi di trasferimento tra I/O e memoria sono visti come un caso speciale, per ora).

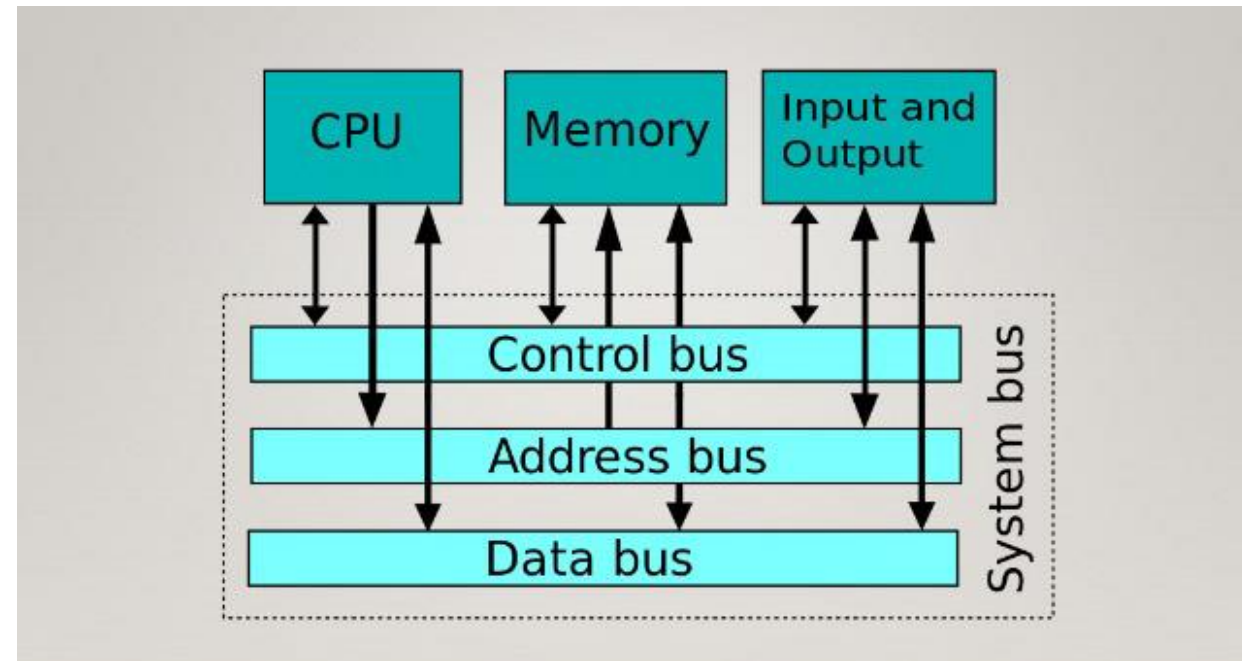


Bus

- Considerando come soggetto master il processore, un'operazione che trasporta un dato dal processore alla memoria (o all'I/O) è detta operazione di scrittura (**Write**), mentre se il verso è opposto, da memoria o I/O verso il processore, l'operazione è detta di lettura (**Read**).
- Per gestire correttamente i trasferimenti, il bus è scomponibile in tre sottoinsiemi ordinati di linee, denominati Address bus (**ABus**) o bus indirizzi, Data bus (**DBus**) o bus dei dati e Control bus (**CBus**) o bus di controllo.

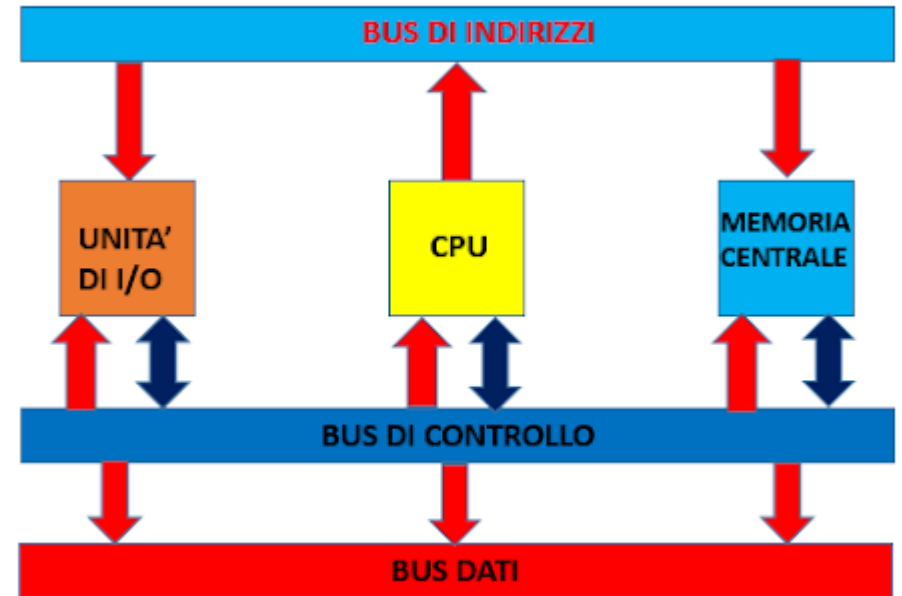
Bus

- In questo modo, se si predispongono alcune linee del **CBus** opportunamente, per esempio prevedendo una linea che specifica la direzione del trasferimento (memoria-processore o I/O-processore), una che specifica il verso del trasferimento (lettura o scrittura) e una che indica se il trasferimento è completato, il trasferimento di una certa quantità di informazione (sul **DBus**) può essere diretto nel posto giusto (all'indirizzo sull'ABus) in modo completamente sincronizzato (tramite le linee sul **CBus**).



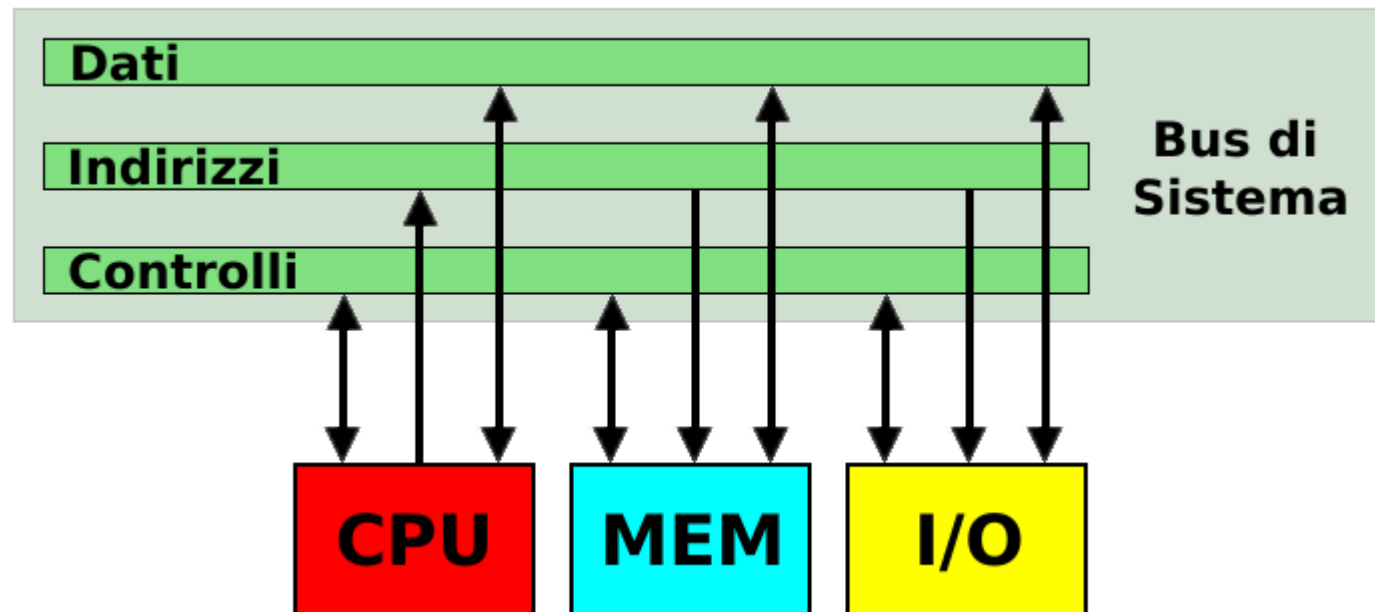
Bus

- Considerando che il bus possiede un proprio «orologio» che ne scandisce le operazioni nel tempo (in MHz, detto clock di bus), si usano le seguenti linee di controllo (sul CBus) per gestire i trasferimenti: I/O-Mem, R/W, Wait (la convenzione vuole che la sigla sottolineata indichi valore di bit a 0).
- La linea Wait (attesa) indica trasferimento completato (1) o trasferimento in corso (0), situazione che dimostra il collo di bottiglia di von Neumann: i tempi di accesso alla memoria sono più lunghi dei tempi di elaborazione del processore.



Bus

- Analogamente, se sulla linea I/O-Mem troviamo 1, il trasferimento riguarda processore e I/O; se troviamo 0, il trasferimento riguarda processore e memoria e se sulla linea R/W troviamo 1, si tratta di un'operazione di lettura (se 0, scrittura).

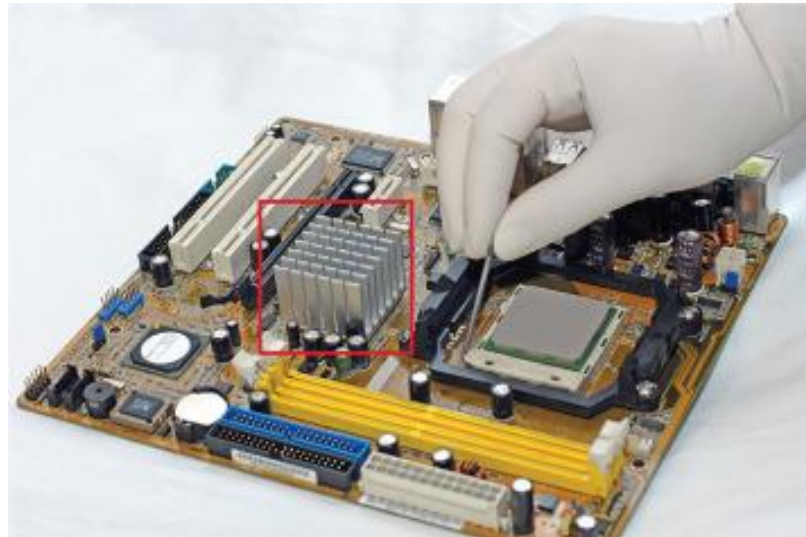


Bus

- Le quantità delle linee dell'ABus e del DBus, non necessariamente coincidenti, dipendono dalle caratteristiche specifiche del processore e, comunque, sono spesso potenze di due (4, 8, 16, 32, 64 linee, anche se in alcuni processori troviamo 20, 36 o 80).
- In generale la dimensione dell'ABus specifica la quantità di memoria raggiungibile dai programmi (spazio di indirizzamento) e si calcola elevando 2 al numero di linee dell'ABus.
- La dimensione del DBus, invece, rappresenta il grado di parallelismo del processore, ovvero la massima quantità di dati che è in grado di elaborare in un solo trasferimento di bus.

Bus

- All'interno della scheda madre (**Motherboard**) di un calcolatore è abbastanza complicato isolare la sezione del bus di sistema.
- In effetti l'insieme di circuiti, linee e chip dedicati al bus di sistema viene indicato con il termine complessivo di **Chipset**, che viene fornito e montato in base alle specifiche del processore utilizzato.



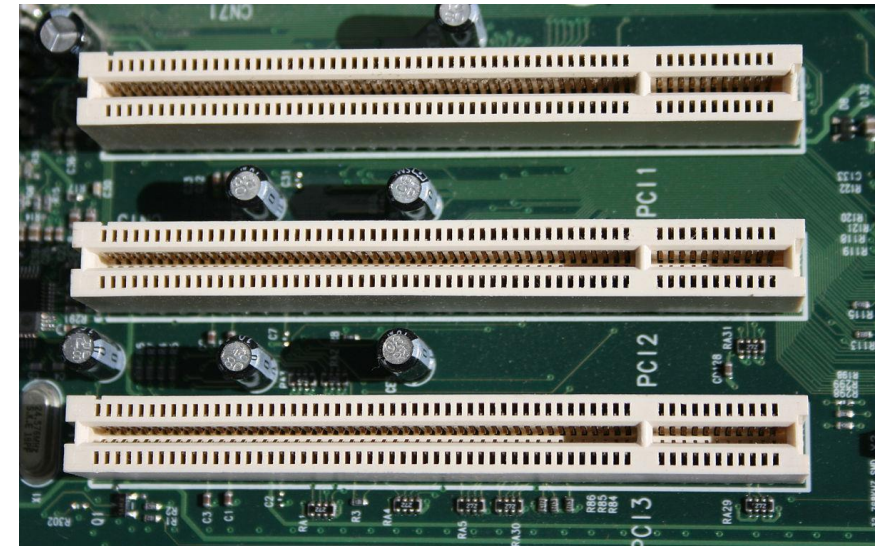
Bus

- Il Chipset realizza il bus di sistema tramite l'interconnessione di due aree distinte normalmente denominate NorthBridge (che si occupa della connessione processore-memoria) e SouthBridge (dedicato alle connessioni tra processore e sezione di I/O).



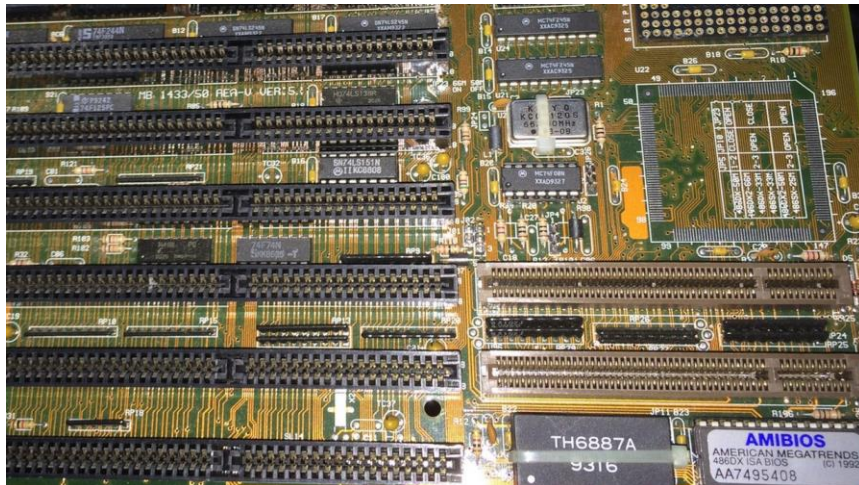
Bus

- Le tecnologie con cui viene realizzato il bus di sistema sul classico PC Intel si sono evolute dallo **standard ISA** (DBus a 8 bit e clock a 8,33MHz), allo **standard EISA** (DBus a 16 bit e clock a 8,33 MHz), allo **standard PCI** (Peripheral Component Interconnect, DBus a 32 bit e clock a 33MHz).



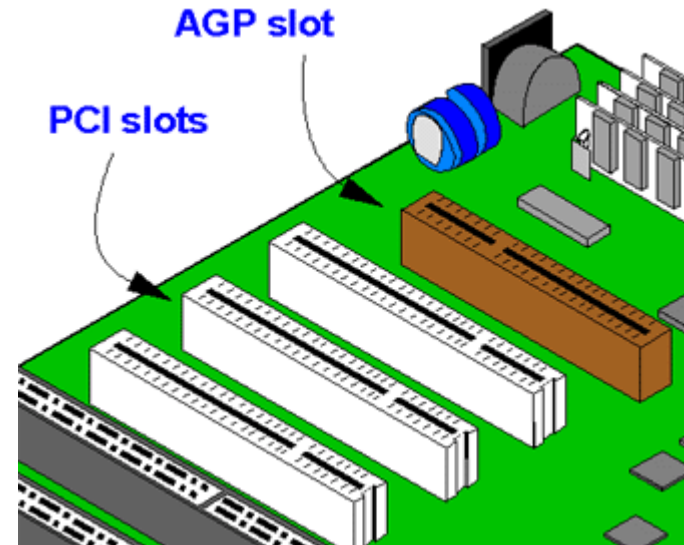
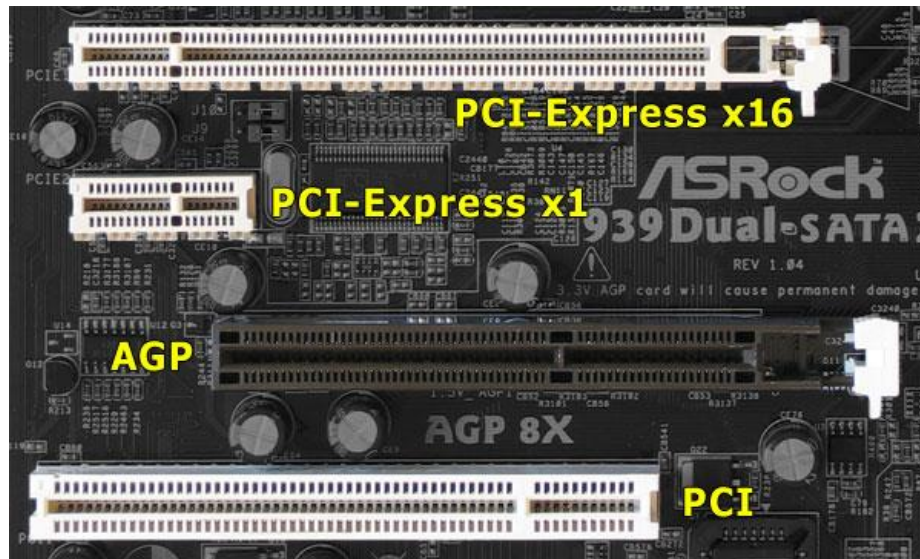
Bus

- Nel tempo sono comparsi bus interni dedicati per veicolare i dati della scheda video e del processore, a partire dal **VESA** fino al più recente **AGP**.
- Recentemente la tecnologia di bus più diffusa era il **PCI** a 32 bit, 33MHz e 133MBytes/s e il PCI-X (32-64bit, 66MHz, da 528 MB/s a 1035MB/s).



Bus

- L'evoluzione più recente in termini di tecnologie di bus è il **PCI Express**, per ora utilizzato come sostituto di **AGP** come bus dedicato per le schede video.
- Altri tipi di bus hanno avuto alterne fortune commerciali, fra cui **Microchannel**, lo **SCSI** e il **PMCIIA** dedicato ai dispositivi portatili.



Bus di dati e bus di indirizzi

- È importante chiarire che il numero di linee dell'address bus e del data bus non è sempre direttamente legato al numero di bit dell'architettura del processore. Tuttavia, per semplificare, spesso si fa questa associazione. Vediamo qualche esempio:

Architettura a 32 bit

- Address Bus: Può avere 32 linee. Questo consente di indirizzare 2^{32} (4.294.967.296) locazioni di memoria, che equivalgono a 4 GB di spazio indirizzabile.
- Data Bus: Può avere 32 linee, permettendo il trasferimento di 32 bit (4 byte) di dati in una singola operazione.

Bus di dati e bus di indirizzi

- Architettura a 64 bit
- - ****Address Bus****: Può avere 64 linee, permettendo di indirizzare 2^{64} locazioni di memoria, che è uno spazio indirizzabile molto più grande (circa 16 exabyte).
- - ****Data Bus****: Può avere 64 linee, permettendo il trasferimento di 64 bit (8 byte) di dati in una singola operazione.

Esempi Specifici

- Processori a 32 bit: In molti processori a 32 bit, l'address bus e il data bus possono entrambi avere 32 linee. Questo significa che il processore può indirizzare fino a 4 GB di memoria e trasferire 32 bit di dati contemporaneamente.
- Processori a 64 bit: Nei processori a 64 bit, l'address bus e il data bus possono entrambi avere 64 linee. Questo consente un maggiore spazio di indirizzamento della memoria e il trasferimento di una maggiore quantità di dati in una singola operazione.

Considerazioni Progettuali

- Architetture Diverse: Alcune architetture possono avere un address bus con un numero di linee diverso rispetto al data bus. Ad esempio, un sistema a 64 bit potrebbe avere un address bus a 48 linee (per indirizzare fino a 256 TB di memoria fisica, che è comune in alcuni processori moderni), mentre il data bus rimane a 64 linee per il trasferimento dei dati.
- Efficienza e Costi: Le decisioni sul numero di linee per address bus e data bus dipendono anche da considerazioni di efficienza, costi e requisiti del sistema.
- In conclusione, mentre è possibile che in alcune architetture a 32 e 64 bit l'address bus e il data bus abbiano lo stesso numero di linee, ciò non è una regola universale. Il numero di linee per ciascuno può variare in base alle esigenze specifiche e al design dell'architettura del