

Esercizi sulla gestione della memoria: MMU e Memoria Virtuale

1. Si indichi in quale ordine (di indirizzi di memoria crescenti) si vengono a trovare le seguenti informazioni:

program counter (**PC**); frame pointer (**FP**); parametri (**PA**); dati locali (**DL**)

nello stack di un sistema nel quale le chiamate a procedura sono realizzate con l'allocazione dinamica della memoria in uno stack frame.

1	indirizzi crescenti
2	
3	
4	↓

2. Se in un sistema dotato di memoria virtuale a byte singolarmente indirizzabili, gli indirizzi generati dalla CPU sono da 48 bit e se i valori contenuti nella *page table* sono da 16 bit, il numero massimo di byte contenuti in ogni pagina, tale per cui la memoria fisica risulta meno estesa di quella virtuale è pari ad M.

M=.....byte

3. Un sistema con memoria virtuale a byte singolarmente indirizzabili, utilizza indirizzi logici a 32 bit e fisici a 24 bit e una lunghezza di pagina pari a 4 Kbyte. Supponendo che la MMU disponga di un TLB (*cache* completamente associativa) con 24 elementi, ciascuno includente i bit dei campi TAG e DATO, la dimensione K della memoria TLB è complessivamente pari a:

K=.....bit

4. Se in un sistema dotato di MMU a byte singolarmente indirizzabili, gli indirizzi generati dalla CPU sono da 48 bit e se i valori contenuti nella *page table* sono da 16 bit, e se l'estensione della memoria fisica è la metà di quella della memoria logica, allora l'estensione delle pagine è pari ad M.

M=.....byte

5. In un sistema dotato di memoria virtuale a byte singolarmente indirizzabili, l'indirizzo virtuale ha 32 bit, quello fisico 28 bit e la dimensione delle pagine fisiche è pari a 16Kbyte. Il MMU dispone di un *cache* TLB completamente associativo, nel quale il confronto sul TAG interessa t bit e l'indice di pagina fisica restituito dal TLB in caso di *hit* è costituito da f bit. Supponendo che nell'intervallo di tempo (t_1 , t_2) non vi siano *page fault* e che ciascuna pagina fisica abbia la medesima probabilità di essere interessata da accessi (in modo tale che lo *hit rate* sia pari al rapporto tra il numero di elementi del TLB e il numero di pagine fisiche) e che, sempre in (t_1 , t_2), lo *hit rate* sia pari a 2^{-9} , allora il TLB contiene n elementi:

t=.....bit.

f=.....bit (indice di pagina fisica)

n=.....elementi (nel TLB)

6. Un sistema è dotato di memoria virtuale paginata, con estensione delle pagine pari a 2 Kbyte e indirizzo virtuale a 48 bit. Sapendo che il MMU è dotato di un TLB completamente associativo di 64 elementi e di 3648 bit complessivi, includenti un bit di validità per elemento, l'indirizzo fisico è costituito da F bit.

F=.....

7. Se in un sistema dotato di MMU con memoria a byte singolarmente indirizzabili, gli indirizzi generati dalla CPU sono da 32 bit e se l'estensione di ciascuna pagina logica è pari a 2^{12} byte, i valori contenuti nella *page table* sono, nel caso di memoria fisica meno estesa di quella virtuale, al più pari a m bit, mentre, nel caso di memoria fisica più estesa di quella virtuale, almeno pari a M bit.

m =bit
|

M =bit
|

8. In un sistema dotato di memoria virtuale, 16 accessi alla memoria consecutivi riferiscano le seguenti pagine logiche: 3 4 2 6 4 7 1 3 2 6 3 5 1 2 3 4. Si supponga che la memoria fisica, costituita da 4 pagine, contenga inizialmente le pagine logiche 1 2 3 4, caricate in questo ordine temporale. Si indichino il numero di *page fault* NF_{LRU} nel caso di politica di rimpiazzo di tipo LRU, e NF_{FIFO} nel caso di politica di rimpiazzo di tipo FIFO.

NF_{LRU} =
|

NF_{FIFO} =

9. Un sistema è dotato di memoria virtuale paginata con indirizzo virtuale da 48 bit e indirizzo fisico da 32 bit. Sapendo che la dimensione delle pagine fisiche è di 1024 byte, e che ciascuno dei 64 elementi del TLB completamente associativo include un bit di validità, il numero di bit di cui è costituito il TLB è pari ad N

N=..... bit

10. Se il rapporto tra l'estensione della memoria logica e di quella fisica di un sistema paginato è pari a 2^9 , la dimensione delle pagine è 1 KByte, e l'indirizzo fisico è costituito da 16 bit, il rapporto tra il numero degli elementi della *page table* e il numero di bit di cui è composto ciascun di quegli elementi è pari a R.

R=.....

11. Il set di registri di mappa di una MMU contiene un totale di 512 bit. Supponendo che l'indirizzo logico sia da 20 bit e che l'estensione di ciascuna pagina logica sia 2^{14} byte, l'estensione F della memoria fisica indirizzabile è:

F=.....byte

12. Si consideri un sistema in cui sono presenti i seguenti supporti di memoria, ciascuno caratterizzato dal corrispondente tempo di accesso indicato: memoria cache ($t_{ch} = 20ns$), memoria centrale ($t_{mc} = 60ns$), un disco usato come supporto alla memoria virtuale ($t_{di} = 12ms$ tempo medio). In caso di *miss*, il tempo di accesso è pari a $t_{ch} + t_{mc}$, mentre in caso di *page fault* è pari a $t_{ch} + t_{mc} + t_{di}$. Assumendo che lo *hit rate* medio della cache sia pari a 90%, che si verifichi in media un *page fault* ogni 10001 accessi alla memoria, il tempo di accesso medio complessivo del sistema di memoria durante l'esecuzione di $N \gg 10000$ istruzioni è pari a t_m :

t_m =

- V - F In un sistema di memoria virtuale con MMU dotata di TLB (cache associativa), la mancanza dell'indice di pagina virtuale nel TLB comporta un'interruzione di *page fault* che implica accessi alla memoria secondaria.
- V - F Se un sistema dotato di memoria virtuale dispone di una MMU con TLB (cache associativa), il *tag* è rappresentato da un campo dell'indirizzo virtuale.

Soluzioni degli esercizi sulla gestione della memoria: MMU e Memoria Virtuale

1. Si indichi in quale ordine (di indirizzi di memoria crescenti) si vengono a trovare le seguenti informazioni:

program counter (PC); frame pointer (FP); parametri (PA); dati locali (DL)

nello stack di un sistema nel quale le chiamate a procedura sono realizzate con l'allocazione dinamica della memoria in uno stack frame.

1 DL	indirizzi crescenti
2 FP	
3 PC	
4 PA	
	↓

2. Se in un sistema dotato di memoria virtuale a byte singolarmente indirizzabili, gli indirizzi generati dalla CPU sono da 48 bit e se i valori contenuti nella *page table* sono da 16 bit, il numero massimo di byte contenuti in ogni pagina, tale per cui la memoria fisica risulta meno estesa di quella virtuale è pari ad M.

$$M = 2^{31} \text{ byte}$$

In un sistema con memoria virtuale l'indirizzo virtuale (logico) di nv bit, generato dalla CPU, viene suddiviso in npv bit che forniscono l'indice della pagina virtuale (logica) e no bit che forniscono l'offset del byte all'interno della pagina. L'ampiezza comune delle pagine virtuali e fisiche è pari allora a 2^{no} byte. Detto n_{pf} il numero di bit riservato all'indice di pagina fisica, indice contenuto nell'elemento della *page table* indirizzato dall'indice di pagina virtuale quando la pagina è presente in memoria centrale, affinché l'ampiezza della memoria fisica risulti meno estesa di quella virtuale, deve essere $npv > n_{pf}$ da cui $no = nv - npv < nv - n_{pf}$ e il suo valore massimo è pertanto $no = nv - n_{pf} - 1$. La domanda risulta però non precisare con esattezza il numero n_{pf} poichè non indica se e in che misura i valori contenuti nella *page table* comprendono informazioni ausiliarie quali bit di validità e di protezione e, qualora il dato del testo sia abbastanza grande da renderlo possibile, anche l'indirizzo della pagina nella memoria secondaria. Si è ritenuto pertanto di accettare qualsiasi risposta. Nella soluzione viene fornito il valore che si ricaverebbe considerando il dato fornito pari a n_{pf} .

3. Un sistema con memoria virtuale a byte singolarmente indirizzabili, utilizza indirizzi logici a 32 bit e fisici a 24 bit e una lunghezza di pagina pari a 4 Kbyte. Supponendo che la MMU disponga di un TLB (*cache* completamente associativa) con 24 elementi, ciascuno includente i bit dei campi TAG e DATO, la dimensione K della memoria TLB è complessivamente pari a:

$$K = 24 * (32 + 24 - 2 * \lg_2 (4 * 2^{10})) = 24 * 32 = 768 \text{ bit}$$

Il TAG ha estensione pari a NumBitPagLogica, il DATO a NumBitPagFisica.

NumBitOffset = \lg_2 SizePagina

$$\begin{aligned} K &= \text{NumElementiTLB} * ((\text{NumBitPagLogica} - \text{NumBitOffset}) + (\text{NumBitPagFisica} - \text{NumBitOffset})) = \\ &= \text{NumElementiTLB} * (\text{NumBitPagLogica} + \text{NumBitPagFisica} - 2 * \text{NumBitOffset}) \end{aligned}$$

4. Se in un sistema dotato di MMU a byte singolarmente indirizzabili, gli indirizzi generati dalla CPU sono da 48 bit e se i valori contenuti nella *page table* sono da 16 bit, e se l'estensione della memoria fisica è la metà di quella della memoria logica, allora l'estensione delle pagine è pari ad M.

$$M = 2^{48 + \log_2(1/2) - 16} = 2^{31} \text{ byte}$$

$$\text{NumBitIndLog} = \log_2 \text{EstMemLog}$$

$$\text{NumBitIndFis} = \log_2 \text{EstMemFis}$$

$$\Rightarrow \text{NumBitIndFis} - \text{NumBitIndLog} = \log_2 (\text{EstMemFis} / \text{EstMemLog})$$

$$\begin{aligned} \text{NumBitOffs} &= \text{NumBitIndFis} - \text{NumBitIndxPagFis} = \\ &= \text{NumBitIndLog} + \log_2 (\text{EstMemFis} / \text{EstMemLog}) - \text{NumBitIndxPagFis} \end{aligned}$$

$$M = \text{EstPag} = 2^{\text{NumBitOffs}}$$

5. In un sistema dotato di memoria virtuale a byte singolarmente indirizzabili, l'indirizzo virtuale ha 32 bit, quello fisico 28 bit e la dimensione delle pagine fisiche è pari a 16Kbyte. Il MMU dispone di un *cache* TLB completamente associativo, nel quale il confronto sul TAG interessa t bit e l'indice di pagina fisica restituito dal TLB in caso di *hit* è costituito da f bit. Supponendo che nell'intervallo di tempo (t_1 , t_2) non vi siano *page fault* e che ciascuna pagina fisica abbia la medesima probabilità di essere interessata da accessi (in modo tale che lo *hit rate* sia pari al rapporto tra il numero di elementi del TLB e il numero di pagine fisiche) e che, sempre in (t_1 , t_2), lo *hit rate* sia pari a 2^{-9} , allora il TLB contiene n elementi

$$t = 32 - \log_2 (16 * 2^{10}) = 32 - 14 = 18 \text{ bit}$$

$$f = 28 - 14 = 14 \text{ bit (indice di pagina fisica)}$$

$$n = 2^{-9} * 2^{14} = 2^5 = 32 \text{ elementi (nel TLB)}$$

$$\text{NumBitOffs} = \log_2 \text{EstPag}$$

$$t = \text{NumBitTag} = \text{NumBitIndxPagLog} = \text{NumBitIndLog} - \text{NumBitOffs} = \text{NumBitIndLog} - \log_2 \text{EstPag}$$

$$f = \text{NumBitIndxPagFis} = \text{NumBitIndFis} - \text{NumBitOffs} = \text{NumBitIndFis} - \log_2 \text{EstPag}$$

$$\text{HitRate} = \text{NumElemTLB} / \text{NumPagFis} = \text{NumElemTLB} / 2^{\text{NumBitIndxPagFis}}$$

$$\Rightarrow n = \text{NumElemTLB} = \text{HitRate} * 2^{\text{NumBitIndxPagFis}}$$

6. Un sistema è dotato di memoria virtuale paginata, con estensione delle pagine pari a 2 Kbyte e indirizzo virtuale a 48 bit. Sapendo che il MMU è dotato di un TLB completamente associativo di 64 elementi e di 3648 bit complessivi, includenti un bit di validità per elemento, l'indirizzo fisico è costituito da F bit.

$$F = 30$$

$$\text{NumBitElemTLB} = \text{NumBitTLB} / \text{NumElem} = 3648 / 64 = 57$$

$$\text{NumBitPagLogico} = \text{NumBitIndLogico} - \text{NumBitOffs} = \text{NumBitIndLogico} - \log_2$$

$$\text{NumBytePagina} = 48 - \log_2 2^{11} = 37$$

$$\text{NumBitPagFisica} = \text{NumBitElemTLB} - \text{NumBitPagLogica} - 1[\text{bit validità}] = 57 - 37 - 1 = 19$$

$$\text{NumBitIndFisico} = \text{NumBitPagFisica} + \text{NumBitOffs} = 19 + 11 = 30$$

7. Se in un sistema dotato di MMU con memoria a byte singolarmente indirizzabili, gli indirizzi generati dalla CPU sono da 32 bit e se l'estensione di ciascuna pagina logica è pari a 2^{12} byte, i valori contenuti nella *page table* sono, nel caso di memoria fisica meno estesa di quella virtuale, al più pari a m bit, mentre, nel caso di memoria fisica più estesa di quella virtuale, almeno pari a M bit.

$$m = 19 \text{ bit}]$$

$$M = 21 \text{ bit}]$$

$$\text{NumBitPaginaLogica} = \text{NumBitIndLogico} - \text{NumBitOffs} = \text{NumBitIndLogico} - \log_2 \text{NumBytePagina} = 32 - 12 = 20$$

$$\text{Caso MemFisica} < \text{MemLogica} \Rightarrow \text{NumBitPaginaFisica} [\text{larghezza page table}] = \text{NumBitPaginaLogica} - 1 = 19$$

$$\text{Caso MemFisica} > \text{MemLogica} \Rightarrow \text{NumBitPaginaFisica} = \text{NumBitPaginaLogica} + 1 = 21$$

8. In un sistema dotato di memoria virtuale, 16 accessi alla memoria consecutivi riferiscano le seguenti pagine logiche: 3 4 2 6 4 7 1 3 2 6 3 5 1 2 3 4. Si supponga che la memoria fisica, costituita da 4 pagine, contenga inizialmente le pagine logiche 1 2 3 4, caricate in questo ordine temporale. Si indichino il numero di *page fault* NF_{LRU} nel caso di politica di rimpiazzo di tipo LRU, e NF_{FIFO} nel caso di politica di rimpiazzo di tipo FIFO.

$$NF_{LRU} = 10]$$

$$NF_{FIFO} = 10]$$

I *page fault* si verificano quando è richiesta una pagina non presente in memoria. Se tutta la memoria è in quel momento occupata da pagine precedentemente caricate, è necessario sostituirne una con quella richiesta. La politica LRU sceglie come candidata alla sostituzione quella che non è stata riferita da più lungo tempo, con la politica FIFO quella che è stata caricata da più lungo tempo.

Pagine in memoria con politica LRU (x corrisponde a *hit* di pagina, un numero a sostituzione):

1 6 3 x x
 2 x 1 5 4
 3 x 7 6 2
 4 x x 2 1
 3 4 2 6(S1) 4 7(S3) 1(S2) 3(S6) 2(S4) 6(S7) 3 5(S1) 1(S2) 2(S6) 3 4(S5)
 NumFaultLRU = 10

Pagine in memoria con politica FIFO (x corrisponde a *hit* di pagina, un numero a sostituzione):

1 6 2 x 3
 2 x 7 6 4
 3 x 1 5
 4 x x 3 x 1
 3 4 2 6(S1) 4 7(S2) 1(S3) 3(S4) 2(S6) 6(S7) 3 5(S1) 1(S3) 2 3(S2) 4(S6)
 NumFaultFIFO = 10

9. Un sistema è dotato di memoria virtuale paginata con indirizzo virtuale da 48 bit e indirizzo fisico da 32 bit. Sapendo che la dimensione delle pagine fisiche è di 1024 byte, e che ciascuno dei 64 elementi del TLB completamente associativo include un bit di validità, il numero di bit di cui è costituito il TLB è pari ad N

$$N = 3904 \text{ bit}$$

$$\text{NumBitElemTLB} = \text{NumBitPagLog} + \text{NumBitPagFis} + \text{NumBitVal}$$

$$\text{NumBitPagLog} = \text{NumBitIndLog} - \text{NumBitOffset} = \text{NumBitIndLog} - \log_2 \text{EstPag}$$

$$\begin{aligned}
\text{NumBitPagFis} &= \text{NumBitIndFis} - \text{NumBitOffset} = \text{NumBitIndFis} - \log_2 \text{EstPag} \\
\text{NumBitTLB} &= \text{NumBitElemTLB} * \text{NumElem} = (\text{NumBitIndLog} - \log_2 \text{EstPag} + \\
&\text{NumBitIndFis} - \log_2 \\
&\text{EstPag} + \text{NumBitVal}) * \text{NumElem} \\
\text{NumBitTLB} &= (48 + 32 - 2*10 + 1) * 64 = 3904
\end{aligned}$$

10. Se il rapporto tra l'estensione delle memoria logica e di quella fisica di un sistema paginato è pari a 2^9 , la dimensione delle pagine è 1 KByte, e l'indirizzo fisico è costituito da 16 bit, il rapporto tra il numero degli elementi della *page table* e il numero di bit di cui è composto ciascun di quegli elementi è pari a R.

$$R = 2^{15} / 6$$

$$\begin{aligned}
R_e &= \text{EstMemLog} / \text{EstMemFis} = \text{NumPagLog} * \text{EstPagLog} / (\text{NumPagFis} * \text{EstPagFis}) = \\
&= \text{NumPagLog} / \text{NumPagFis} \\
\text{NumElemPagTab} &= \text{NumPagLog} \\
\text{NumBitElemPagTab} &= \text{NumBitPagFis} = \log_2 \text{NumPagFis} \\
\text{NumPagFis} &= 2^{(\text{NumBitIndFis} - \text{NumBitOffs})} = 2^{(\text{NumBitIndFis} - \log_2 \text{EstPag})} \\
\text{NumPagLog} &= R_e * \text{NumPagFis} \\
R &= \text{NumElemPagTab} / \text{NumBitElemPagTab} = \text{NumPagLog} / \log_2 \text{NumPagFis} = \\
&= R_e * \text{NumPagFis} / \log_2 \text{NumPagFis} \\
R &= 2^9 * 2^{(16-10)} / (16-10) = 2^{15} / 6
\end{aligned}$$

11. Il set di registri di mappa di una MMU contiene un totale di 512 bit. Supponendo che l'indirizzo logico sia da 20 bit e che l'estensione di ciascuna pagina logica sia 2^{14} byte, l'estensione F della memoria fisica indirizzabile è:

$$F = 2^{22} \text{ byte}$$

$$\begin{aligned}
\text{SizePagFis} &= \text{SizePagLog} = 2^{14} \\
\text{Offs} &= \log_2 \text{SizePagLog bit} = 14 \text{ bit} \\
\text{NumPagLog} &= \text{IndLog} - \text{Offs bit} = 20 - 14 = 6 \text{ bit} \\
\text{SizeMMU} &= 2^{\text{NumPagLog}} * \text{NumPagFis} \\
\text{NumPagFis} &= \text{SizeMMU} / 2^{\text{NumPagLog}} = \text{SizeMMU} / 2^{\text{IndLog} - \log_2 \text{SizePagLog}} = \\
&512 / 2^6 = 2^9 / 2^6 = 2^3 = 8 \\
F &= 2^{\text{NumPagFis} + \text{Offs}} = 2^{8+14} = 2^{22} \text{ (mem. fisica piu' ampia di quella logica!)}
\end{aligned}$$

12. Si consideri un sistema in cui sono presenti i seguenti supporti di memoria, ciascuno caratterizzato dal corrispondente tempo di accesso indicato: memoria cache ($t_{ch} = 20\text{ns}$), memoria centrale ($t_{mc} = 60\text{ns}$), un disco usato come supporto alla memoria virtuale ($t_{di} = 12\text{ms}$ tempo medio). In caso di *miss*, il tempo di accesso è pari a $t_{ch} + t_{mc}$, mentre in caso di *page fault* è pari a $t_{ch} + t_{mc} + t_{di}$. Assumendo che lo *hit rate* medio della cache sia pari a 90%, che si verifichi in media un *page fault* ogni 10001 accessi alla memoria, il tempo di accesso medio complessivo del sistema di memoria durante l'esecuzione di $N \gg 10000$ istruzioni è pari a t_m :

$$t_m = 1,22588 * 10^{-6} \quad \text{l'esecuzione di } N \gg 10000 \text{ istruzioni è pari a } t_m:$$

**Considerando un comportamento medio, ne consegue che ogni NumAccessiPerFault: un accesso produce un *page fault*,
HitRate*(NumAccessiPerFault-1) producono un *hit in cache*
(1- HitRate)*(NumAccessiPerFault-1) producono un *miss*.**

$$\text{TempoMedioAccesso} = \text{TempoTotale} / \text{NumAccessiPerFault} =$$

$$\begin{aligned}
&= (\text{TempoCache} + \text{TempoMem} + \text{TempoDisco} + \text{HitRate} * (\text{NumAccessiFault} - 1) * \\
&\quad + \text{TempoCache} + (1 - \text{HitRate}) * (\text{NumAccessiFault} - 1) * (\text{TempoCache} + \text{TempoMem})) / \\
&\quad / \text{NumAccessiPerFault} = \\
&= (20 * 10^{-9} + 60 * 10^{-9} + 12 * 10^{-3} + 0.9 * 10000 * 20 * 10^{-9} + 0.1 * 10000 * (20 * 10^{-9} + \\
&\quad 60 * 10^{-9})) / 10001 = \\
&\quad = (80 * 10^{-9} + 12 * 10^{-3} + 18 * 10^{-5} + 8 * 10^{-5}) / 10001 = \\
&\quad = 12260.08 * 10^{-6} / 10001 = \\
&\quad = 1,22589 * 10^{-6}
\end{aligned}$$

- V - **F** In un sistema di memoria virtuale con MMU dotata di TLB (cache associativa), la mancanza dell'indice di pagina virtuale nel TLB comporta un'interruzione di *page fault* che implica accessi alla memoria secondaria.

La mancanza dell'indice nel TLB non è necessariamente sintomo di mancanza di pagina nella memoria centrale. Poichè il TLB contiene solo un sottoinsieme dei valori delle *page table*, potrebbe semplicemente mancare l'indice nel TLB ma essere presente (valido) nella *page table*: in questo caso la situazione sarebbe risolta con un semplice accesso alla *page table* in memoria centrale.

- V - F Se un sistema dotato di memoria virtuale dispone di una MMU con TLB (cache associativa), il *tag* è rappresentato da un campo dell'indirizzo virtuale.

Infatti al TLB si accede con l'indirizzo generato dalla CPU, che è l'indirizzo virtuale, e il *tag* è rappresentato dal campo di questo che fornisce l'indice della pagina virtuale da ricercare nel TLB.