

Esercizi di base sui Calcolatori Elettronici

Prof. Riccardo Torlone
Università di Roma Tre

Esercizio 1

Con riferimento ai codici a rilevazione e correzione di errore, indicare le affermazioni esatte tra le seguenti.

- @SI La distanza di Hamming di un codice è sempre inferiore od uguale al numero di bit per cui differiscono due qualsiasi codifiche.
- @NO Con distanza di Hamming $h=4$ è possibile correggere 3 errori.
- @NO Per correggere errori doppi è sempre sufficiente aggiungere 5 check bit.
- @NO Il numero di check bit necessari a rilevare un errore singolo cresce con la lunghezza complessiva della codifica.
- @SI Il numero di check bit necessari a correggere un errore singolo cresce con la lunghezza complessiva della codifica.
- @NO L'overhead dovuto ai check bit in un codice a correzione di errore singolo cresce con la lunghezza complessiva della codifica.
- @NO In un codice a correzione di errore singolo con m data bit e r check bit, occorre riservare $r+1$ codifiche per ciascuna codifica valida;
- @SI Circa due terzi del contenuto di un CD ROM è dedicato alla rilevazione e correzione degli errori, cioè la parte utile è meno di un terzo.
- @SI Con una distanza di Hamming pari a 2 non è possibile correggere errori.

Esercizio 1

Con riferimento ai codici a rilevazione e correzione di errore, indicare le affermazioni esatte tra le seguenti.

- La distanza di Hamming di un codice è sempre inferiore od uguale al numero di bit per cui differiscono due qualsiasi codifiche.
- Con distanza di Hamming $h=4$ è possibile correggere 3 errori.
- Per correggere errori doppi è sempre sufficiente aggiungere 5 check bit.
- Il numero di check bit necessari a rilevare un errore singolo cresce con la lunghezza complessiva della codifica.
- Il numero di check bit necessari a correggere un errore singolo cresce con la lunghezza complessiva della codifica.
- L'overhead dovuto ai check bit in un codice a correzione di errore singolo cresce con la lunghezza complessiva della codifica.
- In un codice a correzione di errore singolo con m data bit e r check bit, occorre riservare $r+1$ codifiche per ciascuna codifica valida;
- Circa due terzi del contenuto di un CD ROM è dedicato alla rilevazione e correzione degli errori, cioè la parte utile è meno di un terzo.
- Con una distanza di Hamming pari a 2 non è possibile correggere errori.

Esercizio 2

Con riferimento ai codici a rilevazione e correzione di errore indicare se le seguenti affermazioni sono vere o false.

- La distanza di Hamming tra due parole a e b si può ottenere contando il numero di bit pari a uno di a XOR b .
- Con distanza di Hamming $h=3$ è possibile correggere 2 errori.
- Il numero di bit di controllo necessari per rilevare un errore singolo su un codice a 8 bit è minore rispetto al numero bit di controllo necessari per un codice a 16 bit.
- La distanza di Hamming nel codice composto solo dalle parole 1100, 0011 e 1111 è 4.
- La percentuale di bit di controllo rispetto alla lunghezza complessiva di un codice a correzione di errore singolo diminuisce all'aumentare della lunghezza del codice.
- Per rilevare r errori è necessario che un codice abbia una distanza di Hamming pari a $2r+1$.
- Se in una parola si commette un errore singolo ma si conosce la sua posizione, il bit di parità è sufficiente a correggerlo.
- Un bit di parità permette solo di rilevare errori singoli.

Esercizio 2

Con riferimento ai codici a rilevazione e correzione di errore indicare se le seguenti affermazioni sono vere o false.

- @SI La distanza di Hamming tra due parole a e b si può ottenere contando il numero di bit pari a uno di a XOR b.
- @NO Con distanza di Hamming $h=3$ è possibile correggere 2 errori.
- @NO Il numero di bit di controllo necessari per rilevare un errore singolo su un codice a 8 bit è minore rispetto al numero bit di controllo necessari per un codice a 16 bit.
- @NO La distanza di Hamming nel codice composto solo dalle parole 1100, 0011 e 1111 è 4.
- @SI La percentuale di bit di controllo rispetto alla lunghezza complessiva di un codice a correzione di errore singolo diminuisce all'aumentare della lunghezza del codice.
- @NO Per rilevare r errori è necessario che un codice abbia una distanza di Hamming pari a $2r+1$.
- @SI Se in una parola si commette un errore singolo ma si conosce la sua posizione, il bit di parità è sufficiente a correggerlo.
- @SI Un bit di parità permette solo di rilevare errori singoli.

Esercizio 3

Riferendosi all'organizzazione generale di un calcolatore, indicare se le seguenti affermazioni sono vere o false.

- Nelle architetture RISC le istruzioni macchina vengono tradotte in microistruzioni che vengono poi eseguite dall'hardware.
- Le tecnica del pipeline non è compatibile con una architettura superscalare.
- Una architettura con indirizzi a 16 bit non può gestire una memoria più grande di 64KB.
- In processore con pipeline a 4 stadi e un clock con periodo di 2 nsec una istruzione macchina richiede 2 nsec per essere eseguita.
- Un processore con pipeline a 5 stadi e un clock con periodo di 5 nsec ha un'ampiezza di banda di 200 MIPS.
- L'ampiezza di banda (numero di istruzioni eseguite al secondo a regime) di un processore con pipeline non dipende dal numero di stadi della pipeline.
- In una architettura con pipeline sono necessari più cicli di clock per completare una istruzione macchina.
- In sistema parallelo multiprocessore sono necessarie un numero di memorie pari al numero dei processori.

Esercizio 3

Riferendosi all'organizzazione generale di un calcolatore, indicare se le seguenti affermazioni sono vere o false.

- @NO Nelle architetture RISC le istruzioni macchina vengono tradotte in microistruzioni che vengono poi eseguite dall'hardware.
- @NO Le tecnica del pipeline non è compatibile con una architettura superscalare.
- @NO Una architettura con indirizzi a 16 bit non può gestire una memoria più grande di 64KB.
- @NO In processore con pipeline a 4 stadi e un clock con periodo di 2 nsec una istruzione macchina richiede 2 nsec per essere eseguita.
- @SI Un processore con pipeline a 5 stadi e un clock con periodo di 5 nsec ha un'ampiezza di banda di 200 MIPS.
- @SI L'ampiezza di banda (numero di istruzioni eseguite al secondo a regime) di un processore con pipeline non dipende dal numero di stadi della pipeline.
- @SI In una architettura con pipeline sono necessari più cicli di clock per completare una istruzione macchina.
- @NO In sistema parallelo multiprocessore sono necessarie un numero di memorie pari al numero dei processori.

Esercizio 4

Si consideri una CPU con pipeline a 6 stadi che lavora a una frequenza di 400 Mhz e in cui ogni stadio viene eseguito in un ciclo di clock; indicare se le seguenti affermazioni sono vere o false.

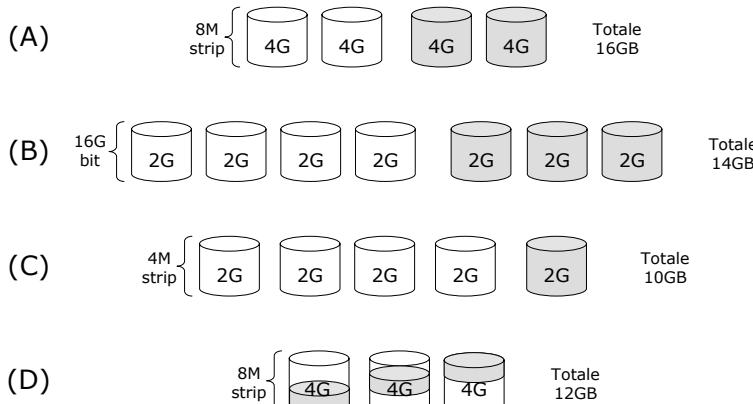
- A regime e in condizioni ideali la CPU completa un'istruzione ogni 2.5 nsec.
- Una istruzione richiede 10 nsec per essere eseguita.
- L'ampiezza di banda della CPU è di 500 MIPS.
- La latenza della CPU è di 15 nsec.
- In linea di principio, se si raddoppia la frequenza del clock si raddoppia l'ampiezza di banda.
- In linea di principio, se si dimezza la frequenza del clock si raddoppia la latenza.
- Uno stadio della pipeline corrisponde ad una porzione del data path.
- In linea di principio, togliendo uno stadio si aumenta la latenza e si diminuisce l'ampiezza di banda.

Esercizio 4

Si consideri una CPU con pipeline a 6 stadi che lavora a una frequenza di 400 Mhz e in cui ogni stadio viene eseguito in un ciclo di clock; indicare se le seguenti affermazioni sono vere o false.

- @SI A regime e in condizioni ideali la CPU completa un'istruzione ogni 2.5 nsec.
- @NO Una istruzione richiede 10 nsec per essere eseguita.
- @NO L'ampiezza di banda della CPU è di 500 MIPS.
- @SI La latenza della CPU è di 15 nsec.
- @SI In linea di principio, se si raddoppia la frequenza del clock si raddoppia l'ampiezza di banda.
- @SI In linea di principio, se si dimezza la frequenza del clock si raddoppia la latenza.
- @SI Uno stadio della pipeline corrisponde ad una porzione del data path.
- @NO In linea di principio, togliendo uno stadio si aumenta la latenza e si diminuisce l'ampiezza di banda.

Soluzione esercizio 5



Esercizio 5

Illustrare la composizione e funzionamento di un'unità RAID di 8 GB (spazio utilizzabile di memoria fisica) e con blocchi (strip) di 512 KB, con riferimento:

- (A) ad una configurazione di livello 1 con 4 dischi,
- (B) ad una configurazione di livello 2,
- (C) ad una configurazione di livello 4 con 5 dischi e
- (D) ad una configurazione di livello 5 con 3 dischi.

Indicare in entrambi i casi la dimensione effettiva di memoria fisica necessaria per la realizzazione (in numero di byte).

Esercizio 6

Si consideri un'unità disco RAID di 8 GB (spazio utilizzabile di memoria fisica) e con blocchi (strip) di 512 KB; indicare le affermazioni esatte tra le seguenti.

- In un RAID di livello 0 con 4 dischi, ogni disco è da 2GB.
- In un RAID di livello 1 ho bisogno di una capacità di memoria totale di 16GB.
- In un RAID di livello 1 con 4 dischi, ogni disco è da 4GB.
- In un RAID di livello 4 con 5 dischi, ogni disco è da 4GB.
- In un RAID di livello 3 se si rompe il disco di parità non è possibile recuperare i dati.
- In un RAID di livello 5 con 5 dischi, ogni disco è da 2GB.
- In un RAID di livello 5 con dischi da 2GB, ho bisogno di una capacità di memoria totale di 10GB.
- Il RAID di livello 2 è l'unico che lavora su bit invece che su strip.

Esercizio 6

Si consideri un'unità disco RAID di 8 GB (spazio utilizzabile di memoria fisica) e con blocchi (strip) di 512 KB; indicare le affermazioni esatte tra le seguenti.

- @SI In un RAID di livello 0 con 4 dischi, ogni disco è da 2GB.
- @SI In un RAID di livello 1 ho bisogno di una capacità di memoria totale di 16GB.
- @SI In un RAID di livello 1 con 4 dischi, ogni disco è da 4GB.
- @NO In un RAID di livello 4 con 5 dischi, ogni disco è da 4GB.
- @NO In un RAID di livello 3 se si rompe il disco di parità non è possibile recuperare i dati.
- @SI In un RAID di livello 5 con 5 dischi, ogni disco è da 2GB.
- @SI In un RAID di livello 5 con dischi da 2GB, ho bisogno di una capacità di memoria totale di 10GB.
- @NO Il RAID di livello 2 è l'unico che lavora su bit invece che su strip.