

Famílias Lógicas e Circuitos CMOS

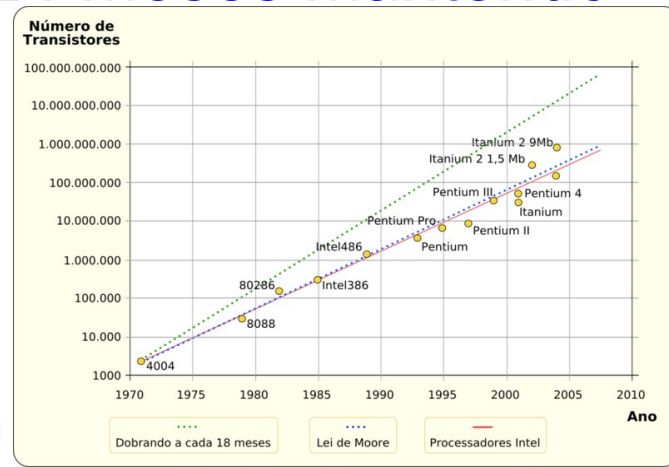
Sistemas Digitais

Prof. Luciano L. Caimi
lcaimi@uffs.edu.br

- Nível de Integração
- Tipos de Encapsulamentos
- Terminologia
- Famílias Lógicas
- Circuitos Digitais TTL
- Circuitos Digitais CMOS

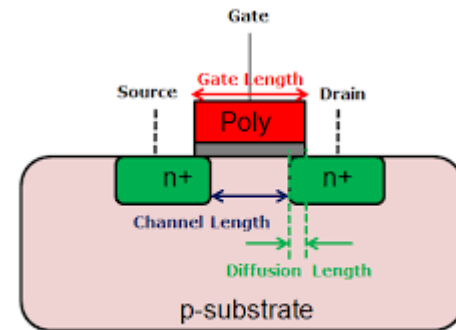
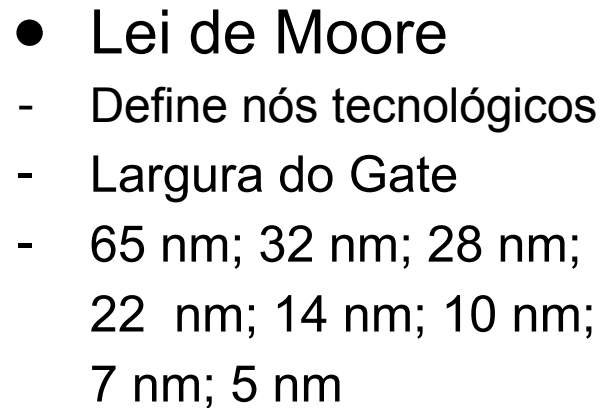
Nível de Integração

- Refere-se a quantidade de transistores contidos no Circuito Integrado (CI)
- Lei de Moore - projeção de 1965 de Gordon Moore (fundador da Intel): o número de transistores em um circuito integrado dobra a cada 18/24 meses mantendo-se o mesmo custo



Our World
in Data

Transistor count



$$\text{Channel Length} = \text{Gate Length} - 2 \times (\text{Diffusion Length})$$

Nível de Integração



Referem-se a quantidade de transistores contidos no Circuito Integrado (CI):

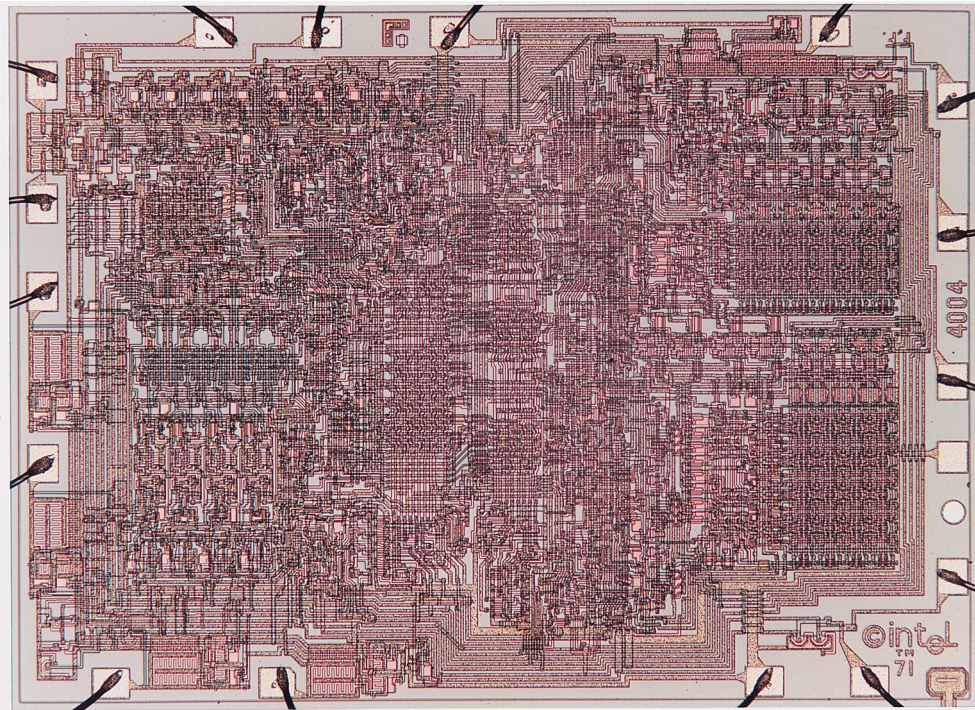
SSI (Small Scale Integration): integração em pequena escala.
São os CIs com menos de 10 transistores

MSI (Medium Scale Integration): integração em média escala.
Corresponde aos CIs que tem entre 10 e 500 transistores

VLSI (Very Large Scale Integration): integração em muito larga escala. Corresponde aos CIs que tem entre 20.000 e 1.000.000 transistores

ULSI (Ultra Large Scale Integration): integração em escala ultra larga. Corresponde aos CIs que tem mais de 1.000.000 de transistores

https://en.wikipedia.org/wiki/Integrated_circuit



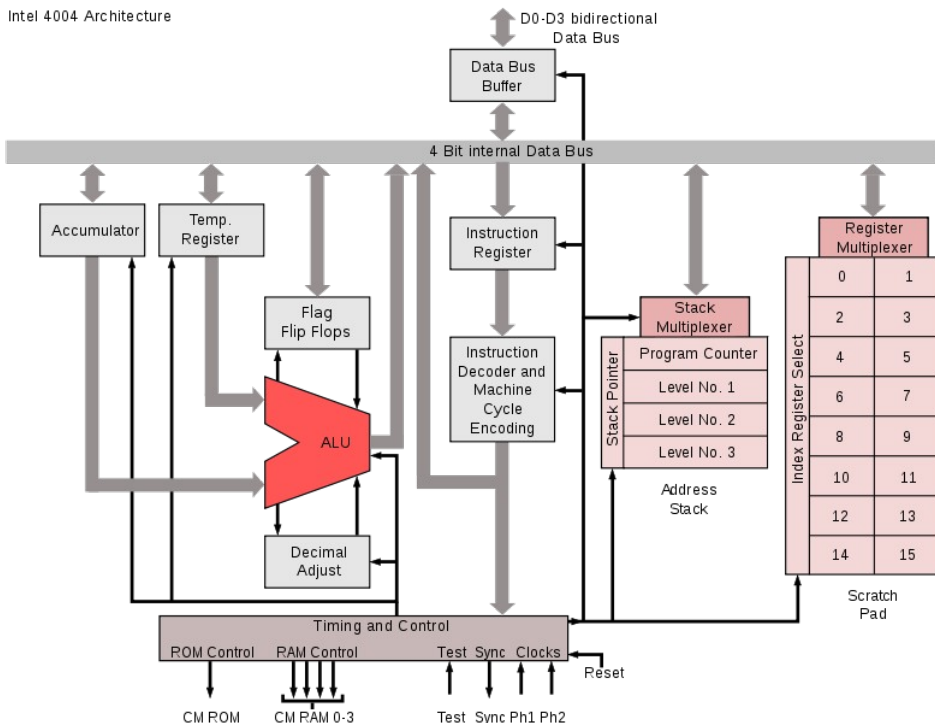
Intel 4004

- Ano de lançamento: 1971
- Integração: LSI 2300 transistores
- Frequência: 740 KHz
- Encapsulamento: DIP (16 pinos)
- Dados: 4 bits

<https://www.hardware.com.br/noticias/2011-11/40anos-i4004.html>

Nível de Integração

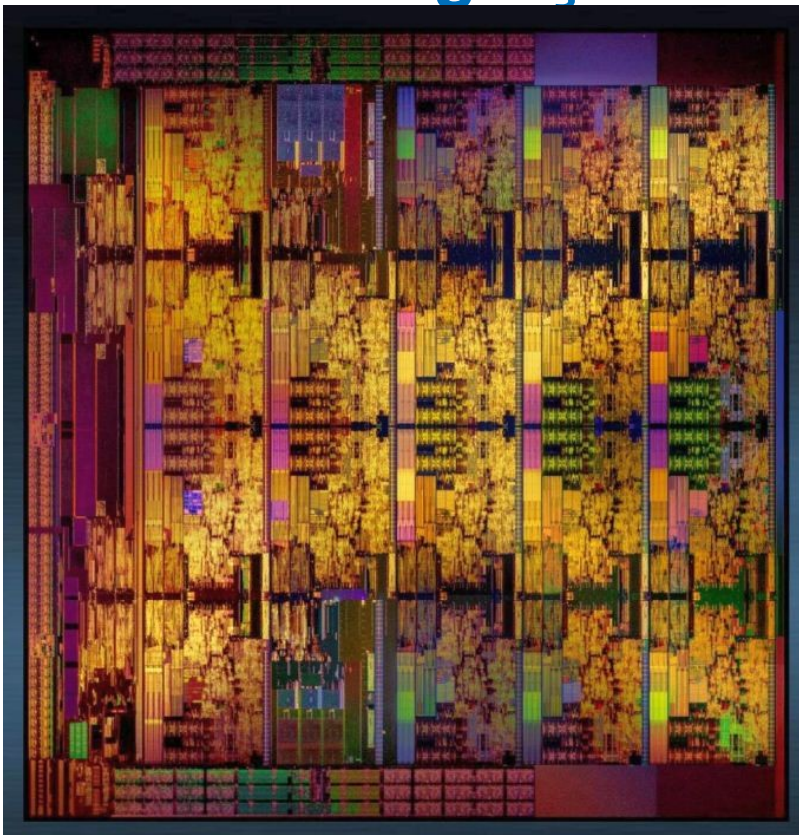
Intel 4004 Architecture



Intel 4004

- Ano de lançamento: 1971
- Integração: LSI 2300 transistores
- Frequência: 740 KHz
- Encapsulamento: DIP (16 pinos)
- Dados: 4 bits

<https://www.hardware.com.br/noticias/2011-11/40anos-i4004.html>

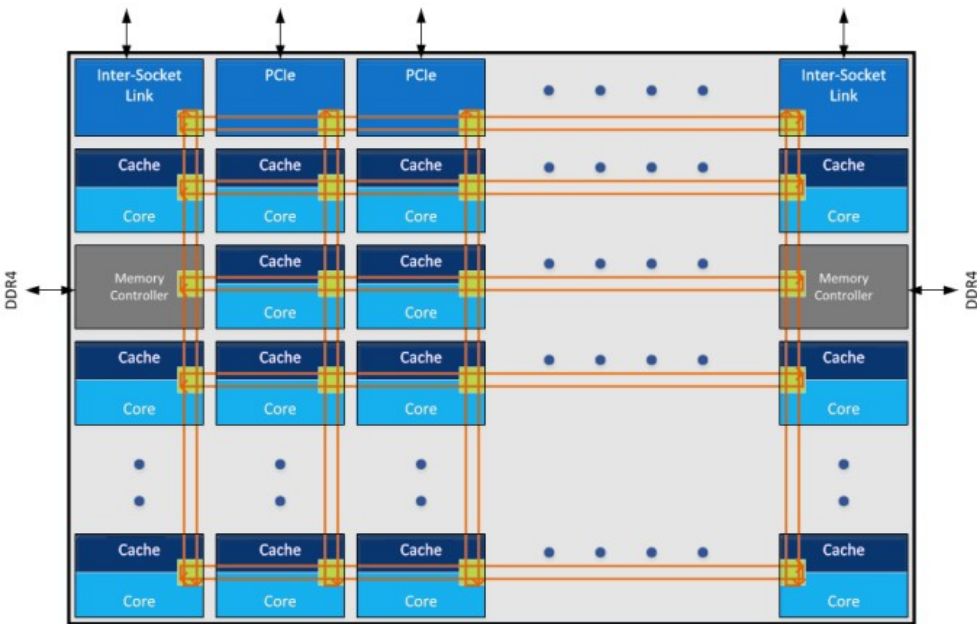


Intel i9 7960X

- Ano: 2017
- Integração: 14 nm ~7 bilhões tr.
- Frequência: 2.8 GHz
- Encapsulamento: socket 2066
- Cores/Threads: 16/32
- TDP: 165 W

<https://www.techpowerup.com/cpu-specs/core-i9-7960x.c1950>

Nível de Integração



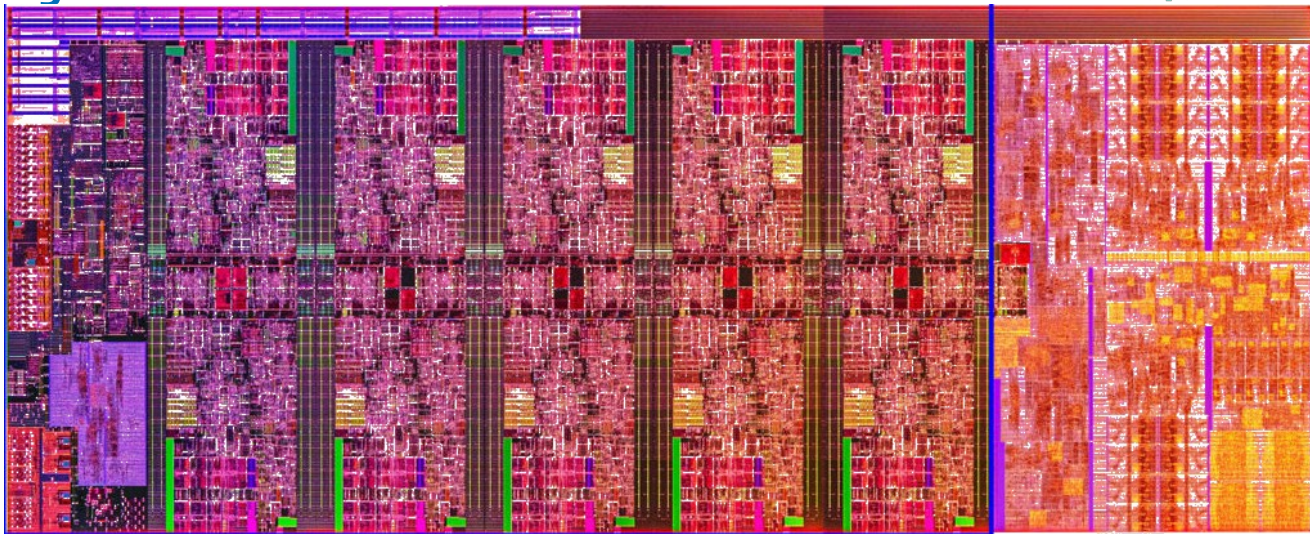
Intel i9 7960X

- Ano: 2017
- Integração: 14 nm
- Frequência: 2.8 GHz
- Encapsulamento: socket 2066
- Cores/Threads: 16/32
- TDP: 165 W

<https://www.anandtech.com/show/11550/the-intel-skylakex-review-core-i9-7900x-i7-7820x-and-i7-7800x-tested/6>

Nível de Integração

Intel i9 10900K



- Ano: 2020
- Frequência: 3.7 GHz
- Encapsulamento: socket 1200
- Cores/Threads: 10/20
- TDP: 125W
- Integração: 14 nm ~4 bilhões tr.
- Área: 206 mm²

<https://www.techpowerup.com/cpu-specs/core-i9-10900k.c2266>

Encapsulamentos

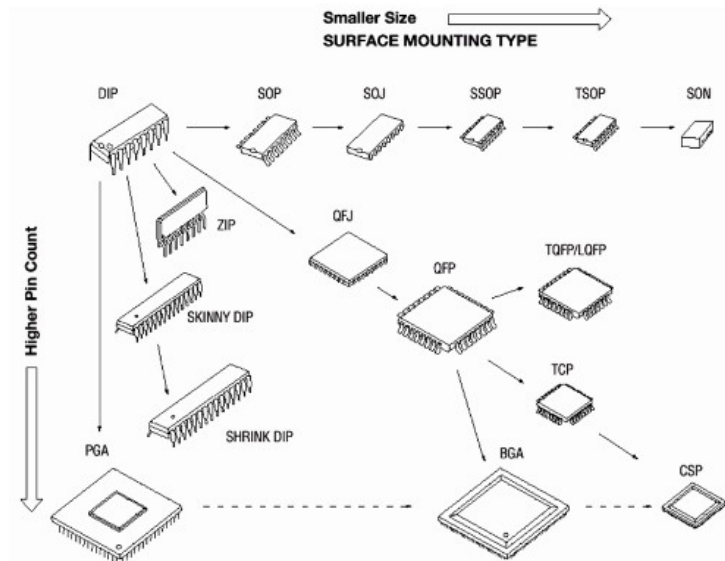
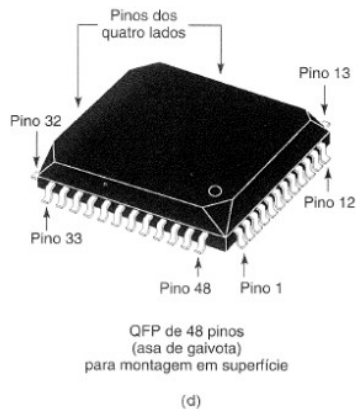
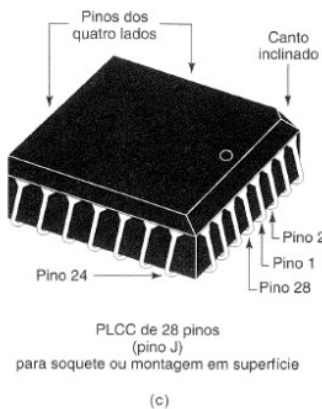
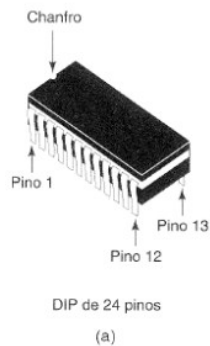
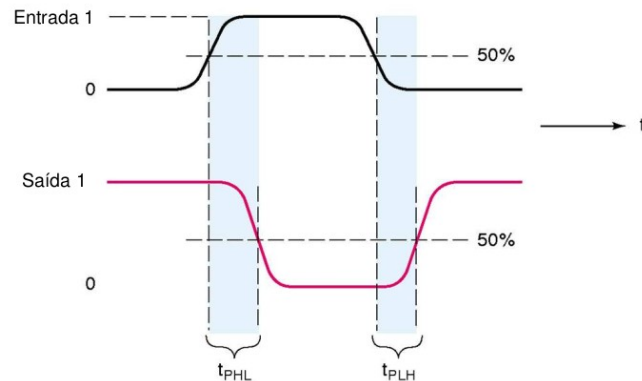


TABELA 8-2 Encapsulamentos de CIs.

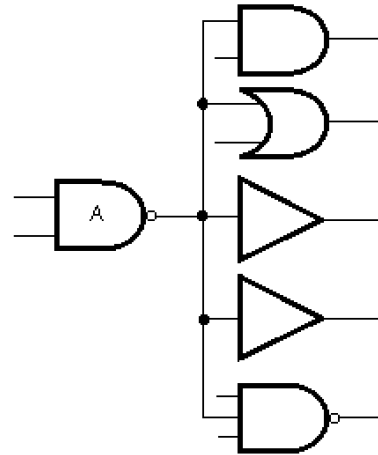
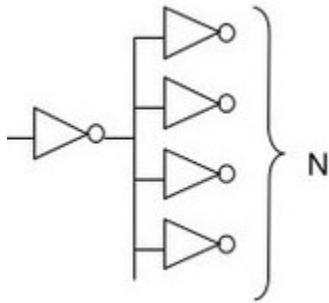
Sigla	Nome do Encapsulamento	Altura	Passo entre Pinos
DIP	Dual-In-line Package	200 mils (5,1 mm)	100 mils (2,54 mm)
SOIC	Small Outline Integrated Circuit	2,65 mm	50 mils (1,27 mm)
SSOP	Shrink Small Outline Package	2,0 mm	0,65 mm
TSSOP	Thin Shrink Small Outline Package	1,1 mm	0,65 mm
TVSOP	Thin Very Small Outline Package	1,2 mm	0,4 mm
PLCC	Plastic Leaded Chip Carrier	4,5 mm	1,27 mm
QFP	Quad Flat Pack	4,5 mm	0,635 mm
TQFP	Thin Quad Flat Pack	1,6 mm	0,5 mm

Atraso de propagação: um sinal sempre sofre um atraso ao atravessar um circuito. Os tempos de propagação definidos considerando a mudança do nível lógico:

- t_{PLH} : tempo para a mudança do nível lógico 0 (LOW) para 1 (HIGH)
- t_{PHL} : tempo para a mudança do nível lógico 1 (HIGH) para 0 (LOW)



Fan-out: a saída de um circuito/porta lógica necessita acionar a entrada de outros circuitos/portas. O **fan-out** (também chamado de fator de carregamento) é definido como o número máximo de entradas lógicas padronizadas que uma saída lógica pode acionar de forma confiável

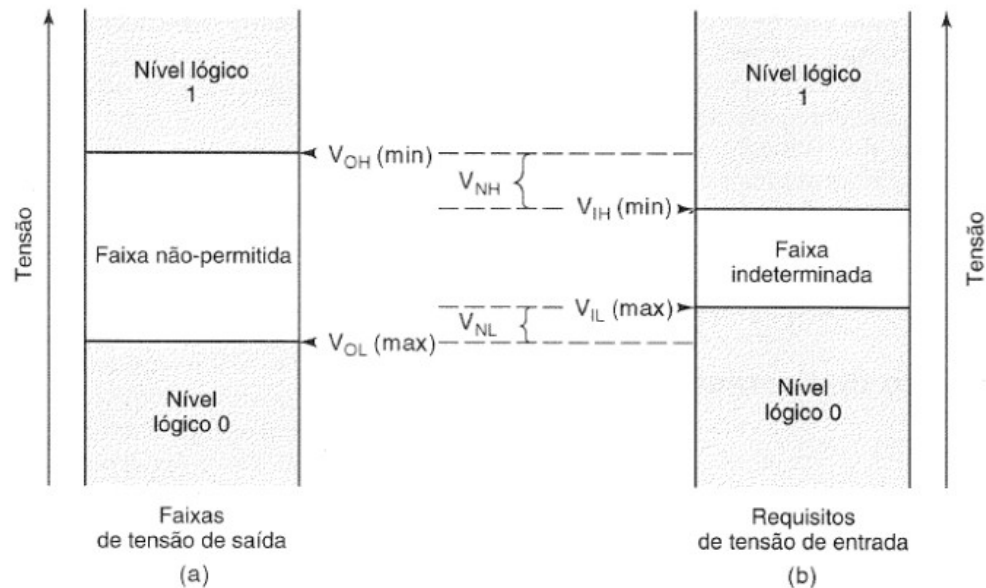


Terminologia

Tensão dos Níveis Lógicos:

Tensão de Threshold:

Imunidade ao Ruído:



Famílias Lógicas



Os circuitos integrados digitais estão agrupadas em famílias lógicas, de acordo com sua tecnologia de fabricação.

Famílias lógicas bipolares:

RTL - Resistor Transistor Logic - Lógica de transistor e resistência

DTL - Diode Transistor Logic - Lógica de transistor e diodo

TTL - Transistor Transistor Logic - Lógica de transistor-transistor

HTL - High Threshold Logic - Lógica de transistor com alto limiar

ECL - Emitter Transistor Logic - Lógica de transistor emissores

Famílias lógicas MOS (Metal-Óxido Semicondutor):

NMOS - utiliza somente MOS-FET de canal N

PMOS - utiliza somente MOS-FET de canal P

CMOS - Complementary MOS - MOS complementar (canal P e N)

Famílias Lógicas



Família TTL: 54 - uso militar; 74 - uso comercial

TTL 74L de Baixa Potência

TTL 74H de Alta Velocidade

TTL 74S Schottky

TTL 74LS Schottky de Baixa Potência (LS-TTL)

TTL 74AS Schottky Avançada (AS-TTL)

TTL 74ALS- TTL Schottky Avançada de Baixa Potência

Família CMOS

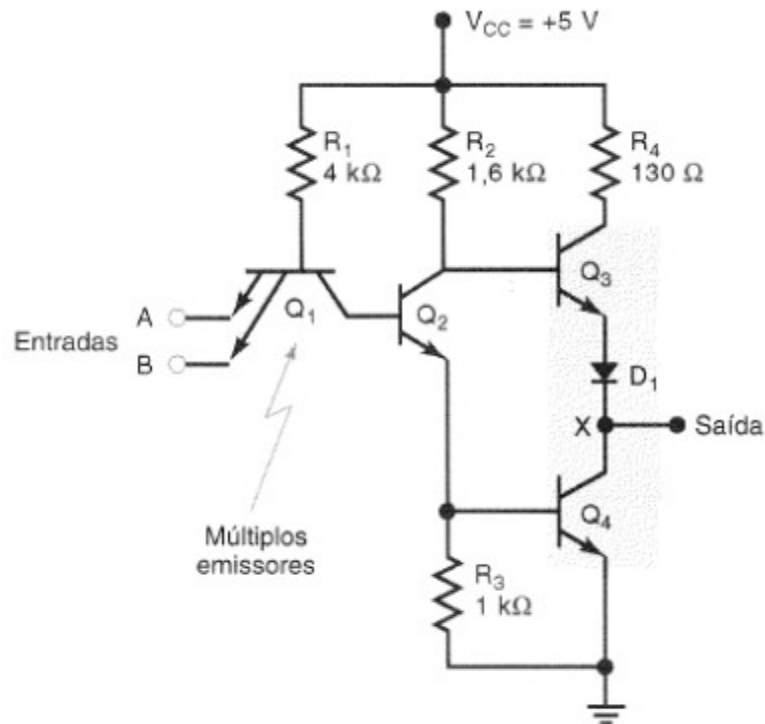
4000/14000 (foram as primeiras séries da família CMOS)

74C (compatível, pino a pino e função por função, com os dispositivos TTL)

74HC (CMOS de Alta Velocidade)

74HCT (os dispositivos 74HCT - CMOS de Alta Velocidade - podem ser alimentados diretamente por saídas de dispositivos TTL)

Família Lógica TTL



Porta NAND básica TTL

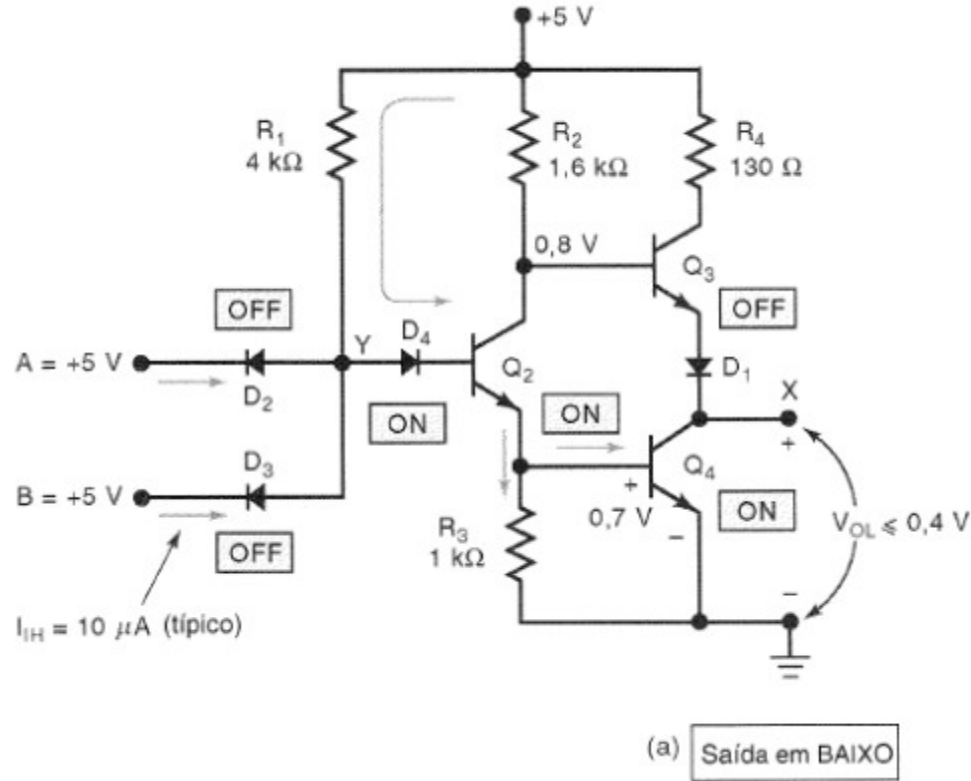
Níveis de Tensão Elétrica –
Entrada TTL



Níveis de Tensão Elétrica –
Saída TTL

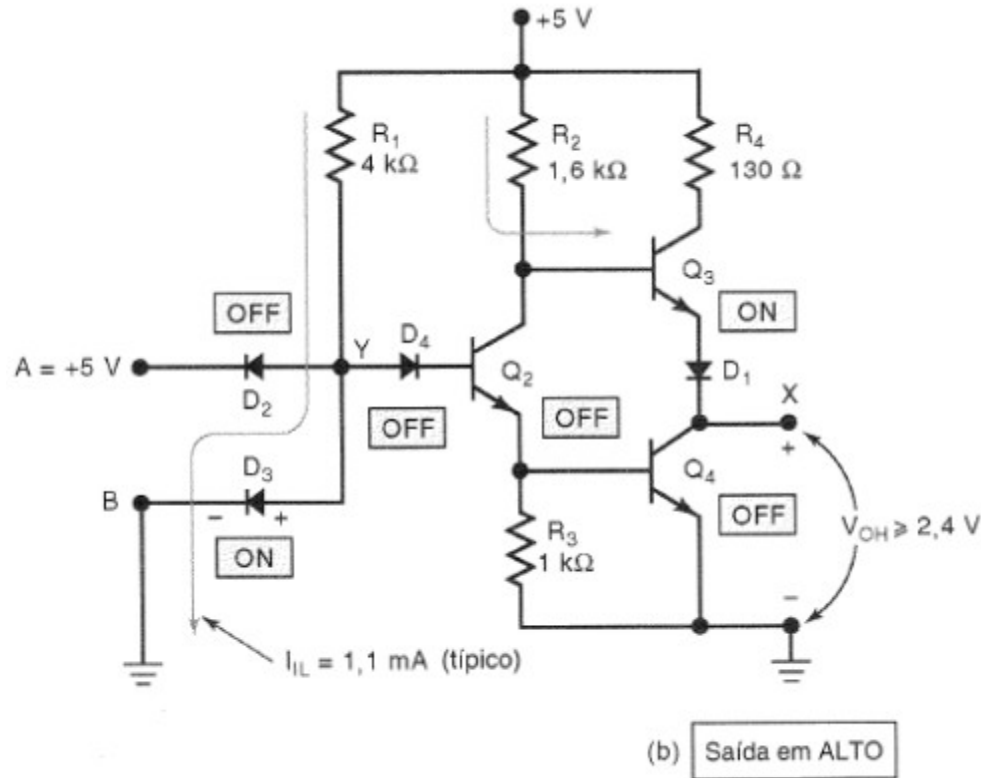


Família Lógica TTL



Condições de entrada	Condições de saída
A e B estão ambas em ALTO ($\geq 2\text{ V}$)	Q_3 OFF
Correntes de entrada são muito baixas $I_{IH} = 10\text{ }\mu\text{A}$	Q_4 ON logo V_x é BAIXO ($\leq 0,4\text{ V}$)

Família Lógica TTL



Condições de entrada	Condições de saída
A ou B ou ambos em BAIXO ($\leq 0,8$ V)	Q_4 OFF
A corrente flui para a terra através do terminal de entrada em BAIXO, $I_{IL} = 1,1$ mA	Q_3 atua como seguidor de emissor e $V_{OH} \geq 2,4$ V, geralmente 3,6 V

Fig. 8-8 - Porta NAND TTL nos seus dois estados de saída.

Família Lógica TTL

Recommended operating conditions

	SN5400			SN7400			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH} High-level input voltage	2			2			V
V_{IL} Low-level input voltage			0.8			0.8	V
I_{OH} High-level output current			-0.4			-0.4	mA
I_{OL} Low-level output current			16			16	mA
T_A Operating free-air temperature	-55		125	0		70	°C

Switching characteristics, $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$ (see note 2)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{PLH}	A or B	Y	$R_L = 400\ \Omega$	$C_L = 15\text{ pF}$		11	22	ns
t_{PHL}						7	15	ns

NOTE 2: See General Information Section for load circuits and voltage waveforms.

Família Lógica TTL



Séries 74L e 74H

TTL Schottky, Série 74S

TTL Schottky de Baixa Potência, Série 74LS (LS-TTL)

TTL Schottky Avançada, Série 74AS (AS-TTL)

TTL Schottky Avançada de Baixa Potência, Série 74ALS

TTL Fast-74F

TABELA 8-4

	74S	74AS
Atraso de propagação	3 ns	1,7 ns
Dissipação de potência	20 mW	8 mW
Produto velocidade-potência	60 pJ	13,6 pJ

TABELA 8-5

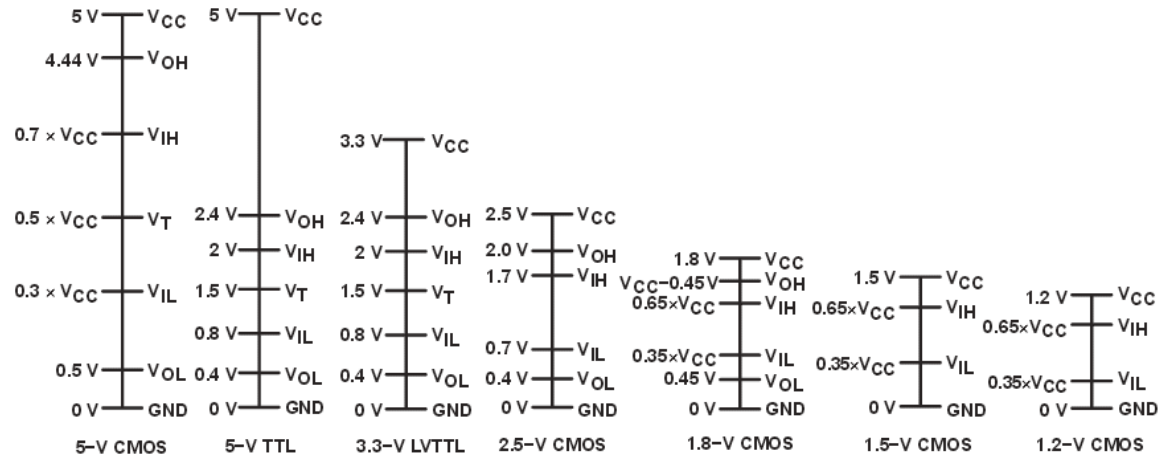
	74LS	74ALS
Atraso de propagação	9,5 ns	4ns
Dissipação de potência	2 mW	1,2 mW
Produto velocidade-potência	19 pJ	4,8 pJ

TABELA 8-6 Características típicas das séries TTL.

	74	74S	74LS	74AS	74ALS	74F
Índices de performance						
Atraso de propagação (ns)	9	3	9,5	1,7	4	3
Dissipação de potência (mW)	10	20	2	8	1,2	6
Produto velocidade-potência (pJ)	90	60	19	13,6	4,8	18
Taxa máxima de clock (MHz)	35	125	45	200	70	100
Fan-out (mesma série)	10	20	20	40	20	33
Parâmetros de tensão						
$V_{OH}(\min)$	2,4	2,7	2,7	2,5	2,5	2,5
$V_{OL}(\max)$	0,4	0,5	0,5	0,5	0,4	0,5
$V_{IH}(\min)$	2,0	2,0	2,0	2,0	2,0	2,0
$V_{IL}(\max)$	0,8	0,8	0,8	0,8	0,8	0,8

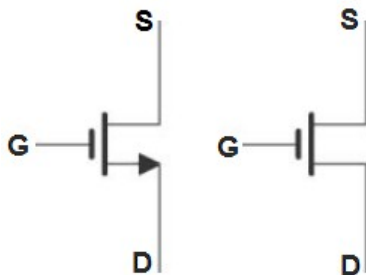
Família Lógica CMOS

- Faixa de alimentação que se estende de 1V a 15V ou 18V, dependendo do modelo
- Níveis de tensão mais estreitos que TTL
- Menor consumo que TTL

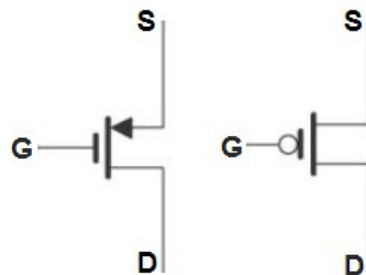


Família Lógica CMOS

Utiliza dois tipos de transistores. Transistores de canais P (PMOS) e transistores de canal N (NMOS)



NMOS



PMOS

S - Source
D - Drain
G - Gate

Transistor N-MOS

(normalmente aberto - NA)

Gate 0: isola - $S \rightarrow D$ aberto - OFF

Gate 1: conduz - $S \rightarrow D$ fechado - ON

Transistor P-MOS

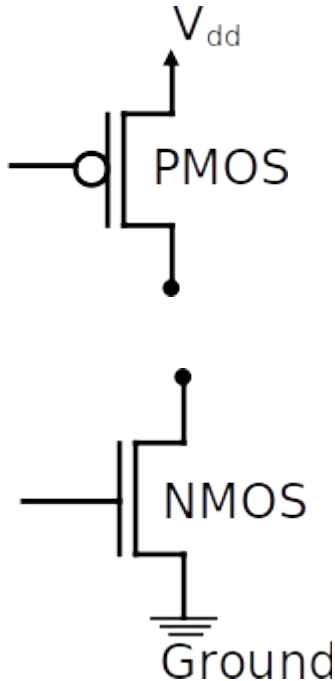
(normalmente fechado - NF)

Gate 0 - conduz - $S \rightarrow D$ fechado - ON

Gate 1 - isola - $S \rightarrow D$ aberto - OFF

Família Lógica CMOS

Circuitos CMOS são formados por uma rede de transistores FET Pull-Up (canal P) e uma rede de transistores FET Pull-Down (canal N)



Transistor P-MOS

(normalmente fechado - NF)

Gate 0 - conduz - S \rightarrow D fechado - ON

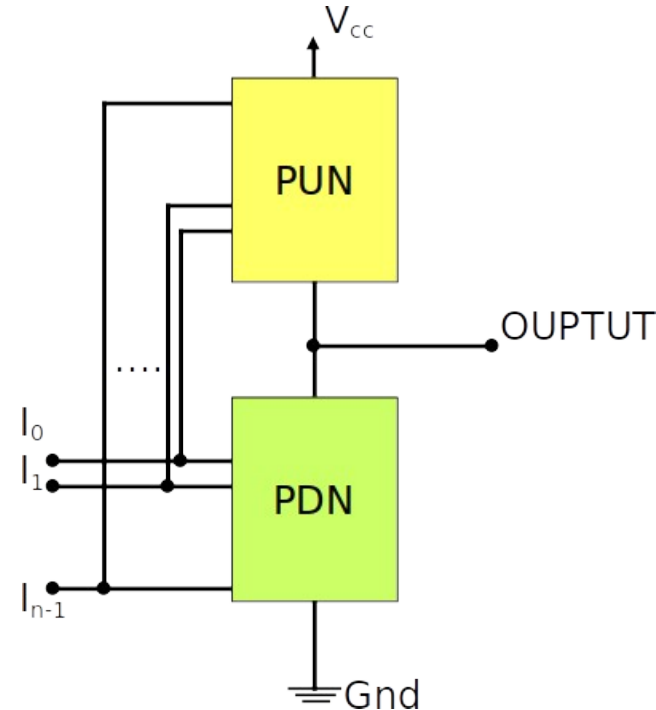
Gate 1 - isola - S \rightarrow D aberto - OFF

Transistor N-MOS

(normalmente aberto - NA)

Gate 0: isola - S \rightarrow D aberto - OFF

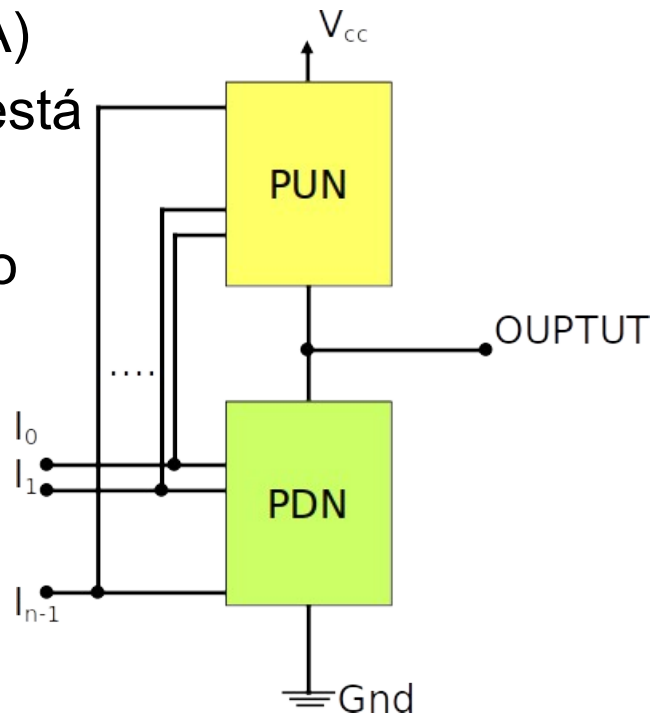
Gate 1: conduz - S \rightarrow D fechado - ON



Família Lógica CMOS

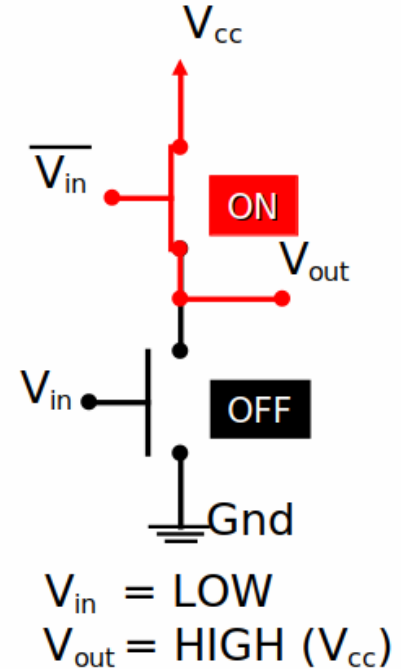
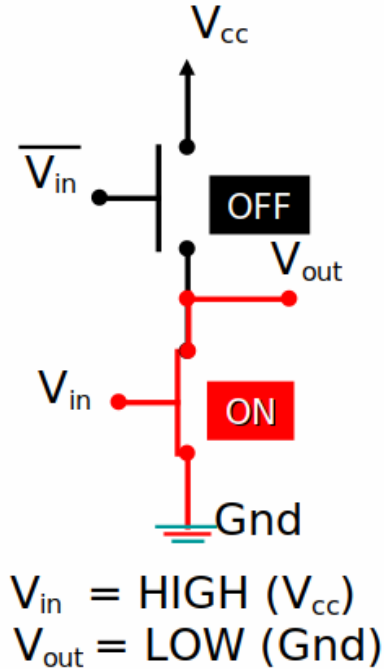
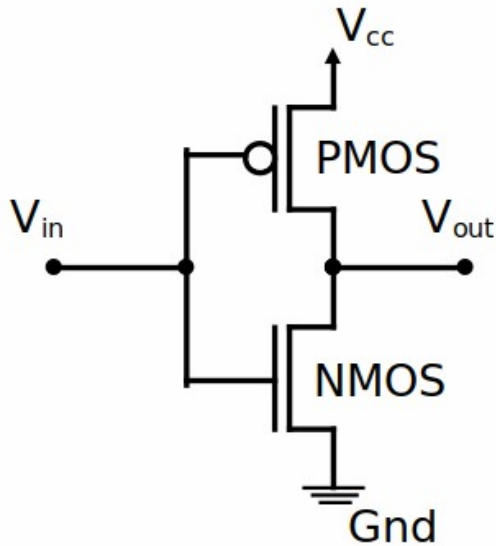
As redes são complementares:

- PUN formada por transistores PMOS (NF)
- PDN formada por transistores NMOS (NA)
- Quando uma está fechada (ON) a outra está aberta (OFF)
- Elementos em série em uma rede estarão em paralelo na outra rede



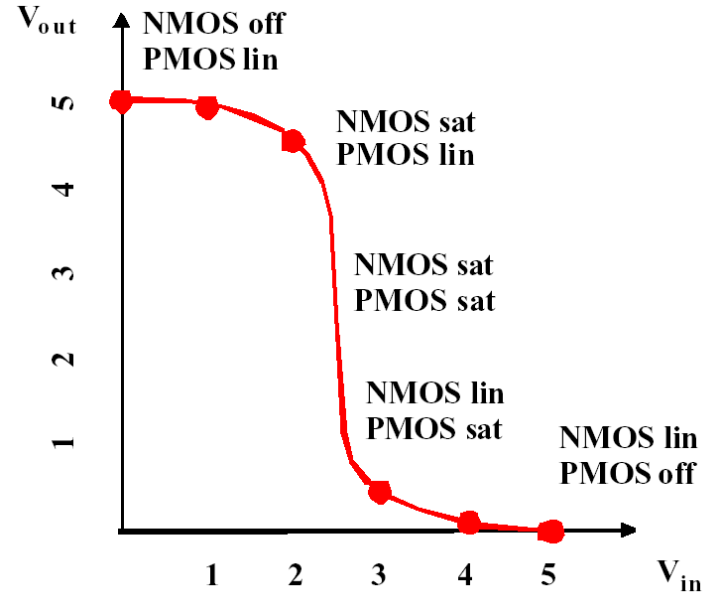
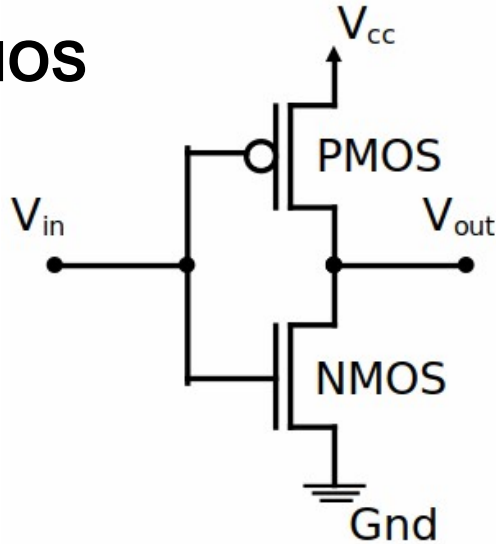
Família Lógica CMOS

Inversor CMOS



Família Lógica CMOS

Inversor CMOS



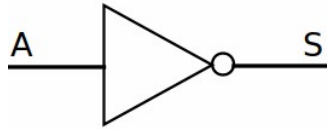
OFF: $V_{GS} < V_{Threshold}$ Não conduz (resistência infinita)

LINEAR (ou resistivo): $0 < V_{DS} < V_{GS} - V_{Threshold}$ Conduz com resistência

SATURAÇÃO: $0 < V_{GS} - V_{Threshold} < V_{DS}$ Conduz (resistência zero)

No Inversor CMOS Inverter $V_{GS} = V_{in}$

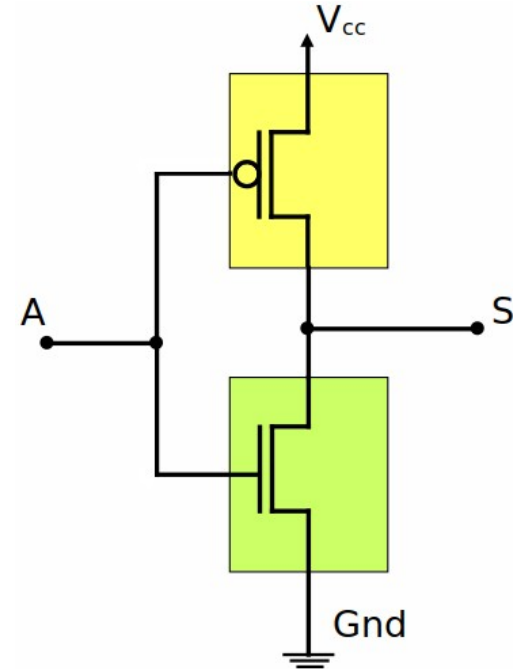
Inversor CMOS



Pull-Up Network	A	S
	0	1
	1	Z
Pull-Down Network	A	S
	0	Z
	1	0



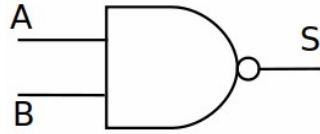
Rede CMOS Combinada	A	S
	0	1
	1	0



Z \Rightarrow Resistência Infinita - Alta impedância

Família Lógica CMOS

Porta NAND implementação CMOS



Pull-Up
Network

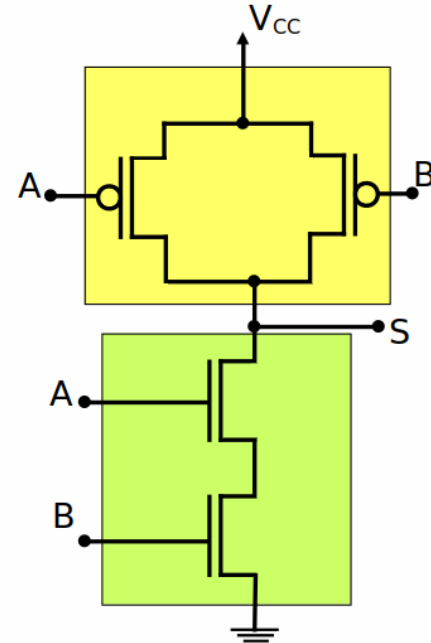
A	B	S
0	0	1
0	1	1
1	0	1
1	1	Z

Pull-Down
Network

A	B	S
0	0	Z
0	1	Z
1	0	Z
1	1	0

Redes
CMOS
Combinadas

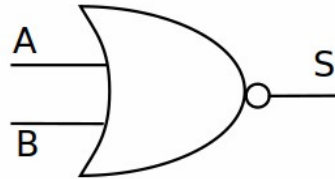
A	B	S
0	0	1
0	1	1
1	0	1
1	1	0



Z \Rightarrow Resistência Infinita - Alta impedância

Família Lógica CMOS

Porta NOR implementação CMOS



Pull-Up
Network

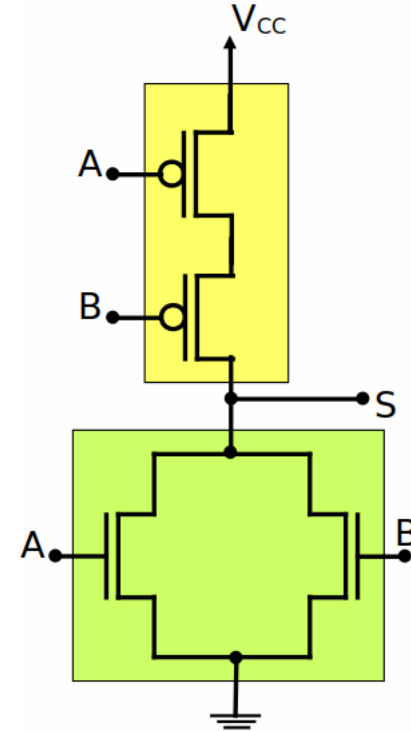
A	B	S
0	0	1
0	1	Z
1	0	Z
1	1	Z

Pull-Down
Network

A	B	S
0	0	Z
0	1	0
1	0	0
1	1	0

Rede
CMOS
Combinada

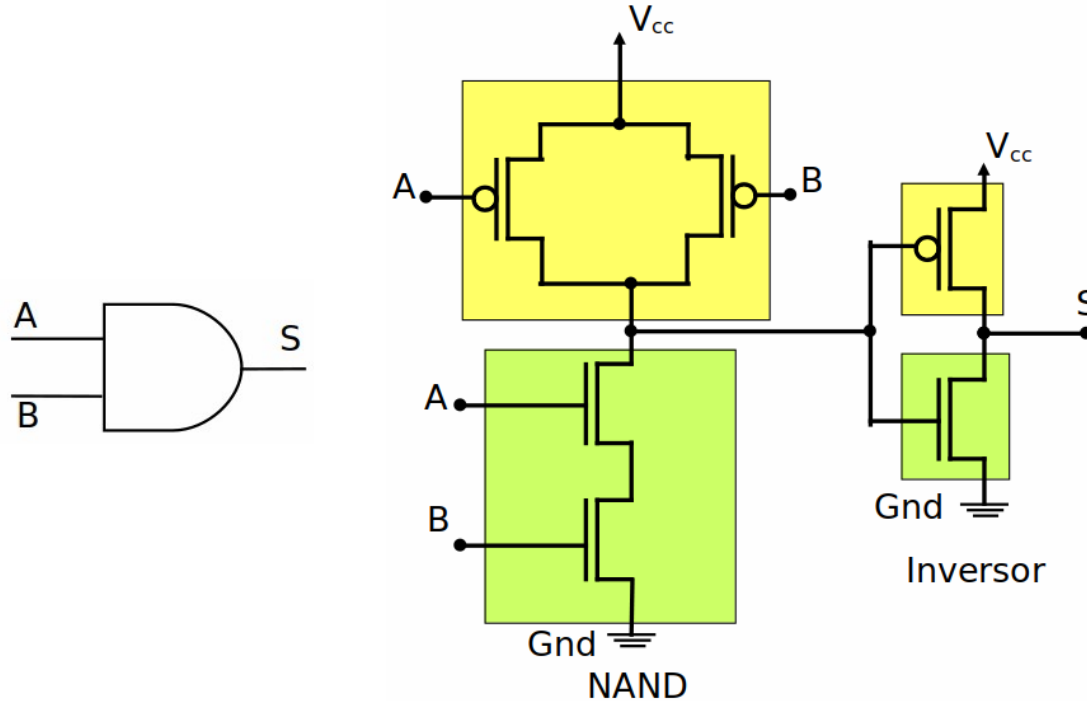
A	B	S
0	0	1
0	1	0
1	0	0
1	1	0



Z \Rightarrow Resistência Infinita - Alta impedância

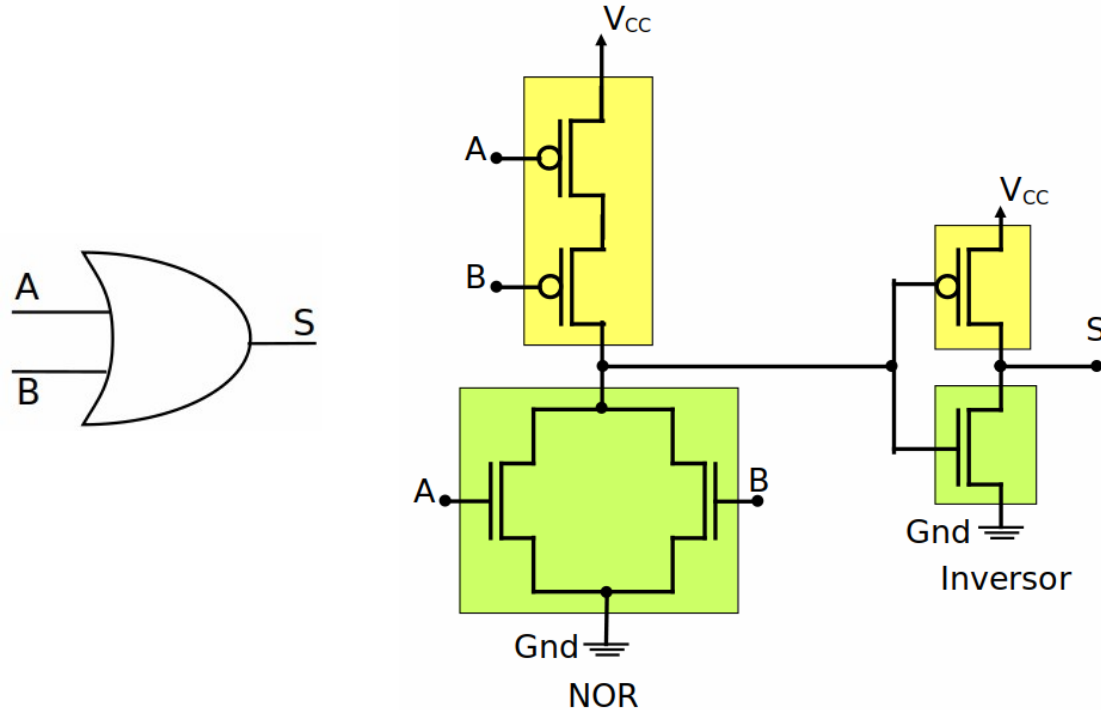
Família Lógica CMOS

Porta AND implementação CMOS



Família Lógica CMOS

Porta OR implementação CMOS



Método I: Expressão Booleana para CMOS

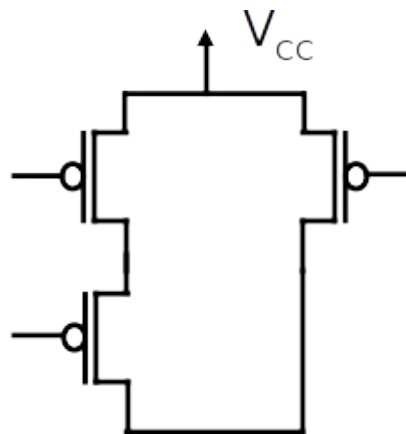


- Cada variável em uma expressão Booleana corresponde a um transistor PMOS na PUN e um transistor NMOS transistor na PDN
- Desenhar a PUN usando transistores PMOS baseado na equação Booleana:
 - operações AND colocar em série
 - operações OR colocar em paralelo
- Nomear cada variável da equação Booleana no transistor PMOS da PUN com indicação de complemento (A na equação é $\sim A$ na PUN)
- Desenhar a PDN usando transistores NMOS na forma complementar
 - Paralelo na PUN para série na PDN (operação AND em paralelo)
 - Série na PUN para paralelo na PDN (operação OR em série)
- Nomear as variáveis da equação Booleana no transistor NMOS da PDN igual a PUN
- Nomear a saída

Exemplo 1: Método I

$$F = \overbrace{A \cdot \overline{C}}^{\text{Em paralelo}} + B$$

Em série



(1) Desenhar a rede Pull-UP

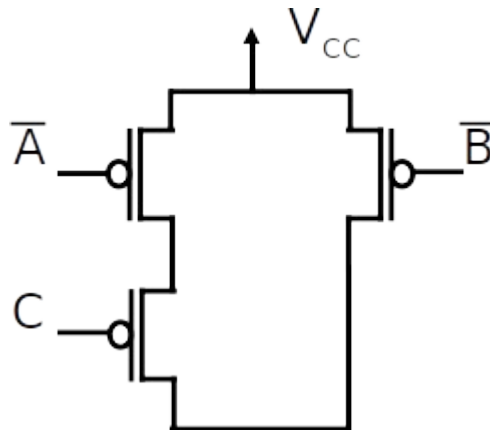
AND → série

OR → paralelo

Exemplo 1: Método I

$$F = \overbrace{A \cdot \overline{C}}^{\text{Em paralelo}} + B$$

Em série

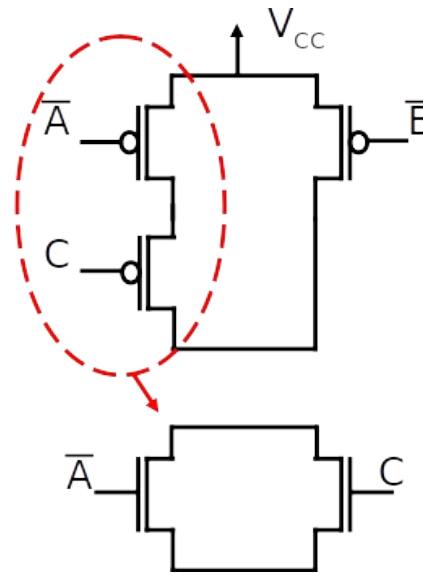


(2) Nomear as entradas de forma complementar a equação

Exemplo 1: Método I

$$F = \overbrace{A \cdot \overline{C}}^{\text{Em paralelo}} + B$$

Em série



(3) Desenhar a rede Pull-Down na forma complementar

série (PUN) → paralelo (PDN)

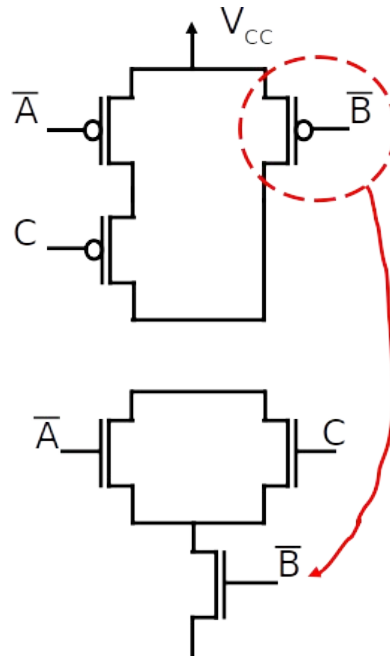
paralelo (PUN) → série (PDN)

Exemplo 1: Método I

Em paralelo

$$F = A \cdot \overline{C} + B$$

Em série



(3) Desenhar a rede Pull-Down na forma complementar

série (PUN) → paralelo (PDN)

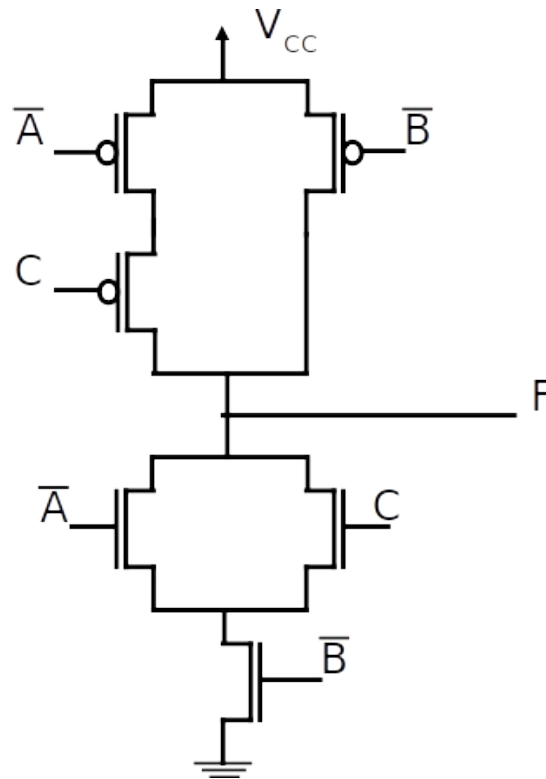
paralelo (PUN) → série (PDN)

Exemplo 1: Método I

$$F = \overbrace{A \cdot \overline{C}}^{\text{Em paralelo}} + B$$

Em série

(4) Nomear a saída

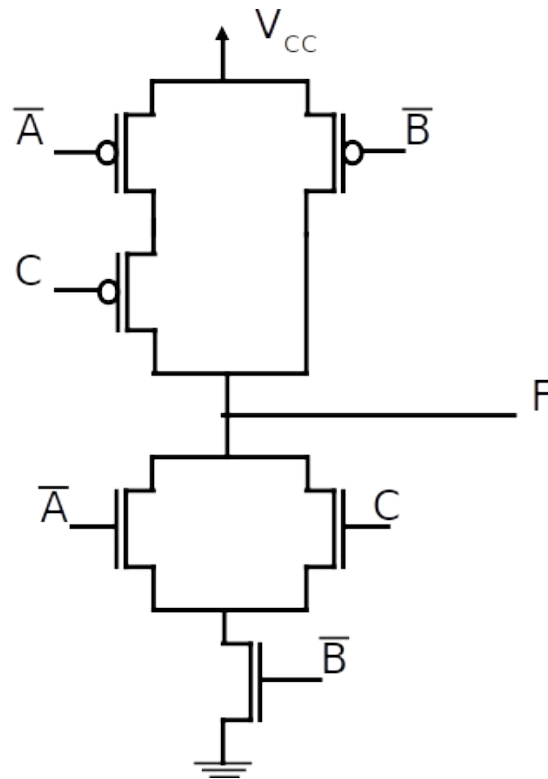


Exemplo 1: Método I

$$F = \overbrace{A \cdot \overline{C}}^{\text{Em paralelo}} + \underbrace{B}_{\text{Em série}}$$

Tabela Verdade

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1



Método II: Expressão Booleana para CMOS



- Cada variável em uma expressão Booleana corresponde a um transistor PMOS na PUN e um transistor NMOS transistor na PDN
- Inverter os dois lados da equação Booleana
- Com o novo lado direito da equação Booleana desenhar a PDN usando transistores NMOS:
 - operações AND colocar em série
 - operações OR colocar em paralelo
- Nomear cada variável da equação Booleana no transistor NMOS da PDN
- Desenhar a PUN usando transistores PMOS na forma complementar
 - Paralelo na PDN para série na PUN
 - Série na PDN para paralelo na PUN
- Nomear as variáveis da equação Booleana no transistor PMOS da PUN igual a PDN
- Nomear a saída

Exemplo 2: método II

$$F = A \cdot \bar{C} + B$$

(1) Complementar a equação Booleana

$$\bar{F} = \overline{A \cdot \bar{C} + B}$$

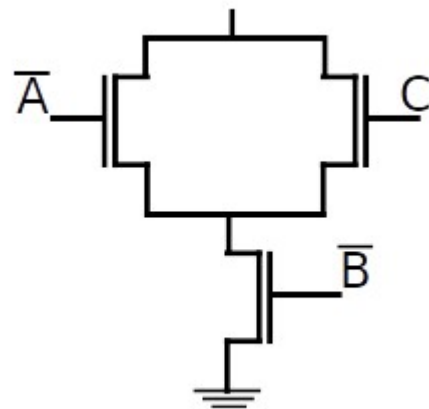
$$\bar{F} = \overline{A \cdot \bar{C}} \cdot \bar{B}$$

$$\bar{F} = (\bar{A} + C) \cdot \bar{B}$$

(2) Desenhar a PDN

AND → série

OR → paralelo



(3) Nomear as entradas dos transistores NMOS diretamente

Exemplo 2: método II

$$F = A \cdot \bar{C} + B$$

$$\bar{F} = \overline{A \cdot \bar{C} + B}$$

$$\bar{F} = \overline{A \cdot \bar{C}} \cdot \bar{B}$$

$$\bar{F} = (\bar{A} + C) \cdot \bar{B}$$

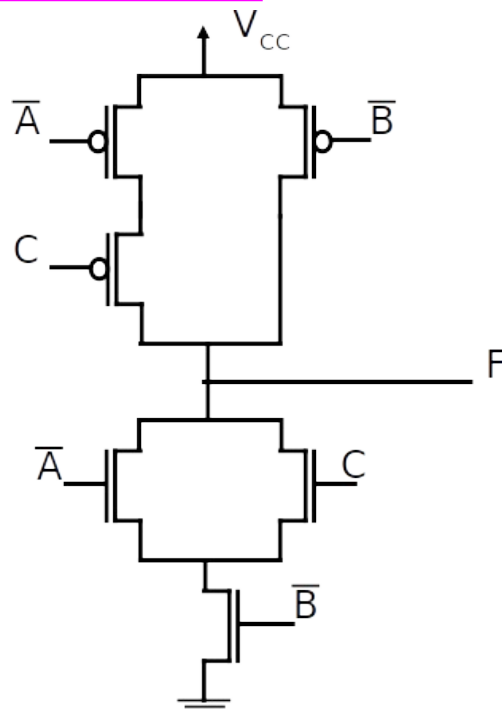
(4) Desenhar a PUN de forma complementar

OR \rightarrow série

AND \rightarrow paralelo

(5) Nomear as entradas dos transistores PMOS

(6) Nomear a saída



Exemplo 2: método II

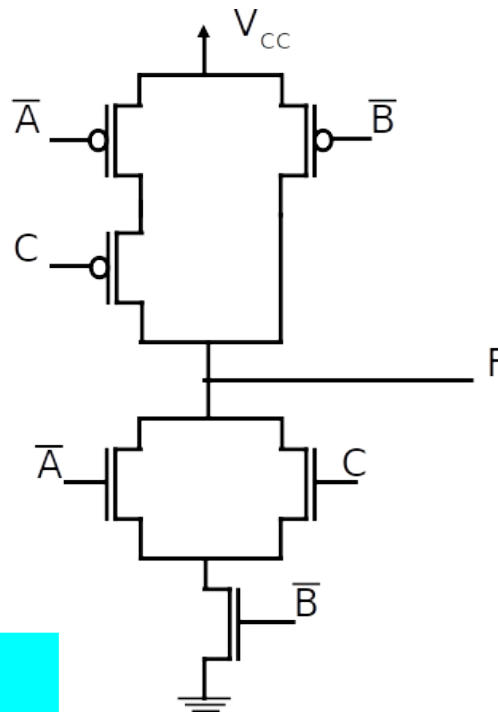
$$F = A \cdot \overline{C} + B$$

$$\overline{F} = \overline{A \cdot \overline{C} + B}$$

$$\overline{F} = \overline{A \cdot \overline{C}} \cdot \overline{B}$$

$$\overline{F} = (\overline{A} + C) \cdot \overline{B}$$

Este circuito é o mesmo apresentado no exemplo 1, que utiliza o método I



Metodologias: Expressão Booleana para CMOS



- Os dois métodos levam a mesma implementação CMOS
- A razão para inverter a equação Booleana no método II é levar a saída para '0' quando o circuito é formado por transistores NMOS

Exemplo:

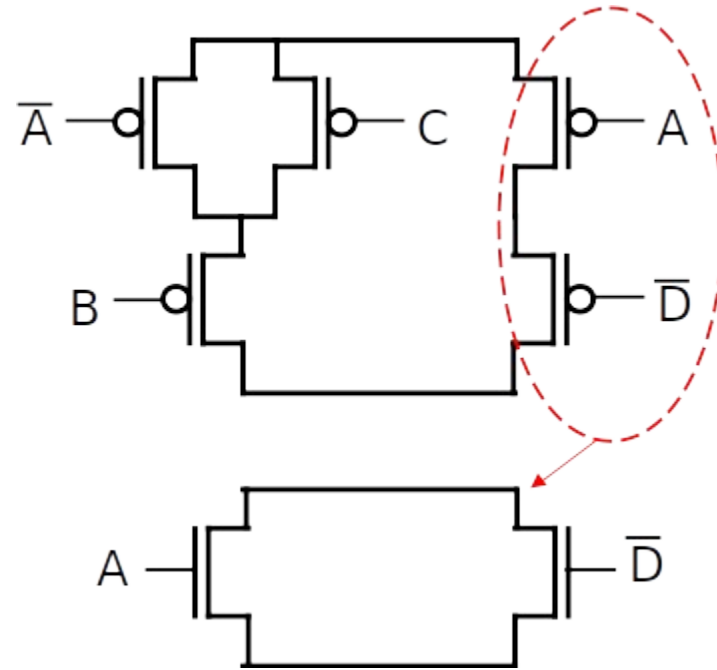
$$F = \bar{A} \cdot C + B$$

Quando (A=0 and C=1) or B=1, F=1.

Entretanto, na rede PDN (NMOS) $F = 0$, isto é, o resultado inverso

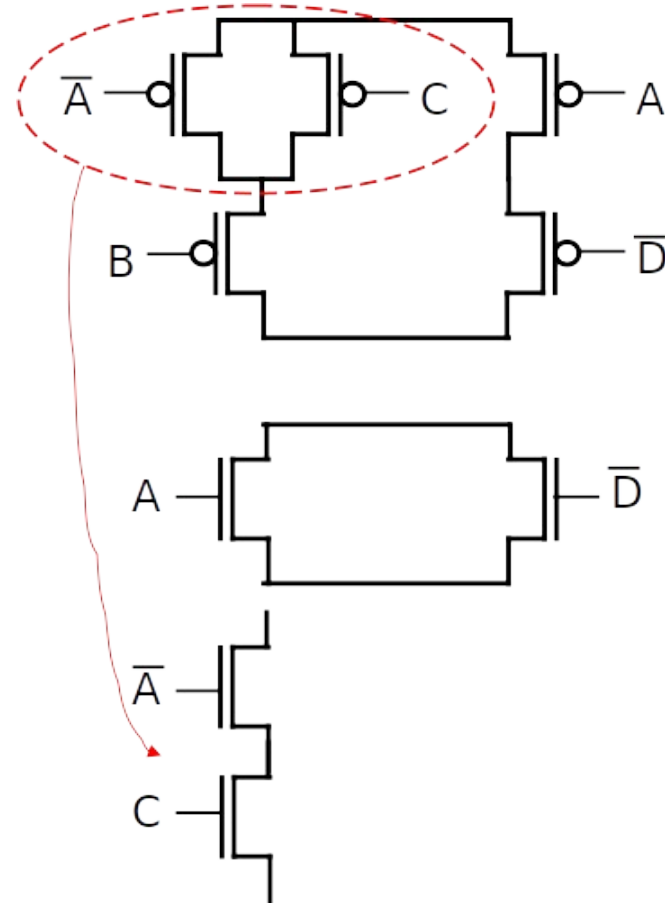
Exemplo 3: método I

$$F = \bar{A} \cdot D + (\bar{B} \cdot (A + \bar{C}))$$



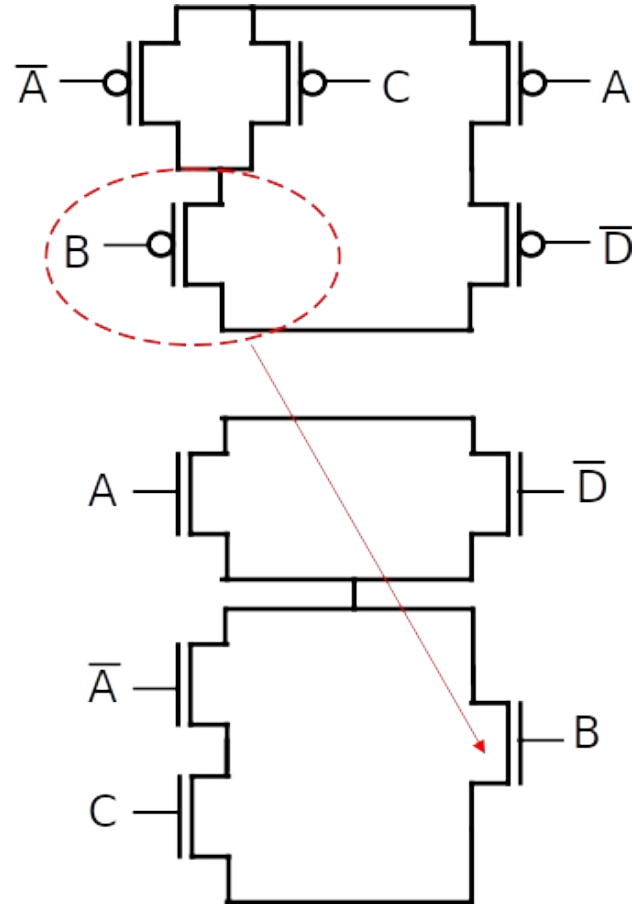
Exemplo 3: método I

$$F = \bar{A} \cdot D + (\bar{B} \cdot (A + \bar{C}))$$



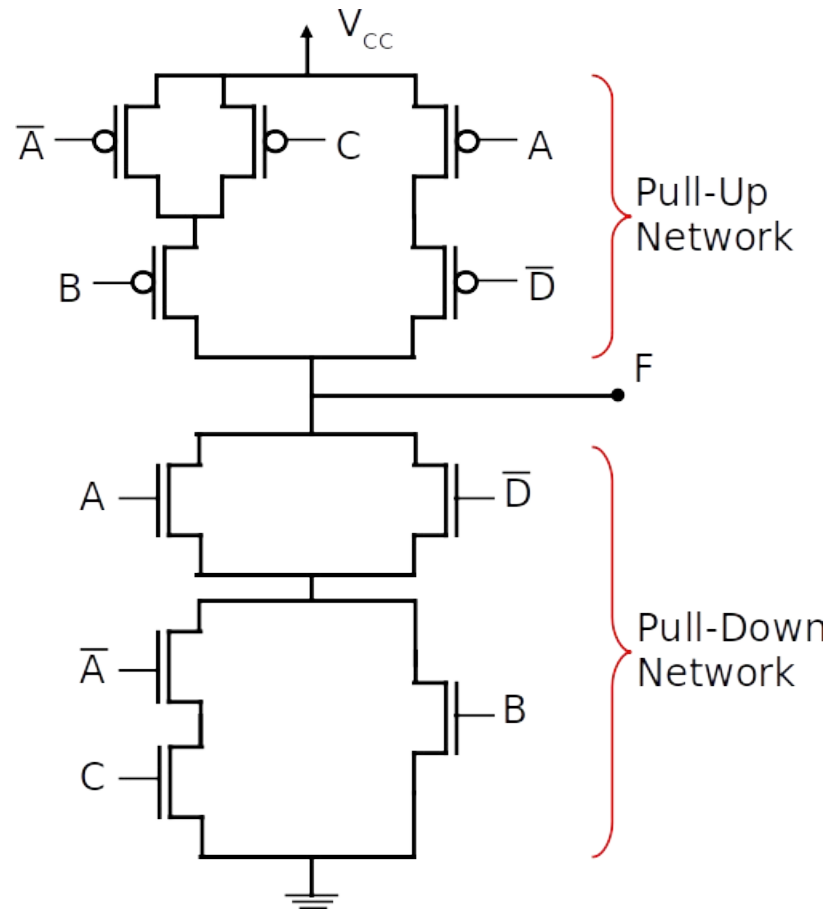
Exemplo 3: método I

$$F = \bar{A} \cdot D + (\bar{B} \cdot (A + \bar{C}))$$



Exemplo 3: método I

$$F = \bar{A} \cdot D + (\bar{B} \cdot (A + \bar{C}))$$



Exercício: Obter circuito CMOS



$$S = (A \cdot (B + \overline{C})) + (\overline{B} \cdot C)$$

<https://docs.google.com/presentation/d/1YqDgFuwM0O8EF6AxgWDdJPpXS5A3VLDXxLbNvPV9nQ/edit?usp=sharing>

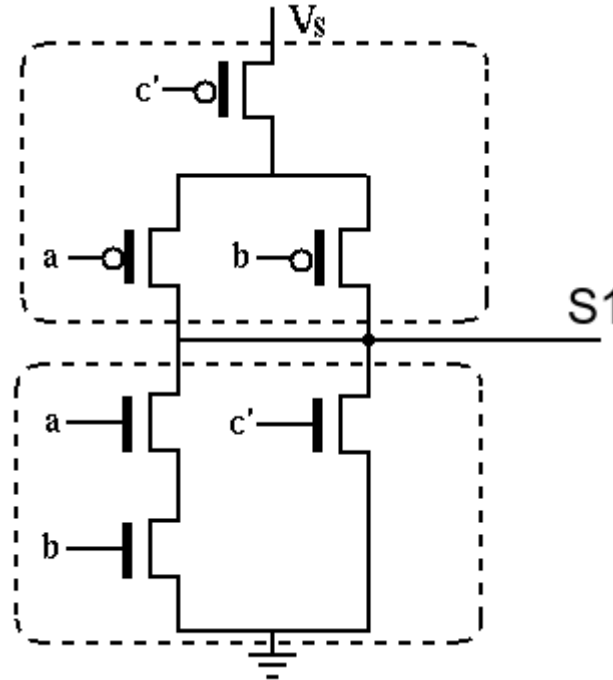
Exercício: Obter circuito CMOS



$$F = \overline{A \cdot \overline{C}} + B$$

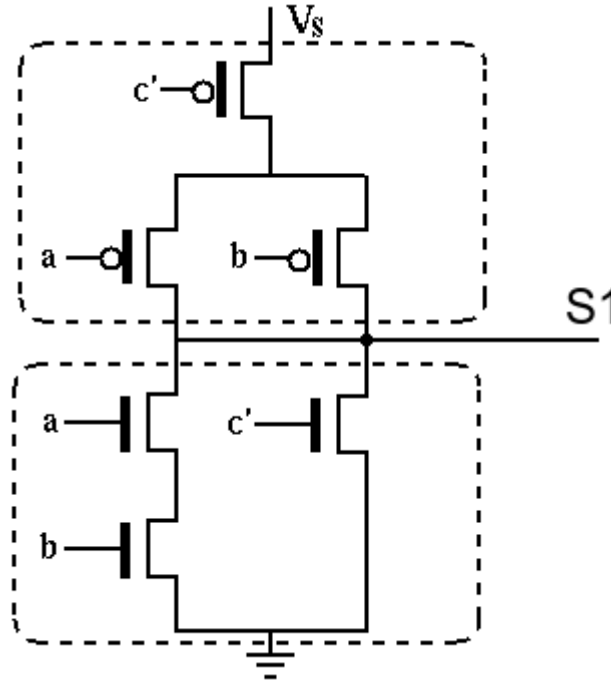
https://docs.google.com/presentation/d/1nuoXe4ih9x6KFPxJMdQz_ONokd86Sw28mJVfnPbeZ6M/edit?usp=sharing

Exercício: Obter tabela verdade



<https://docs.google.com/presentation/d/1wVmJ4jrDr1t4eIAwkzRtREPi4pZ0Co6Nq1hnKIGOOo/edit?usp=sharing>

Exercício: Obter equação



https://docs.google.com/presentation/d/1E1zJCzSFNkeh7hJTX8w_P2FtU_18pyqliqoCRmo_DYw/edit?usp=sharing