

Universitatea
Transilvania
din Braşov

FACULTATEA DE INGINERIE ELECTRICĂ
ŞI ŞTIINŢA CALCULATOARELOR

Sisteme Incorporate

Modulator Audio Controlat prin Ethernet

-proiect-

Profesor îndrumător:

Ş.L. dr. ing. CIOBANU Cătălin Bogdan

Ing. Attila Pál

Student:

Bertescu Andrei – 4LF721

andrei.bertescu@student.unitbv.ro

BRAŞOV, 2025

Universitatea Transilvania din Braşov

Facultatea de Inginerie Electrică şi Ştiinţa Calculatoarelor

Program de studii: Calculatoare

CUPRINS

| | |
|---|-----------|
| Lista figurilor și tabelelor | 3 |
| 1 Rezumat | 4 |
| 2 Introducere | 5 |
| 2.1 Motivul alegerii temei | 5 |
| 2.2 Prezentare platformă | 6 |
| 2.3 Schemă bloc | 7 |
| 2.4 Bill of materials (BOM) | 8 |
| 2.5 Software utilizat | 8 |
| 3 Prezentare generală | 9 |
| 3.1 Calea audio | 9 |
| 3.2 Blocurile de modulare | 11 |
| 3.2.1 Pass-through | 11 |
| 3.2.2 Filtru trece-jos | 11 |
| 3.2.3 Filtru trece-sus | 11 |
| 3.2.4 Filtru trece-bandă | 12 |
| 3.2.5 Filtru oprește-bandă | 12 |
| 3.2.6 Filtru distorsiune | 12 |
| 3.2.7 Filtru tremolo - modulație în amplitudine | 12 |
| 3.3 Dashboard | 13 |
| 4 Montaj | 14 |
| 5 Concluzie | 15 |
| 6 Bibliografie | 16 |

LISTA FIGURILOR ȘI TABELELOR

FIGURI

| | | |
|-----------|---|----|
| Figura 1. | Placa de dezvoltare Nexys Video. | 6 |
| Figura 2. | Schema bloc a configurării FPGA-ului. | 7 |
| Figura 3. | Calea parcursă de semnalul audio pe placa Nexys Video. | 9 |
| Figura 4. | Calea parcursă de semnalul audio în FPGA. | 10 |
| Figura 5. | Spectrul de frecvențe pentru filtrul trece-jos cu frecvența de tăiere de 5 kHz. | 11 |
| Figura 6. | Filtrul de modulație în amplitudine cu frecvența purtătoare de 5 Hz. | 12 |
| Figura 7. | Dashboard-ul de control în modul test. | 13 |
| Figura 8. | Montajul cu proiectul modulator audio. | 14 |

TABELE

| | | |
|------------|----------------------------------|---|
| Tabelul 1. | Bill of materials (BOM). | 8 |
|------------|----------------------------------|---|

1 REZUMAT

Proiectul de față reprezintă un modulator de semnale audio implementat pe un FPGA din familia Artix-7 de la Xilinx, utilizând placa de dezvoltare Nexys Video de la Digilent. Sistemul folosește porturile audio ale plăcii pentru a prelucra un semnal audio cu frecvența de eșantionare de 48 kHz în diverse moduri și pentru a-l transmite ulterior către boxe sau căști. În plus, interfața Ethernet este folosită atât pentru transmiterea semnalului audio digital către un panou de comandă (dashboard), cât și pentru recepționarea setărilor necesare modificării procesării audio.

La celălalt capăt al cablului Ethernet se află un calculator pe care a fost implementat panoul de control în Python. Acesta permite monitorizarea semnalelor pe ambele canale, atât în domeniul timp, cât și în domeniul frecvență, și oferă acces la toate setările modulatorului printr-o interfață intuitivă. Utilizatorul poate ajusta amplitudinea, domeniul de vizualizare și diverși parametri pentru a observa cât mai clar semnalele audio.

Modulatorul configurat în FPGA poate executa o gamă largă de funcții: controlul volumului, introducerea de întârzieri pe fiecare canal, filtre trece-jos, trece-sus, trece-bandă și oprește-bandă, modulație în amplitudine și adăugarea de distorsiuni.

Configurația FPGA-ului include și mai multe module auxiliare pentru inițializarea și operarea corectă a plăcii. În FPGA sunt implementate generatoare de ceas pentru interfețele audio, Ethernet și pentru uz intern, un modul pentru configurarea inițială a cipului PHY responsabil de interfața Ethernet, precum și un modul pentru configurarea codec-ului audio. Aceste module funcționează prin iterarea unei liste de comenzi predefinite, transmise secvențial prin interfețele de configurare.

2 INTRODUCERE

Proiectul implementează un modulator de semnale audio controlat prin Ethernet, realizat pe placa de dezvoltare Nexys Video, care integrează un FPGA din familia Artix-7. Sistemul preia un semnal audio printr-un cablu AUX, îl procesează conform setărilor primite de la un dashboard rulând pe un calculator conectat prin Ethernet, iar apoi transmite semnalul modificat către boxe externe sau căști.

Pe lângă cipul principal FPGA, proiectul utilizează două circuite externe pentru interfațarea cu dispozitivele periferice: codec-ul audio și cipul PHY responsabil de conexiunea Ethernet.

Operațiile de modificare posibile ale semnalului audio includ:

- Filtrele elementare: trece-sus, trece-jos, trece-banda, oprește-banda.
- Modulație în amplitudine.
- Controlul volumului pentru fiecare canal.
- Introducerea de întârzieri pe fiecare canal.
- Aplicare de distorsiuni.

Dashboard-ul de control permite monitorizarea în timp real a semnalelor audio pe ambele canale, atât în domeniul timp, cât și în domeniul frecvență, folosind transformata Fourier rapidă (FFT) [1]. Utilizatorul poate ajusta amplitudinea și fereastra de timp pentru o vizualizare optimă a semnalelor.

2.1 MOTIVUL ALEGERII TEMEI

Tema a fost aleasă pentru a demonstra capacitatea unui FPGA de a implementa circuite de procesare a semnalelor eficiente din punct de vedere al consumului de energie și cu latență redusă, precum și modul în care acesta poate integra o varietate de interfețe de comunicație într-o arhitectură flexibilă și modulară.

Totodată, proiectul a reprezentat o oportunitate de aprofundare a procesării audio, de învățare a modului de operare și programare a circuitelor externe, precum și de înțelegerea interfețelor Ethernet, MDIO, RGMII, I²C și I²S.

2.2 PREZENTARE PLATFORMĂ

Platforma utilizată în proiect este placa de dezvoltare Nexys Video, produsă de Digilent [2] și ilustrată în Figura 1. Aceasta integrează ca dispozitiv principal FPGA-ul XC7A200T-1SBG484C din familia Artix-7, dezvoltată de Xilinx (parte a AMD). FPGA-ul oferă 215,360 elemente logice, 13,140 Kb de memorie BRAM și 740 blocuri DSP [3], caracteristici care îl fac potrivit pentru aplicații de interfațare și procesare digitală a semnalelor.

Pe lângă FPGA, Nexys Video include o gamă variată de interfețe și porturi I/O. În cadrul proiectului au fost utilizate următoarele: interfața Ethernet, împreună cu cipul PHY RTL8211E-VL [4], un transceiver Gigabit produs de Realtek; două dintre porturile audio de intrare/ieșire, controlate de codec-ul ADAU1761 [5] de la Analog Devices; un buton tactil pentru realizarea funcției de reset, precum și circuitele implicite de programare și alimentare ale plăcii (sursă externă de 12 V, 3 A).

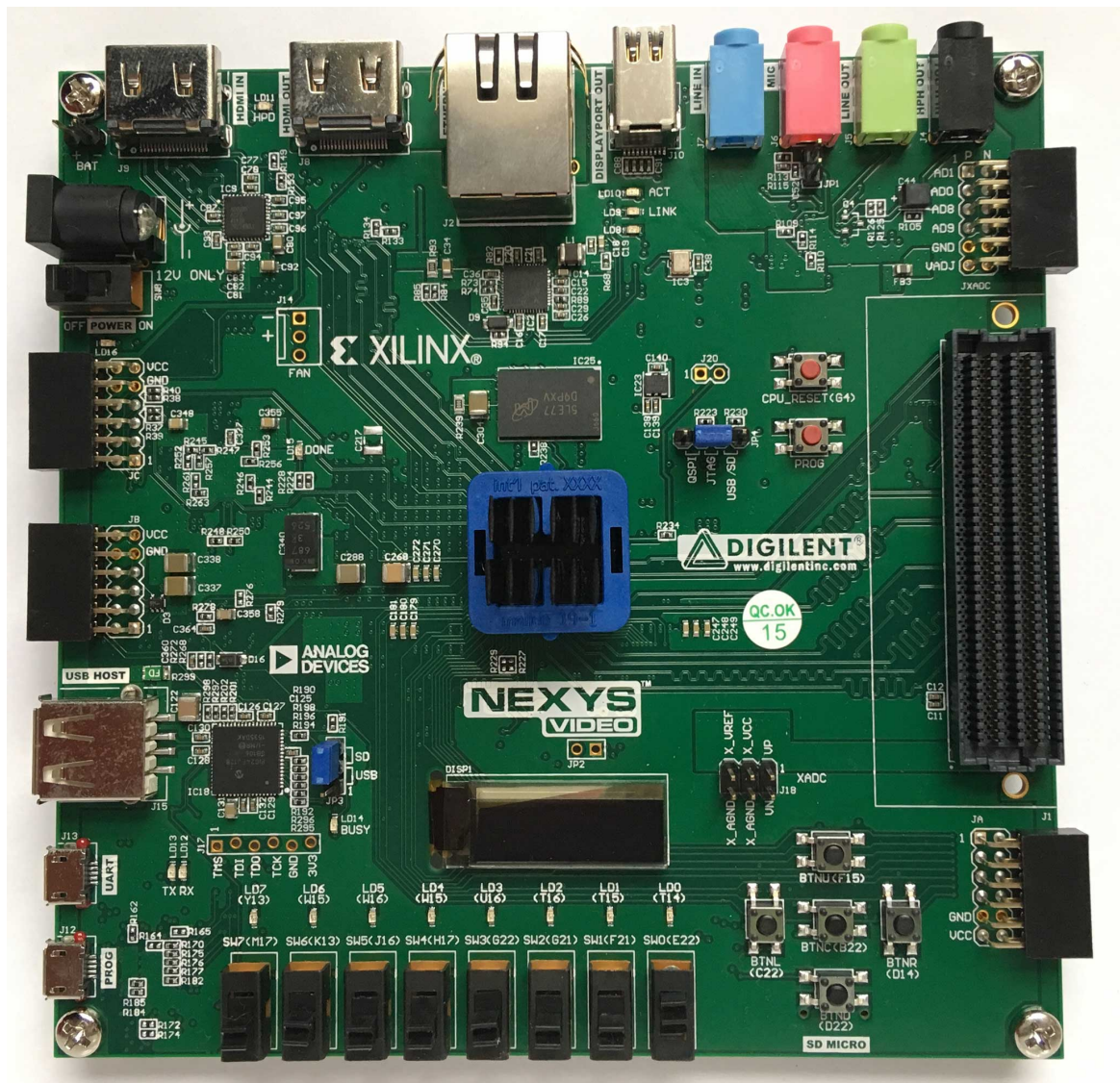


Figura 1. Placa de dezvoltare Nexys Video.

2.3 SCHEMĂ BLOC

Schema bloc a modului principal este prezentată în Figura 2. Aceasta include:

- **Blocul generator de ceasuri.** Conține mai multe IP-uri și divizoare de frecvență care generează, din ceasul principal de 100 MHz, semnalele necesare interfețelor Ethernet (25 MHz) și audio (30.72 MHz, 3.072 MHz, 48 kHz și 12.288 MHz).
- **Blocul audio modulator.** Integrează interfața I²S [6] pentru recepția și transmiterea mostrelor audio, două memorii buffer pentru stocarea acestora și toate modulele de procesare (filtre, modulații, întârzieri, distorsiuni).
- **Blocul de configurare al audio codec-ului.** Utilizează interfața I²C pentru a seta registrul intern de control al cipului ADAU1761.
- **Blocul de configurare al cipului PHY.** Utilizează interfața MDIO (similară ca structură cu I²C) pentru configurarea registrelor interne ale transceiver-ului Ethernet RTL8211E-VL.
- **Blocul de transmisie RGMII** [7]. Trimite mostrele audio procesate către calculator, unde sunt afișate în dashboard. Semnalul RGMII este convertit în Ethernet de către cipul PHY.
- **Blocul de recepție RGMII.** Primește pachetele de configurare trimise din dashboard și actualizează registrele interne care controlează funcționarea modulatorului audio.

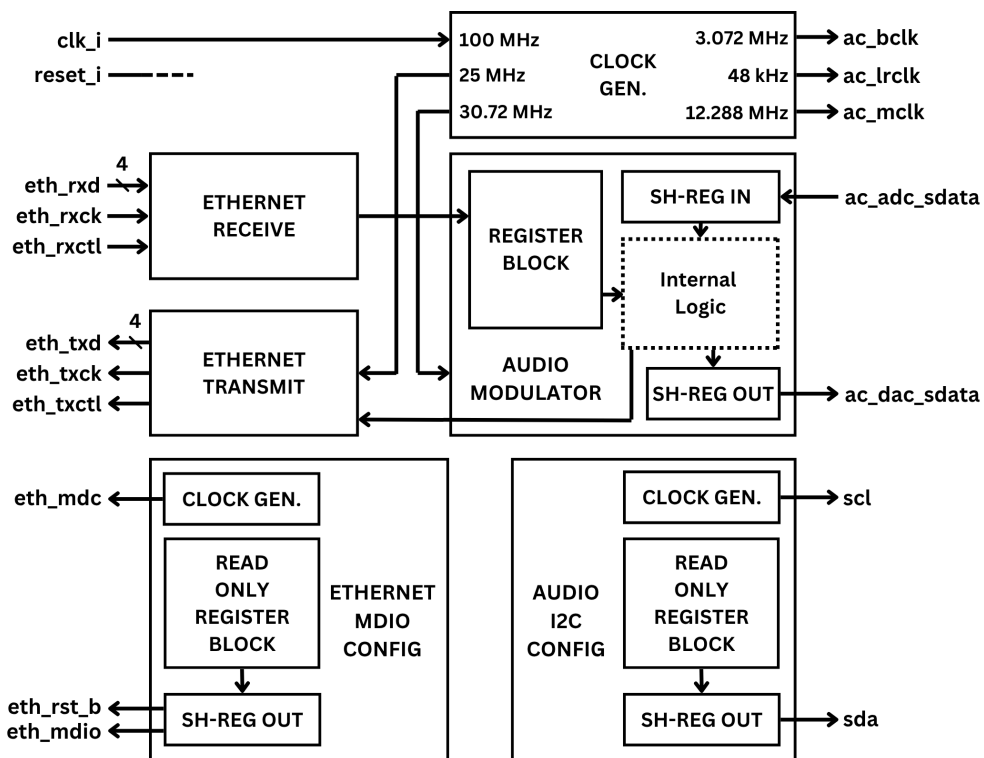


Figura 2. Schema bloc a configurării FPGA-ului.

2.4 BILL OF MATERIALS (BOM)

Lista componentelor utilizate este prezentată în Tabelul 1. În afară de placa Nexys Video, proiectul nu necesită alte circuite active. Au fost folosite două cabluri (Ethernet și audio-in), o pereche de căști pentru monitorizarea semnalelor audio și un calculator pentru operarea dashboard-ului.

Tabelul 1. Bill of materials (BOM).

| Nume | Sursa | Preț - RON |
|-------------------------|------------------|-------------|
| Nexys Video | www.digilent.com | 2407 |
| Cablu jack 3.5 mm AUX | www.emag.ro | 6 |
| Cablu de rețea UTP Cat6 | www.emag.ro | 9 |
| Calculator personal | - | - |
| Căști cu cablu AUX | - | - |
| Total | - | 2422 |

2.5 SOFTWARE UTILIZAT

Pentru dezvoltarea și programarea configurației FPGA a fost utilizat AMD Vivado 2024.1. Dashboard-ul de control a fost implementat în Python 3.13.3, folosind mediul de dezvoltare Py-Charm 2024.3.4. Imaginile și schemele bloc au fost realizate cu ajutorul platformei Canva.com, iar o parte din măsurători au fost efectuate cu osciloscopul HDO9404-MS de la Teledyne LeCroy.

3 PREZENTARE GENERALĂ

La resetarea FPGA-ului, fie la alimentare, fie prin apăsarea butonului de reset, sunt pornite modulele dedicate configurării cipului audio codec și ale cipului PHY. Sistemul așteaptă stabilizarea generatoarelor de ceas, după care sunt resetate cipurile externe și se programează regiștrii interni ai fiecăruia folosind interfețele I²C [8] și, respectiv, MDIO [9].

După finalizarea inițializării, sistemul intră în modul de funcționare activă. În această stare, semnalul audio circulă prin modulul audio_modulator, este procesat conform setărilor alese și ulterior transmis înapoi către audio codec. În paralel, mostrele audio sunt transmise prin interfața Ethernet către calculator, unde sunt afișate în dashboard, iar eventualele modificări ale parametrilor de funcționare sunt recepționate și aplicate în timp real.

3.1 CALEA AUDIO

Calea parcursă de semnalul audio pe placa Nexys Video este prezentată în Figura 3. În partea stângă sus a imaginii se regăsesc cei doi pini ai portului AUX, corespunzători canalelor stânga și dreapta. Semnalele analogice intră în audio codec, unde trec printr-un amplificator controlat în tensiune (PGA) setat la -6dB. Ulterior, sunt direcționate printr-un mixer de selecție a intrării și transformate în monstre digitale pe 24 de biți de către două convertoare Analog-Digital (ADC).

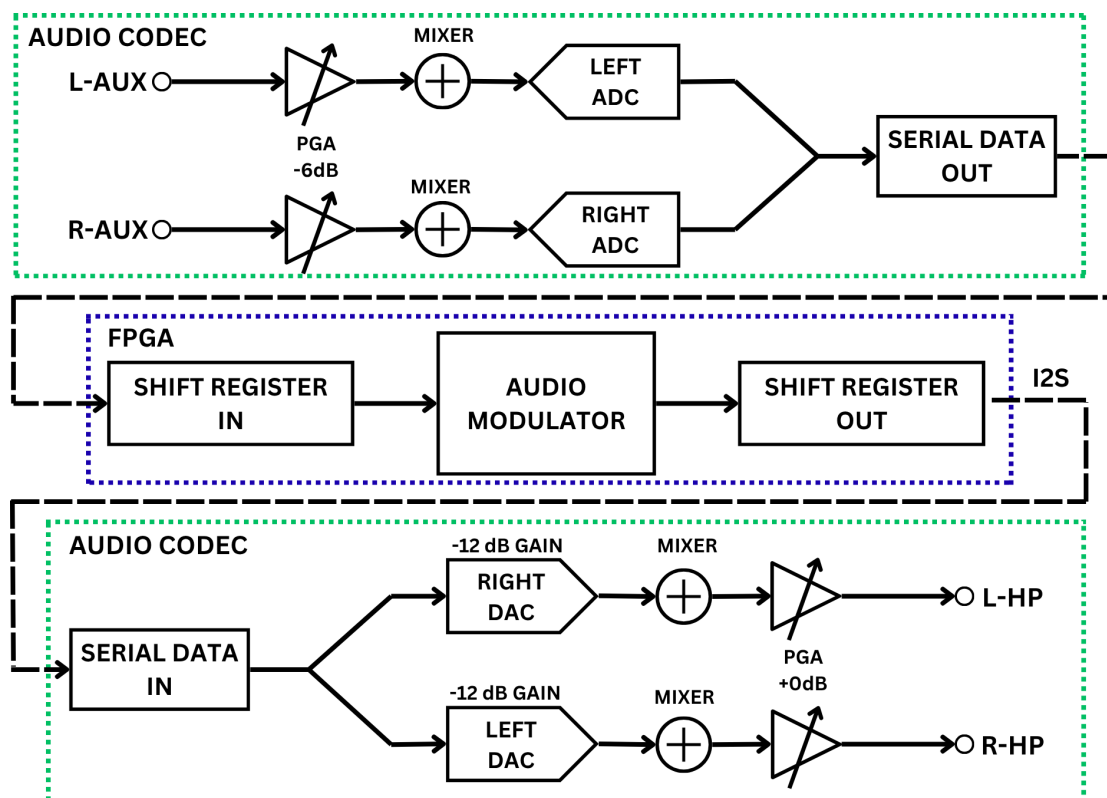


Figura 3. Calea parcursă de semnalul audio pe placa Nexys Video.

Datele digitale rezultate sunt transmise prin interfața I²S către FPGA, unde sunt prelucrate de modulul audio_modulator. Semnalul modificat este apoi trimis înapoi prin aceeași interfață către codec, unde parcurge operațiile inverse: conversia Digital-Analog (DAC), aplicarea unei atenuări de -12dB, trecerea prin mixerul de ieșire și amplificarea finală setată la 0dB.

Calea internă parcursă de semnal în modulul Verilog audio_modulator este ilustrată în Figura 4. După ce cadrele I²S sunt prelucrate, semnalul este injectat în modulele de procesare configurabile. Parametrii fiecărui modul pot fi modificați prin regiștri actualizați de dashboard, iar ieșirile sunt rutate către un mixer de selecție împreună cu semnalul original. Mixerul alege componenta finală în funcție de un registru dedicat.

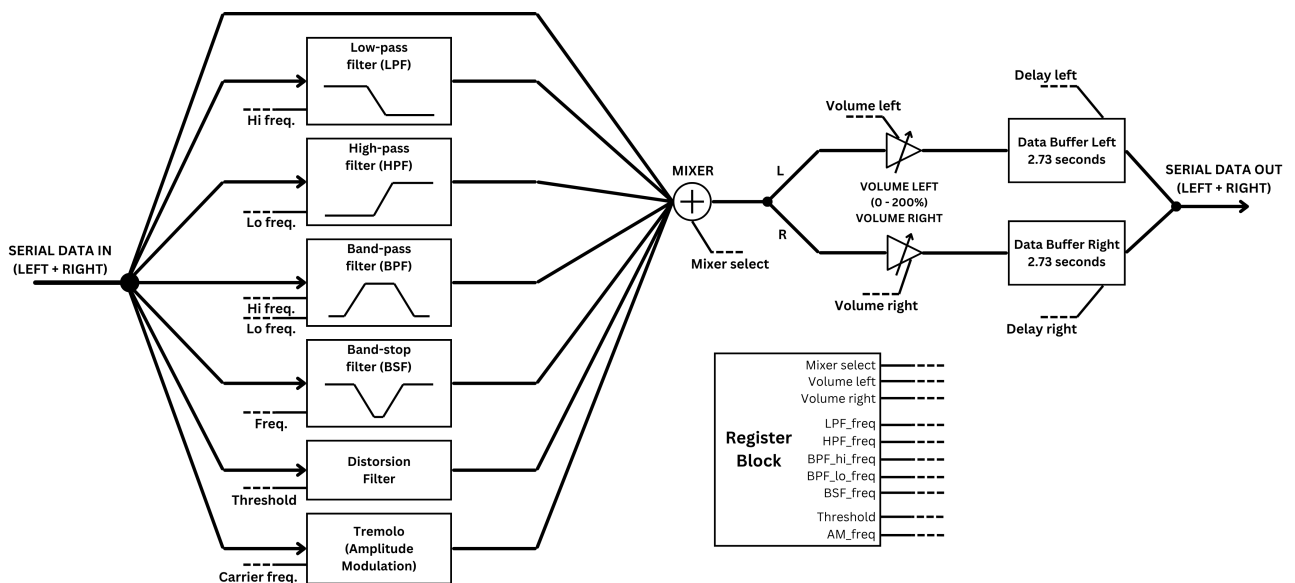


Figura 4. Calea parcursă de semnalul audio în FPGA.

Înainte de mixer se află două amplificatoare digitale, capabile să atenueze complet semnalul sau să îl amplifice până la un factor de 2 (strict în domeniul digital). Urmează buffer-ele de întârziere, implementate ca FIFO-uri cu capacitate de până la 2^{17} monstre. Pointerul de citire este programabil, ceea ce permite introducerea unei întârzieri maxime de aproximativ 2.73s. Ieșirea este apoi trecută printr-un shift-register și trimisă înapoi către codec.

Toți regiștrii de configurare sunt grupați într-un tablou care se actualizează la recepția fiecărei tranzații Ethernet valide. Aceștia stochează selecția mixer-ului, frecvențele de tăiere ale filtrelor, frecvența de modulație în amplitudine, precum și volumul și întârzierea asociate fiecărui canal.

3.2 BLOCURILE DE MODULARE

În această secțiune sunt ilustrate modulele folosite pentru modificarea semnalului audio.

3.2.1 Pass-through

Semnalul nu este modificat în niciun fel, fiind direcționat direct către mixer. Parametrii care controlează comportamentul modulelor au fost calculați pe calculator și trimiși la FPGA în format fixed-point, pentru a reduce complexitatea. De asemenea, cele două canale audio au fost multiplexate în timp la intrarea modulelor pentru a economisi resurse de logice și DSP-uri.

3.2.2 Filtru trece-jos

Acest modul lasă să treacă frecvențele aflate sub un prag și atenuează frecvențele superioare. Ecuația utilizată este:

$$y[n] = \alpha \cdot x[n] + (1 - \alpha) \cdot y[n - 1]$$

Unde α este:

$$\alpha = 1 - e^{-2\pi \frac{f_{taiere}}{f_{esantionare}}}$$

Frecvența de eșantionare este de 48 kHz. Pentru a obține o pantă mai abruptă, filtrul a fost cascadat de două ori (ieșirea primului filtru intră în al doilea). Un exemplu este ilustrat în Figura 5.

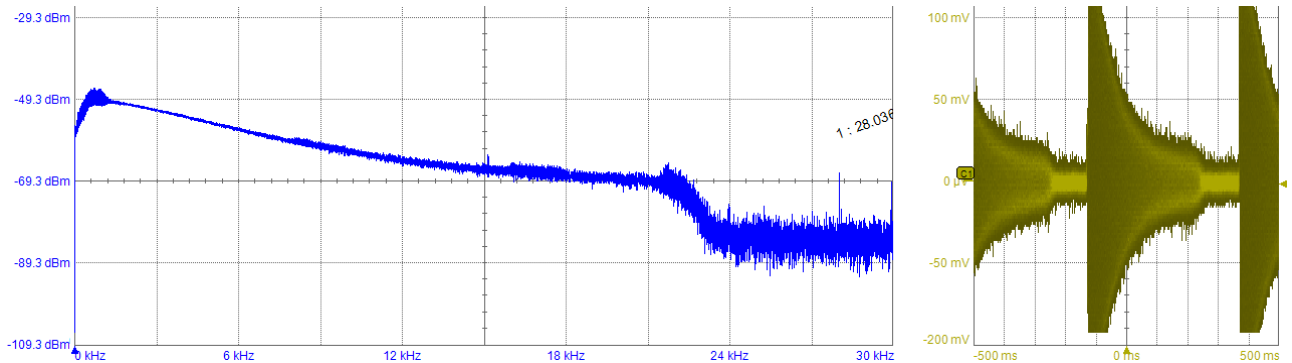


Figura 5. Spectrul de frecvențe pentru filtrul trece-jos cu frecvența de tăiere de 5 kHz.

3.2.3 Filtru trece-sus

Acest modul lasă să treacă frecvențele înalte și atenuează frecvențele joase. La fel ca filtrul trece-jos, este implementat în două etape cascade. Ecuația utilizată este:

$$y[n] = \alpha \cdot y[n - 1] + \frac{(1 + \alpha)}{2} \cdot (x[n] - x[n - 1])$$

Unde α este:

$$\alpha = \frac{1 - k}{1 + k}, k = \tan\left(\pi \frac{f_{taiere}}{f_{esantionare}}\right)$$

3.2.4 Filtru trece-bandă

Filtrul obținut prin aplicarea în lanț a unui filtru trece-jos și a unui trece-sus:

$$y_{\text{trece-banda}}[n] = y_{\text{trece-sus}}(y_{\text{trece-jos}}(x[n]))$$

Parametrii α_{jos} și α_{sus} stabilesc intervalul de frecvențe transmis fără atenuare.

3.2.5 Filtru oprește-bandă

Acest modul atenuează un interval restrâns de frecvențe, lăsând restul neatenuat:

$$y[n] = (x[n] + x[n-2] - \alpha \cdot x[n-1]) + (\alpha R \cdot y[n-1] - R^2 \cdot y[n-2])$$

Unde R controlează lățimea benzii eliminate (setat la câțiva Hz), iar α este:

$$\alpha = 2 \cos\left(2\pi \frac{f_{taiere}}{f_{esantionare}}\right)$$

3.2.6 Filtru distorsiune

O simplă limitare a semnalului de o intensitate mai mare decât un prag, la pragul respectiv:

$$y[n] = \begin{cases} prag, & x > prag, \\ -prag, & x < -prag, \\ x[n], & \text{altfel} \end{cases}$$

3.2.7 Filtru tremolo - modulație în amplitudine

Intensitatea semnalului audio este variată între 0 și 1 cu o frecvență prestabilită:

$$y[n] = x[n] \cdot \sin(\alpha)$$

Unde α reprezintă frecvența purtătoare. Valorile sinusului au fost pre-calculat și stocate într-o memorie BRAM de 1024 de elemente. Aceste valori sunt normalizate în intervalul 0-1, iar parcurgerea lor se face cu un pas diferit în funcție de α , astfel încât frecvența efectivă a modulației să corespundă valorii setate. Un exemplu este prezentat în Figura 6.

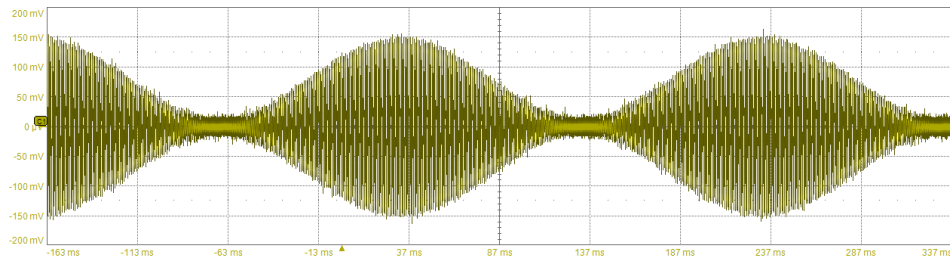


Figura 6. Filtrul de modulație în amplitudine cu frecvența purtătoare de 5 Hz.

3.3 DASHBOARD

Dashboard-ul este ilustrat în Figura 7. Acesta a fost dezvoltat în Python, utilizând bibliotecile NumPy, PyQt6 și Scapy. Aplicația rulează două fire de execuție active: unul se ocupă de recepția și transmiterea datelor prin interfața Ethernet, iar celălalt gestionează afișajul GUI. Cele două fire comunică printr-un buffer de date, prevenind astfel eventualele probleme de sincronizare.

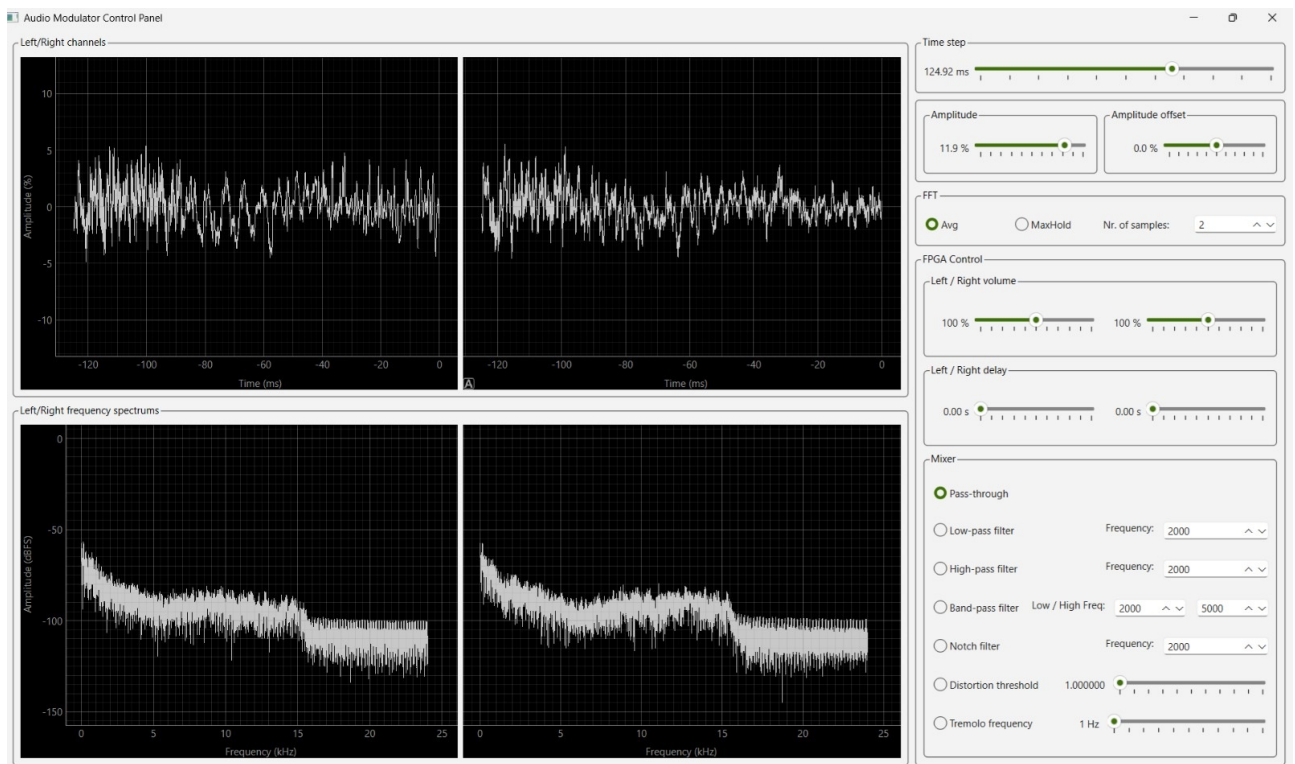


Figura 7. Dashboard-ul de control în modul test.

4 MONTAJ

Montajul proiectului este prezentat în Figura 8. Acesta include placa Nexys Video în stânga, alimentată printr-o sursă externă de 12 V 3 A, conectată la un calculator prin Ethernet și portul audio. În plus, placa este conectată la o pereche de căști pentru redarea semnalului audio modificat.

Calculatorul transmite semnalul audio către placă și monitorizează procesarea acestuia prin dashboard-ul afișat pe ecran, permițând vizualizarea în timp real și modificarea parametrilor modulatorului.

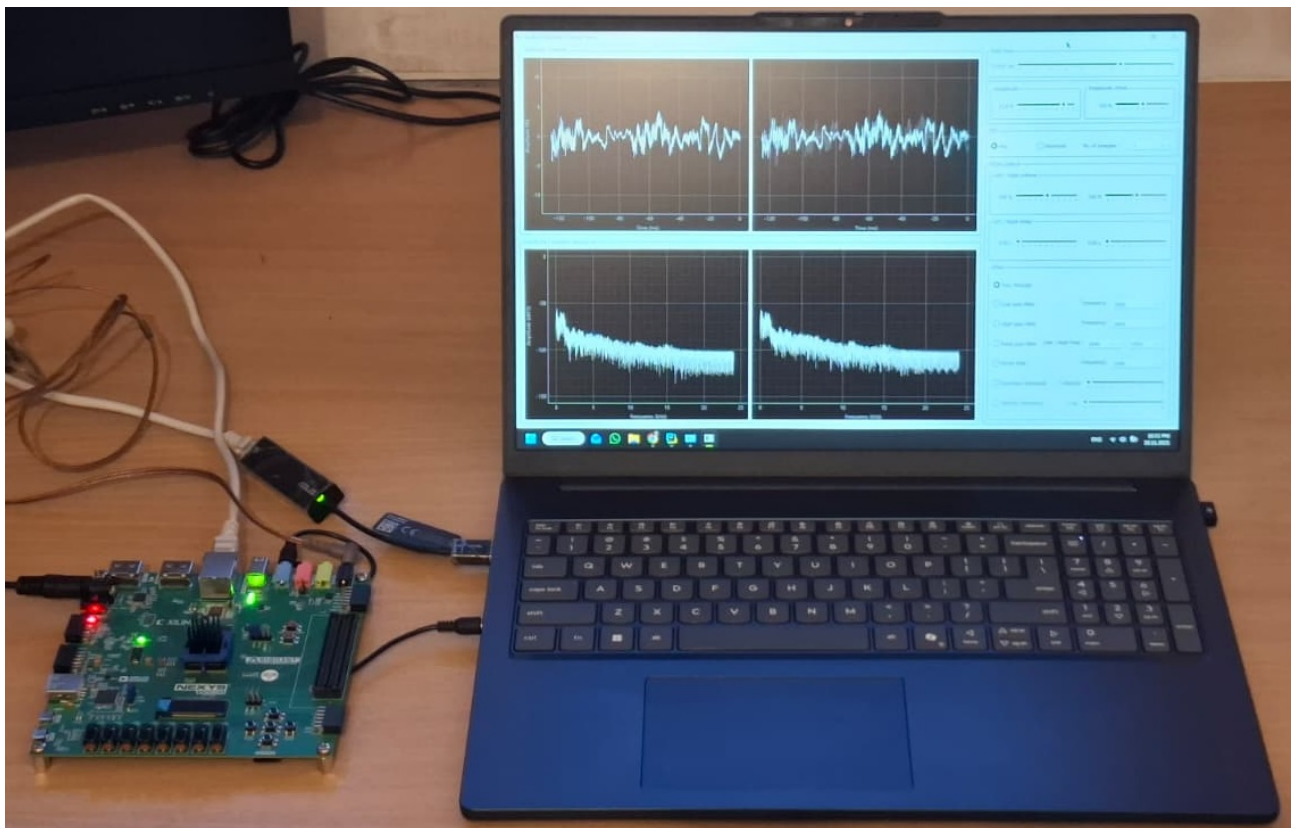


Figura 8. Montajul cu proiectul modulator audio.

5 CONCLUZIE

În cadrul acestui proiect, am demonstrat posibilitatea implementării de la zero, într-un limbaj de descriere hardware (HDL), a diferitelor interfețe de comunicație seriale, precum și a unor metode diverse de procesare a semnalelor digitale.

Proiectul a permis acumularea de cunoștințe aprofundate despre procesarea semnalelor și despre protocoalele de comunicație Ethernet prin RGMII, precum și despre interfețele I²S, I²C și MDIO. De asemenea, am dezvoltat abilități în programarea Python, atât pentru crearea unei interfețe GUI intuitive, cât și pentru transmiterea și recepția pachetelor Ethernet.

Deși implementarea a fost un succes, există și limitări. Funcționarea plăcii Nexys Video depinde de o conexiune Ethernet corect configurată și de un calculator capabil să ruleze aplicația Python care generează dashboard-ul. Fără aceste elemente, modul de control al modulatorului nu este disponibil, iar semnalele audio rămân nemodificate. În plus, spectrul de frecvențe afișat este calculat pe calculator, și nu direct în hardware-ul FPGA, ceea ce ar fi mai eficient.

Cu toate acestea, proiectul a fost funcțional și stabil, testat cu diferite tipuri de semnal audio și pe mai multe dispozitive. Toate filtrele și modulele de modulare au răspuns corect în timp și frecvență, iar transferul de date prin Ethernet a rămas stabil pe perioade îndelungate.

6 BIBLIOGRAFIE

- [1] MathWorks Inc., *fft — Fast Fourier Transform*, Accessed: 2025-11-21, MathWorks, 2025. adresa: <https://www.mathworks.com/help/matlab/ref/fft.html>.
- [2] Digilent, *Nexys Video FPGA Board Reference Manual / Start Page*, Accessed: 2025-11-21, 2020. adresa: https://digilent.com/reference/programmable-logic/nexys-video/start?srsltid=AfmB0oqmUrnqncWCrfgUxvuX5EGr5Bbd42oJ7k01Ahvq7T5Qs0Uv__he.
- [3] Xilinx, *7 Series Product Tables and Product Selection Guide (XMP101)*, Revision 1.8. Accessed: 2025-11-21, 2021. adresa: <https://docs.amd.com/v/u/en-US/7-series-product-selection-guide>.
- [4] Realtek Semiconductor Corp., *RTL8211E(VB)(VL)/CG Integrated 10/100/1000M Ethernet Transceiver Datasheet Rev. 1.6*, Accessed: 2025-11-21, 2012. adresa: https://files.pine64.org/doc/datasheet/pine64/rtl8211e%28g%29-vb%28v1%29-cg_datasheet_1.6.pdf.
- [5] Analog Devices, *ADAU1761: Audio Codec Datasheet*, Accessed: 2025-11-21, 2015. adresa: <https://www.analog.com/media/en/technical-documentation/data-sheets/adau1761.pdf>.
- [6] NXP Semiconductors, *I²S Bus Specification User Manual (UM11732)*, Rev. 3.0 – 17 February 2022. Accessed: 2025-11-21, 2022. adresa: <https://docs.nxp.com/docs/en/user-manual/UM11732.pdf>.
- [7] Intel, *RGMII (Reduced Gigabit Media-Independent Interface)*, Accessed: 2025-11-21, Intel, 2022. adresa: <https://www.intel.com/content/www/us/en/docs/programmable/683360/18-0/rgmii.html>.
- [8] Texas Instruments, *A Basic Guide to I²C (Application Note SBAA565)*, November 2022. Accessed: 2025-11-21, 2022. adresa: https://www.ti.com/lit/an/sbaa565/sbaa565.pdf?ts=1763641605536&ref_url=https%253A%252F%252Fwww.bing.com%252F.
- [9] NXP Semiconductors, *MDIO Interface — Application Note AN14509*, Accessed: 2025-11-21, 2013. adresa: https://docs.nxp.com/bundle/AN14509/page/topics/mdio_interface.html.