

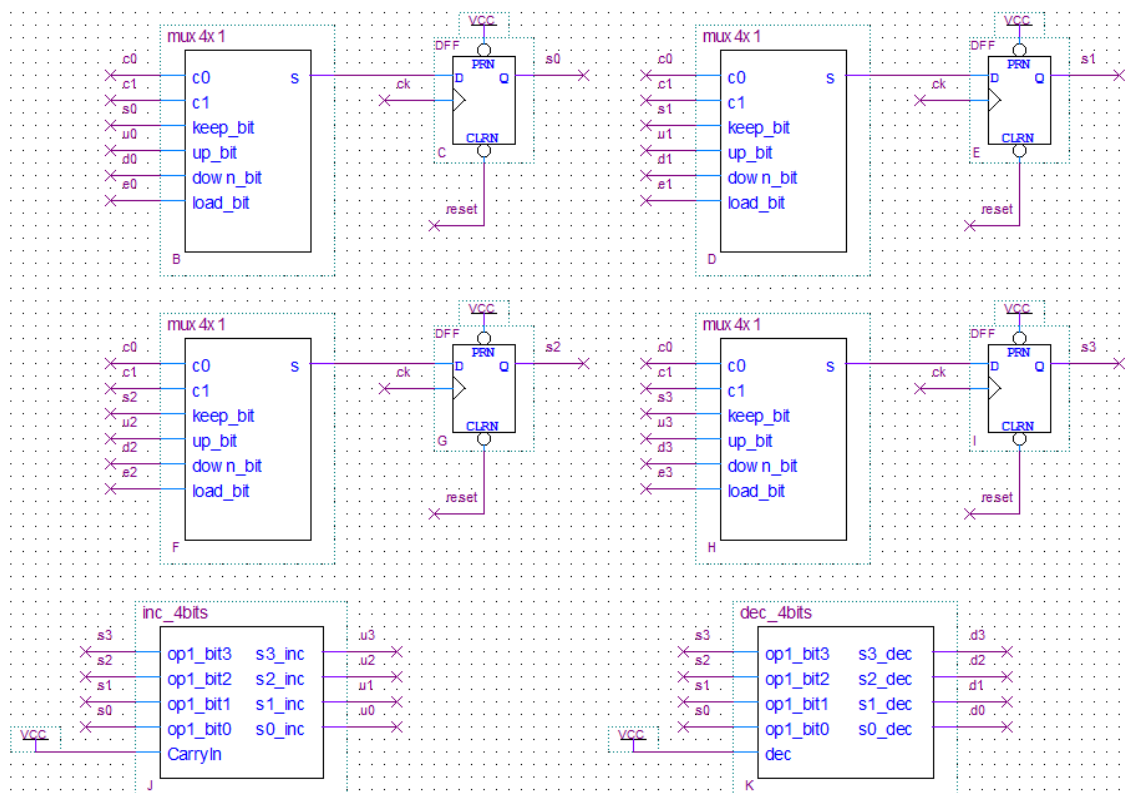
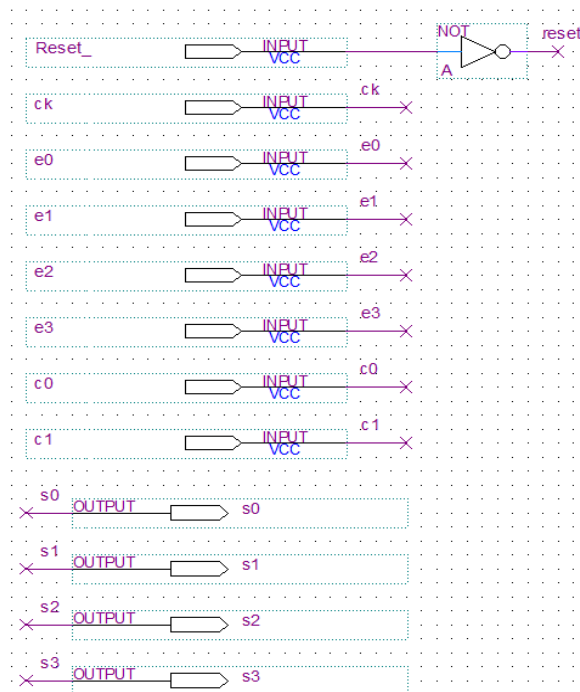
## Parte 2 (5 pontos)

Projeto de um **contador síncrono** de 4 bits com 4 configurações de operação:

C1	C0	Operação
0	0	Mantém a saída inalterada ( <i>keep</i> )
0	1	Incrementa o contador +1 ( <i>up counter</i> )
1	0	Decrementa o contador -1 ( <i>down counter</i> )
1	1	Carrega a entrada D (4 bits) do contador ( <i>load</i> )

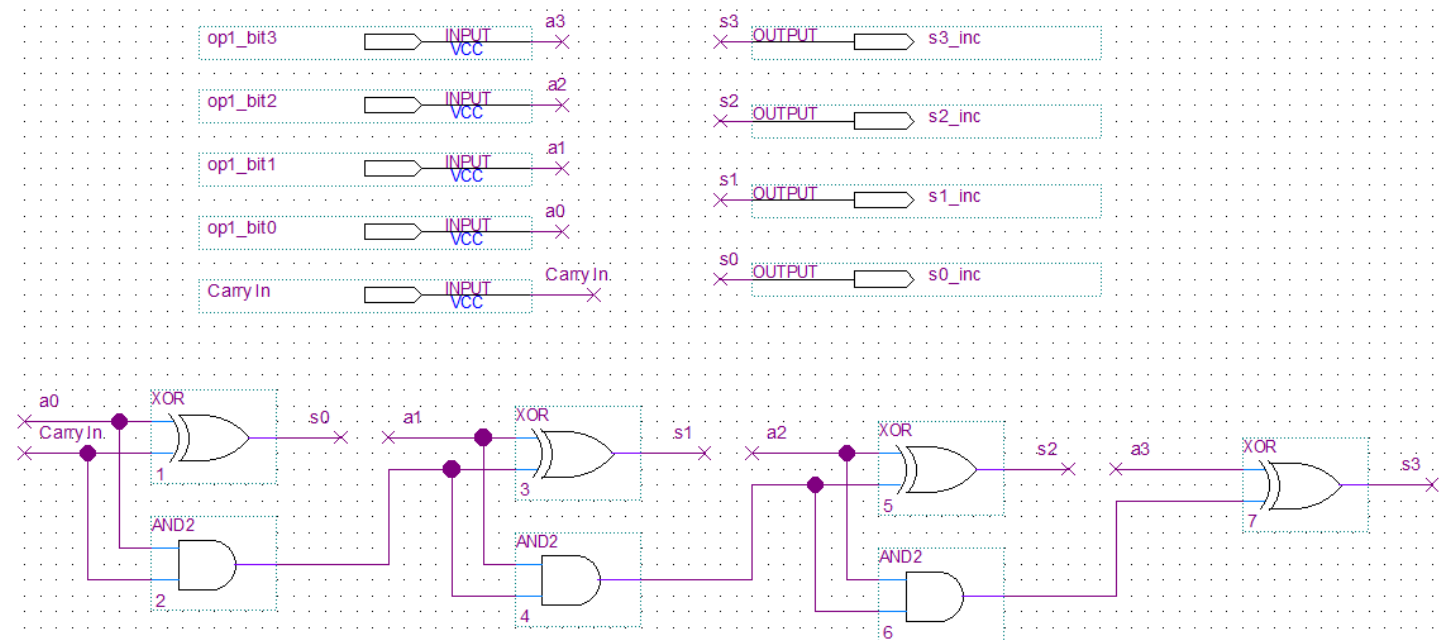
### 1 - DESCRIÇÃO DOS CIRCUITOS DO CONTADOR SÍNCRONO

Nas duas imagens abaixo, segue a visão geral do circuito utilizado.

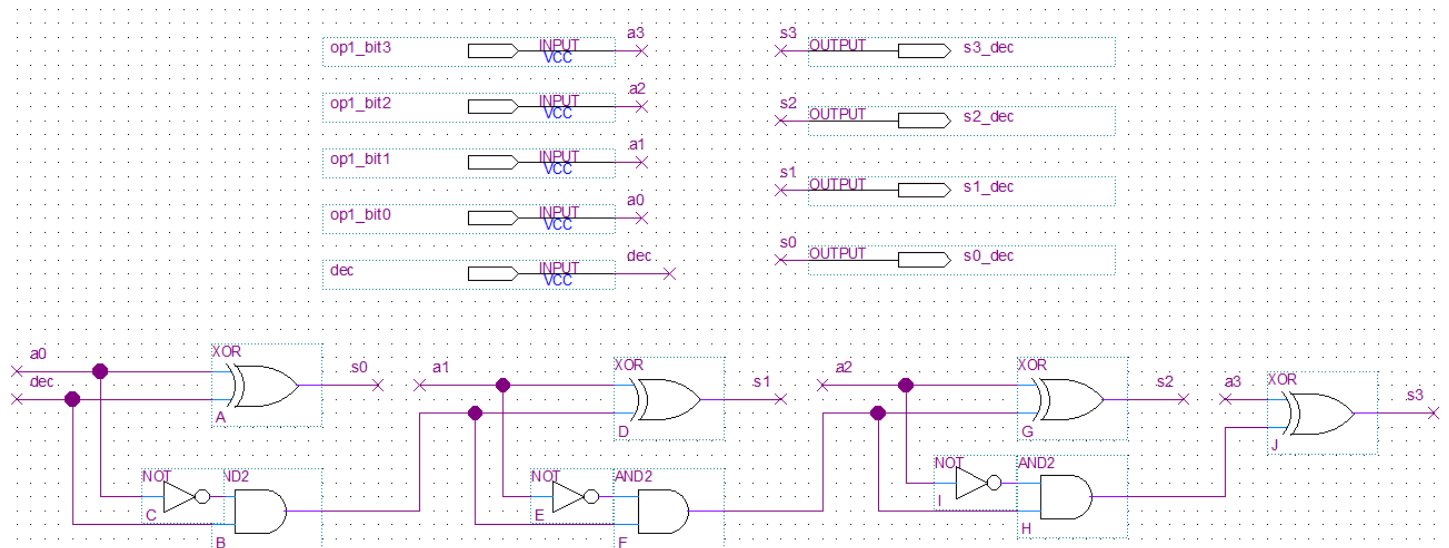


Utiliza-se quatro multiplexadores 4x1 (um para cada bit do valor de saída). Por meio dos bits de controle c1 e c0, é decidido (por meio dos multiplexadores) qual das quatro operações terá seu resultado transferido para a saída final do circuito. A saída de cada multiplexador é conectada na entrada D do seu respectivo flip-flop tipo D.

Abaixo, visualizamos a implementação do circuito **inc\_4bits**, que é utilizado para incrementar o operando em uma unidade. Foi implementado um circuito somador simplificado.



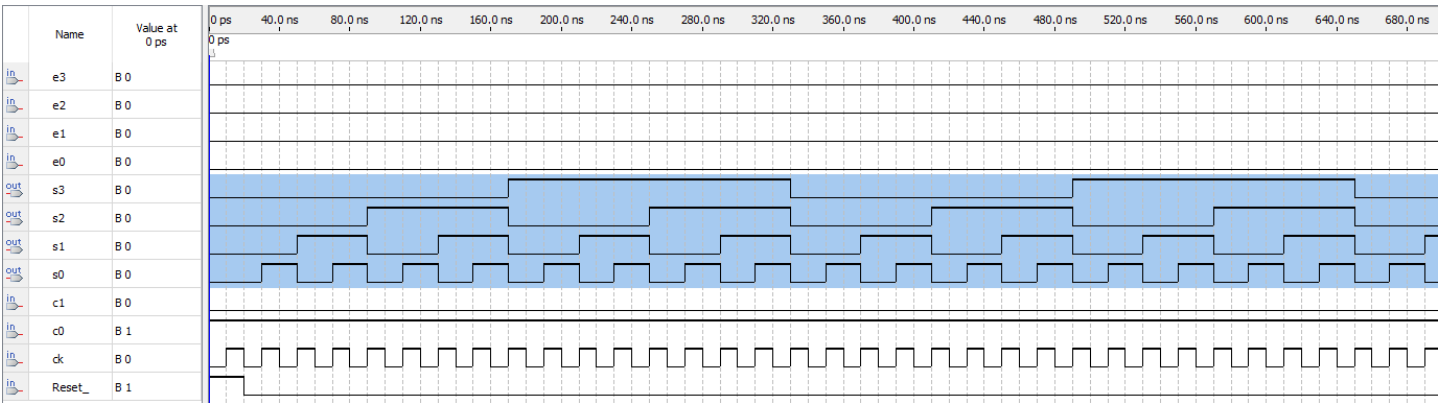
Em seguida, visualizamos a implementação do circuito **dec\_4bits**, que é utilizado para decrementar o operando em uma unidade. Foi implementado um circuito subtrator simplificado.



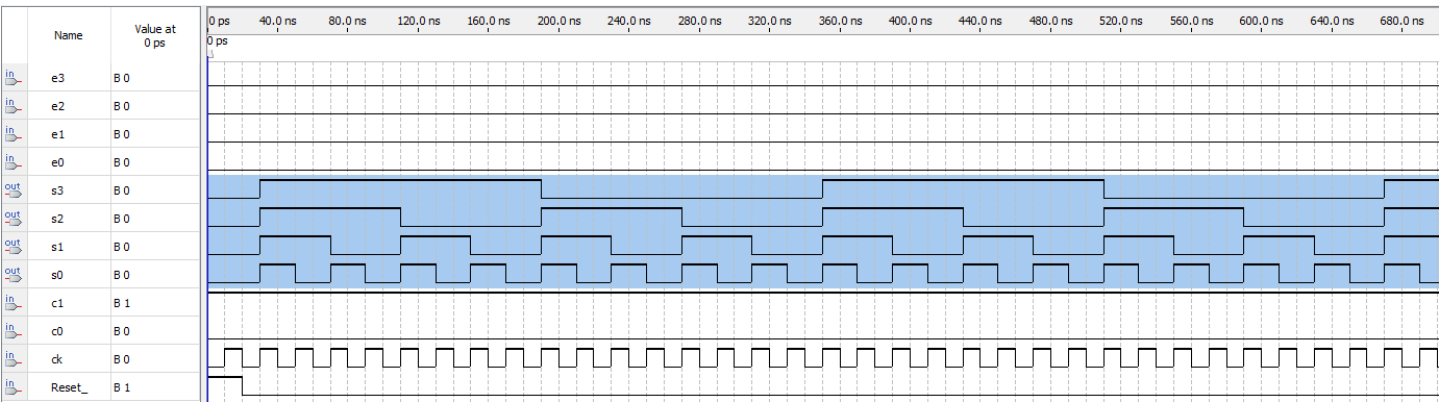
2 - SIMULAÇÕES DO CONTADOR SÍNCRONO

As formas de onda que correspondem aos bits da saída serão demarcadas em azul, em cada simulação. Para todas as simulações, foi utilizado um sinal de clock com período igual a 20.0 ns.

Nessa primeira simulação, os bits de controle c1 e c0 foram mantidos em 01 durante todo o intervalo de tempo, fazendo com que fosse realizada uma contagem progressiva iniciando em 0000.

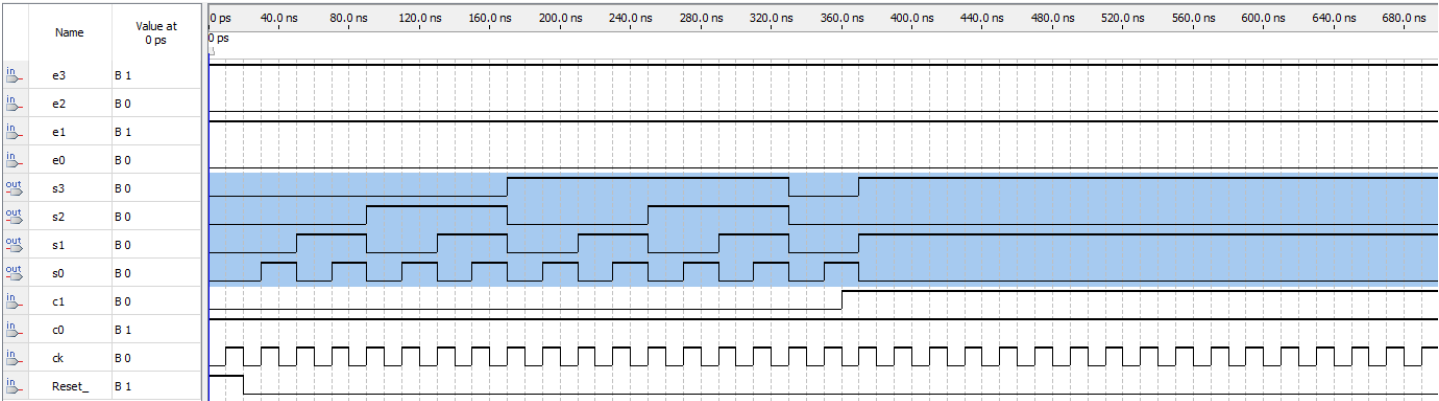


Nessa segunda simulação, os bits de controle c1 e c0 foram mantidos em 10 durante todo o intervalo de tempo, fazendo com que fosse realizada uma contagem regressiva iniciando em 0000.

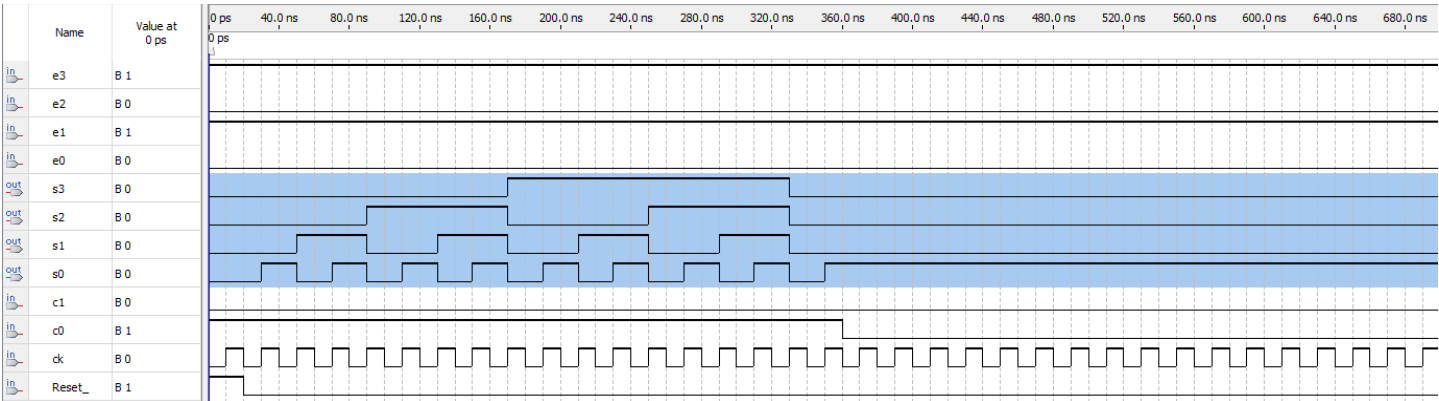


Nas duas simulações anteriores, nota-se que não houve transferência da entrada D antes do início das contagens, o que fez com que a simulação fosse iniciada em 0000 para ambos os casos.

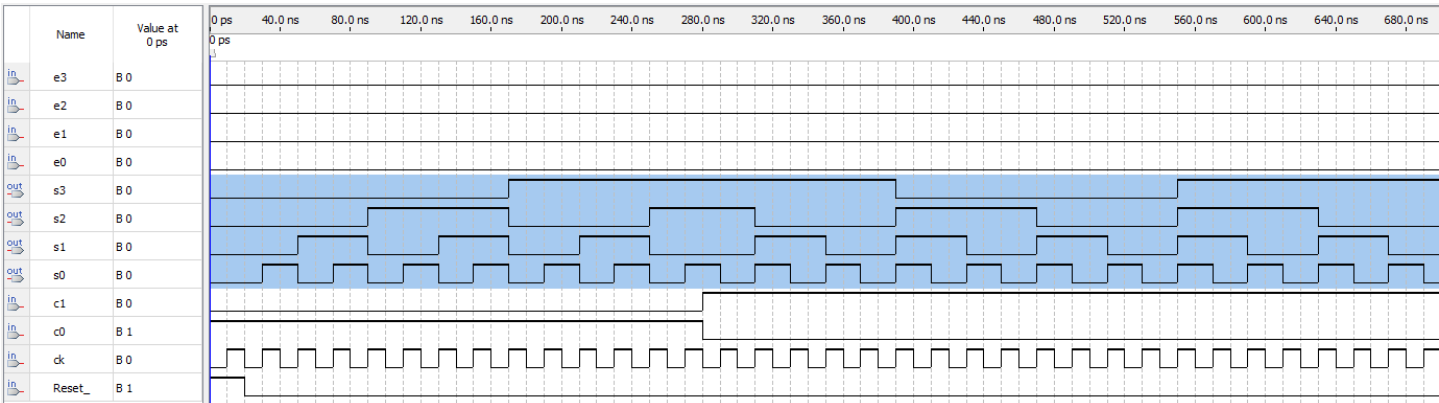
Nessa terceira simulação, até o tempo de 360.0 ns, os bits de controle c1 e c0 foram mantidos em 01, mantendo uma contagem progressiva. Depois disso, os bits foram alternados para 11, fazendo com que os 4 bits da entrada D (e3, e2, e1 e e0), que correspondem a 1010 na simulação, fossem transferidos para a saída, durante o resto do intervalo de tempo.



Nessa terceira simulação, até o tempo de 360.0 ns, os bits de controle c1 e c0 foram mantidos em 01, mantendo uma contagem progressiva. No tempo de 360.0 ns, a contagem estava em 0001. Nesse tempo exato, os bits foram alternados para 00, fazendo com que os 4 bits da entrada D permanecessem iguais a 0001 durante o resto do intervalo.



Nessa quarta simulação, até o tempo de 280.0 ns, os bits de controle c1 e c0 foram mantidos em 01, mantendo uma contagem progressiva. Depois disso, os bits de controle foram alternados para 10, fazendo com que passasse a ocorrer uma contagem regressiva.



Nessa quinta simulação, até o tempo de 280.0 ns, os bits de controle c1 e c0 foram mantidos em 10, mantendo uma contagem regressiva. Depois disso, os bits de controle foram alterados para 11, fazendo com que os 4 bits da entrada D (e3, e2, e1 e e0), que correspondem a 1010 na simulação, fossem transferidos para saída. Em seguida, os bits de controle foram alterados para 01, fazendo com que após a transferência da entrada D para a saída, fosse iniciada uma contagem progressiva iniciando em 1010 (valor recém transferido à saída).

