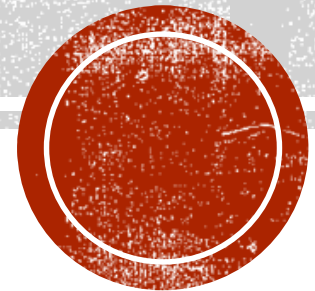


# ELEKTRONIKA

Viera Stopjaková ([viera.stopjakova@stuba.sk](mailto:viera.stopjakova@stuba.sk))

Ústav elektroniky a fotoniky

FEI STU



# Návrh a realizácia logických hradieľ

Prednáška

8

# CMOS technológia

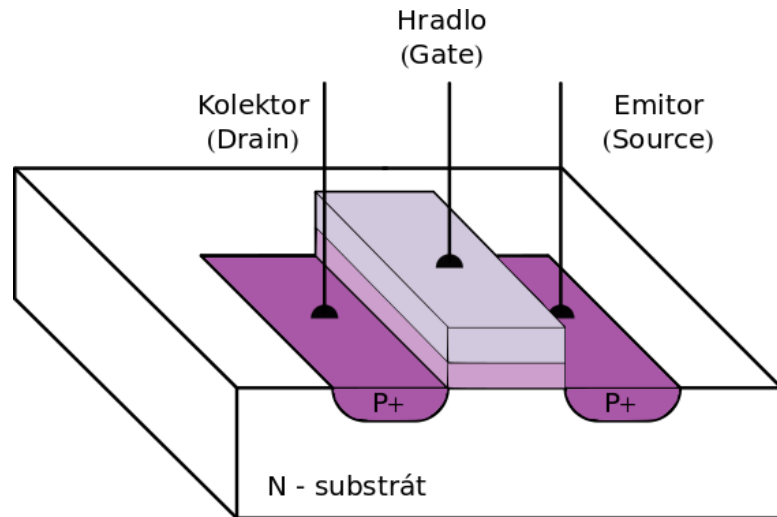
- Historicky prvé MOS technológie
  - iba NMOS (alebo iba PMOS) tranzistory
- Neskôr NMOS a PMOS na spoločnom substráte



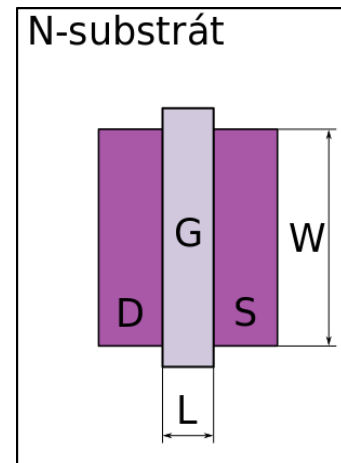
- **Complementary MOS → CMOS**
  - vysoký stupeň integrácie
  - miniaturizácia
  - vysoká opakovateľnosť a výťažnosť výroby
  - nízka spotreba a cena

# NMOS / PMOS tranzistory

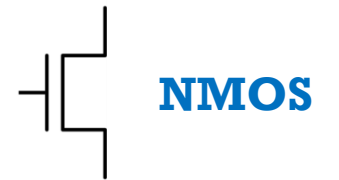
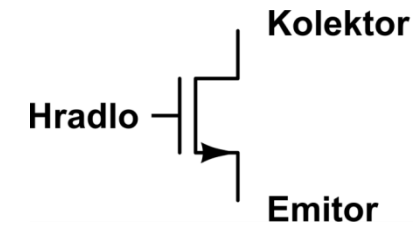
- voľné nosiče náboja: **elektróny** / **diery**
- prahové napätie  $V_{TH}$ : **kladné** / **záporné**
- tranzistor (spínač) **zopnutý** pri: **Log 1** / **Log 0**
- prúd nastavujeme geometrickými rozmermi



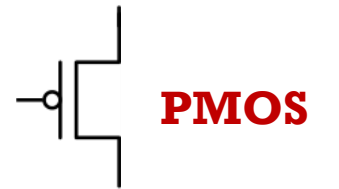
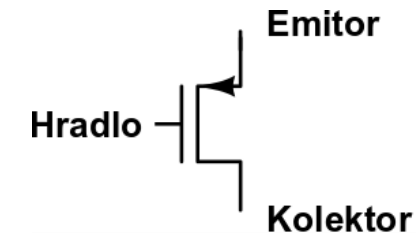
**3D štruktúra**



**Topografia (Layout)**



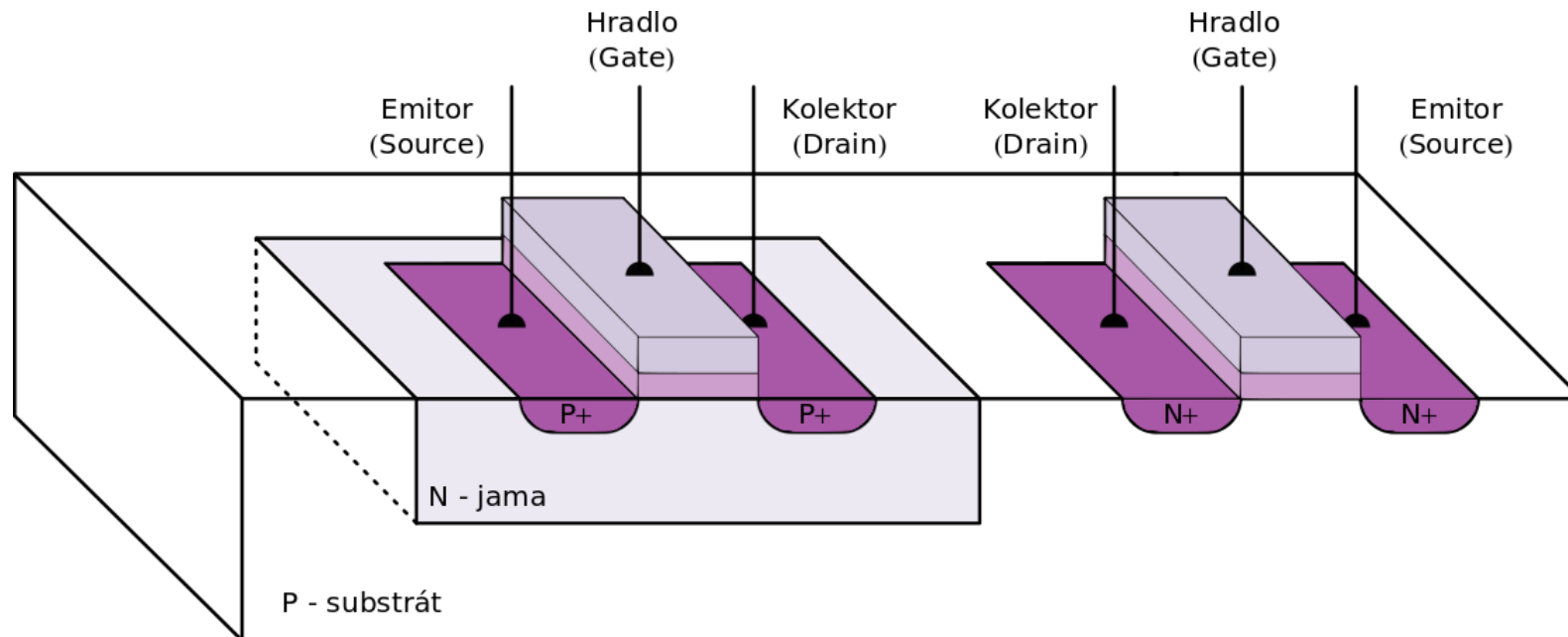
**NMOS**



**PMOS**

# CMOS technológia

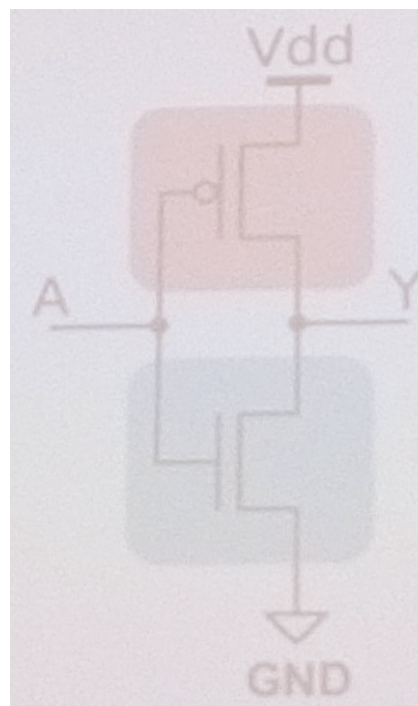
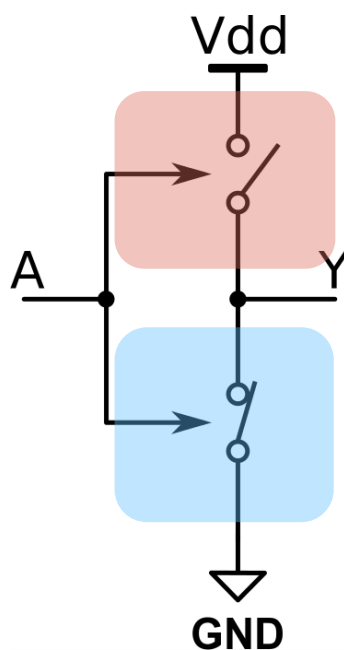
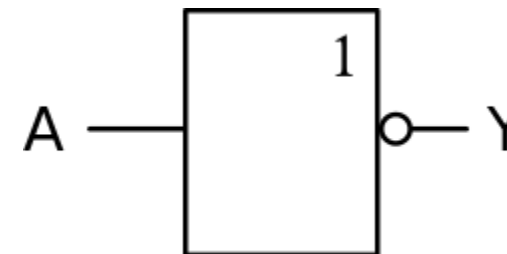
- **CMOS** je dominantnou technológiou
  - Prudký nástup v 80-tych rokoch 20. storočia
  - Komplementárny tranzistor (PMOS) je vyrobený v tzv. **jame** - opačná vodivosť ako substrát



# Logické hradlá v CMOS

## ■ Invertor v CMOS technologii

- spínače nahradené MOS tranzistormi
- oba typy tranzistorov
- každé hradlo sa skladá z **pull-up** a **pull-down** časti

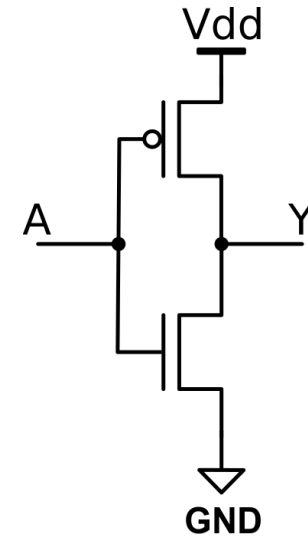
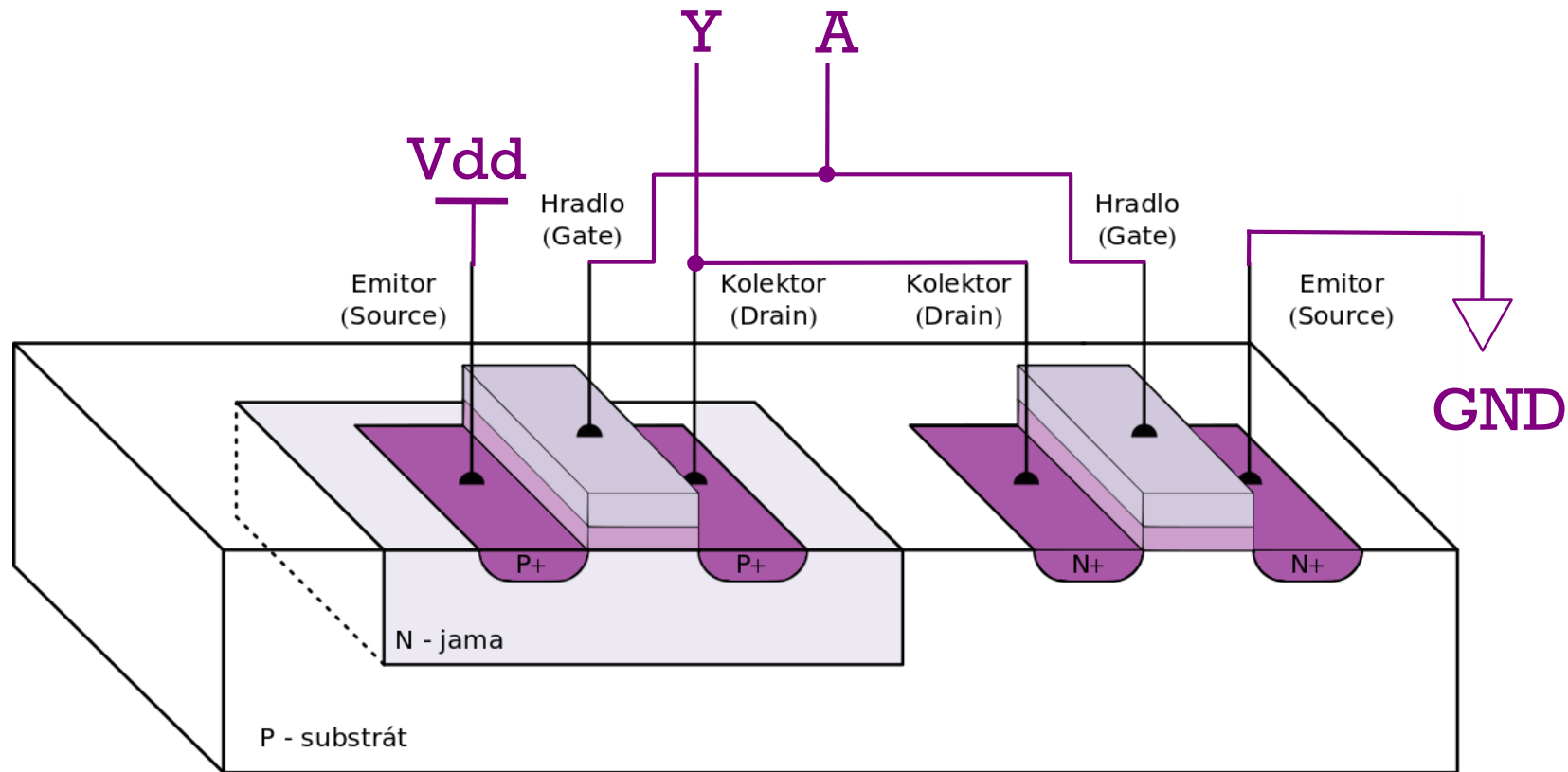


**Pull-up** časť (vždy PMOS)

**Pull-down** časť (vždy NMOS)

# Logické hradlá v CMOS

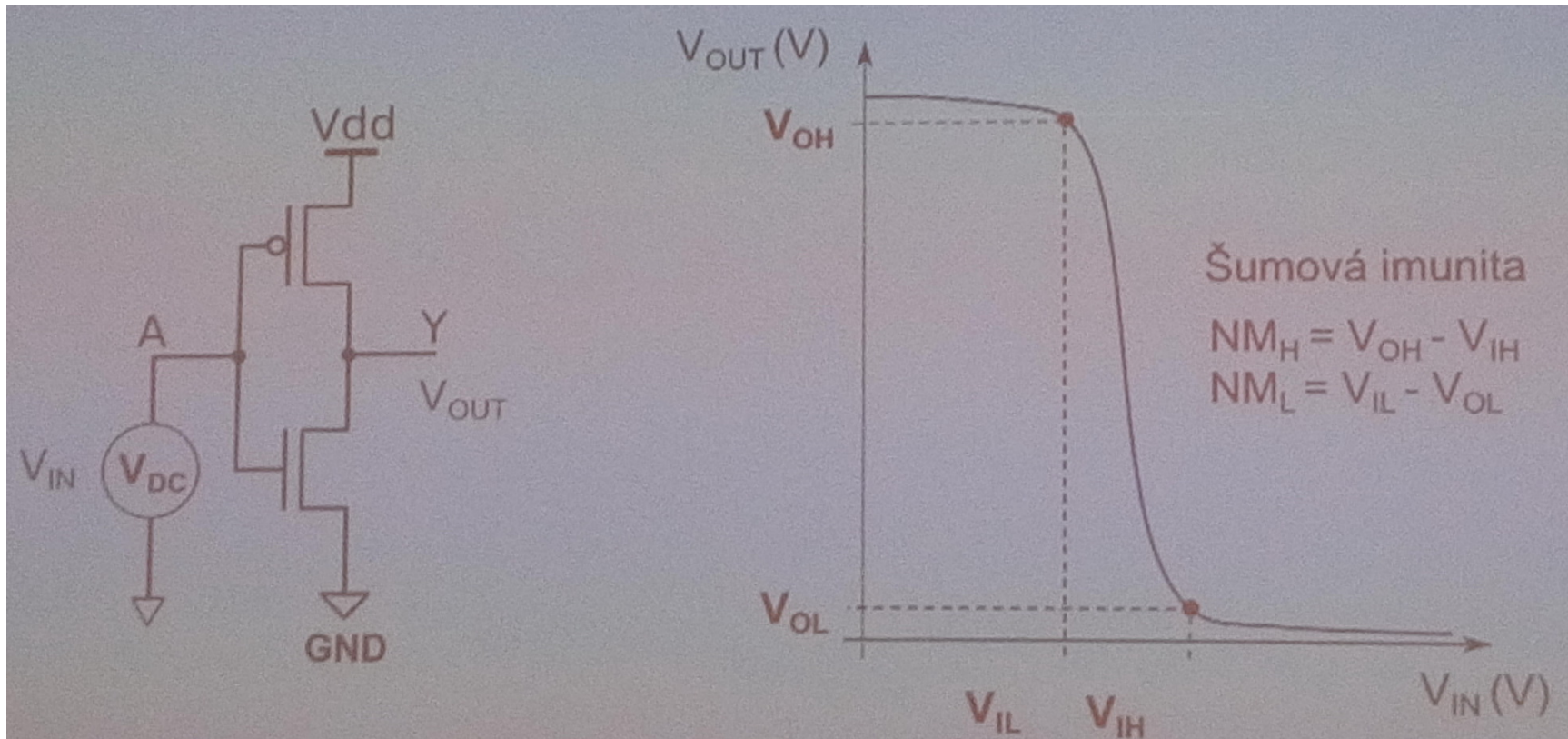
- Štruktúra CMOS invertora





# Prevodová charakteristika

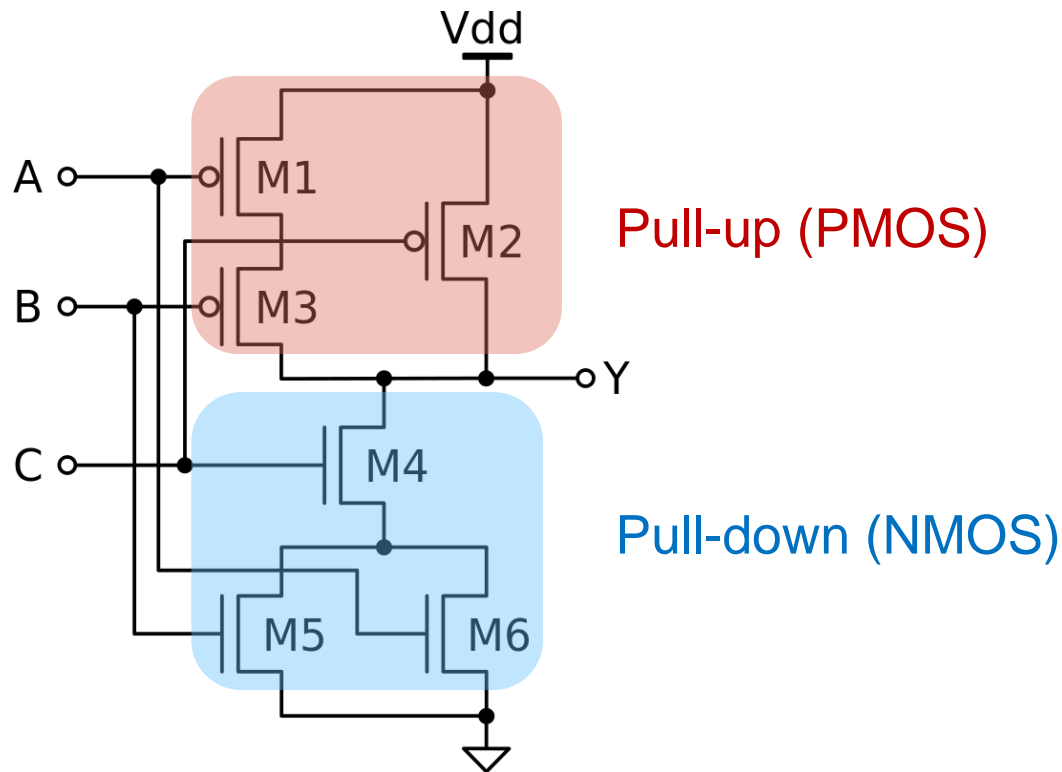
- Závislosť **výstupného napätia** od **napätia na vstupe** ->  $V_{OUT} = f(V_{IN})$ 
  - PCH hradla určuje statické vlastnosti hradla
  - pomalá zmena DC napätia na vstupe, sledujeme napätie na výstupe
- Prevod medzi logickými stavmi ( $0 \rightarrow 1$  alebo  $1 \rightarrow 0$ )





# Realizácia log. hradieľ z K-mapy

- **K-mapa:** najefektívnejší návrh logických obvodov
  - Používame aj pri návrhu hradieľ v CMOS (na úrovni tranzistorov)
  - Sériovo – paralelná kombinácia tranzistorov (spínačov)
  - Každé hradlo sa skladá z *pull-up* a *pull-down* časti



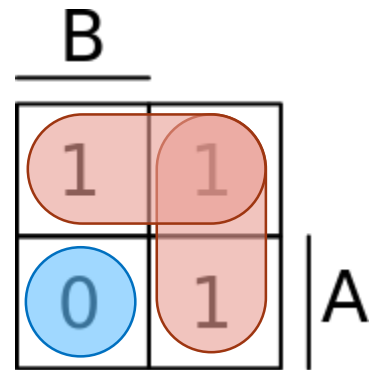
# Realizácia log. hradieľ z K-mapy

- Vychádzame z **K-mapy funkcie** a vytvárame slučky
  - Slučky jednotkových bodov prislúchajú pull-up časti
  - Slučky nulových bodov prislúchajú pull-down časti
  - Logický súčin premenných predstavuje tranzistory v sérii
  - Logický súčet premenných predstavuje tranzistory paralelne
  - Slučky **nulových** bodov funkcie opisujeme ako jednotkové
  - **Negované** vstupné premenné pull-up časti zapájame priamo
  - Postup platný pre ľubovoľné hradlo

# NAND hradlo v CMOS

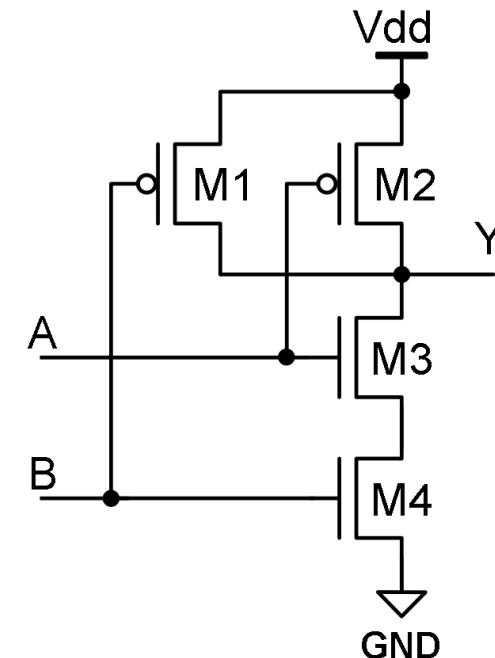
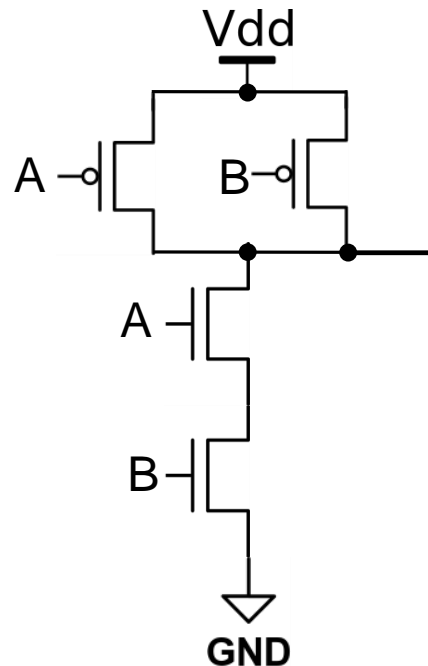
- **2-vstupové NAND** hradlo v CMOS
  - CMOS technológia priamo realizuje negované operácie

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0



Pull-up:  $\bar{A} + \bar{B}$

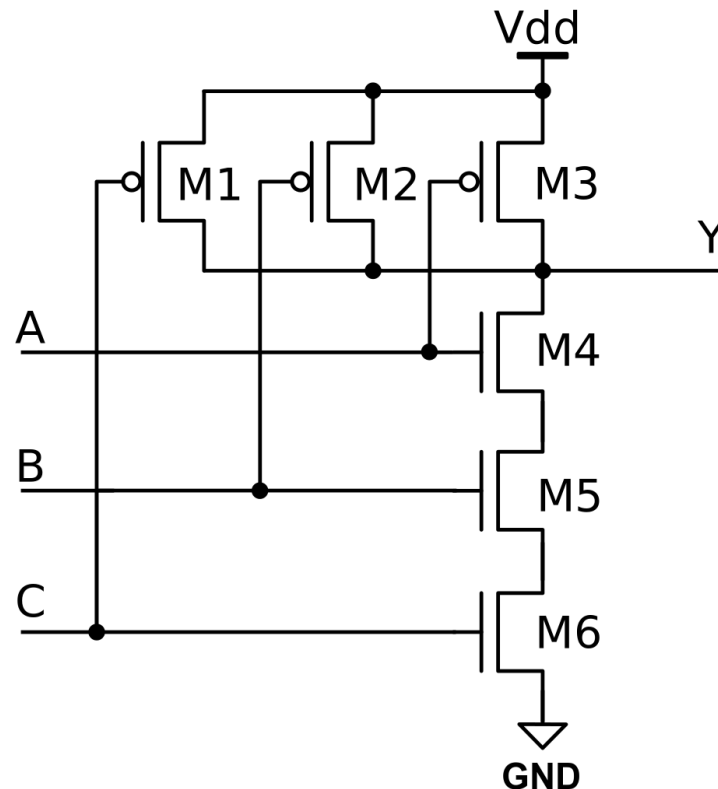
Pull-down:  $A.B$



# NAND hradlo v CMOS

## ■ 3-vstupové NAND hradlo v CMOS

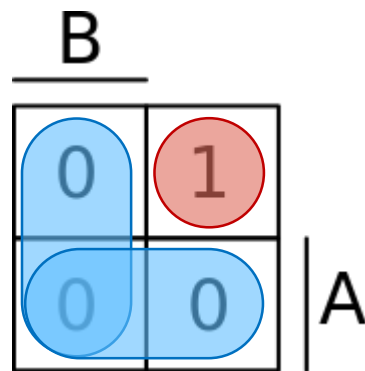
- Správne navrhnuté rozmery tranzistorov
  - vyvážená (symetrická) prevodová charakteristika



# NOR hradlo v CMOS

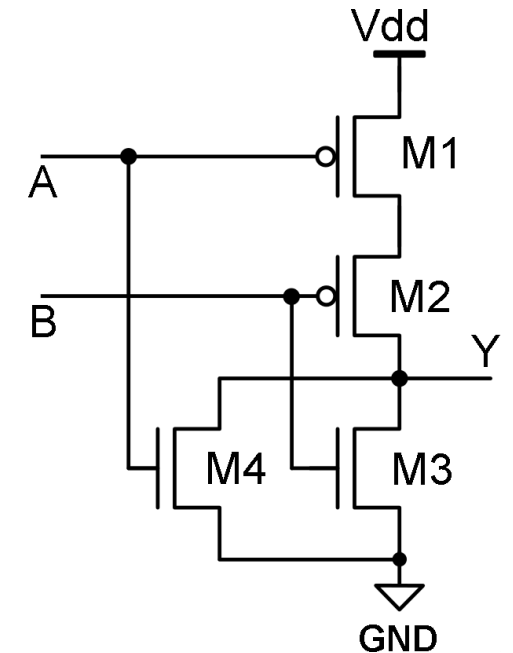
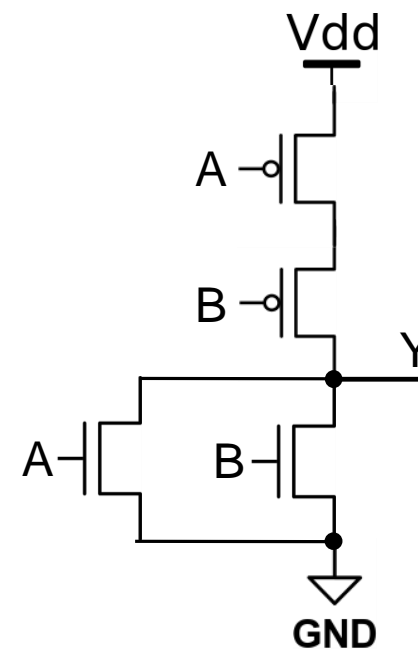
## ■ 2-vstupové NOR hradlo v CMOS

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0



Pull-up :  $\overline{A} \cdot \overline{B}$

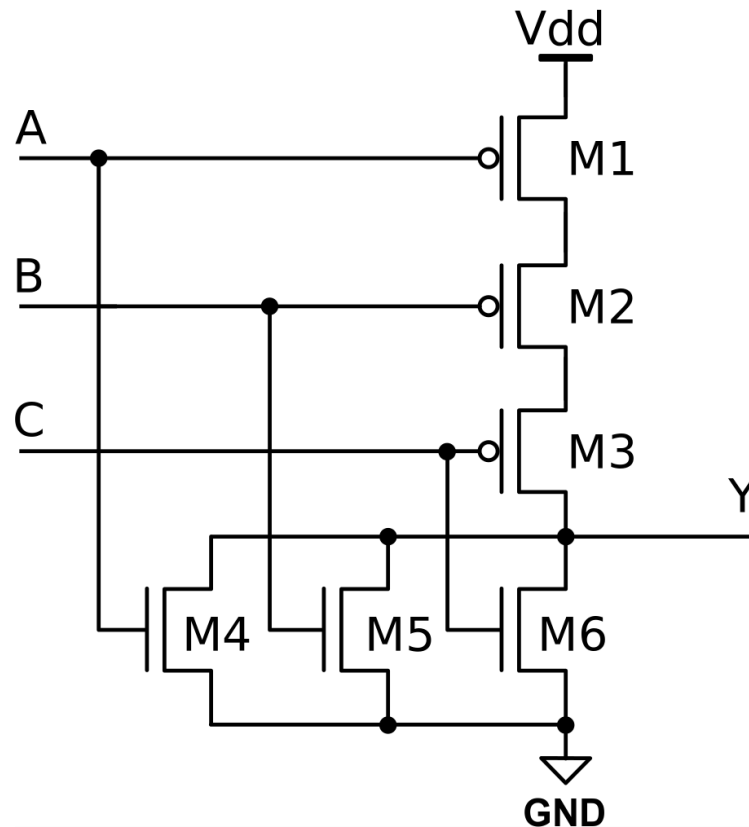
Pull-down :  $A + B$



# NOR hradlo v CMOS

## ■ 3-vstupové NOR hradlo v CMOS

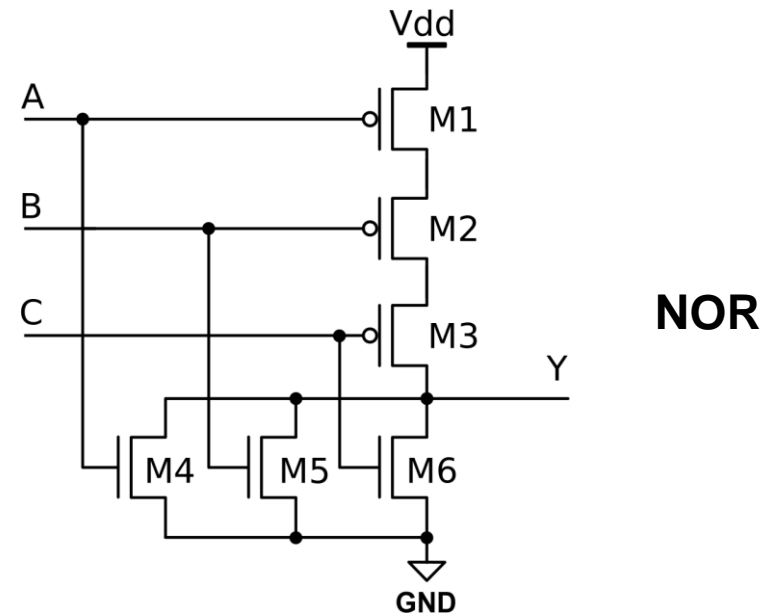
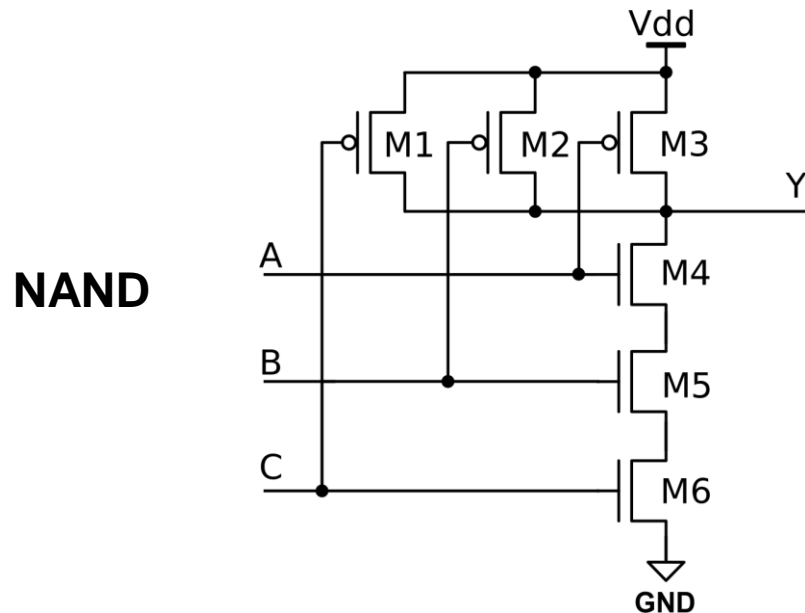
- Správne navrhnuté rozmery tranzistorov
  - vyvážená prevodová charakteristika



# Hradlá v CMOS na tranzistorovej úrovni

## ■ 3-vstupový **NAND** vs 3-vstupový **NOR**

- PMOS tranzistor musí byť cca. 3-krát väčší ako NMOS pre **rovnakú vodivosť** (diery vs. elektróny)
- NAND hradlo zaberá menšiu plochu na čipe (PMOS paralelne)  
→ lacnejší, rýchlejší a používanější (Shefferova funkcia)

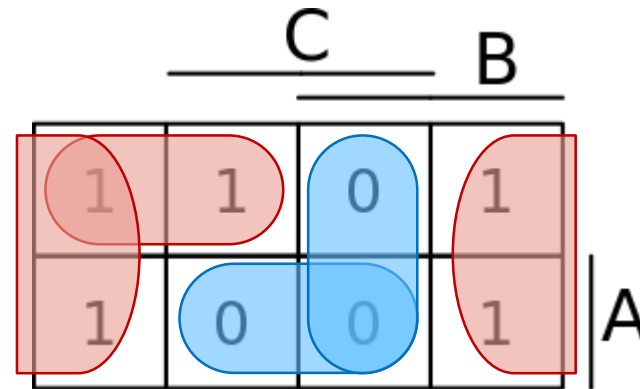
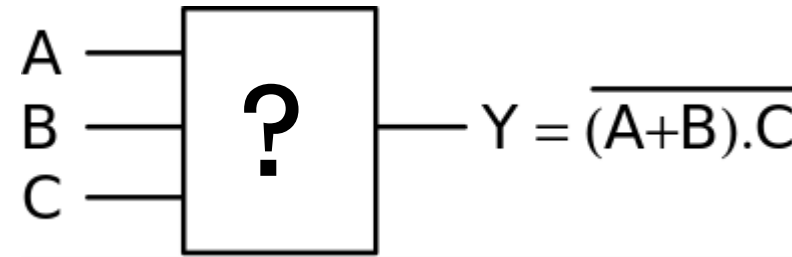




# Realizácia zložených hradieľ (funkcií)

- Navrhnete zapojenie tranzistorov v CMOS pre uvedenú funkciu

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

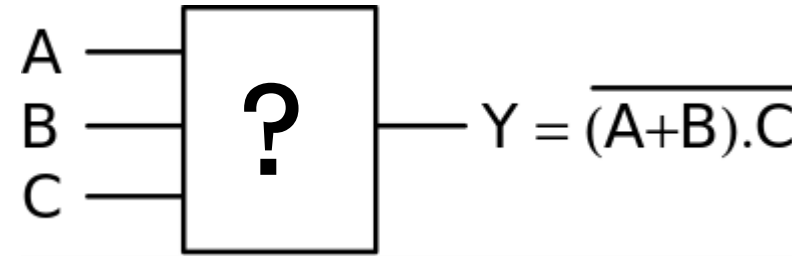
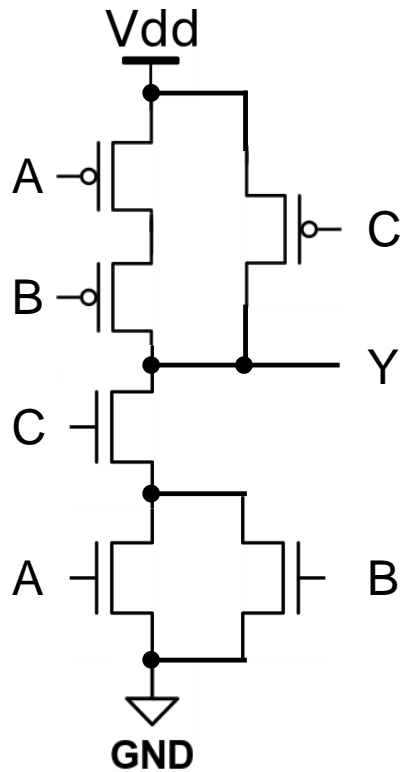


Pull-up:  $\overline{A}.\overline{B}.\overline{C}$

Pull-down:  $A.C+B.C=(A+B).C$

# Realizácia zložených hradieľ (funkcií)

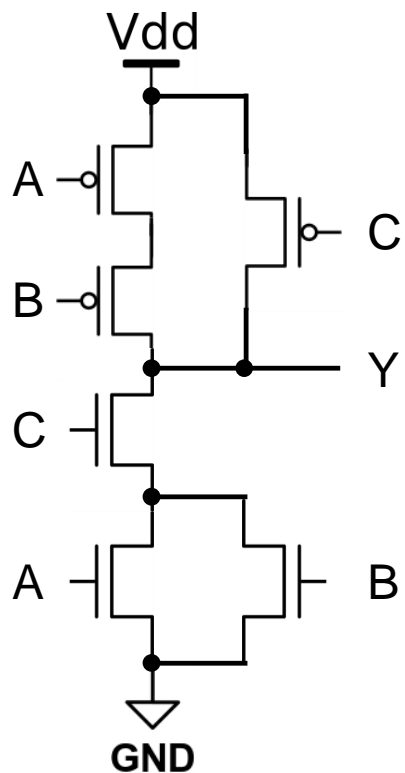
- Navrhnete zapojenie tranzistorov v CMOS pre uvedenú funkciu



Pull\_up:  $\overline{A.B.C}$   
Pull\_down:  $(A+B).C$

# Realizácia zložených hradieľ (funkcií)

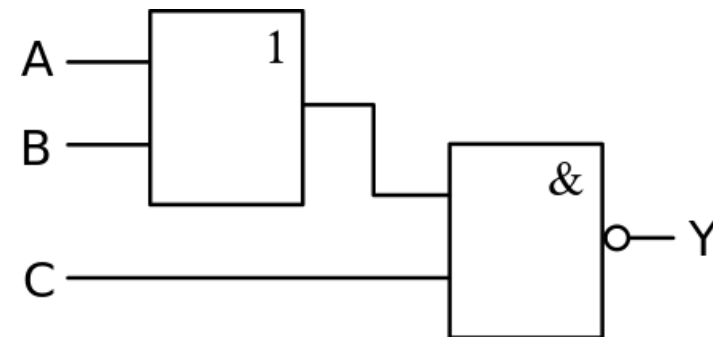
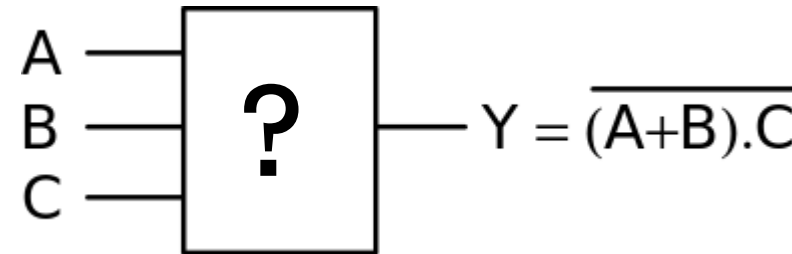
- Porovnanie **tranzistorovej** a **hradlovej** realizácie



6 tranzistorov

*Jednoduchšie, rýchlejšie, lacnejšie...*

vs.



10 tranzistorov

**Ďakujem za pozornosť.**