

**UNIVERZITET U NOVOM SADU  
FAKULTET TEHNIČKIH NAUKA  
NOVI SAD**

**Departman za računarstvo i automatiku**

**Odsek za računarsku tehniku i računarske komunikacije**

## **ISPITNI RAD**

**Kandidati:** Uroš Višekruna, Milan Novaković, Stanko Čučuz, Marko Majkić

**Brojevi indeksa:** RA84/2013, RA85/2013, RA93/2013, RA116/2012

**Predmet:** Logičko projektovanje računarskih sistema 2

**Tema rada:** 16-colors index VGA over FSL bus – Space Invaders

**Mentor rada:** Doc. dr Dušan Majstorović

**Novi Sad, jun, 2016.**

# Sadržaj

1. Uvod .....	2.
2. Karakteristike FSL-a .....	2.
3. Opis funkcionalnosti .....	3.
4. Zaključak .....	4.

# 1. Uvod

U projektnom zadatku potrebno je mapirati grafičku memoriju preko FSL (Fast Simplex Link) magistrale i realizovati igru po izboru (Space Invaders).

FSL magistrala je jednosmerni point-to-point komunikacioni kanal koji se koristi za brzu komunikaciju između bilo koja dva elementa na FPGA.

FSL interfejs je dostupan na Xilinx MicroBlaze procesoru i koristi se za prenos podataka između registra koji se nalazi u procesoru i hardvera na kom radi FPGA.

## 2. Karakteristike FSL-a

- Implementira jednosmernu point-to-point komunikaciju (FIFO).
- Koristeći FSL interfejs pruža mehanizam koji se koristi za brz prenos reči između mastera i slave-a.
- Obezbeđuje dodatni kontrolni bit za anotaciju podataka koji se prenose. Ovaj bit može da bude korišćen od strane slave-a za više svrha (dekodiranje reči koja se prenosi kao kontrolna reč ili kao indikator za početak ili kraj prenosnog okvira).
- FIFO dubina može biti niska, a može biti i velika.
- Podržava oba FIFO modela. Sinhroni i asinhroni.
- Podrška za SRL16 i dual port LUT RAM ili Block RAM baziran na FIFO implementaciji.

### 3. Opis funkcionalnosti

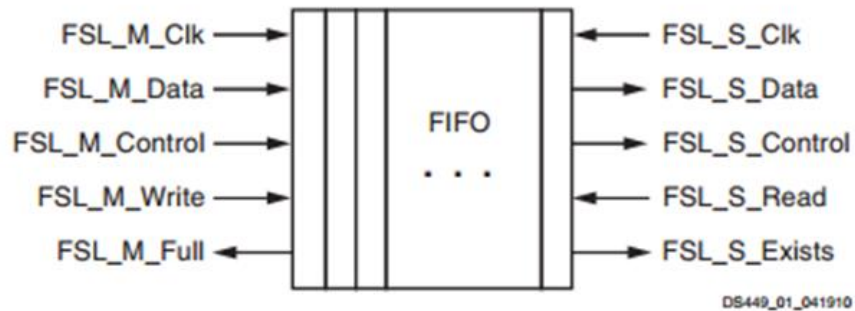
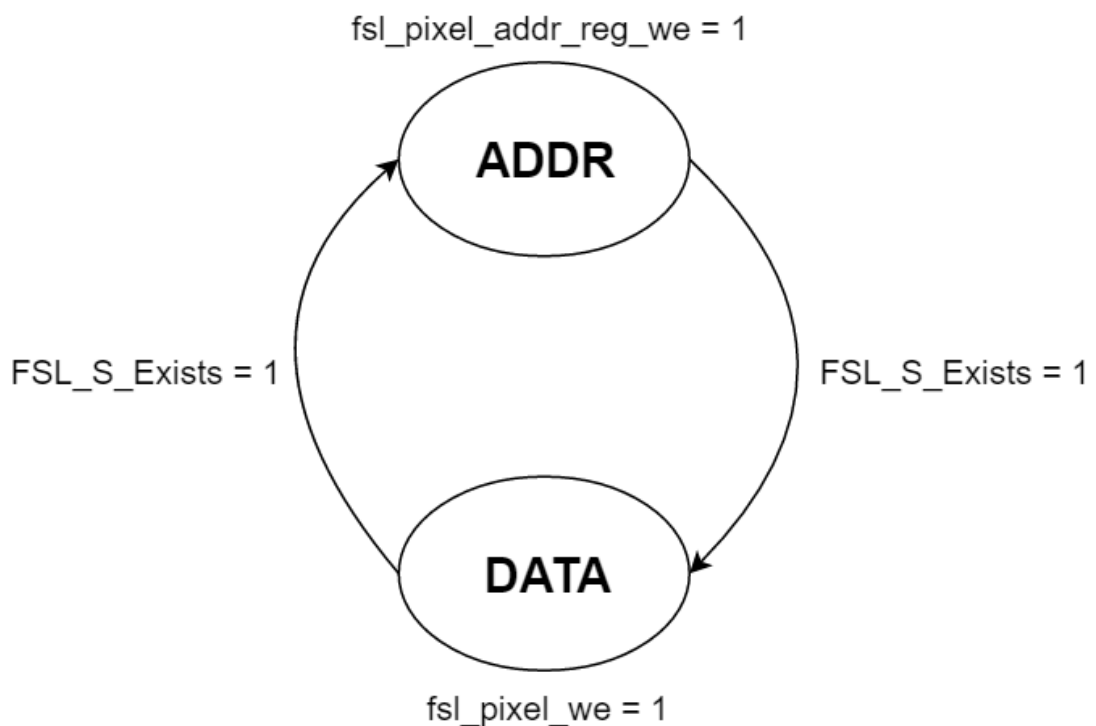


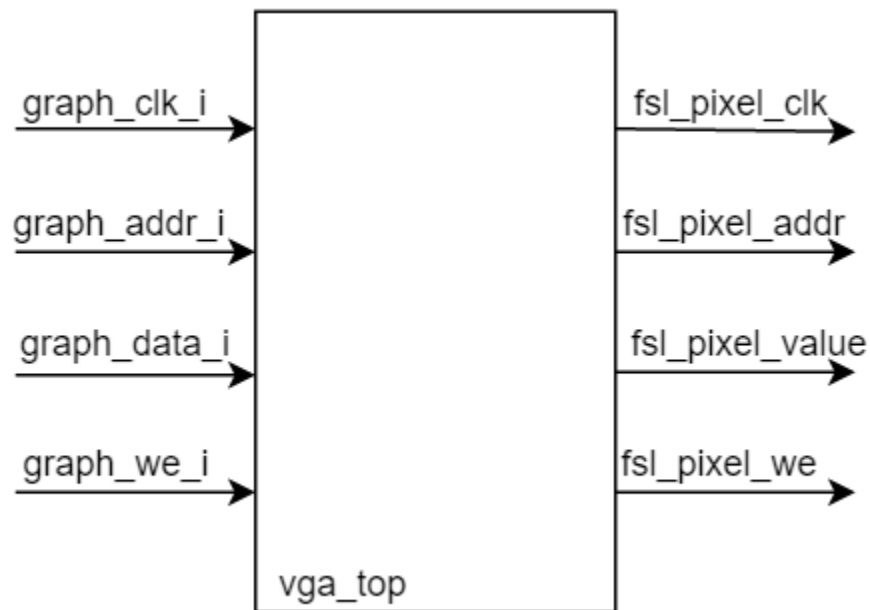
Figure 1: Fast Simplex Link (FSL) V20 Bus Block Diagram



Obzirom da se na FSL magistralu u jednom taktu upisuje adresa piksela, a zatim vrednost tog piksela, potrebno je napraviti automat koji će na osnovu signala **FSL\_S\_Exists**, koji predstavlja informaciju da li postoji vrenost za upis, dozvoliti da se adresa ili vrednost piksela upise na magistralu.

Adresa i vrednost piksela na adresi biće naizmenično upisivane, sa tim da se prvo upisuje adresa, a zatim vrednost.

Na osnovu signala dozvole iz grafičke memorije u zavisnosti od signala dozvole, **fsl\_pixel\_addr\_reg\_we** koji predstavlja dozvolu upisa adrese i **fsl\_pixel\_we** koji predstavlja dozvolu pisa vrednosti, podaci ce biti upisani na FSL magistralu.



## 4. Zaključak

Korišćenjem FSL magistrale dobijamo značajno ubrzanje, samim tim imamo veće mogućnosti prilikom implementacije igre.