

16 Lösungen der Aufgaben der Lernziel-Tests

Es werden die Lösungen der *Zeichenaufgaben* und der *Berechnungen* angegeben. Die Antworten auf die Verständnisfragen können im allgemeinen leicht dem Buchtext entnommen werden. Sie werden hier nur formuliert, wenn die Entnahme aus dem Buchtext schwierig ist.

Kapitel 1

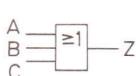
1. Eine digitale Größe besteht aus abzählbaren Elementen. Sie ist meist auch eine binäre Größe mit den Werten 0 und 1. Eine analoge Größe kann innerhalb eines zulässigen Bereichs jeden beliebigen Wert der sogenannten Analogiegröße annehmen.
2. Vorteile der analogen Größendarstellung: Gute Übersichtlichkeit, Anschaulichkeit. Nachteile: Geringe Genauigkeit, Fehler bei der Übertragung und Speicherung analoger Größen.
3. bis 7. siehe Buchtext

Kapitel 2

1. Schaltzeichen

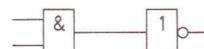


2. Wahrheitstabelle und Schaltzeichen eines ODER-Gliedes mit drei Eingängen

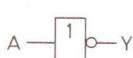


Fall	C	B	A	Z
1	0	0	0	0
2	0	0	1	1
3	0	1	0	1
4	0	1	1	1
5	1	0	0	1
6	1	0	1	1
7	1	1	0	1
8	1	1	1	1

3. Aufbau eines NAND-Gliedes aus Grundgliedern

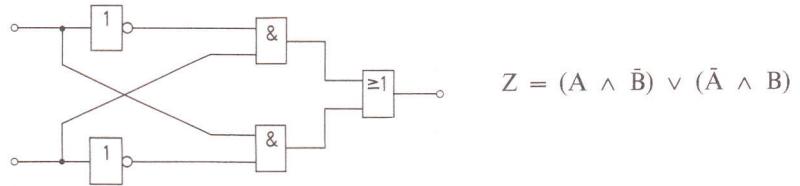


4. Wahrheitstabelle und Schaltzeichen eines NICHT-Gliedes



Fall	A	Y
1	0	1
2	1	0

5. Aufbau eines ANTIVALENZ-Gliedes aus Grundgliedern

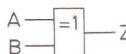


6. und 7. siehe Buchtext

8. Am Ausgang eines EXKLUSIV-ODER-Gliedes liegt dann 1, wenn nur an einem Eingang 1 anliegt.

Wahrheitstabelle und Schaltzeichen eines EXKLUSIV-ODER-Gliedes

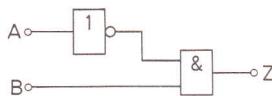
Fall	B	A	Z
1	0	0	0
2	0	1	1
3	1	0	1
4	1	1	0



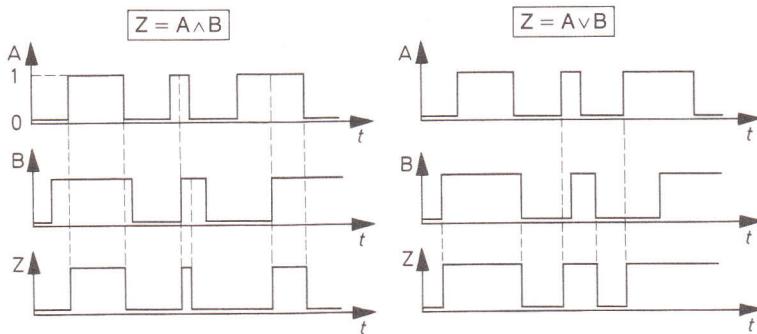
9. Das Verknüpfungsglied ist ein NOR-Glied.

10. Die Verknüpfung INHIBITION ist eine besondere Art der UND-Verknüpfung. Ein Eingangszustand wird vor der UND-Verknüpfung negiert.

INHIBITIONSGlied aus Grundgliedern aufgebaut (INHIBITION A):

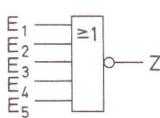


11. Diagramme für UND- und ODER-Verknüpfung der Signale A und B



12. Die Schaltung erzeugt eine ODER-Verknüpfung

13. Wahrheitstabelle eines NOR-Gliedes mit fünf Eingängen



Fall	E ₅	E ₄	E ₃	E ₂	E ₁	Z
1	0	0	0	0	0	1
2	0	0	0	0	1	0
3	0	0	0	1	0	0
4	0	0	0	1	1	0
5	0	0	1	0	0	0
6	0	0	1	0	1	0
7	0	0	1	1	0	0
8	0	0	1	1	1	0
9	0	1	0	0	0	0
10	0	1	0	0	1	0
11	0	1	0	1	0	0
12	0	1	0	1	1	0
13	0	1	1	0	0	0
14	0	1	1	0	1	0
15	0	1	1	1	0	0
16	0	1	1	1	1	0
17	1	0	0	0	0	0
18	1	0	0	0	1	0
19	1	0	0	1	0	0
20	1	0	0	1	1	0
21	1	0	1	0	0	0
22	1	0	1	0	1	0
23	1	0	1	1	0	0
24	1	0	1	1	1	0
25	1	1	0	0	0	0
26	1	1	0	0	1	0
27	1	1	0	1	0	0
28	1	1	0	1	1	0
29	1	1	1	0	0	0
30	1	1	1	0	1	0
31	1	1	1	1	0	0
32	1	1	1	1	1	0

14. Das Verknüpfungsglied erzeugt eine ÄQUIVALENZ-Verknüpfung. Am Ausgang Z liegt immer dann 1, wenn die Eingangszustände gleich sind.

Kapitel 3

1. Wahrheitstabelle für die Digitalschaltung Bild 3.13.

Fall	B	A	\bar{A}	$\bar{A} \vee B$	$Z = \bar{A} \vee B$
1	0	0	1	1	0
2	0	1	0	0	1
3	1	0	1	1	0
4	1	1	0	1	0

2. Wahrheitstabelle für die Digitalschaltung Bild 3.14

Fall	C	B	A	\bar{A}	$\bar{A} \wedge B$	$A \vee C$	$Z = (\bar{A} \wedge B) \wedge (A \vee C)$
1	0	0	0	1	0	0	0
2	0	0	1	0	0	1	0
3	0	1	0	1	1	0	0
4	0	1	1	0	0	1	0
5	1	0	0	1	0	1	0
6	1	0	1	0	0	1	0
7	1	1	0	1	1	1	1
8	1	1	1	0	0	1	0

3. Tabelle der Ist-Verknüpfung der fehlerhaften Digitalschaltung Bild 3.14

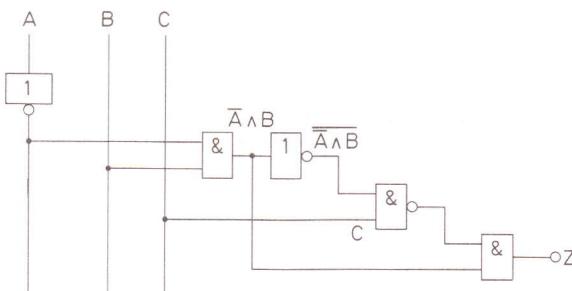
Fall	C	B	A	\bar{A}	$\bar{A} \wedge B$	$A \vee C$	Z
1	0	0	0	1	1	0	0
2	0	0	1	0	1	1	1
3	0	1	0	1	1	0	0
4	0	1	1	0	1	1	1
5	1	0	0	1	1	1	1
6	1	0	1	0	1	1	1
7	1	1	0	1	1	1	1
8	1	1	1	0	1	1	1

$$4. Z = [(\bar{A} \wedge \bar{B} \wedge \bar{C}) \vee (A \wedge B \wedge C)] \wedge \bar{A} \vee \bar{B} \vee \bar{C}$$

Fall	C	B	A	\bar{C}	\bar{B}	\bar{A}	$\bar{A} \wedge \bar{B} \wedge \bar{C}$	$A \wedge B \wedge C$	X	$A \vee \bar{B} \vee \bar{C}$	Y	Z	
1	0	0	0	1	1	1	1	0	0	1	1	0	0
2	0	0	1	1	1	0	0	0	0	0	1	0	0
3	0	1	0	1	0	1	0	0	0	0	1	0	0
4	0	1	1	1	0	0	0	0	0	0	1	0	0
5	1	0	0	0	1	1	0	0	0	0	1	0	0
6	1	0	1	0	1	0	0	0	0	0	1	0	0
7	1	1	0	0	0	1	0	0	0	0	0	1	0
8	1	1	1	0	0	0	0	1	1	1	1	0	0

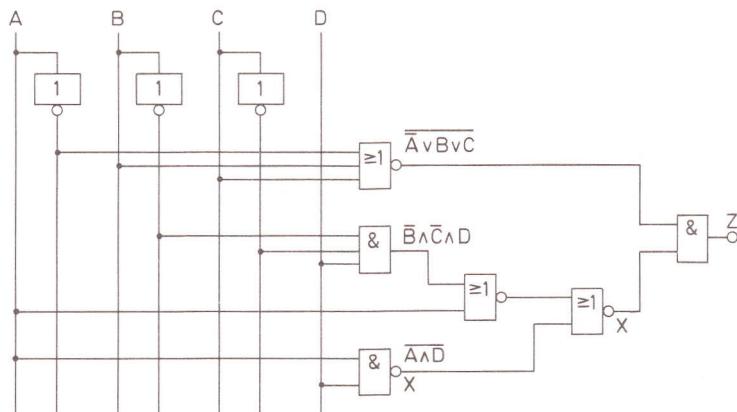
$$5. Z = \bar{A} \wedge B \wedge \overline{\bar{A} \wedge \bar{B} \wedge C}$$

$$Z = \bar{A} \wedge B \wedge \overline{\bar{A} \wedge \bar{B} \wedge C}$$



$$6. Z = \overline{\overline{A} \vee B \vee C} \wedge \overline{\overline{A} \vee \overline{B} \wedge \overline{C} \wedge D} \vee \overline{A \wedge D}$$

$$Z = \overline{\overline{A} \vee B \vee C} \wedge \overline{A \vee \overline{B} \wedge \overline{C} \wedge D} \vee \overline{A \wedge D}$$

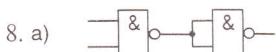


Fall	D	C	B	A	\bar{A}	\bar{B}	\bar{C}	$\overline{A \vee B \vee C}$	$\overline{\overline{A} \vee B \vee C}$	$\overline{B \wedge \bar{C} \wedge D}$	$\overline{A \vee \bar{B} \wedge \bar{C} \wedge D}$	$\overline{A \vee \bar{B} \wedge \bar{C} \wedge D}$	$\overline{A \wedge D}$	X	Z	
1	0	0	0	0	1	1	1	1	0	0	0	1	1	1	0	0
2	0	0	0	1	0	1	1	0	1	0	1	0	1	1	0	0
3	0	0	1	0	1	0	1	1	0	0	0	0	1	1	0	0
4	0	0	1	1	0	0	1	1	0	0	1	1	0	1	0	0
5	0	1	0	0	1	1	0	1	0	0	0	0	1	1	0	0
6	0	1	0	1	0	1	0	1	0	0	1	0	1	1	0	0
7	0	1	1	0	1	0	0	1	0	0	0	0	1	1	0	0
8	0	1	1	1	0	0	0	1	0	0	1	0	1	1	0	0
9	1	0	0	0	1	1	1	1	0	1	1	0	1	0	0	0
10	1	0	0	1	0	1	1	0	1	1	1	0	0	0	1	1
11	1	0	1	0	1	0	1	1	0	0	0	1	1	1	0	0
12	1	0	1	1	0	0	1	1	0	0	1	0	0	0	1	0
13	1	1	0	0	1	1	0	1	0	0	0	1	1	0	0	0
14	1	1	0	1	0	1	0	1	0	0	1	0	0	1	0	0
15	1	1	1	0	1	0	0	1	0	0	0	1	1	1	0	0
16	1	1	1	1	0	0	0	1	0	0	1	0	0	0	1	0

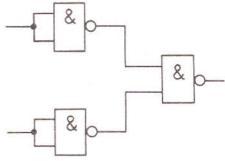
7. Das Glied Nr. IV (NOR-Glied) arbeitet fehlerhaft

Kapitel 4

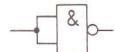
1. bis 7. siehe Buchtext



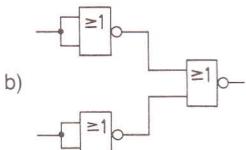
UND



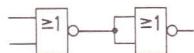
ODER



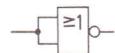
NICHT



UND



ODER



NICHT

9. a) $Z = 0$

b) $Y = 1$

c) $X = \overline{A} \wedge B$

d) $Q = 1$

e) $S = \overline{A \wedge B}$

10.

NAND

a) $Z = \overline{\overline{A \wedge S \wedge R} \wedge \overline{Q \wedge \overline{C} \wedge \overline{B}}}$

b) $Y = \overline{\overline{\overline{A} \wedge \overline{B} \wedge \overline{C} \wedge \overline{D}}}$

c) $X = \overline{\overline{A} \wedge \overline{B} \wedge \overline{C} \wedge M \wedge N \wedge P \wedge \overline{R} \wedge \overline{S}}$

d) $Q = \overline{\overline{\overline{A} \wedge B} \wedge \overline{C} \wedge \overline{D} \wedge \overline{S} \wedge \overline{R}}$

e) $Q = \overline{\overline{A \wedge \overline{B} \wedge \overline{C} \wedge D} \wedge \overline{P} \wedge Q \wedge S}$

NOR

a) $Z = \overline{\overline{\overline{A} \vee \overline{S} \vee \overline{R}} \vee \overline{\overline{Q} \vee C \vee B}}$

b) $Y = \overline{\overline{A \vee B \vee C \vee D}}$

c) $X = \overline{\overline{A \vee B \vee C} \vee \overline{\overline{M} \vee \overline{N} \vee \overline{P}} \vee \overline{R \vee S}}$

d) $Q = \overline{\overline{A \vee \overline{B}} \vee C \vee D \vee S \vee R}$

e) $Q = \overline{\overline{A \vee B \vee C \vee \overline{D}} \vee \overline{\overline{P} \vee \overline{Q} \vee \overline{S}}}$

Kapitel 5

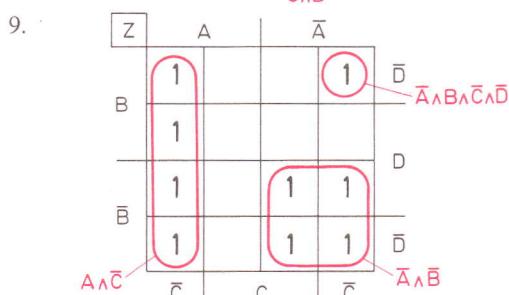
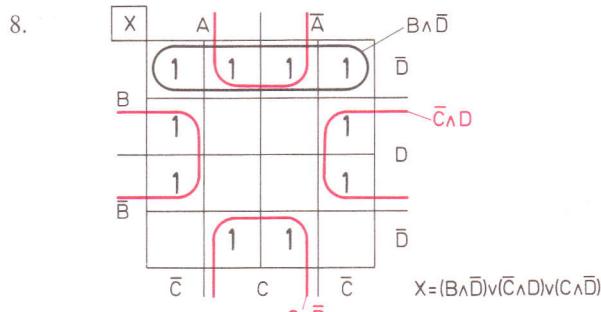
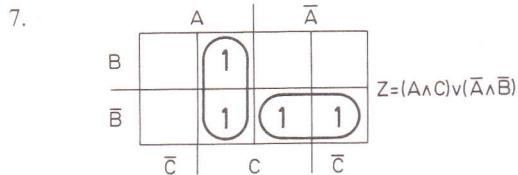
1. bis 3. siehe Buchtext

$$4. Z = (A \wedge \bar{B} \wedge \bar{C}) \vee (A \wedge B \wedge \bar{C}) \vee (\bar{A} \wedge \bar{B} \wedge C) \vee (\bar{A} \wedge B \wedge C)$$

5. KV-Diagramm für die Variablen K, M, S und R.

	K	\bar{K}	
M			\bar{R}
		R	
\bar{M}			\bar{R}
	\bar{S}	S	\bar{S}

6. siehe Buchtext



10. siehe Buchtext

Kapitel 6

1. bis 5. siehe Buchtext

6. Arbeitstabelle der Schaltung Bild 6.108

Fall	B	A	Z
1	L	L	L
2	L	H	L
3	H	L	L
4	H	H	H

7. Positive Logik: UND-Verknüpfung

Negative Logik: ODER-Verknüpfung

8. bis 14. siehe Buchtext

15. Die Schaltung erzeugt eine UND-Verknüpfung.

16. Bei einer «gesättigten Schaltkreisfamilie» werden die Transistoren in den Sättigungszustand gesteuert. Es ergeben sich günstige Pegellagen und gute Störsicherheiten. Der Leistungsbedarf ist gering, die Schnelligkeit befriedigend. Werden die Transistoren nicht in den Sättigungszustand gesteuert, entsteht ein größerer Leistungsbedarf. Die Pegel liegen nicht so günstig. Die Schalschnelligkeit ist aber größer. Es ergibt sich eine höhere Arbeitsgeschwindigkeit. Eine solche Schaltkreisfamilie wird «ungesättigte Schaltkreisfamilie» genannt (Beispiel: ECL-Schaltkreisfamilie).

17. bis 19. siehe Buchtext

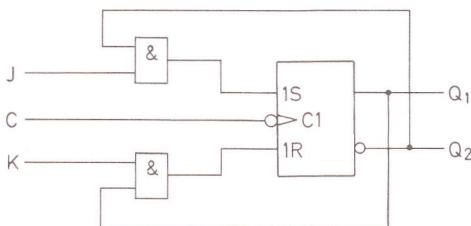
20. Schaltung Bild 6.94, Seite 168, siehe Buchtext

Kapitel 7

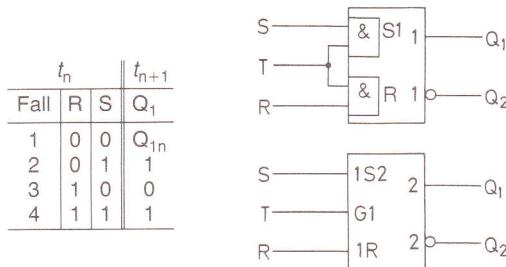
1. Das Schaltzeichen zeigt ein Flipflop mit besonderem Schaltverhalten. Haben beide Eingänge den Zustand 1, so hat der im Schaltzeichen obere Ausgang (z.B. A_1) den Zustand 1. Der im Schaltzeichen untere Ausgang (z.B. A_2) hat Zustand 0. Der Setzeingang (z.B. E_1) dominiert.

2. siehe Buchtext

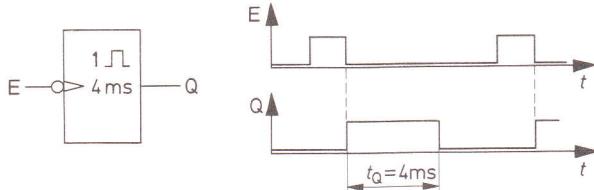
3.



4. Wahrheitstabelle und Schaltzeichen eines taktzustandsgesteuerten SR-Flipflops mit dominierendem S-Eingang. Arbeitsweise siehe Buchtext.



5. siehe Buchtext
6. Zeitablaufdiagramm und Schaltzeichen einer monostabilen Kippstufe mit einer Verweilzeit von 4 ms.



7. Die Gleichung ist die charakteristische Gleichung eines JK-Flipflops.
8. Ausführliche Wahrheitstabelle und charakteristische Gleichung eines Flipflops.

Fall	t_n		t_{n+1}	
	E_2	E_1	Q_1	Q_1
1	0	0	0	0
2	0	0	1	1
3	0	1	0	0
4	0	1	1	1
5	1	0	0	0
6	1	0	1	0
7	1	1	0	1
8	1	1	1	1

Speichern

Speichern

Rücksetzen

Setzen

$$Q_{1(n+1)} = [(E_1 \wedge E_2) \vee (\bar{E}_2 \wedge Q_1)]_n$$

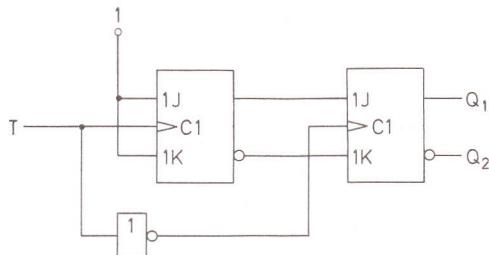
Der Eingang E_2 ist ein Vorbereitungseingang. Das Flipflop ist gesperrt, wenn an E_2 0-Signal anliegt (Speicherfälle). Liegt an E_2 1-Signal, so arbeitet das Flipflop als D-Flipflop – mit E_1 , als D-Eingang. Ein solches Flipflop wird auch DV-Flipflop genannt (Eingangsbezeichnungen: $E_2 = V$, $E_1 = D$).

9. siehe Buchtext

10. Das Flipflop ist ein JK-Master-Slave-Flipflop mit drei J-Eingängen und drei K-Eingängen, einem taktunabhängigen Setzeingang S und einem taktunabhängigen Rücksetzeingang R. Der obere der drei J-Eingänge ist negiert. Er spricht also auf 0-Signale an. Die J-Eingänge sind durch UND zu einem Gesamt-J-Eingang verknüpft. Der untere der drei K-Eingänge ist negiert. Die K-Eingänge sind durch UND zu einem Gesamt-K-Eingang verknüpft.

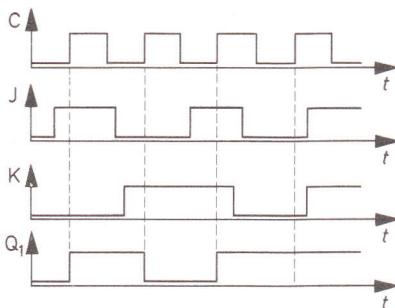
11. siehe Buchtext

12. Aufbau eines T-Master-Slave-Flipflops

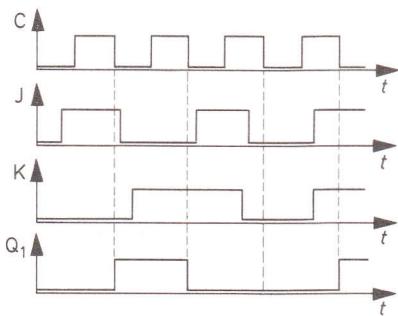


13. Zeitablauf-Diagramme

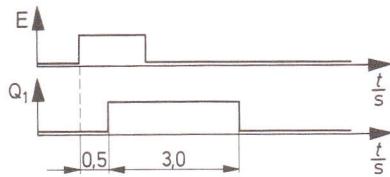
a) Flipflop schaltet mit ansteigender Taktflanke



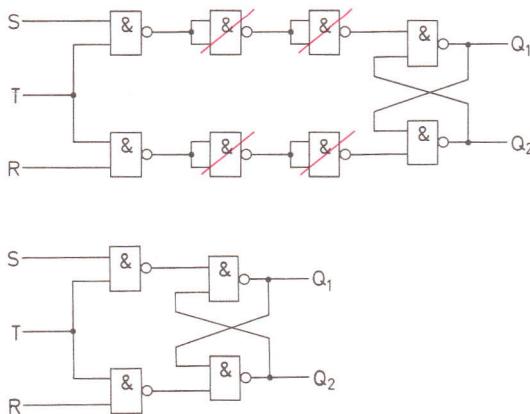
b) Flipflop schaltet mit abfallender Taktflanke



14. Das Schaltzeichen stellt eine monostabile Kippstufe mit einer Ansprechverzögerung von 0,5 Sekunden dar. Die Verweilzeit beträgt drei Sekunden.

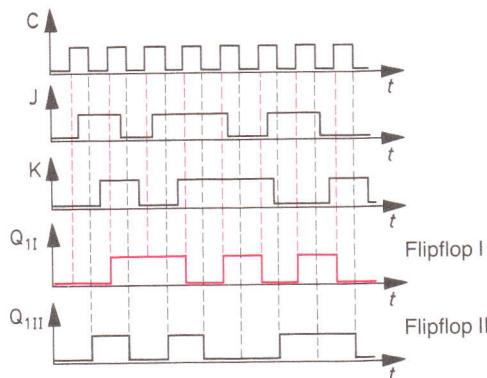


15. Taktzustandsgesteuertes SR-Flipflop mit NAND-Gliedern aufgebaut.

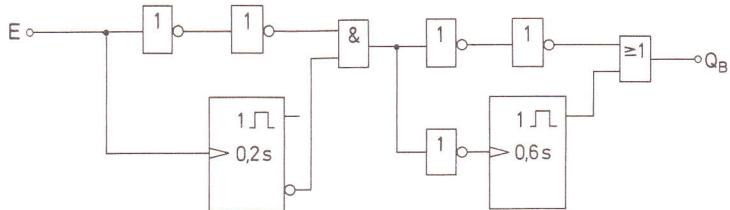


16. siehe Buchtext

17. Zeitablauf-Diagramme



18. Die monostabilen Kippstufen müssen Verweilzeiten von 0,2 Sekunden und 0,6 Sekunden haben.



Kapitel 8

1. siehe Buchtext

2.

Dezimal- zahl	Dualzahl													
	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰	
4096	1	0	0	0	0	0	0	0	0	0	0	0	0	1
2048	0	1	0	0	0	0	0	0	0	0	0	0	0	0
1024	0	0	1	0	0	0	0	0	0	0	0	0	0	0
512	0	0	0	1	0	0	0	0	0	0	0	0	0	0
256	0	0	0	0	1	0	0	0	0	0	0	0	0	0
128	0	0	0	0	0	1	0	0	0	0	0	0	0	0
64	0	0	0	0	0	0	1	0	0	0	0	0	0	0
32	0	0	0	0	0	0	0	1	0	0	0	0	0	0
16	0	0	0	0	0	0	0	0	1	0	0	0	0	0
8	0	0	0	0	0	0	0	0	0	1	0	0	0	0
4	0	0	0	0	0	0	0	0	0	0	1	0	0	0
2	0	0	0	0	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Dezimal- zahl	Dualzahl															
	32768	16384	8192	4096	2048	1024	512	256	128	64	32	16	8	4	2	1
58										1	1	0	0	1	0	0
512									0	0	0	0	0	0	0	0
1298							1	0	1	0	0	0	1	0	0	0
1983							1	1	1	0	1	1	1	1	1	1
20000	1	0	0	1	1	1	0	0	0	0	1	0	0	0	0	0
17750	1	0	0	0	1	0	1	0	1	0	0	1	0	1	1	0
2730					1	0	1	0	1	0	1	0	1	0	1	0
9990		1	0	0	1	1	1	0	0	0	0	0	0	1	1	0
11000		1	0	1	0	1	0	1	0	1	1	1	1	0	0	0
32000	1	1	1	1	1	0	1	0	0	0	0	0	0	0	0	0

4. a) 54,625

b) 37,8125

c) 10,90625

d) 0,65625

e) 0,453125

5. a) 10001

b) 1000110

c) 111111

d) 1001110

e) 10100011

f) 10000111

g) 10000,10

h) 10100,00

6. a) 1001

b) 110100

c) 1100

d) 100010

e) 10000

f) 11001

g) 100101

h) |11001| = - 111

7.

Dezimalzahl	BCD-Zahl				
a) 10 941	1	0 000	1 001	0 100	0 001
b) 3 890		11	1 000	1 001	0 000
c) 7 863		111	1 000	0 110	0 011
d) 98 001	1 001	1 000	0 000	0 000	0 001
e) 7 989		111	1 001	1 000	1 001

8. a) |0111
 b) 1|0100
 c) 1|0110
 d) |1001
 e) 1|0111
 f) 1|0000
 g) 1|0010
 h) 1|0101
9. a) 0001
 b) 0001
 c) 0001
 d) 0010
 e) 0100
 f) -0010
 g) 0101
 h) -0101

10.

Dezimalzahl	Dualzahl				
a) 2 737		1 010	1 011	0 001	
b) 34 802	1 000	0 111	1 111	0 010	
c) 58 885	1 110	0 110	0 000	0 100	
d) 48 340	1 011	1 100	1 101	0 100	
e) 76 593	1 0010	1 011	0 011	0 001	
f) 47 642	1 011	1 010	0 001	1 010	
g) 201 817	11 0 001	0 100	0 101	1 001	
h) 6 683	1	1 010	0 001	1 011	

11.

Hexadezimalzahl	Dualzahl				
a) 64			110	0 100	
b) 103		1	0 000	0 011	
c) 3FC		11	1 111	1 100	
d) 7BF		111	1 011	1 111	
e) 2 710	10	0 111	0 000	0 000	
f) 7E			111	1 110	
g) 4 664	100	0 110	0 110	0 100	
h) 3E7		11	1 110	0 111	

12.

Dezimalzahl	Dualzahl				Hexadezimalzahl	Oktalzahl	BCD-Zahl				
2 560	1 010	0 000	0 000		A00	5 000		10	0 101	0 110	0 000
1 270	100	1 111	0 110		4F6	2 366		1	0 010	0 111	0 000
44 854	1 010	1 111	0 011	0 110	AF36	127 466	100	0 100	1 000	0 101	0 100
1 018		11	1 111	1 010	3FA	1 772		1	0 000	0 001	1 000
39 718	1 001	1 011	0 010	0 110	9B26	115 446	11	1 001	0 111	0 001	1 000
107 196	1	1 010	0 010	1 011	1 100	321 274	1	0 000	0 111	0 001	1 001

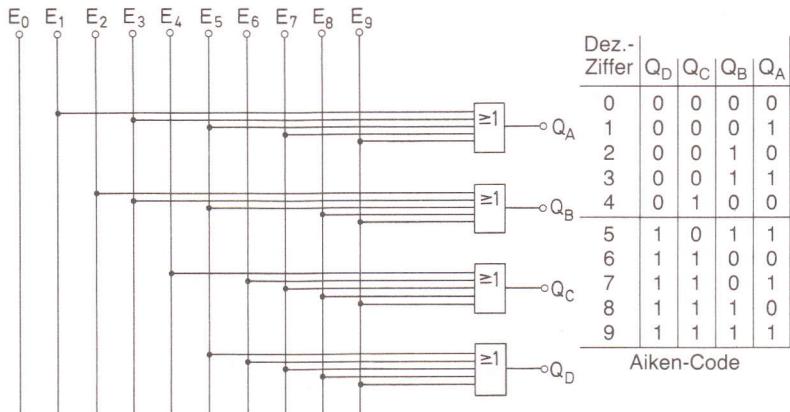
13. bis 20. siehe Buchtext

Kapitel 9

1. Bild 9.8, siehe Buchtext

2. siehe Buchtext

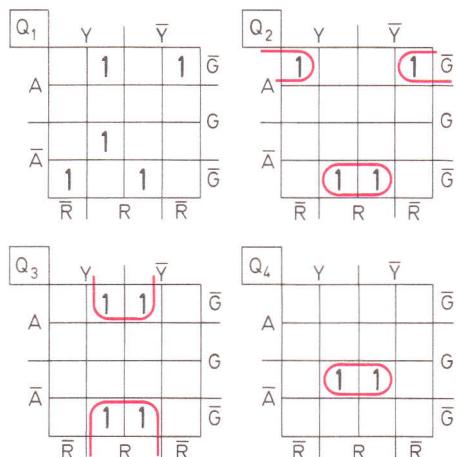
3. Schaltung eines Kodeumsetzers, der den Dezimalkode in den Aiken-Kode wandelt.



4. Berechnung eines Kodeumsetzers für die Umsetzung des Gray-Kodes in den BCD-Kode

Dezimalziffer	Eingang Gray-Kode				Ausgänge BCD-Kode			
	G	R	A	Y	Q ₄	Q ₃	Q ₂	Q ₁
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	1	0	0	1	0
3	0	0	1	0	0	0	1	1
4	0	1	1	0	0	1	0	0
5	0	1	1	1	0	1	0	1
6	0	1	0	1	0	1	1	0
7	0	1	0	0	0	1	1	1
8	1	1	0	0	1	0	0	0
9	1	1	0	1	1	0	0	1

(2³) (2²) (2¹) (2⁰)



$$Q_1 = (Y \wedge \bar{A} \wedge \bar{R} \wedge \bar{G}) \vee (\bar{Y} \wedge A \wedge \bar{R} \wedge \bar{G}) \vee (Y \wedge A \wedge R \wedge \bar{G}) \\ \vee (\bar{Y} \wedge \bar{A} \wedge R \wedge \bar{G}) \vee (Y \wedge \bar{A} \wedge R \wedge G)$$

$$Q_2 = (A \wedge \bar{G} \wedge R) \vee (A \wedge R \wedge G)$$

$$Q_3 = \bar{G} \wedge R$$

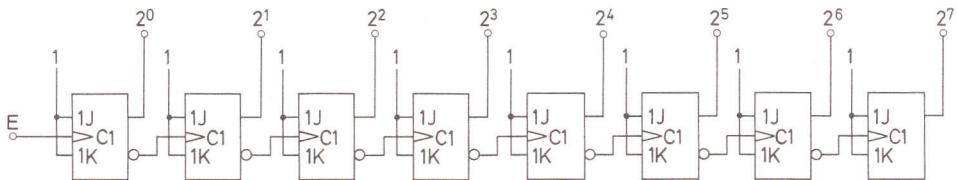
$$Q_4 = \bar{A} \wedge G \wedge R$$

5. und 6. siehe Buchtext

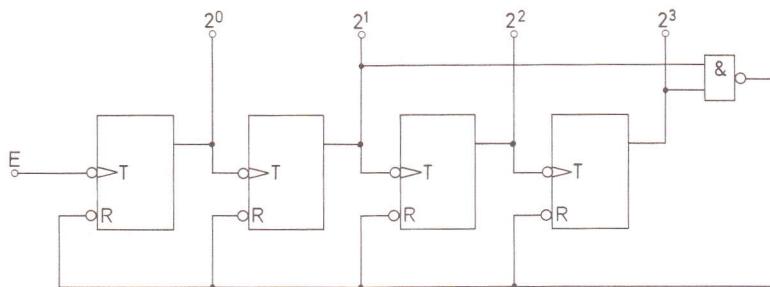
Kapitel 10

1. siehe Buchtext

2. Asynchron arbeitender 8-Bit-Dual-Vorwärtszähler

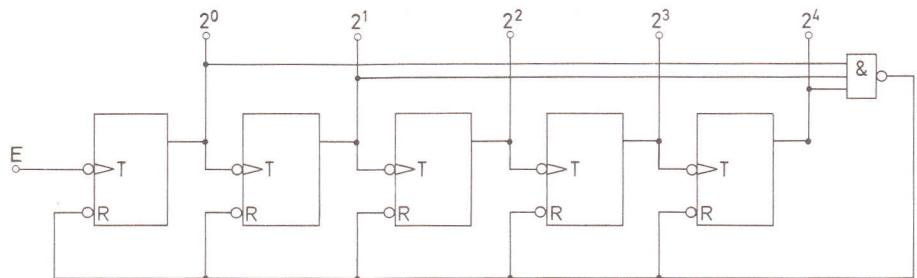


3. Bei Erreichen der Dualzahl $1010 = 10_{(10)}$ soll der Zähler auf Null zurückgestellt werden. Das Rückstellsignal wird mit Hilfe eines NAND-Gliedes erzeugt. Bei 1010 liegt am Ausgang des NAND-Gliedes 0-Signal. Mit diesem 0-Signal wird über die R-Eingänge zurückgestellt.

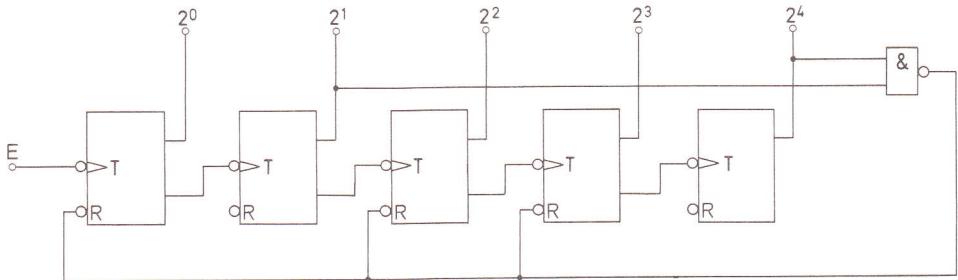


4. siehe Buchtext

5. Modulo-19-Zähler



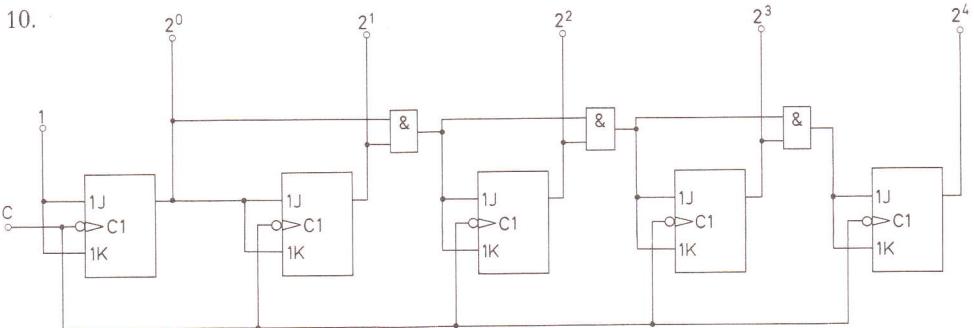
6. Umwandlung des Modulo-19-Zählers in einen Rückwärtszähler



7. Der Zähler in Bild 10.68 ist ein Zähler mit umschaltbarer Zählrichtung. Er arbeitet bei $X = 0$ als Vorwärtszähler und bei $X = 1$ als Rückwärtszähler.

8. siehe Buchtext

9. Lösung siehe Bild 10.9

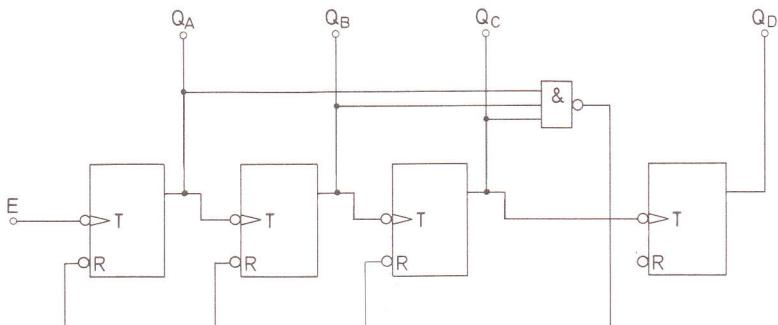


11. siehe Buchtext

12. Die \bar{Q} -Ausgänge des 4-Bit-Synchron-Dual-Vorwärtszählers sind als Ergebnisausgänge zu verwenden. Sind die \bar{Q} -Ausgänge nicht zugänglich, ist es zweckmäßig, die Q -Ausgänge zu negieren.

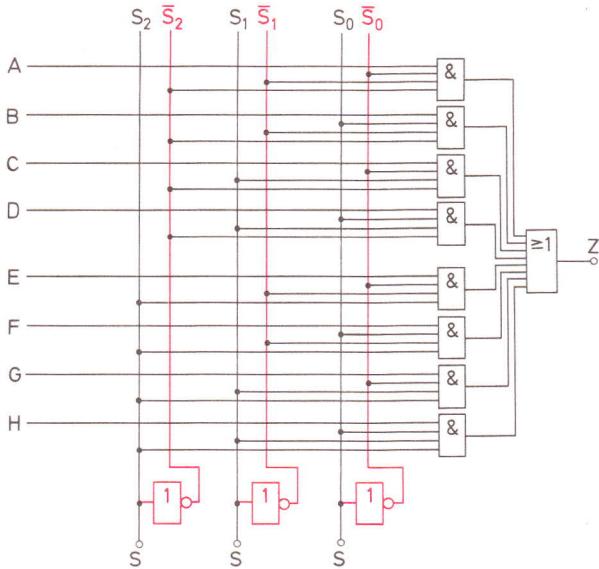
13. Am Ausgang mit der Wertigkeit 2^2 (3. Flipflop) kann die durch den Faktor 8 geteilte Eingangs frequenz entnommen werden.

14. Frequenzteiler mit einem Teilverhältnis 14 : 1



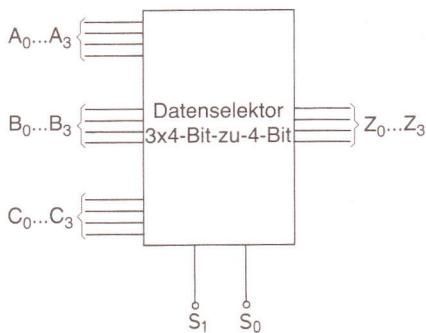
Kapitel 11

1. und 2. siehe Buchtext
3. 8-Bit-zu-1-Bit-Datenselektor

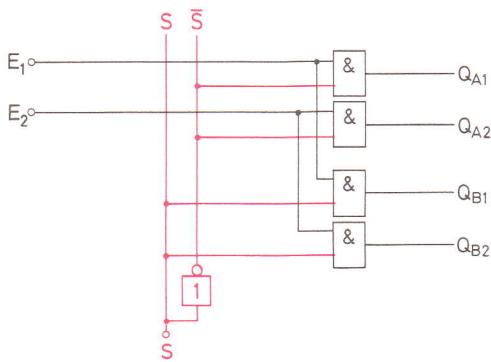


4. 3×4 -Bit-zu-4-Bit-Datenselektor

Die Signale $A_0 \dots A_3$, $B_0 \dots B_3$ und $C_0 \dots C_3$ werden wahlweise über UND-Glieder auf den Ausgang $Z_0 \dots Z_3$ geschaltet. Es sind zwei Steuerleitungen erforderlich, da drei verschiedene Steuerbefehle benötigt werden.

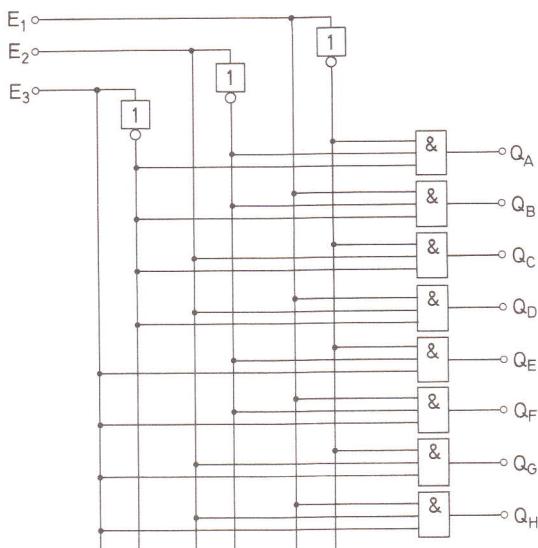


5. Schaltung eines 2-Bit-zu- 2×2 -Bit-Demultiplexers



6. siehe Buchtext

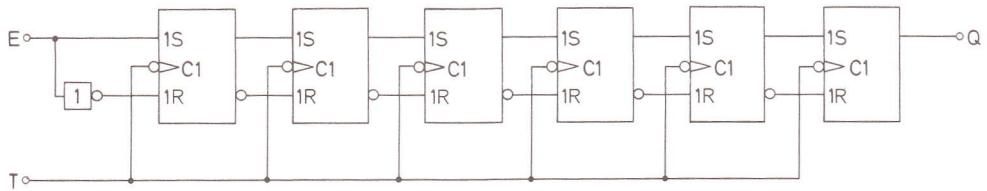
7. Schaltung eines 3-Bit-Adreßkodierers



8., 9. und 10. siehe Buchtext

Kapitel 12

1. Schaltung eines 6-Bit-Schieberegisters für serielle Dateneingabe und Datenausgabe

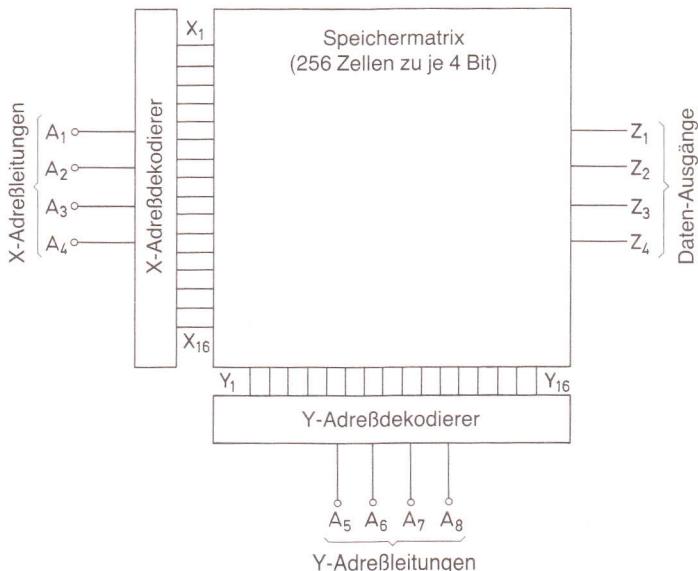


2. bis 5. siehe Buchtext

6. Die gesuchte Schaltung ist in Bild 12.18 dargestellt.

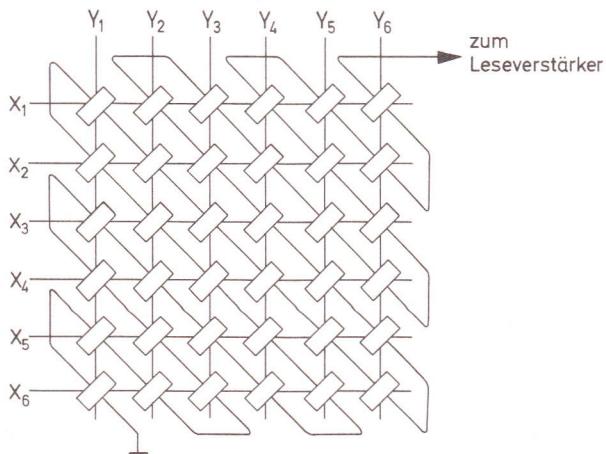
7. siehe Buchtext

8. Mit 4 X-Adresseleitungen können über 16 Adressen 16 X-Koordinatenleitungen angesteuert werden. Ein X-Adressedekodierer ist erforderlich. Mit 4 Y-Adresseleitungen können über einen Y-Adressedekodierer 16 Y-Koordinatenleitungen angesteuert werden. Jede der 256 Speicherzellen hat eine Speicherkapazität von 4 Bit.



9. bis 13. siehe Buchtext

14. Aufbau einer Magnetkernspeicher-Matrix mit 6×6 Bit



15. bis 18. siehe Buchtext

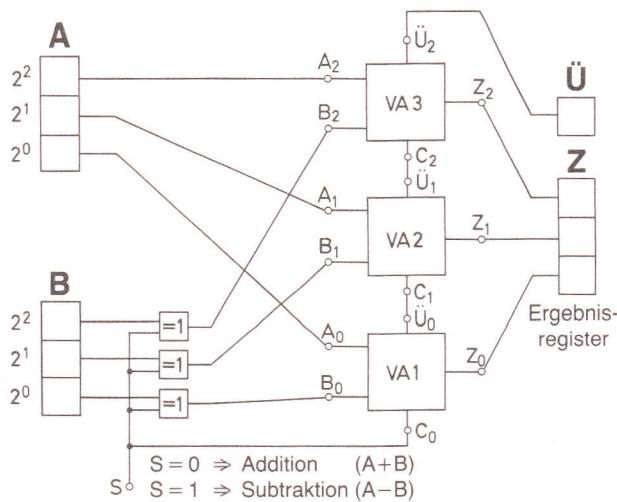
Kapitel 13

1. Der Analog-Digital-Umsetzer ist in Bild 13.3 dargestellt. Arbeitsweise siehe Buchtext
2. bis 7. siehe Buchtext

Kapitel 14

1. Die Wahrheitstabelle ist in Bild 14.1 angegeben. Die Schaltung mit Grundgliedern zeigt Bild 14.2.
2. siehe Buchtext
3. Das Schaltbild ist in Bild 14.7 dargestellt.
4. und 5. siehe Buchtext
6. Die Schaltung eines Halbsubtrahierers ist in Bild 14.14 dargestellt. Erläuterung der Arbeitsweise siehe Buchtext.

7. Schaltung eines 3-Bit-Addier-Subtrahier-Werkes



8. 1-Bit-Multiplizierer erzeugen eine UND-Verknüpfung. Die Wahrheitstabelle des 1-Bit-Multiplizierers ist in Bild 14.25 dargestellt.

9. und 10. siehe Buchtext

Kapitel 15

1. bis 3. siehe Buchtext
4. Die Schaltung eines Akkumulators mit ALU, Register und Übertragsspeicher ist in Bild 15.8 angegeben.
5. bis 12. siehe Buchtext

Stichwortverzeichnis

- 1-Bit-Komparator 375
1-Bit-Multiplizierer 478
1-Bit-zu-4-Bit-Demultiplexer 370
1-Chip-Mikrocomputer 505
16-Bit-zu-1-Bit-Datenselektor-Multiplexer 370
2 × 4-Bit-zu-4-Bit-Datenselektor 368
2-Bit-Adressekodierer 373
3-Bit-Komparator für den BCD-Kode 376
3-Exzeß-Dezimal-Kodeumsetzer 294
3-Exzeß-Kode 255
4 × 8-Bit-zu-8-Bit-Datenselektor 369
4-Bit-Adressekodierer 374
4-Bit-Komparator für den Dual-Kode 379
4-Bit-Parallel-Addierschaltung 467
4-Bit-Parallel-Multiplikationsschaltung 481
4-Bit-Subtrahier-Schaltung 473
4-Bit-zu-1-Bit-Datenselektor 367
8-Bit-ALU 487
- A**
- Abhängigkeits-Notation 181
Achtersystem 267
AD-Umsetzer nach dem Direktverfahren 459
AD-Umsetzer nach dem Dual-Slope-Verfahren 453
AD-Umsetzer nach dem Kompensationsverfahren 455
AD-Umsetzer nach dem Sägezahnverfahren 452
AD-Umsetzer nach dem Spannungs-Frequenz-Verfahren 457
Addier-Subtrahier-Werk 475
Addition im BDC-Kode 251
Addition von Dualzahlen 241
Adressen-BUS 383
Adressekodierer 374
Adresseleitungen 402
Aiken-Kode 256
Akkumulator 489
Akkumulator mit Datenspeicher 491
Altair-BUS 383
ALU 486
- ALU mit ROM 488
Analog-Digital-Umsetzer 448
Analoge Größen 15
Analogprinzip 15
Analogrechner 15
Antisättigungs-Diode 154
ANTIVALENZ-Glied (EXKLUSIV-ODER-Glied) 30
ÄQUIVALENZ-Glied 29
Arbeitsgeschwindigkeit 119
Arbeitstemperaturbereich 405
Arbeitszustand 178
Arithmetisch-logische Einheit 485
Assoziativgesetz 53
Asynchron-Dualzähler 311
Asynchrone Dekadenzähler 329
Asynchrone Frequenzteiler 358
Asynchrone Modulo-n-Zähler 330
Asynchrone-BCD-Zähler 323
Asynchronzähler 311
Asynchronzähler für den 3-Exzeß-Kode 334
Asynchronzähler für den Aiken-Kode 334
Aufbau einer RAM-Speichermatrix 399
Aufbau eines Magnetblasenspeichers 438
Auffang-Flipflop 186
Auffrischvorgang 401
Ausgabeschleife 439
Ausgangskennlinie 151
Ausgangslastfaktor 122
Ausgangstor 437
Ausgangsvariable 71
Ausschalt-Verzögerungsglieder 230
- B**
- B-Komplement 244
BCD-7-Segment-Kodeumsetzer 297
BCD-Dekadenzähler 329
BCD-Dezimal-Kodeumsetzer 290
BCD-Kode 249
BCD-Rückwärtszähler 326
BCD-Vorwärtszähler 323
BCD-Zähler mit umschaltbarer Zählrichtung 327

Befehle einer ALU 488
Befehlsdekodierer 499
Befehlsliste 496
Befehlsliste eines Akkumulators 490
Befehlsregister 499
Befehlssprung 494
Befehlsvorrat 497
Befehlszähler 493
Berechnung von Synchronzählern 341
Berechnung von Verknüpfungsschaltungen 99
Besonderheiten dynamischer RAM 401
Bidirektionaler BUS 381
Binäre Digitaltechnik 19
Binäre Elemente 19
Binäre Kodes 237
Binäre Spannungsspegel 115
Binäre Zustände 19
Binary digit 237
Binärzähler 309
Bindungsregel 58
Biquinär-Kode 275
Bistabile Kippstufen 177
Bit 237
Blasendetektor 438
Blasengenerator 438
Boole 49
Boolesche Algebra 49
BUS 381
BUS-Schaltungen 381
BUS-Standards 383

C

CMOS 167
CMOS-Glieder 168, 303, 304, 305, 308
Charakteristische Gleichungen 218
Computergesteuerte Testgeräte 44
COS-MOS 167
Current Mode Logic 157

D

D-Flipflop 190
D-Master-Slave-Flipflop 213
DA-Umsetzer 443
DA-Umsetzer mit gestuften Widerständen 444
Daten-BUS 499
Datenerhalt 423
Datenselektor 367
Datenspeicher 493
DCTL-System 114
De Morgan 56

Dekadenzähler 329
Demultiplexer 367
Dezimal-3-Exzeß-Kodeumsetzer 293
Dezimal-7-Segment-Kodeumsetzer 295
Dezimal-BCD-Kodeumsetzer 287
Differenzverstärkerschaltung 158
Digital-Analog-Umsetzer 443
Digitale Anzeigen 18
Digitale Größen 17
Digitale Wechselschaltung 99
Digitaler Komparator 374
Digitalrechner 17
Digitalschaltung 37
Direkte Subtraktion 243
Distributivgesetz 54
Doppelintegrationsverfahren 453
Drei-aus-Fünf-Kodes 274
DTL-System 114
Dual ergänzter Kode 271
Dual-Rückwärtszähler 320, 338
Dual-Slope-Verfahren 453
Dual-Vorwärtszähler 337
Dual-Vorwärtszähler 311
Duales Zahlensystem 237
Dualzahlen 239
Dualzahlen mit Kommastellen 240
Dualzähler mit umschaltbarer Zählrichtung 341
Dualzähler mit umschaltbarer Zählrichtung 321
DV-Flipflop 213
Dynamische Eingänge 179
Dynamische RAM 400
Dynamische Störsicherheit 124
Dynamische Takteingänge 182
Dynamischer Zwischenspeicher 205

E

E-Flipflop 189
E/A-Baustein 504
EAROM 429
ECL-Glied 159
ECL-Schaltungen 157
EEROM 429
Einflankengesteuerte D-Flipflops 205
Einflankengesteuerte JK-Flipflops 201
Einflankengesteuerte SR-Flipflops 197
Einflankengesteuerte T-Flipflops 199
Eingabeschleife 438
Eingangsempfindlichkeit 124
Eingangskennlinie 150
Eingangslastfaktor 122

Eingangssperre 208
Eingangstor 437
Eingangsvariable 71
Einschalt-Verzögerungsglieder 230
Einschrittige Kodes 258
Einspeicher-Flipflops 182
Einweg-BUS 481
Emitter Coupled Transistor Logik 157
Emitterfolgerstufe 159
EPROM 421
EXCLUSIVE-OR 31
Externe Speicher 503

F

Fahrstuhl-Sicherheitsschaltung 72
FAMOS-Transistor 423, 429
Fan-in 122
Fan-out 122
Fehlerbestimmung 45
Fehlererkennende Kodes 271
Fehlererkennung 275
Fehlerkorrigierende Kodes 276
Festwertspeicher 415
Flipflop-Arten 181
Flipflops 177
Floating-Gate 422
Flüchtige Speicher 396
Flugabwehr-Auslöseschaltung 111
Frequenzteiler 358
Frequenzteiler mit einstellbarem Teilverhältnis 362
Funktionsgleichung 40

G

Gefahrenmelder 101
Gegentakt-Ausgangsstufe 138
Genormte Schaltzeichen 26
Geradeschaltung 103
Geradzahligkeitsprüfung 272
Gesamtverknüpfung 38
Gleichungsvereinfachung 86
Granat 439
Gray-Kode 258
Grenzdaten 143
Grundglieder 23, 26
Grundstellung 178

H

H-Ausgangslastfaktor 133
H-Pegel 116

Halbaddierer 461
Halbsubtrahierer 470
Hamming-Kode 277
Hexadezimalsystem 260
Hexadezimalziffer 264
High-Speed-TTL 153
Hystereseschleife eines Speicherringkerns 431

I

Identität A 32
Identität B 32
IEC-BUS 483
IEEE-488-BUS 483
Implikation A 33
Impulsglieder 196
Impulsverzögerung 121
Informations-Bit 277
Inhibition 33
Integrationsdichte 170
Integrator 453
Inverse Stromverstärkung 136
Inverter 25
Ist-Verknüpfung 43

J

JK-Master-Slave-Flipflop 213

K

Karnaugh 82
Kenndaten 143
Kippfälle 220
Kode-Umsetzer 285
Kodes 237
Kodetabellen 273
Kodeumsetzer 285
Kollektor-Emitter-Sättigungsspannung 138
Kommutativgesetz 53
Kompatibilität 303
Kompensatzinsverfahren 455
Kompensationsverfahren mit kontinuierlichem Abgleich 456
Komparator 106
Komplement 244
Konjunktion 74
Konstante 49
Kontaktschema 54
Kontroll-Bit 277
Kontrollgruppe 277
Koordinatenleitungen 402
Korrektur-Addition 252

Kurzschlußausgangsstrom 144
KV-Diagramme 82
KV-Diagramme eines Volladdierers 464

L

L-Ausgangslastfaktor 133
L-Pegel 116
Langsame, störsichere Logik 130
Lastfaktoren 122
Laufzeitverzögerung 230
Leistungsaufnahme 119
Leistungsbedarf 405
Leitungsprobleme 160
Lesedraht 431
Lexikographischer Kode 273
Logiktester 43
Logische Zustände 21
Lorenz-Kode 274
Löschbare programmierbare Festwertspeicher 421
Low-Power-Schottky-TTL 155
Low-Power-TTL 152
LSL-Schaltungen 130

Multi-Emitter-Transistor 134
Multiplexer 367
Multiplikationsschaltungen 478

N

N-Kanal-MOS-Feldeffekt-Transistor 167
NMOS-Glieder 165
NMOS-Unterfamilie 165
Nachbarschaftsbedingungen 87
Nachtriggerbare monostabile Kippstufen 227
NAND-Funktion 59
NAND-Glieder 61
NAND-Latch 184
NAND-Verknüpfung 27
Negative Dualzahlen 247
Negative Logik 117
Neunerkomplement 253
NICHT-Glied 25
NOR-Funktion 59
NOR-Glieder 60
NOR-Latch 184
NOR-Verknüpfung 28
Normalformen 74

M

Magnetblasen 433
Magnetblasen-Generator 434
Magnetblasenbahnen 439
Magnetblasenschleife 436
Magnetblasenschleifen 434
Magnetblasenspeicher 433
Magnetkernspeicher 430
Magnetkernspeicher-Matrix 431
Majoritätsschaltung 110
Maskenprogrammierbare Festwertspeicher 416
Master-Flipflop 207
Master-Slave-Flipflop 207
Master-Slave-Flipflops 183
Mathematische Logik 21
Mengenlehre 49
Meßtabelle 45
Mikrocomputer 503
Mikroprozessor 485
Modulo-13-Zähler mit Wartepflicht 333
Modulo-5-Zähler 330
Modulo-60-Zähler 332
Monolithisch integrierte Schaltungen 134
Monostabile Kippstufen 224
Morgansche Gesetze 56
MOS-Schaltungen 161

O

ODER-Abhängigkeit 180
ODER-Glied 24
ODER-Normalform 74
ODER-Verknüpfung 24
Oktalsystem 267

P

P-Kanal-MOS-Feldeffekt-Transistor 167
PMOS-Glieder 165
PMOS-Unterfamilie 162
Parallel-Multiplikationsschaltung 479
Paralleladdierschaltung 466
Parallele BUS-Systeme 381
Pegeldiagramm 303
Pegeldiagramme 173
Pegelverschiebung 138
Pegelumsetzer 303
Phantom-UND 125
Positive Logik 117
Postulate 50
Prinzip der Analog-Digital-Umsetzung 448
Priorität 58
Programmable Read Only Memory 420
Programmgesteuerter vereinfachter Rechner 493

Programmierbarer Festwertspeicher 420
Programmspeicher 493
Progressive Kodes 259
PROM 420
Pseudotrade 252

R

R/2R-DA-Wandler 446
RAM 395
RAM-Speicherelement in N-MOS-Technik 399
RAM-Speicherelement in TTL-Technik 396
Random Access Memory 395
Read Only Memory 415
Rechengeschwindigkeit 497
Rechenrahmen 17
Rechenschaltungen 461
Rechenschieber 15
Redundanz 271
Reflektierte Biquinär-Kode 275
Reflexionen 160
EPROM 421
Ringregister 391
ROM 415
RTL-System 114
Rücksetz-Zustand 178
Rücksetzeingang, taktunabhängig 202
Rücksetzfälle 219
Ruhezustand 178

S

S-100-BUS-System 383
Sättigungszustand 134
Schaltalgebra 49
Schaltkreisfamilie 113
Schaltung eines Volladdierers 464
Schaltungsanalyse 37
Schaltungssynthese 71
Schaltzeichen 24
Schaltzeichen von Flipflops 177
Schaltzeiten 119
Schieberegister 385
Schieberegister für serielle Ein- und Ausgabe 385
Schieberegister mit Parallelausgabe und Paralleleingabe 390
Schieberegister mit Parallelausgabe 389
Schieberegister mit umschaltbarer Schieberrichtung 392
Schottky-Dioden 154
Schottky-TTL 153
Schreib-Lese-Speicher 395
Schwellwertschaltung 105

Sechzehner-Zahlensystem 260
Serielle 4-Bit-Addierschaltung 469
Serielle Addierschaltung 467
Serielle BUS-Systeme 381
Serielle Multiplikationsschaltung 482
Seriellen 4-Bit-Multiplikations-Schaltung 483
Setzeingang, taktunabhängig 202
Setzfälle 219
Setzzustand 178
Sicherheits-Lötäder 162
Sicherheits-Lötkolben 162
Sicherheitsabstand 123
Signallaufzeit 121, 313
Signal-Übergangszeit 122
Slave-Flipflop 207
Soll-Verknüpfung 43
Spannungs-Frequenz-Verfahren 458
Spannungspiegel H 20
Spannungspiegel L 20
Speicheraufbau 402
Speicherelement 402
Speicherelement eines dynamischen RAM 400
Speicherkapazität 405
Speicherkenngrößen 402
Speicherorganisation 405
Speicherregister 393
Speicherringkerne 430
Speicherzelle 402
Speisestrom 146
SR-Flipflop 186
SR-Speicherflipflops 184
Standard-DTL-Schaltungen 127
Standard-TTL 140
Statische Aufladung 162
Statische Eingänge 179
Statische RAM 396
Statische Störsicherheit 124
Stellenwert-Systeme 237
Steuerschaltung 109, 499
Störsicherheit 119
Störspannungen 120
Subtrahierung mit Volladdierern 474
Subtrahierschaltungen 469
Subtraktion durch Addition des Komplements 244
Subtraktion im BCD-Kode 252
Subtraktion von Dualzahlen 243
Synchrone BCD-Zähler 347
Synchrone Dualzähler 336
Synchrone Frequenzteiler 361
Synchronzähler 335
Synchronzähler 3-Exzeß-Kode 353
System-Steuerbaustein 504

T

- Taktbaustein 500
- Taktflankensteuerung 182, 193
- Taktgenerator 500
- Taktsteuerung 181
- Taktzustandssteuerung 181
- Technologie (Schaltkreisfamilie) 497
- Tetraden 250
- Tetraden-Kodes 254
- Theoreme 51
- Transistor-Sortierschaltung 107
- Transmissionsglied 169
- Tri-State 383
- TTL-Glied 136
- TTL-Schaltungen 133

Ü

- Übersprechen 160
- Übersteuerungszustand 134
- Übertragungskennlinie 119
- Übertragungsunterdrückung 489

U

- Umformung der ODER-Normalform 80
- Umgebungstemperatur 151
- Umkehrzähler 322
- Umkodierungs-ROM 489
- Umwandlung von Dualzahlen 239
- Umwandlung von Hexadezimalzahlen 261
- Umwandlung von Oktalzahlen 268
- Unbewertete Kodes 443
- UND-Abhängigkeit 180
- UND-Glied 23
- UND-Normalform 78
- UND-Verknüpfung 23
- Ungeradeschaltung 109
- Ungeradzahligkeitsprüfung 275
- Universal-Flipflop 201

V

- Variable 49
- Veitch 82
- Vereinfachung der ODER-Normalform 79
- Vereinfachung von Gleichungen 65
- Vergleichsschaltung 106
- Verknüpfungsglieder 113
- Verknüpfungsglieder mit offenem Kollektor 139
- Verknüpfungsschaltungen 71
- Verneinung 25

Verriegelungsschaltung 110

Vertauschungsgesetz 53

Verteilungsgesetz 54

Verweilzeit 224

Verzögerungsglieder 229

Verzögerungsglieder mit Abgriffen 230

Verzögerungszeit 229

Viererpäckchen 87

Volladdierer 463

Volldisjunktionen 78

Vollkonjunktion 74

Vollkonjunktionen 83

Vollsubtrahierer 470

Vorwahlmöglichkeit 315

W

- Wahrheitstabelle 23, 29, 33, 37, 187
- Walking-Kode 273
- Winkel-Kodierscheibe 259
- Winkelkodierung 259
- Wired-AND 125
- Wired-OR 126
- Wired-Verknüpfungen 125
- Wortlänge 496

X

- X-Koordinatendraht 431
- XOR 31

Y

- Y-Koordinatendraht 431

Z

- Zähler 309
- Zählnummer 180
- Zehnerkomplement 253
- Zeigermeßgeräte 16
- Zeitablauf-Diagramme 214
- Zugriffszeit 405
- Zuordnungsgesetz 53
- Zwei-aus-Drei-Schaltung 101
- Zwei-aus-Fünf-Kodes 273
- Zwei-aus-Sieben-Kodes 275
- Zweierpäckchen 86
- Zweierpotenzen 242
- Zweiflankengesteuerte SR-Flipflops 207
- Zweiflankengesteuertes JK-Flipflop 209
- Zweispeicher-Flipflops 182
- Zweiweg-BUS 381
- Zwischenspeicher 502
- Zykluszeit 405

THEMA ELEKTRONIK

Alles über die 8051-Familie

Dieses Buch macht den Unterschied zwischen Mikroprozessor und Mikrocontroller klar. Folgende Fragen werden beantwortet:
Wie sind Mikrocontroller aufgebaut? Welche Vor- und Nachteile haben sie? Wo und wie werden sie vorteilhaft eingesetzt?
Anhand der 8051er-Familie werden die Unterschiede verdeutlicht sowie die Hardwarefunktionen und der Assemblercode erklärt.
Grundbegriffe des Mikrocomputers sollten dem Leser geläufig sein.



Dilsch, Roland

Mikrocontroller der 8051-Familie

Aufbau – Funktion – Einsatz

164 Seiten, zahlreiche Bilder, 1991

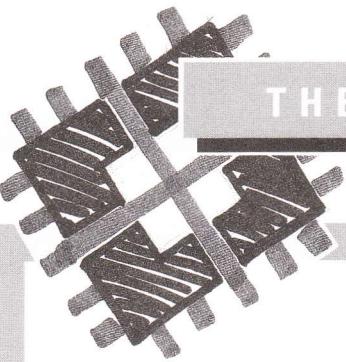
ISBN 3-8023-0491-8



Erhältlich
im Buchhandel
oder bei:

Vogel Buchverlag
97064 Würzburg
Tel. (09 31) 4 18-24 19, Fax -26 60

Das praxisorientierte Fachwissen



THEMA ELEKTRONIK

Vorsprung durch Fachwissen

Elektronische Systeme zum Messen, Steuern, Regeln werden zunehmend in allen Fertigungsbereichen eingesetzt, um die Produktivität zu erhöhen, Kosten zu senken und Auflagen des Umweltschutzes zu erfüllen.

Dem Elektroniker, aber auch dem Verfahrenstechniker mit elektronischen Kenntnissen werden die geeigneten Sensoren, Anpassungs- und Umsetzungsverfahren sowie das interne BUS-Interface des PC vorgestellt.



Rose, Michael

Interfacetechnik

zum Messen, Steuern, Regeln
mit dem Industrie-PC

208 Seiten, 118 Bilder, 1991

ISBN 3-8023-0484-5



VOGEL

FACHBUCH

Erhältlich
im Buchhandel
oder bei:

Vogel Buchverlag
97064 Würzburg
Tel. (09 31) 4 18-24 19, Fax -26 60

Das praxisorientierte Fachwissen