

13 Der Feldeffekttransistor (FET)

13.1 Allgemeines / Grundprinzip

- * FET = Halbleiterbauelement, bei dem der Ladungsträgerstrom in einem Stromkanal durch ein elektrisches Querfeld gesteuert wird
- * Zwei mögliche Wirkungsprinzipien
 - Steuerung des Kanalquerschnitts
 - Steuerung der Leitfähigkeit des Stromkanals
- * Prinzipieller Aufbau
 - Grundelement des FET ist ein dünner dotierter Halbleiterkristall mit elektrischen Anschlüssen an den beiden Enden
 - Die äußeren Anschlüsse werden Drain (D) und Source (S) genannt
 - Legt man eine Spannung U_{DS} zwischen die Drain- und Source-Anschlüsse, so fließt Strom in einem gesteuerten Stromkanal (Drainstrom I_D).
 - Die Steuerung des Querschnitts bzw. der Leitfähigkeit des Stromkanals erfolgt durch ein Querfeld
 - Eine dritte Elektrode dient zur Aufprägung des Querfeldes
 - Die dritte Elektrode (Steuerelektrode) wird Gate (G) genannt
 - Die Gate-Elektrode ist gegenüber dem Stromkanal isoliert. Hierzu gibt es zwei Varianten:
 - . Trennung durch gesperrten pn-Übergang
 - Bezeichnungen: \Rightarrow Sperrschicht-FET
 - \Rightarrow junction FET (J-FET)
 - . Trennung durch Isolierschicht (z.B. SiO_2)
 - Bezeichnungen: \Rightarrow isolated Gate FET (IG-FET)
 - \Rightarrow metall-isolator-semiconductor-FET (MIS-FET)
 - \Rightarrow metall-oxid-semiconductor-FET (MOS-FET)

13.2 Sperrschicht-FET

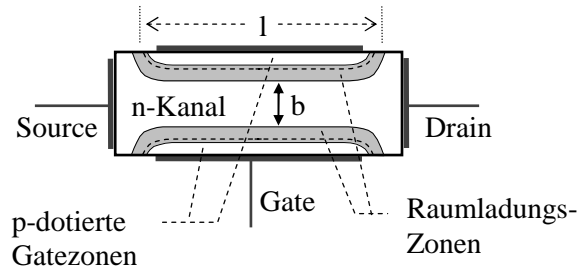
13.2.1 Aufbau und Wirkungsprinzip

- * Aufbau
 - Grundelement des Sperrschicht-FET ist ein länglicher, einheitlich dotierter Halbleiterkristall (bzw. Kristallbereich), der den Stromkanal bildet. Je nach Dotierung handelt es sich um einen
 - . p-Kanal-FET oder
 - . n-Kanal-FET
 - An den Enden des Kristalls/Kristallbereiches sind Drain- und Source-Anschluss angebracht; an der Längsseite des Kristalls befindet sich die Gate-Elektrode.

Der Feldeffekttransistor (FET)

- Zur Isolierung des Gateanschlusses wird beim n-Kanal-FET unter der Gate-Elektrode eine p-dotierte Zone eindiffundiert (beim p-Kanal-FET eine n-dotierte Gatezone).
- An den pn-Übergängen zwischen Gatezonen und dem übrigen Kristall bildet sich eine Verarmungszone (Raumladungszone) ohne bewegliche Ladungsträger.
- Der verbleibende Teil des Kristalls ist leitfähig und bildet den Stromkanal.

Abbildung 13-1
Aufbau des J-FET



* Wirkungsprinzip

Beim Sperrschicht-FET wird durch ein Querfeld die Ausdehnung der Verarmungszone (Raumladungszone) unter dem Gateanschluss und damit der Querschnitt des Stromkanals gesteuert.

* Schaltzeichen

Abbildung 13-2
Schaltzeichen des J-FET



13.2.2 Einfluss der Kanalspannung auf die Kennlinie

Für die Diskussion des Einflusses der Kanalspannung U_{DS} wird die Funktion bei kurzgeschlossener Gate-Sourcestrecke ($U_{GS} = 0$) betrachtet

- Die Polarität der Spannung U_{DS} wird beim Sperrschicht-FET so gewählt, dass der pn-Übergang zwischen Gate und Stromkanal an allen Stellen in Sperrpolung betrieben wird:

n-Kanal-FET: $U_{DS} > 0$

p-Kanal-FET: $U_{DS} < 0$

Unter dieser Voraussetzung fließt kein Gatestrom (außer ein kleiner Sperrstrom)

- Aufgrund der äußeren Spannung U_{DS} fließen Ladungsträger vom Source- zum Drain-Anschluss.
- Der Stromfluss wird fast ausschließlich von Majoritätsträgern getragen; die Minoritätsträger sind ohne Bedeutung.

. n-Kanal-FET: Elektronenstrom von Source nach Drain

. p-Kanal-FET: Löcherstrom von Source nach Drain

- Da jeweils nur eine Ladungsträgerart für den Stromfluss benötigt wird, wird der FET als *unipolarer Transistor* bezeichnet.
- Der Eintritt der Majoritätsträger in den Kristall erfolgt jeweils am Source-Anschluss (Deswegen die Namensgebung: Source = Quelle); die Ladungsträger treten am Drain-Anschluss aus dem Kristall aus (Deswegen die Namensgebung: Drain = Senke).
- Bei symmetrischem Aufbau können Source und Drain vertauscht werden.

Der Feldeffekttransistor (FET)

Funktion bei kleiner Drain-Source-Spannung

- Der Stromkanal verhält sich für kleine U_{DS} wie ein ohmscher Widerstand
⇒ linearer Kennlinienverlauf für kleine Werte von U_{DS}
- Der Widerstand bzw. der Leitwert des Stromkanals lässt sich für $U_{DS} \rightarrow 0$ aus den Abmessungen des Stromkanals berechnen:

Kanalleitwert für $U_{DS} \rightarrow 0$

$$G_0 = \kappa \cdot \frac{A}{l} = e \cdot n_D \cdot \mu_n \cdot \frac{b \cdot d}{l} \quad (\text{n-Kanal-FET})$$

Legende:

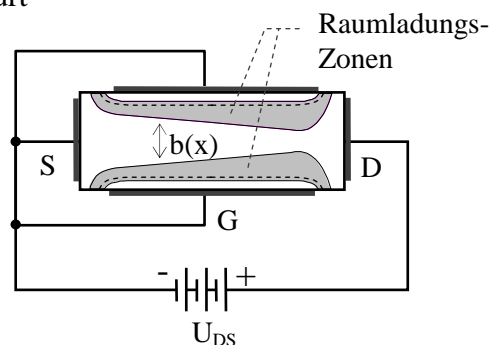
e = Elementarladung
 N_D = Donatorkonzentration
 μ_n = Beweglichkeit der Elektronen
 b, d, l = Kanal-Breite, -Dicke, -Länge
 κ = Leitfähigkeit = $e \cdot n \cdot \mu$

Funktion bei größeren Werten von U_{DS}

- Die Spannung U_{DS} fällt entlang des Stromkanals ab.
⇒ Die Sperrspannung zwischen Gate und Stromkanal wächst in Richtung auf den Drain-Anschluss
⇒ Die Sperrschichtweite W_s ist in Drain-Nähe größer als in Source-Nähe
⇒ Die Kanalbreite $b(x)$ ist in Drain-Nähe kleiner als in Source-Nähe
⇒ Der Stromkanal ist in Drain-Nähe eingeschnürt

Abbildung 13-3

Kanaleinschnürung durch U_{DS}



- Die Kanaleinschnürung verstärkt sich mit wachsender Drain-Source-Spannung
⇒ Der Kanalwiderstand wächst mit zunehmenden Werten von U_{DS}
⇒ Die Kennlinie des FET wird flacher
- Ab einer bestimmten Spannung $U_{DSsat} = -U_p$ geht die Kanalbreite in Drain-Nähe gegen 0
⇒ „Kanalabschnürung“
⇒ Der Kanalstrom nimmt bei weiter steigendem U_{DS} nicht mehr zu
(Ende des ohmschen Kennlinienbereiches)

Der Feldeffekttransistor (FET)

⇒ Die Kennlinie geht in den Sättigungsbereich über
(Kanalstrom $I_{Dsat} = \text{Sättigungsstrom } I_{DSS}$)

$$I_{DSS} = \frac{G_0 \cdot (-U_p)}{3}$$

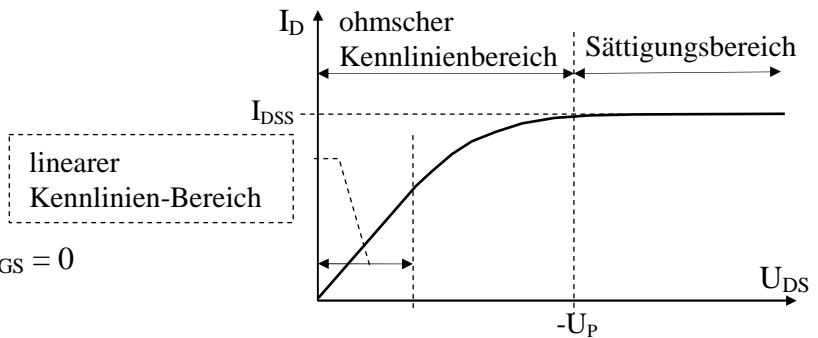
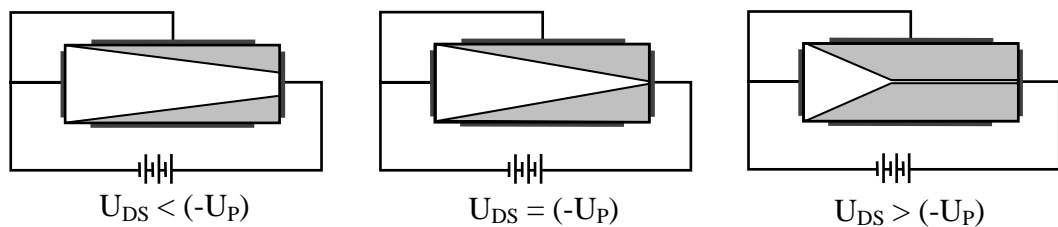


Abbildung 13-4
Kennlinie des FET für $U_{GS} = 0$

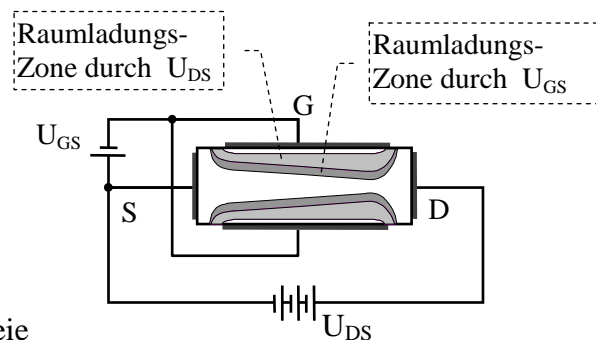
Abbildung 13-5 Schematische Darstellung des Kanals für $U_{GS} = 0$



13.2.3 Steuerung über das Gate

- Die Ausdehnung der Verarmungszone unter dem Gate lässt sich durch eine Sperrspannung U_{GS} am Gate zusätzlich steuern

Abbildung 13-6
Steuerung des Stromkanals über das Gate



- Bei anliegender Sperrspannung wird der freie Querschnitt des Stromkanals weiter eingengt
- ⇒ Der Kanalwiderstand wird größer.
- ⇒ Der Kanalstrom wird kleiner.
- ⇒ Die Abschnürspannung verkleinert sich

$$U_{DSsat} = U_{GS} - U_p$$

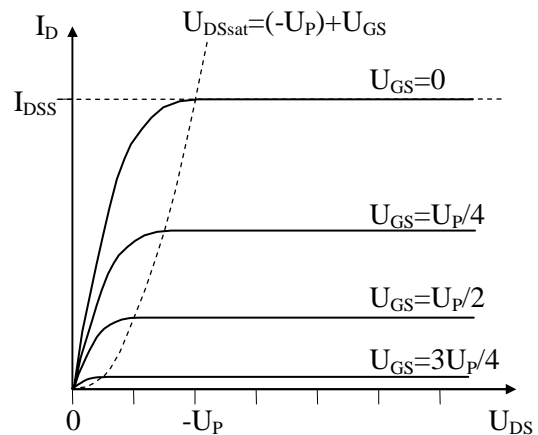
- ⇒ Der Sättigungsstrom nimmt ab

$$I_{Dsat} \approx I_{DSS} \cdot \left(1 - \frac{U_{GS}}{U_p}\right)^2$$

- ⇒ Für $|U_{GS}| \geq |U_p|$ ist der Stromkanal unabhängig von U_{DS} auf jeden Fall gesperrt ($U_p = \text{„pinch-off“-Spannung}$)

13.2.4 Die Kennlinien des Sperrschicht-FET

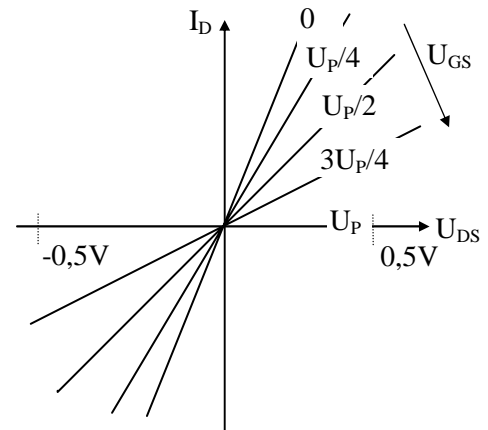
Abbildung 13-7
Ausgangskennlinien
des Sperrschicht-FET⁽¹⁾



- Durch die Gate-Source-Spannung lässt sich der Kanalwiderstand bei kleinen U_{DS} steuern.

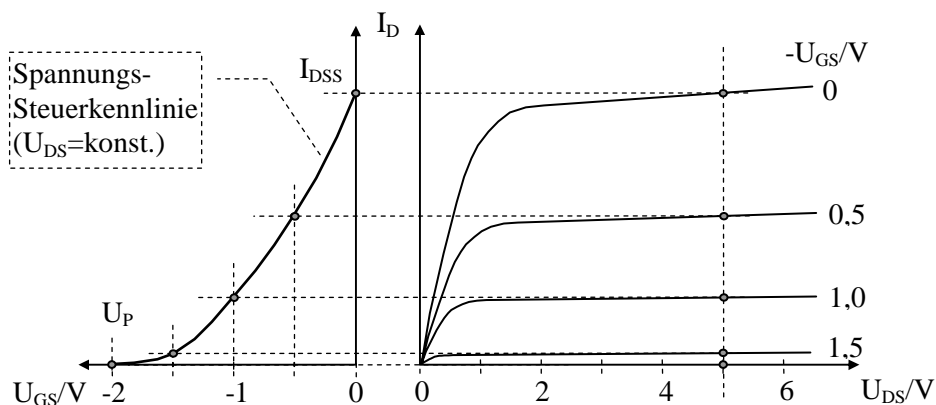
Für kleine U_{DS} ist der Sperrschicht-FET ein regelbarer Widerstand

Abbildung 13-8
Sperrschicht-FET
als steuerbarer Widerstand



- Aus dem Ausgangskennlinienfeld lassen sich die Steuerkennlinien ableiten

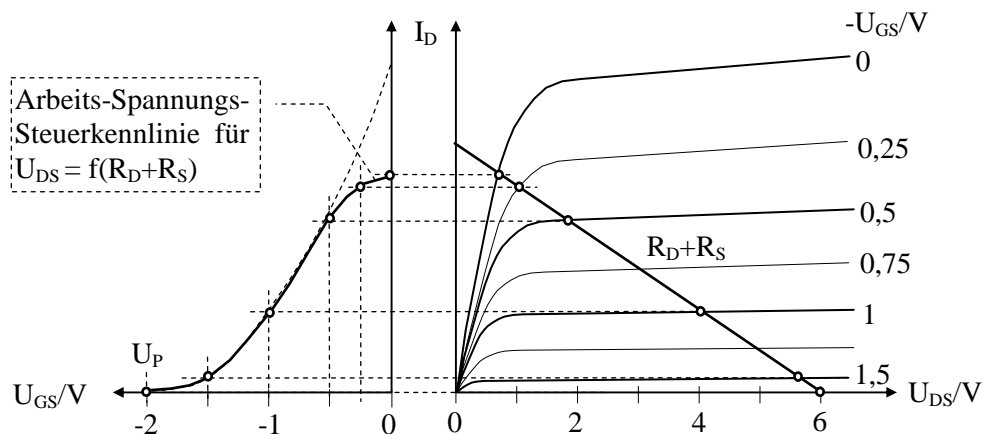
Abbildung 13-9 Die Steuerkennlinie des J-FET



⁽¹⁾ Im Sättigungsbereich weichen die tatsächlichen Kennlinien von dem hier gezeichneten Idealverlauf ab, sie steigen mit zunehmender Drain-Source-Spannung wegen Verkürzung des Stromkanales leicht an. Die Steigung ist so, dass sich die Verlängerungen des Sättigungsteils aller Kennlinien im Punkt $-U_A$ (Early-Spannung) schneiden.

Der Feldeffekttransistor (FET)

Abbildung 13-10 Arbeits-Spannungs-Steuerkennlinie des J-FET



13.3 IG-FET (isolated gate)

* Wirkungsprinzip

Beim IG-FET wird die Leitfähigkeit des Stromkanals durch ein elektrisches Querfeld gesteuert.

* Typen

Es kommen zwei Typen zum Einsatz

- Anreicherungstyp

- . Transistor ist gesperrt bei $U_{GS} = 0$
- . Leitfähigkeit des Stromkanals durch Anlegen einer Gate-Source-Spannung

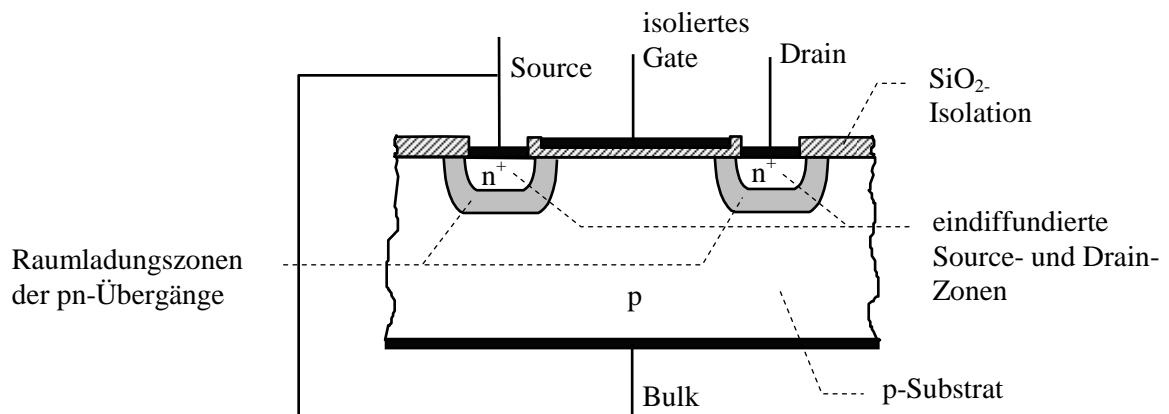
- Verarmungstyp

- . Transistor ist leitend bei $U_{GS} = 0$
- . Sperren des Transistors durch Anlegen einer Gate-Source-Spannung

13.3.1 Anreicherungstyp

13.3.1.1 Aufbau

Abbildung 13-11 Prinzipieller Aufbau des IG-FET (z.B. n-Kanal-MOS-FET)



Der Feldeffekttransistor (FET)

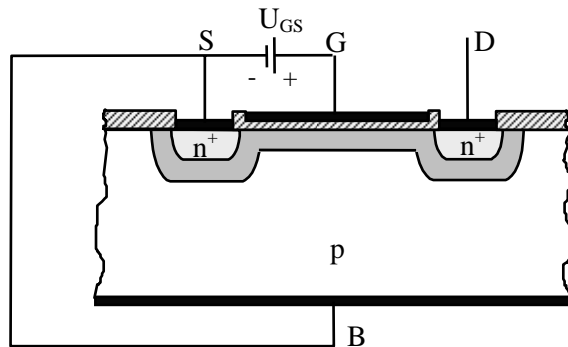
Der Aufbau des IG-FET vom Anreicherungstyp wird am Beispiel eines n-Kanal-FET erläutert:

- In eine dünne p-dotierte Halbleiterscheibe werden von einer Seite zwei n^+ -Zonen eindiffundiert
- Die beiden n^+ -Zonen werden mit Anschlussdrähten versehen und bilden Source und Drain des FET
- Die restliche Kristalloberfläche wird mit einer dünnen elektrisch isolierenden Schicht (Oxid-Schicht) abgedeckt.
- Zwischen den Source- und Drain-Anschlüssen wird -durch die dünne Oxidschicht vom p-leitenden Kristall isoliert- eine flächige Gate-Elektrode angebracht.
- Das p-leitende Substrat wird (z.B. auf der Unterseite des Kristalls) elektrisch kontaktiert (sog. bulk-Anschluss) und (meistens) mit dem Source-Anschluss verbunden.

13.3.1.2 Funktionsweise

- Die beiden eindiffundierten n^+ -Zonen bilden mit dem p-leitenden Kristall zwei pn-Übergänge, an denen sich jeweils eine Raumladungszone ausbildet (Abbildung 13-11).
- Legt man eine positive Spannung an die Gate-Source-Strecke, so werden die Löcher (Majoritätsträger) im p-dotierten Substrat von der isolierten Gate-Elektrode abgestoßen und ins Kristallinnere zurückgedrängt
 - ⇒ Unmittelbar unter der Gate-Elektrode bildet sich eine Zone weitgehend ohne Majoritätsträger (Verarmungszone/Raumladungszone)
 - ⇒ Es hat sich damit eine durchgehende Raumladungszone von Source bis Drain gebildet (Abbildung 13-12).

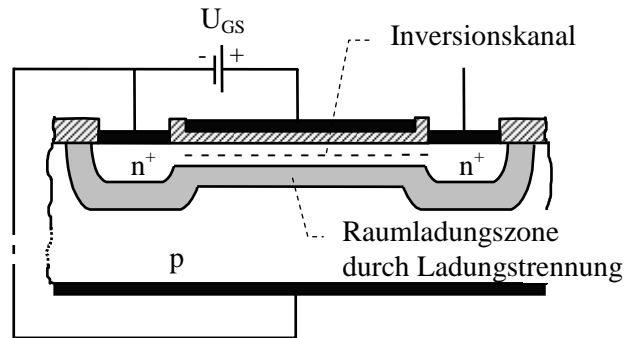
Abbildung 13-12
Verarmungszone unter dem Gate



- Wegen der fehlenden Majoritätsträger (Löcher) können die aus der Eigenleitung stammenden Minoritätsträger (Elektronen) nicht rekombinieren. Ihre Konzentration in der Raumladungszone unter dem Gate steigt daher stark an.
- Durch das positive Potential am Gate-Anschluss werden die Elektronen vom Gate angezogen; wegen der isolierenden Oxidschicht zwischen Gateelektrode und Halbleiterkristall können sie jedoch nicht zum Gate abfließen und sammeln sich unmittelbar unter der Oxidschicht
 - ⇒ Innerhalb der von Source bis Drain durchgehenden Verarmungszone bildet sich eine Anreicherung freier Elektronen, also ein leitfähiger Kanal. Dieser verbindet die n-leitenden Source- und Drain-Zonen miteinander (Abbildung 13-13).
 - ⇒ Da sich ein Kanal mit freien Elektronen (n-Kanal) im p-dotierten Halbleitermaterial gebildet hat, spricht man vom *Inversionskanal*.

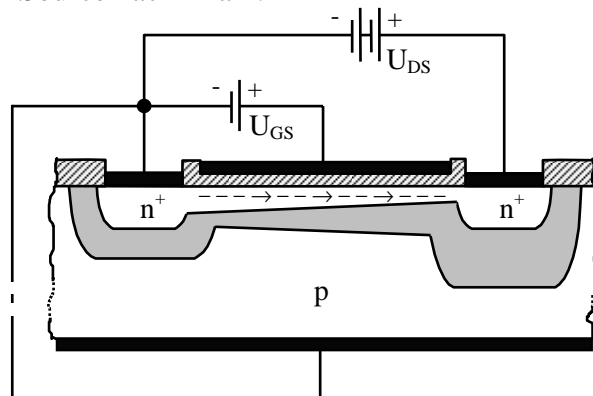
Der Feldeffekttransistor (FET)

Abbildung 13-13 Inversionskanal



- Durch die durchgehende Raumladungszone (Verarmungszone) ist der leitfähige Inversionskanal vom restlichen Halbleiterkristall isoliert.
- Legt man zusätzlich eine Spannung U_{DS} an die Drain-Source-Strecke, so fließt ein Elektronenstrom im Inversionskanal von Source nach Drain.

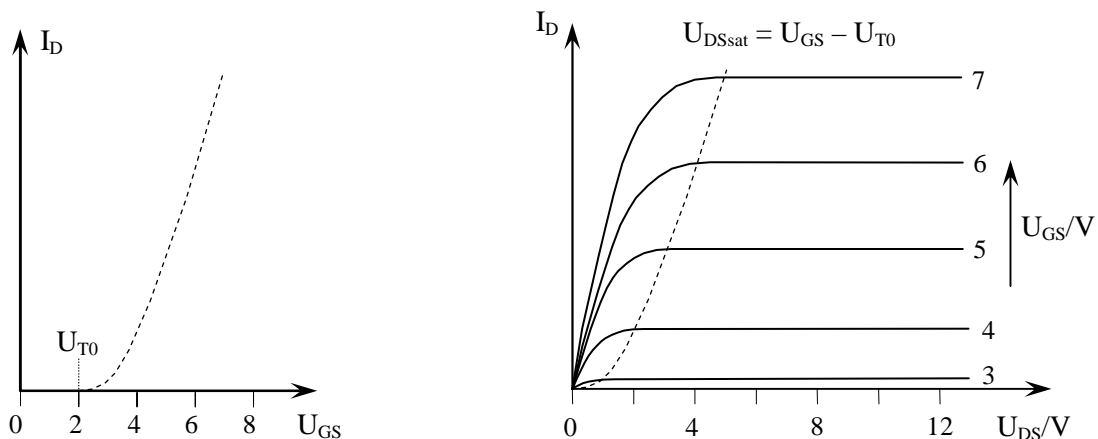
Abbildung 13-14
Stromfluss im Inversionskanal



- Durch die Größe der Spannung U_{GS} lässt sich die Konzentration der Elektronen im Inversionskanal steuern
 \Rightarrow Mit dem von U_{GS} erzeugten Querfeld wird also die Leitfähigkeit des Stromkanals gesteuert.
- Da der beschriebene Transistor ohne Gatespannung nicht leitet, spricht man von einem *selbstsperrenden* Typ
- Da zur Erreichung der Leitfähigkeit erst Ladungsträger in einem Kanal angesammelt werden müssen, spricht man vom *Anreicherungstyp*.

13.3.1.3 Kennlinien und Schaltzeichen des IG-FET vom Anreicherungstyp

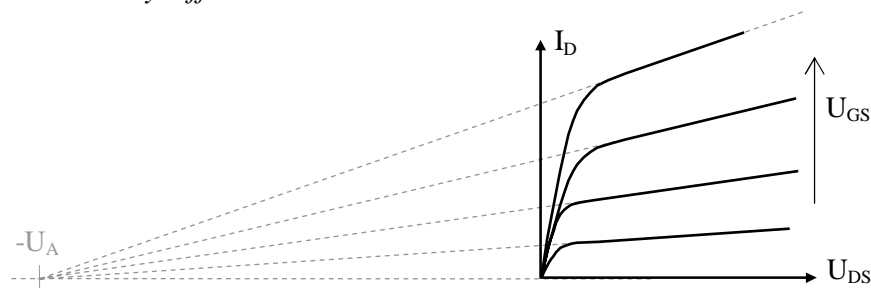
Abbildung 13-15 Kennlinien des selbstsperrenden IG-FET



Der Feldeffekttransistor (FET)

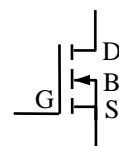
- Aus der Steuerkennlinie (Abbildung 13-15, links) ist ersichtlich, dass sich ein ausreichender Inversionskanal und damit der Stromfluss erst oberhalb einer Einsatzspannung U_{T0} (threshold voltage) einstellen.
- Die Ausgangskennlinien zeigen einen starken Anstieg für $U_{DS} < U_{GS} - U_{T0}$.
In diesem Bereich reicht der Inversionskanal von der n-dotierten Source-Zone bis zur n-dotierten Drain-Zone. Der Strom ist annähernd proportional zur Spannung U_{DS} . Der Inversionskanal zeigt annähernd ohmsches Verhalten.
- Die positive Spannung U_{DS} schwächt die Potentialdifferenz zwischen Gate und p-dotiertem Substrat in Drainnähe. Für $U_{DS} = U_{GS} - U_{T0}$ reicht diese Potentialdifferenz gerade nicht mehr aus, um den Inversionskanal in Drain Nähe aufrecht zu erhalten.
- Ein weiteres Ansteigen von U_{DS} führt daher nicht zu einer steigenden Spannung über der Inversionszone sondern zum Aufbau einer Sperrspannung (Sperrschicht) zwischen dem Ende des Inversionskanals und der Drain-Zone.
- Wegen der nicht mehr ansteigenden Spannung über dem Inversionskanal steigt der Drainstrom bei weiter wachsendem U_{DS} nicht mehr an, er hat vielmehr einen Sättigungswert erreicht.
- Die Sperrspannung zwischen Inversionskanal und Drainzone saugt alle durch den Inversionskanal ankommenden Elektronen (Minoritätsträger) zum Drainanschluss ab. Die Ausgangskennlinien zeigen daher für $U_{DS} > U_{GS} - U_{T0}$ einen annähernd horizontalen Verlauf.
- Ein begrenzter Anstieg im Sättigungsbereich der Ausgangskennlinien beruht auf dem Early-Effekt. Steigt U_{DS} auf größere Werte als zur Sättigung notwendig, so führt das zu einer größeren Ausdehnung der Sperrschicht zwischen Inversionskanal und Drainzone. Die daraus folgende Verkürzung der Inversionszone (= Reduzierung des Widerstandes) hat einen weiteren Anstieg des Sättigungsstromes zur Folge.

Abbildung 13-16 Early-Effekt beim FET

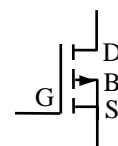


Im Sättigungsbereich ist die Steigung der Ausgangskennlinien so, als gingen sie alle von einem einzigen Punkt auf der Spannungsachse (Early-Spannung $-U_A$) aus.

Abbildung 13-17
Schaltzeichen des
selbstsperrenden IG-FET



n-Kanal-FET



p-Kanal-FET

Der Feldeffekttransistor (FET)

13.3.2 Verarmungstyp

- Durch geeignete Herstellungstechnologie (z.B. Phosphor-Implantation ins Kanalgebiet oder Implantation von positiv geladenen Ionen in die Isolationsschicht unter dem Gate jeweils beim n-Kanal-MOS-FET) wird erreicht, dass sich ein Stromkanal bereits ohne anliegende Gatespannung bildet.
- Ein solcher Transistor leitet bei einer Gate-Source-Spannung $U_{GS} = 0$.
Durch eine negative Gate-Source-Spannung U_{GS} lässt sich die Konzentration der Elektronen im Stromkanal reduzieren und damit die Größe des Drainstromes steuern.
(Durch positive Gatespannungen lässt sich dieser Transistor noch leitfähiger machen, doch ist diese Betriebsart weniger üblich).
- Da der beschriebene Transistor ohne Gatespannung leitet, spricht man vom *selbstleitenden* Typ
- Da die Ladungsträger zur Steuerung des Drainstromes aus dem Stromkanal verdrängt werden müssen, spricht man vom *Verarmungstyp*.

Abbildung 13-18
Kennlinien des
selbstleitenden IG-FET

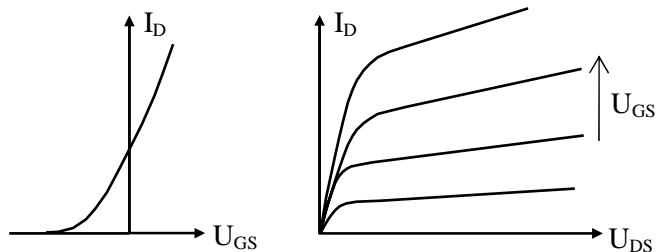
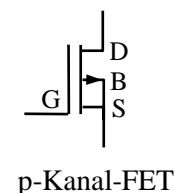
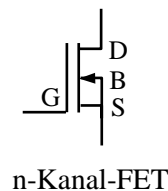


Abbildung 13-19
Schaltzeichen des
selbstleitenden IG-FET

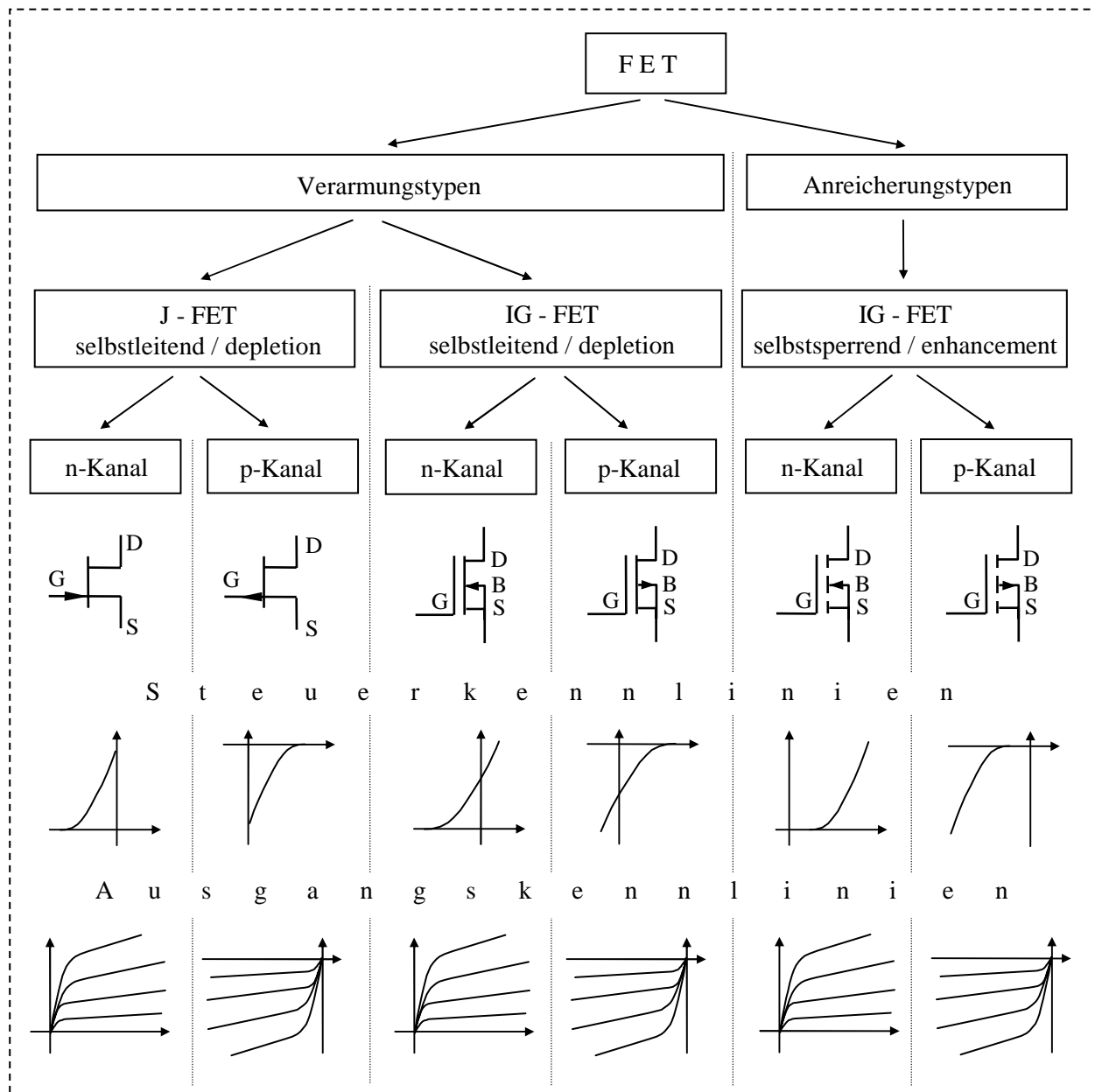


13.3.3 Vorteile der IG-FET

Vorteile gegenüber dem bipolaren Transistor und gegenüber dem Sperrschicht-FET:

- sehr hoher Eingangswiderstand durch das isolierte Gate
(kein statischer Steuerstrom, nur dynamischer Steuerstrom)
- geringe Schaltzeiten
 - . Keine Speicherzeit, da keine Überschussladung
 - . Langsame Minoritätsträger-Prozesse entfallen.
- Kein 2. Durchbruch wegen Stromeinschnürung
- Positiver Temperaturkoeffizient des Kanalwiderstandes
 - . Kein thermischer Mitkopplungseffekt (kein „Selbstmord“-Effekt)
 - . Keine Stromteilungsprobleme bei Parallelschaltung (selbsttätige Stabilisierung)

13.4 Übersicht über alle FET-Typen



Der Feldeffekttransistor (FET)

13.5 Daten von Feldeffekt-Transistoren

Tabelle 13-1 Daten ausgewählter Feldeffekt-Transistoren

		J-FET		MOS-FET	
Typ		BF245 A/B/C	J113	2N4351	BS170
Grenzwerte					
Spannung Gate-Drain (J-FET)	U_{GD}	- 30 V	- 35 V	-	-
Spannung Gate-Source (J-FET)	U_{GS}	- 30 V	- 35 V	-	-
Gatestrom Durchlass (J-FET)	I_G	10 mA	50 mA	-	-
Drainstrom (MOS-FET)	I_D	-	-	30 mA	300 mA
Spannung Drain-Source (MOS-FET)	U_{DS}	-	-	25 V	60 V
Verlustleistung	P_{tot}	300 mW	360 mW	300 mW	830 mW
Typische Kennwerte					
Drain-Source-Kurzschlussstrom (J-FET)	I_{DSS}	2-6,5 mA / 6-15 mA/ 12-25 mA	> 2 mA	-	-
Abschnürspannung (J-FET)	U_P	-0,5 .. -2,5 V / -1,5 ... -4 V / -3 ... -8 V	-3 V	-	-
Gatestrom (25 °C) (J-FET)	I_G	-5 nA	-1 nA	-	-
Einsatzspannung (MOS-FET)	U_{T0}	-	-	1 ... 5 V	0,8 ... 3 V
EIN-Widerstand	r_{DSon}		< 100 Ω	< 300 Ω	3,5 Ω
Schaltzeiten EIN/AUS			4 ns	100/500 ns	10/10 ns
Wärmewiderstand	R_{th}	250 K/W	300 K/W		
Steilheit	S	1 ... 6 mS	-		
Grenzfrequenz (3 dB-Abfall von S)	f_{y21s}	700 MHz			

13.6 FET als Analogschalter

13.6.1 Ein- und Ausschaltbedingungen

Da der FET keine Schwellspannung besitzt und auch bei kleinsten Werten von U_{DS} leitfähig ist, eignet er sich hervorragend als Analogschalter.

Beim Betrieb als Schalter werden die zwei Zustände „leitend“ (EIN, ON) und „gesperrt“ (AUS, OFF) benötigt. Zwischenzustände sollen nicht auftreten.

Um den J-FET zu sperren, muss zwischen der Gate-Zone und dem Stromkanal an allen Stellen eine Sperrspannung anliegen, die betragsmäßig größer als die pinch-off-Spannung U_p ist. Dies ist nur dann sichergestellt, wenn sowohl $|u_{GS}|$ als auch $|u_{GD}|$ größer als $|U_p|$ sind.

FET gesperrt für

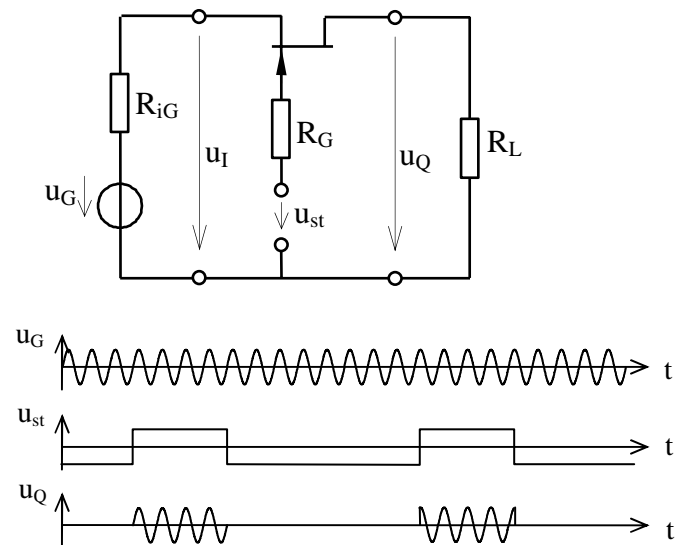
$$|u_{GS}| > |U_p| \quad \text{UND} \quad |u_{GD}| > |U_p|$$

Um den J-FET leitend zu machen, muss die Spannung zwischen Gatezone und Stromkanal an einem Ende des Stromkanals gleich 0 (oder größer 0, d.h. Flusspolung) sein. Dies kann sowohl am source- wie auch am drain-seitigen Ende des Stromkanals sein.

FET leitend für $u_{GS} = 0$ ODER $u_{GD} = 0$ (ODER Flusspolung einer der Spannungen)

13.6.2 Grundschaltung eines FET-Analogschalters

Abbildung 13-20
Grundschaltung eines
FET-Analogschalters



Der FET verbindet die Signalquelle (Spannung u_I) mit einer Last (Lastspannung u_Q). Mit Hilfe des Steuersignales u_{st} kann der FET leitend oder gesperrt werden.

Beispiel

Schaltungsdaten: $-10V \leq u_I \leq +10V$ $R_{iG} = 100 \Omega$
 $R_L = 10 k\Omega$
 $R_G = 100 k\Omega$
 $U_p = -4V$ $r_{DSon} = 50 \Omega$

Der Feldeffekttransistor (FET)

a) $u_{st} = -15V$ FET-Schalter offen (sperrt)

$$\Rightarrow |u_{GS}|_{\min} = |u_{st_{\min}} - u_{I_{\min}}| = |-15V - (-10V)| = |-5V| = 5V$$

$$\Rightarrow |u_{GS}|_{\max} = |u_{st_{\min}} - u_{I_{\max}}| = |-15V - 10V| = |-25V| = 25V$$

$|u_{GS}|$ ist immer größer als $|U_p|$.

Der FET ist daher ständig gesperrt.

b) $u_{st} = +15V$ FET-Schalter geschlossen (leitet)

$$\Rightarrow u_{st} > u_I$$

$$\Rightarrow u_{GS} > 0$$

Der FET ist ständig leitend.

$$u_Q \approx u_I$$

Nachteil der Grundsaltung:

Die Gate-Source-Strecke des FET wird im ON-Betrieb in Durchlassrichtung betrieben.

Es fließt ein Gate-Strom (Die Größe des Gatestromes muss begrenzt werden).

Der Gate-Strom führt zu Signalverfälschungen.

Berechnung des Gate-Stromes:

$$i_G = \frac{u_{st} - u_I - u_F}{R_G} \quad \text{mit } u_F = \text{Durchlassspannung der Gate-Sperrschicht}$$

$$\Rightarrow I_{G_{\min}} = \frac{15V - 10V - 0,6V}{100k\Omega} \approx 44\mu A$$

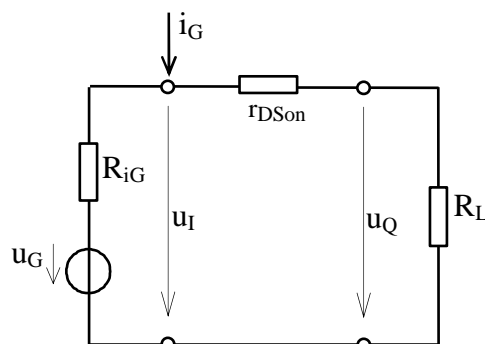
$$\Rightarrow I_{G_{\max}} = \frac{15V - (-10V) - 0,6V}{100k\Omega} \approx 244\mu A$$

Fehlerrechnung

a) **Fehler durch den Gatestrom:**

Für die Fehlerrechnung wird vereinfachend davon ausgegangen, dass der Fehlerstrom (= Gatestrom) am source-seitigen Ende der Gate-Kanal-Sperrschicht eingespeist wird.

Abbildung 13-21
Ersatzschaltung zur Berechnung
der Fehlerspannung durch i_G



Der Feldeffekttransistor (FET)

Der maximale Fehler der Eingangsspannung u_I ergibt sich zu

$$U_{I_{Fmax}} = I_{G_{max}} \cdot [R_{iG} // (r_{DS_{on}} + R_L)] = 244\mu A \cdot [100\Omega // (50\Omega + 10k\Omega)] \approx 24,16mV$$

der maximale Fehler der Ausgangsspannung zu

$$U_{Q_{Fmax}} = U_{I_{Fmax}} \cdot \frac{R_L}{R_L + r_{DS_{on}}} \approx 24,16mV \cdot \frac{10k\Omega}{10k\Omega + 50\Omega} = 24,04mV$$

Nimmt man an, dass der Gatestrom am drain-seitigen Ende des Stromkanals eingespeist wird, so ergibt sich ein maximaler Fehler der Ausgangsspannung zu:

$$U_{Q_{Fmax}} = I_{G_{max}} \cdot [(R_{iG} + r_{DS_{on}}) // R_L] = 244\mu A \cdot [(100\Omega + 50\Omega) // 10k\Omega] \approx 36mV$$

Da der Gatestrom irgendwo zwischen source- und drain-seitigem Ende des Stromkanals einfließt, wird der tatsächliche maximale Fehler zwischen diesen beiden Werten liegen.

b) Fehler durch $r_{DS_{on}}$

Für die Ausgangsspannung sollte gelten $u_Q = u_I$

Tatsächlich gilt jedoch

$$u_Q = u_I \cdot \frac{R_L}{R_L + r_{DS_{on}}} = u_I \cdot (1 + f)$$

Der relative Fehler f beträgt:

$$f = \frac{R_L}{R_L + r_{DS_{on}}} - 1 = -\frac{r_{DS_{on}}}{R_L + r_{DS_{on}}}$$

Für $R_L \gg r_{DS_{on}}$ gilt

$$f \approx -\frac{r_{DS_{on}}}{R_L}$$

$$\text{z.B.} \quad f \approx -\frac{r_{DS_{on}}}{R_L} = -\frac{50\Omega}{10k\Omega} = -0,5\%$$

Der absolute Fehler beträgt:

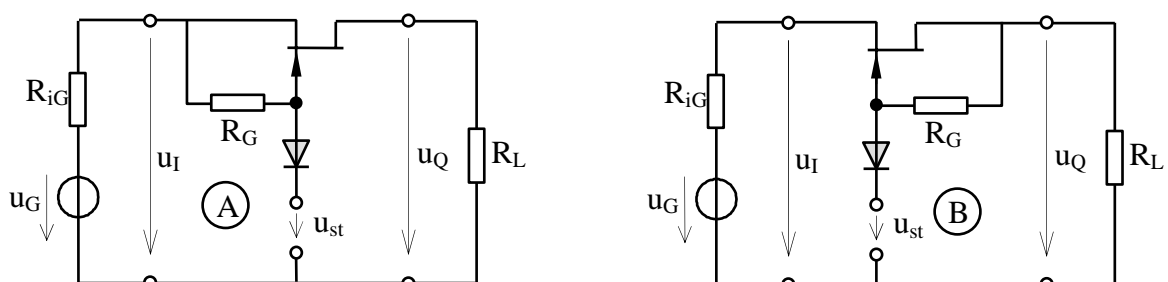
$$u_{Q_F} = f \cdot u_I$$

$$\text{z.B.} \quad u_{Q_F} \approx -0,5\% \cdot 10V = -50mV$$

13.6.3 Verbesserter FET-Analogschalter

Abbildung 13-22 zeigt einen FET-Analogschalter, bei dem der Durchlassbetrieb des Gate-Kanal-Übergangs vermieden wird.

Abbildung 13-22 FET-Analogschalter



Der Feldeffekttransistor (FET)

Sperren des Analogschalters: Die negative Steuerspannung wird über eine Diode an das Gate des FET geführt. Es gilt $u_{GS} = u_{st} + u_F - u_I$ mit u_F = Durchlassspannung der Diode. Über den hochohmigen Widerstand R_G wird am Eingang (Variante A) oder am Ausgang (Variante B) ein kleiner Strom entnommen.

Öffnen des Analogschalters: Bei positiver Steuerspannung trennt die Diode den FET von der Steuerspannung. Das Gate wird über den Widerstand R_G stromlos auf Sourcepotential (Variante A) oder auf Drainpotential (Variante B) gezogen.

Im EIN-Zustand des FET werden weder Eingangs- noch Ausgangssignal durch die Steuerspannung verfälscht.

Die Verfälschung des Ausgangssignals durch den Widerstand r_{DSon} berechnet sich ebenso wie bei der Grundschialtung nach Abschnitt 13.6.2.

Nachteil von Schaltungsvariante A:

Im AUS-Zustand des Analogschalters wird das Eingangssignal u_I durch den über R_G zur Steuerspannung fließenden Strom i_G verfälscht.

$$\text{Es gilt } u_{IF} = i_G \cdot R_{iG} \quad \text{mit} \quad i_G = \frac{u_{RG}}{R_G} = \frac{u_I - u_F - u_{st}}{R_G}$$

Eine Verfälschung von u_i bei offenem Analogschalter stört allerdings häufig nicht.

Nachteil von Schaltungsvariante B:

Im AUS-Zustand des Analogschalters wird das Ausgangssignal u_Q durch den über R_G zur Steuerspannung fließenden Strom verfälscht.

$$\text{Es gilt } u_{QF} = i_G \cdot R_L \quad \text{mit} \quad i_G = \frac{u_{RG}}{R_G} = \frac{-u_F - u_{st}}{R_G + R_L}$$

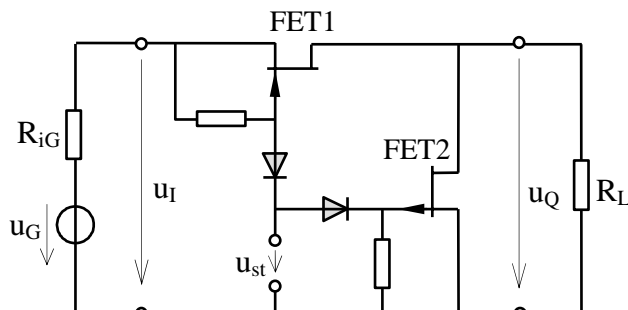
Eine Verfälschung von u_Q bei offenem Analogschalter stört häufig, z.B. beim FET-Analogschalter in einer sample-hold-Schaltung.

Schaltungsvariante B ist daher in der Regel nicht zu empfehlen.

13.6.4 Gegentakt-FET-Analogschalter

Mit zwei komplementären FET (ein n-Kanal-FET und ein p-Kanal-FET) lässt sich ein Gegentakt-Analogschalter aufbauen.

Abbildung 13-23
Gegentakt-Analogschalter



FET2 schließt den Ausgang kurz, wenn FET1 gesperrt ist.

Ist FET1 leitend, so wird FET2 gesperrt.

Die Steuerspannung muss so gewählt werden, dass für beide Transistoren die Ein- und Ausschaltbedingungen erfüllt werden.

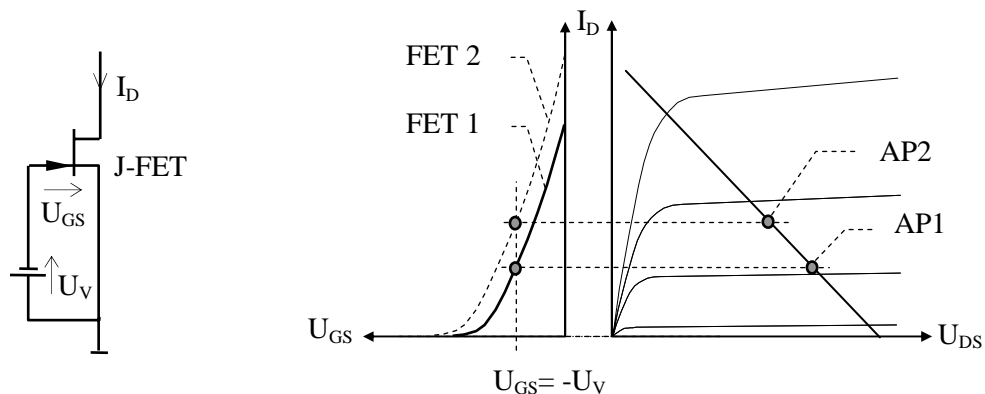
13.7 Arbeitspunkt-Einstellung - Konstantstromquelle (J-FET)

Zur Einstellung eines konstanten Drainstromes am J-FET sind mehrere Schaltungsvarianten möglich. Mit diesen Schaltungen lässt sich auch der Arbeitspunkt des FET z.B. für einen WS-Verstärker einstellen.

* Schaltung I

Die erforderliche Gate-Source-Spannung wird aus einer eigenen Spannungsquelle erzeugt.

Abbildung 13-24 Einstellung von U_{GS} mittels Spannungsquelle im Steuerkreis



Es gilt $U_{GS} = -U_V$.

Es stellt sich der Strom $I_D = f(U_{GS}) = f(-U_V)$ ein; seine Größe ergibt sich aus der Steuerkennlinie.

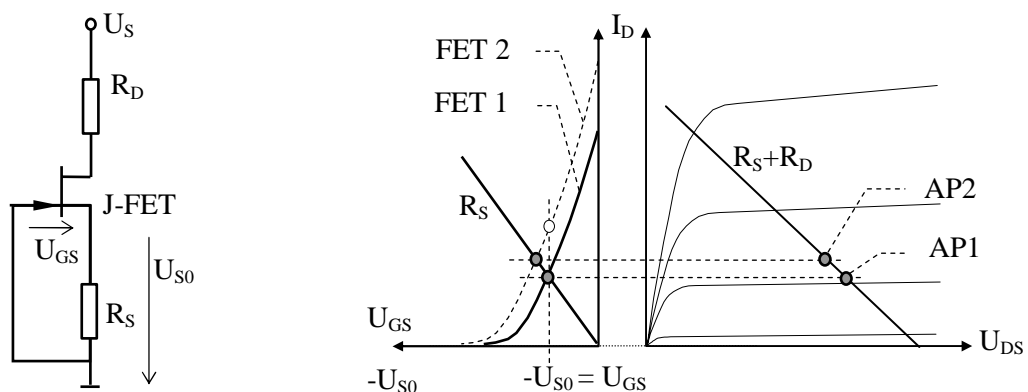
Die Stabilität des Arbeitspunktes ist gering.

Abbildung 13-24 zeigt den großen Unterschied im Arbeitspunkt für zwei J-FET-Exemplare mit unterschiedlichen Steuerkennlinien.

* Schaltung II

Der Drainstrom wird durch Stromgegenkopplung mittels Source-Widerstand eingestellt.

Abbildung 13-25 Einstellung des Drainstromes durch Source-Widerstand



Der Feldeffekttransistor (FET)

$-U_{GS}$ und $U_{RS} = U_{S0}$ sind gleich groß.

Die Kennlinie des Widerstandes R_S kann daher in das Steuerkennlinienfeld des FET eingezeichnet werden. Der Schnittpunkt mit der Steuerkennlinie ergibt den Arbeitspunkt des FET.

Es stellt sich damit automatisch der Strom $I_D = \frac{U_{S0}}{R_S} = \frac{-U_{GS}}{R_S}$ ein.

Zur Dimensionierung des Sourcewiderstandes R_S markiert man den Arbeitspunkt für den erwünschten Drainstrom I_D auf der Steuerkennlinie und liest den zugehörigen Wert von U_{GS} ab. Der Widerstand ergibt sich zu

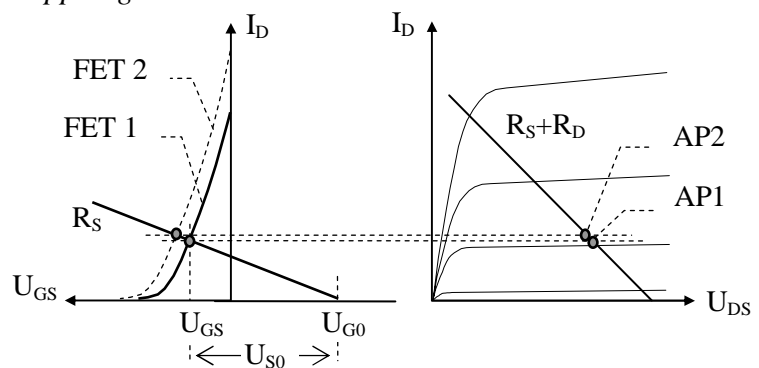
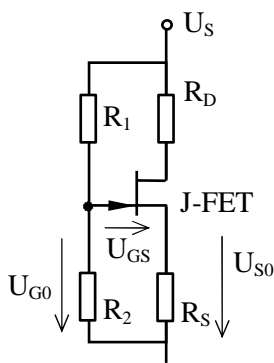
$$R_S = \frac{-U_{GS}}{I_D}$$

Ein Vergleich von Abbildung 13-25 mit Abbildung 13-24 zeigt, dass die Arbeitspunkt-Stabilität besser ist als bei Schaltung I.

* Schaltung III

- Einstellung der GS-Steuerspannung mittels Spannungsteiler und
- Stromgegenkopplung.

Abbildung 13-26 Arbeitspunkteinstellung durch Gate-Spannungsteiler und Stromgegenkopplung



Am Gate stellt sich die Spannung $U_{G0} = U_S \cdot \frac{R_2}{R_1 + R_2}$ ein.

Die Spannung U_{GS} für einen gewünschten Strom I_D entnimmt man der Steuerkennlinie.

Damit wird $U_{S0} = U_{RS} = U_{G0} - U_{GS}$

und

$$R_S = \frac{U_{S0}}{I_D} = \frac{U_{G0} - U_{GS}}{I_D}$$

oder

$$I_D = \frac{U_{S0}}{R_S} = \frac{U_{G0} - U_{GS}}{R_S}$$

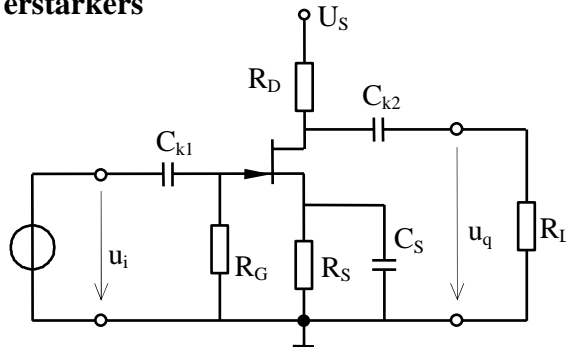
Abbildung 13-26 zeigt die erreichbare hohe Arbeitspunktstabilität.

Der Feldeffekttransistor (FET)

13.8 J-FET-Wechselspannungsverstärker in Source-Schaltung

13.8.1 Schaltung des J-FET-WS-Verstärkers

Abbildung 13-27
J-FET als WS-Verstärker



Der Arbeitspunkt des FET wird über die Widerstände R_S und R_D eingestellt

$$I_D = \frac{-U_{GS}}{R_S} \quad (\text{siehe Abschnitt 13.7}) \quad \text{und} \quad U_{DS} = U_S - I_D \cdot (R_S + R_D)$$

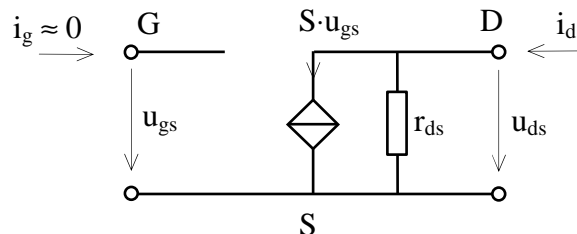
Das WS-Eingangssignal wird über C_{k1} am Gate eingekoppelt, das WS-Ausgangssignal über C_{k2} am Drain-Anschluss ausgekoppelt.

Der Gleichstrom-Gegenkopplungswiderstand R_S wird mit C_S wechselstrommäßig kurzgeschlossen.

13.8.2 Wechselstrom-Ersatzschaltbild des J-FET in Source-Schaltung

Für Wechselstrombetrieb mit kleiner Aussteuerung kann der FET als linearer Vierpol betrachtet werden.

Abbildung 13-28
WS-Ersatzschaltbild des
J-FET in Source-Schaltung



Berechnung der Vierpol-Parameter:

$$\begin{aligned} i_1 = y_{11} \cdot u_1 + y_{12} \cdot u_2 &\Rightarrow i_g = y_{11} \cdot u_{gs} + y_{12} \cdot u_{ds} \approx 0 \\ i_2 = y_{21} \cdot u_1 + y_{22} \cdot u_2 &\Rightarrow i_d = y_{21} \cdot u_{gs} + y_{22} \cdot u_{ds} \Rightarrow i_d = S \cdot u_{gs} + (1/r_{ds}) \cdot u_{ds} \end{aligned}$$

Der Sperrstrom über den pn-Übergang zwischen Gate und Kanal ist vernachlässigbar gering ($i_g \rightarrow 0$).

Demzufolge sind Eingangsleitwert y_{11} und Rückwirkungsleitwert y_{12} annähernd 0

$$\Rightarrow \boxed{y_{11} = 1/r_{gs} \approx 0} \quad (\Rightarrow \text{Eingangswiderstand } r_{gs} \rightarrow \infty)$$

$$\Rightarrow \boxed{y_{12} \approx 0}$$

Der Feldeffekttransistor (FET)

Für die Vierpol-Parameter y_{21} und y_{22} gilt:

$$y_{21} = S = \left. \frac{i_d}{u_{gs}} \right|_{u_{ds}=0} = \left. \frac{d(i_D)}{d(u_{GS})} \right|_{u_{DS}=\text{konst}}$$

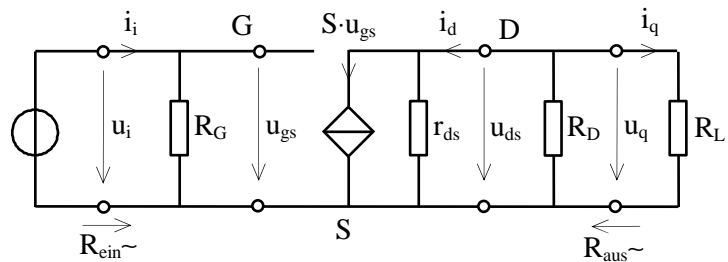
Die Vorwärtsteilheit S entspricht der Steigung der Spannungs-Steuerkennlinie im Arbeitspunkt

$$y_{22} = \frac{1}{r_{ds}} = \left. \frac{i_d}{u_{ds}} \right|_{u_{gs}=0} = \left. \frac{d(i_D)}{d(u_{DS})} \right|_{u_{GS}=\text{konst}}$$

Der Ausgangsleitwert bzw. der Ausgangswiderstand r_{ds} entspricht der Steigung der Ausgangskennlinie im Arbeitspunkt

13.8.3 Berechnung des Wechselspannungsverstärkers

Abbildung 13-29
Wechselstrom-Ersatzschaltbild
des Verstärkers



Eingangswiderstand

$$R_{\text{ein}\sim} = R_G$$

Ausgangswiderstand

$$R_{\text{aus}\sim} = R_D // r_{ds}$$

Leerlauf-Spannungsverstärkung

$$V_{U0} = \frac{u_{q0}}{u_i} = \frac{-S \cdot u_{gs} \cdot (r_{ds} // R_D)}{u_{gs}}$$

$$V_{U0} = -S \cdot (r_{ds} // R_D)$$

Spannungsverstärkung belastet

$$V_U = -S \cdot (r_{ds} // R_D // R_L)$$

Stromverstärkung

$$V_I = \frac{i_q}{i_i} = \frac{u_q / R_L}{u_i / R_G} = V_U \cdot \frac{R_G}{R_L}$$

Leistungsverstärkung

$$V_P = V_U \cdot V_I$$

Der Feldeffekttransistor (FET)

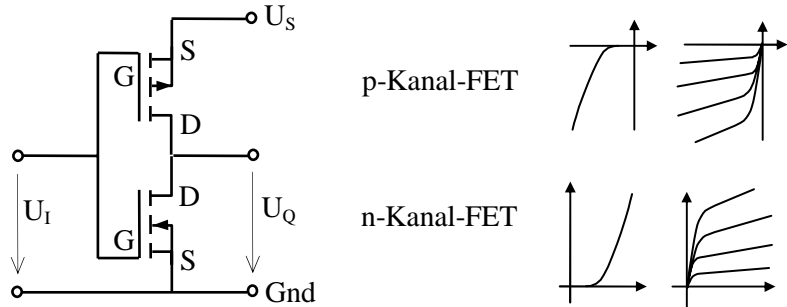
13.9 CMOS-Technik

Mit Hilfe komplementärer MOS-Transistoren vom Anreicherungstyp (selbstsperrende MOS-FET) werden digitale Schaltungen realisiert.

13.9.1 CMOS-Inverter

Der Inverter ist das Grundelement der CMOS-Verknüpfungsglieder.

Abbildung 13-30
Der CMOS-Inverter



U_I	n-Kanal-FET	p-Kanal-FET	U_Q
$0V \Rightarrow \text{„low“}$	sperrt	leitet	$U_S \Rightarrow \text{„high“}$
$U_S \Rightarrow \text{„high“}$	leitet	sperrt	$0V \Rightarrow \text{„low“}$

Ist die Eingangsspannung der Inverterstufe $U_I = 0V$ bzw. $U_I = U_S$, so ist einer der komplementären FET gesperrt, der andere leitend; es besteht also keine leitende Verbindung zwischen Gnd und U_S .

CMOS-Gatter werden häufig mit einer Versorgungsspannung $U_S > 5V$ (z.B. $U_S = 10V$) betrieben.

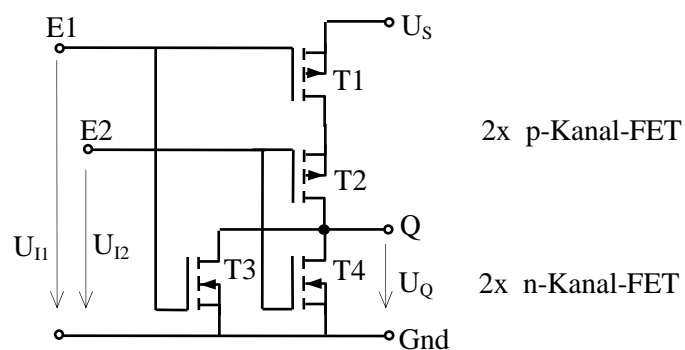
Liegt U_I (bei $U_S > 5V$) etwa in der Mitte des Versorgungsspannungsbereiches, so sind beide komplementären Transistoren leitend und es besteht eine sehr niederohmige Verbindung zwischen Gnd und U_S .

Es ist darauf zu achten, dass solche Zwischenpegel an den Eingängen (außer kurzzeitig beim Umschalten) nicht auftreten, da dies zur Zerstörung des Bauelements führen kann.

Aus diesem Grunde dürfen CMOS-Gatter auch nicht mit offenem Eingang betrieben werden.

13.9.2 CMOS-NOR-Gatter

Abbildung 13-31
2-fach NOR-Gatter



Der Feldeffekttransistor (FET)

Elektrische Verhältnisse

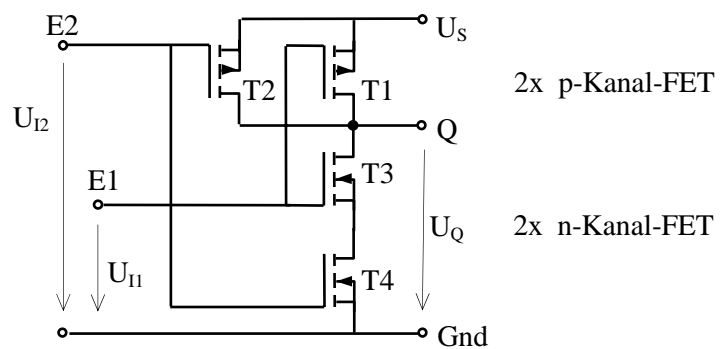
U_{I1}	U_{I2}	T1	T2	T3	T4	U_Q
0V	0V	leitet	leitet	sperrt	sperrt	U_S
0V	U_S	leitet	sperrt	sperrt	leitet	0V
U_S	0V	sperrt	(leitet)	leitet	sperrt	0V
U_S	U_S	sperrt	sperrt	leitet	leitet	0V

Wahrheitstabelle

E1	E2	Q
0	0	1
0	1	0
1	0	0
1	1	0

13.9.3 CMOS-NAND-Gatter

Abbildung 13-32
2-fach NAND-Gatter



Elektrische Verhältnisse

U_{I1}	U_{I2}	T1	T2	T3	T4	U_Q
0V	0V	leitet	leitet	sperrt	sperrt	U_S
0V	U_S	leitet	sperrt	sperrt	leitet	U_S
U_S	0V	sperrt	leitet	(leitet)	sperrt	U_S
U_S	U_S	sperrt	sperrt	leitet	leitet	0V

Wahrheitstabelle

E1	E2	Q
0	0	1
0	1	1
1	0	1
1	1	0

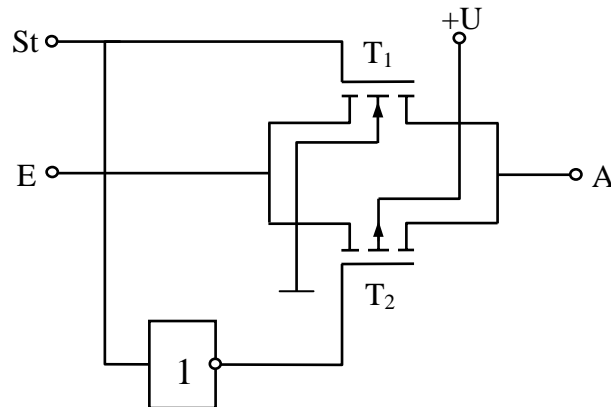
Der Feldeffekttransistor (FET)

13.9.4 CMOS-Übertragungsgatter

Das CMOS-Übertragungsgatter ermöglicht eine bidirektionale Übertragung analoger oder binärer Signale. Das Gatter kann gesperrt oder freigegeben werden. Im leitenden Zustand beträgt der Durchgangswiderstand $r_{DSon} \approx 50 \dots 500 \Omega$. Im gesperrten Zustand kann mit einem Widerstand von $10^9 \dots 10^{12} \Omega$ gerechnet werden.

In digitalen Systemen kann mit dem Übertragungsgatter ein Tri-State-Verhalten realisiert werden (High, Low, hochohmig).

Abbildung 13-33 CMOS-Übertragungsgatter



Mit 1-Signal am Steuereingang St ist das Übertragungsgatter leitend, mit 0-Signal gesperrt.

Der Inverter zur Ansteuerung von Transistor T_2 kann als CMOS-Inverter ausgeführt werden.

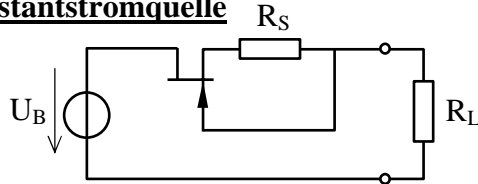
13.10 Übungsaufgaben zum Feldeffekttransistor

Aufgabe 13-1: Allgemeine Fragen

- (a) Nach welchem Prinzip wird der Kanalwiderstand beim Sperrschicht-FET gesteuert ?
- (b) Was versteht man unter der Pinch-Off-Spannung ?
- (c) Warum tritt beim Sperrschicht-FET eine Kanalabschnürung durch die Drain-Source-Spannung auf ?
- (d) Nach welchem Prinzip arbeitet ein IG-FET oder MOS-FET ?
- (e) Was versteht man unter einem Inversionskanal ?
- (f) Was versteht man unter Anreicherungstypen ?
- (g) Was versteht man unter Verarmungstypen ?
- (h) Warum kann ein Sperrschicht-FET als Analogschalter eingesetzt werden ?

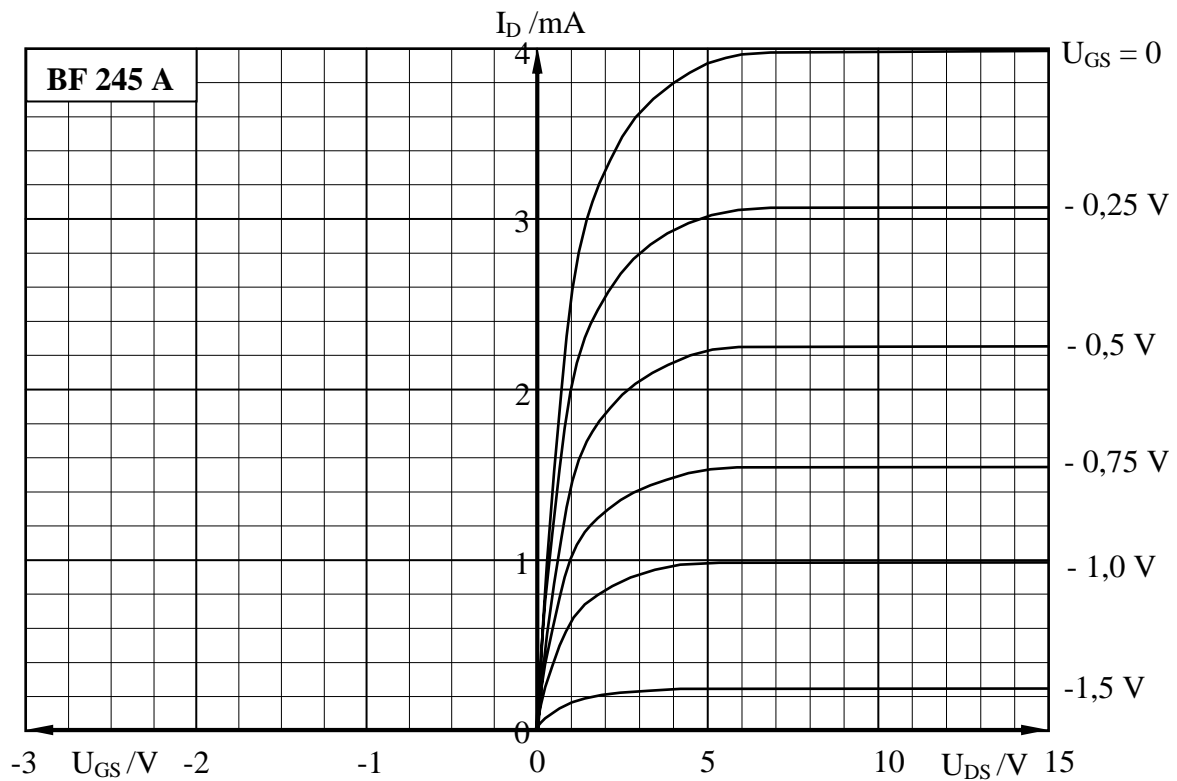
Der Feldeffekttransistor (FET)

Aufgabe 13-2: Konstantstromquelle

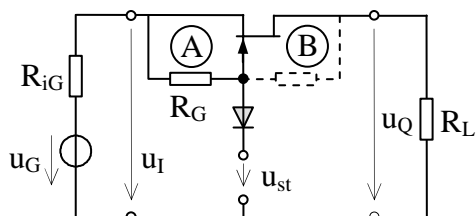


$U_B = 15 \text{ V}$
 $R_S = 222 \Omega$
 FET: BF 245

- Zeichne die Arbeitsgerade der Schaltung für $R_L = 0$ ins Ausgangskennlinienfeld des FET
- Zeichne die Arbeitssteuerkennlinie für $R_L = 0$
- Ermittle den Strom I_D und U_{DS} für $R_L = 0$
- Bis zu welchem Lastwiderstand $R_{L\max}$ liegt Konstantstrom vor ?
- Zeichne die Arbeitssteuerkennlinie der Schaltung für $R_L = 7278 \Omega$
- Ermittle den Strom I_D und U_{DS} für $R_L = 7278 \Omega$



Aufgabe 13-3: FET als Analogschalter



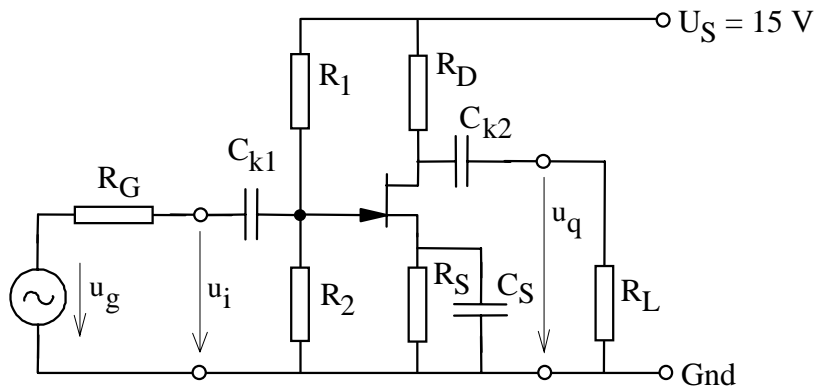
$u_G = +10 \text{ V}$
 $R_{iG} = 50 \Omega$
 $R_G = 120 \text{ k}\Omega$
 $r_{DSon} = 30 \Omega$
 $U_F = 0,7 \text{ V}$
 $R_L = 20 \text{ k}\Omega$
 $r_{DSoff} \rightarrow \infty$

Der Widerstand R_G kann eingangsseitig (Variante A) oder ausgangsseitig (Variante B) angeschlossen werden. Bearbeite die folgenden Aufgaben für beide Varianten.

- Ermittle u_I und u_Q für $u_{st} = +15 \text{ V}$
- Ermittle u_I und u_Q für $u_{st} = -15 \text{ V}$

Der Feldeffekttransistor (FET)

Aufgabe 13-4: Wechselspannungsverstärker mit FET



$$R_1 = 150 \text{ k}\Omega$$

$$R_2 = 20 \text{ k}\Omega$$

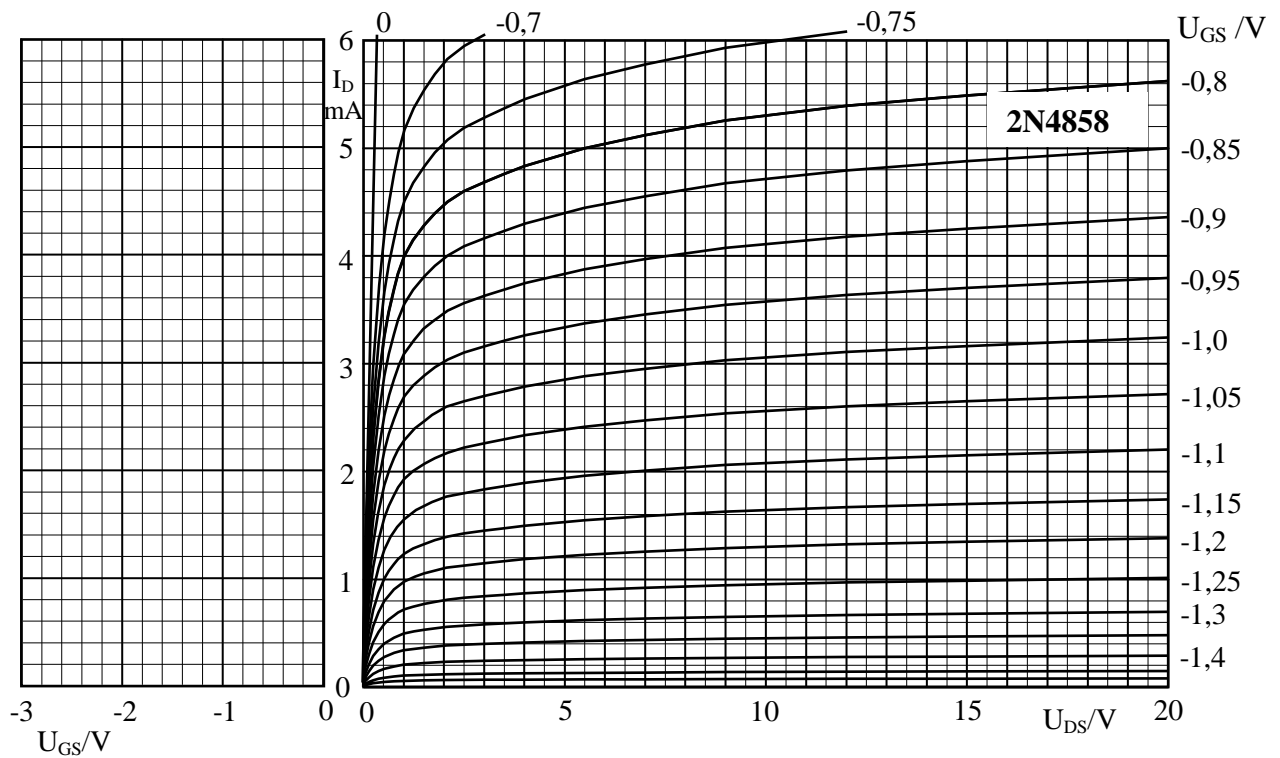
$$R_S = 1 \text{ k}\Omega$$

$$R_D = 2 \text{ k}\Omega$$

FET: 2N4858

$$\omega_{gu} \ll \omega \ll \omega_{go}$$

- Ermittle grafisch die Größe von I_D und U_{DS} (Werte angeben) im Arbeitspunkt unter Verwendung der Gleichstrom-Arbeits-Spannungssteuerkennlinie.
- Zeichne das Wechselstromersatzschaltbild des Verstärkers
- Ermittle die Vierpolparameter des FET und berechne die Verstärkung des Verstärkers im Leerlauf und mit $R_L = 2 \text{ k}\Omega$



Der Feldeffekttransistor (FET)

Aufgabe 13-5: Wechselspannungsverstärker in Kaskodeschaltung

Bei der gezeichneten Kaskodeschaltung wird ein FET in Sourceschaltung mit einem bipolaren Transistor in Basisschaltung kombiniert.

Damit läßt sich ein Verstärker mit sehr hohem Eingangswiderstand realisieren

Für den Transistor T_2 soll gelten:

$$h_{11e} = r_{be} = 6 \text{ k}\Omega$$

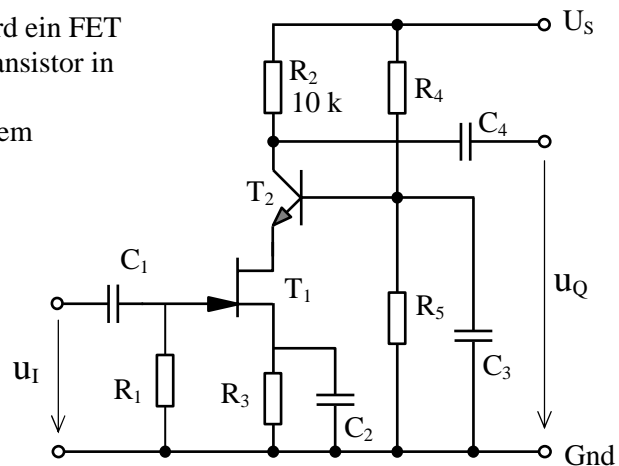
$$h_{21e} = \beta = 180$$

$$h_{22e} = 1/r_{ce} = 12 \text{ }\mu\text{S}$$

Für den Transistor T_1 gilt:

$$S = 6 \text{ mS}$$

$$r_{ds} = 18 \text{ k}\Omega$$



- (a) **Zeichne das Wechselstromersatzschaltbild des Verstärkers**

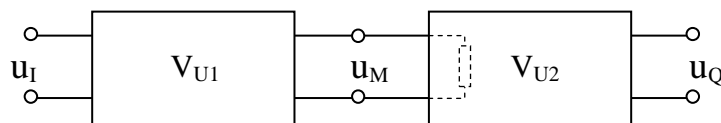
Hinweis:

Beachte die Vierpolparameter von Sourceschaltung (FET) und Basisschaltung

- (b) **Berechne die Vierpolparameter für die Basisschaltung** $h_{xyb} = h_{xye} / (h_{21e} + 1)$

- (c) **Berechne die Spannungsverstärkung der Schaltung**

Hinweis: Das (richtig gezeichnete) Wechselstromersatzschaltbild läßt sich als Kettenschaltung zweier Vierpole interpretieren.



Bei der Kettenschaltung zweier Vierpole ergibt sich die Gesamtverstärkung als Produkt der Einzelverstärkungen ($V_U = V_{U1} \times V_{U2}$)