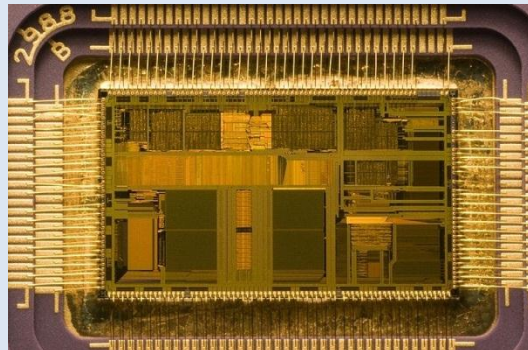


# Transistoren

Bipolar Transistor  
J-FET  
MOS-FET



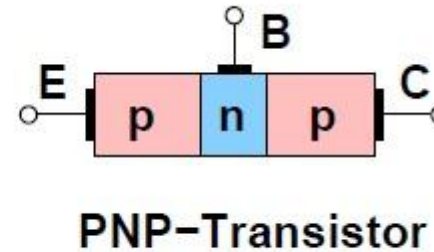
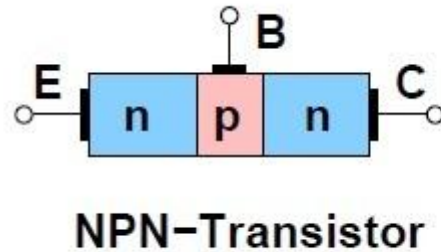
# Erster Transistor:

Bell Labs, 1947



# Klassifikation:

## Einteilung von Bipolartransistoren



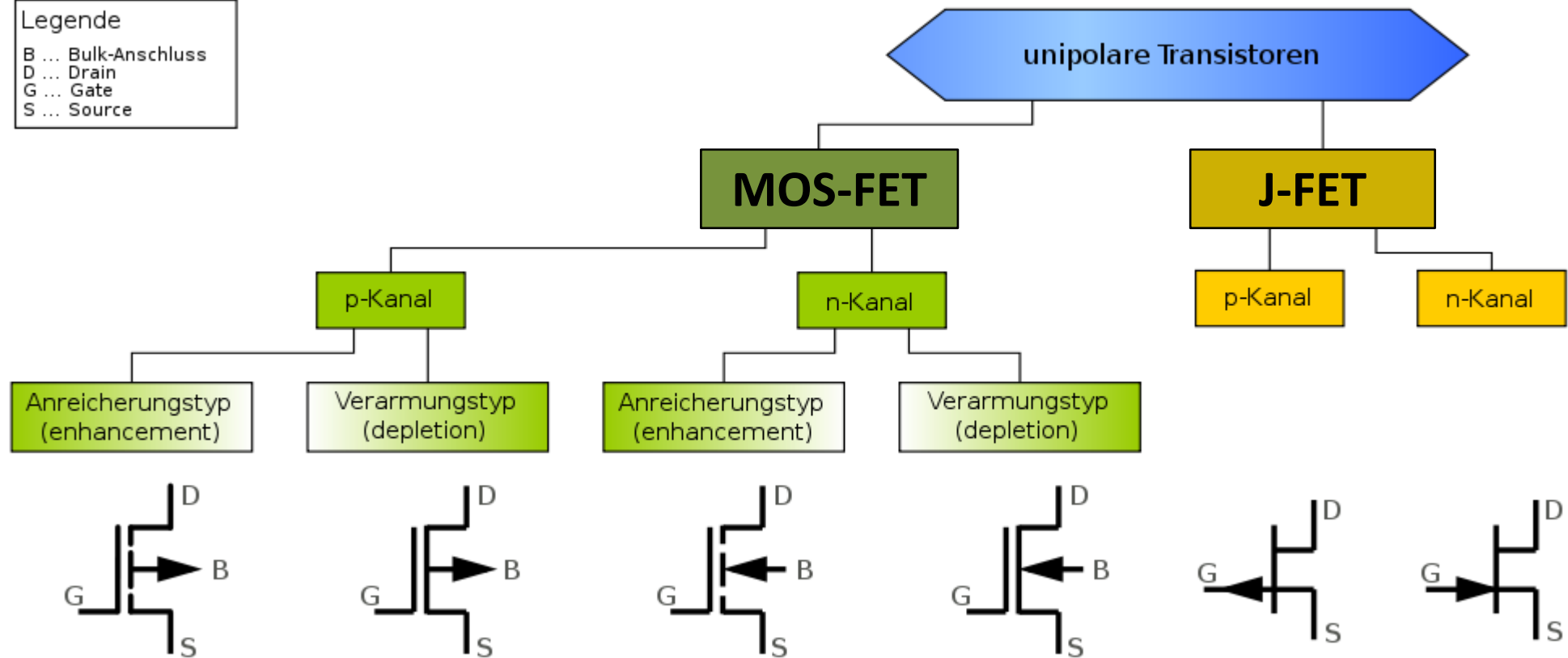
Bei bipolaren Transistoren beruht der Leitungsmechanismus auf beiden Ladungsträgerarten (Löcher und Elektronen).

# Klassifikation:

## Einteilung von Feldeffekttransistoren (FET)

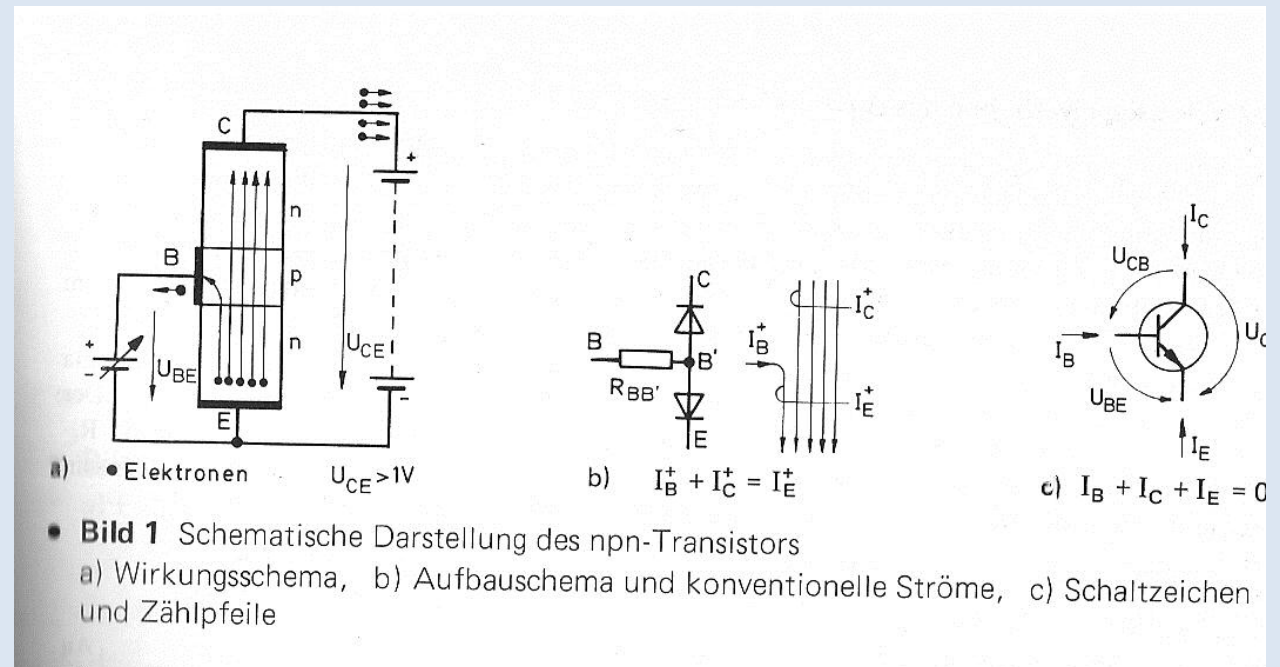
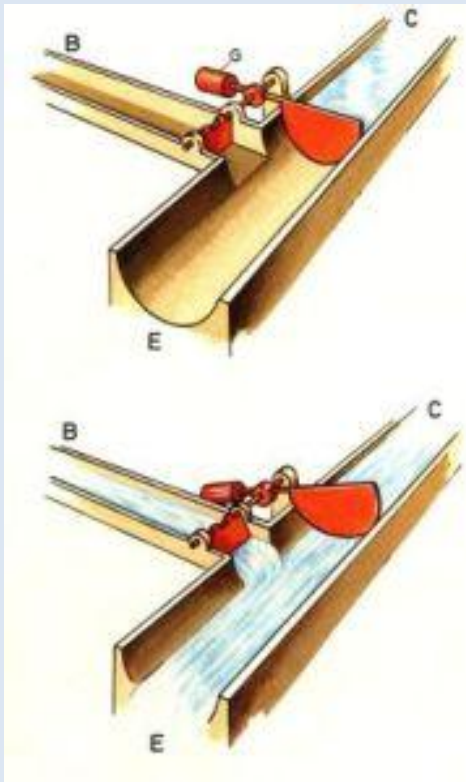
### Legende

B ... Bulk-Anschluss  
D ... Drain  
G ... Gate  
S ... Source



Bei unipolaren Transistoren beruht der Leitungsmechanismus nur auf einer Ladungsträgerart (Löcher oder Elektronen).

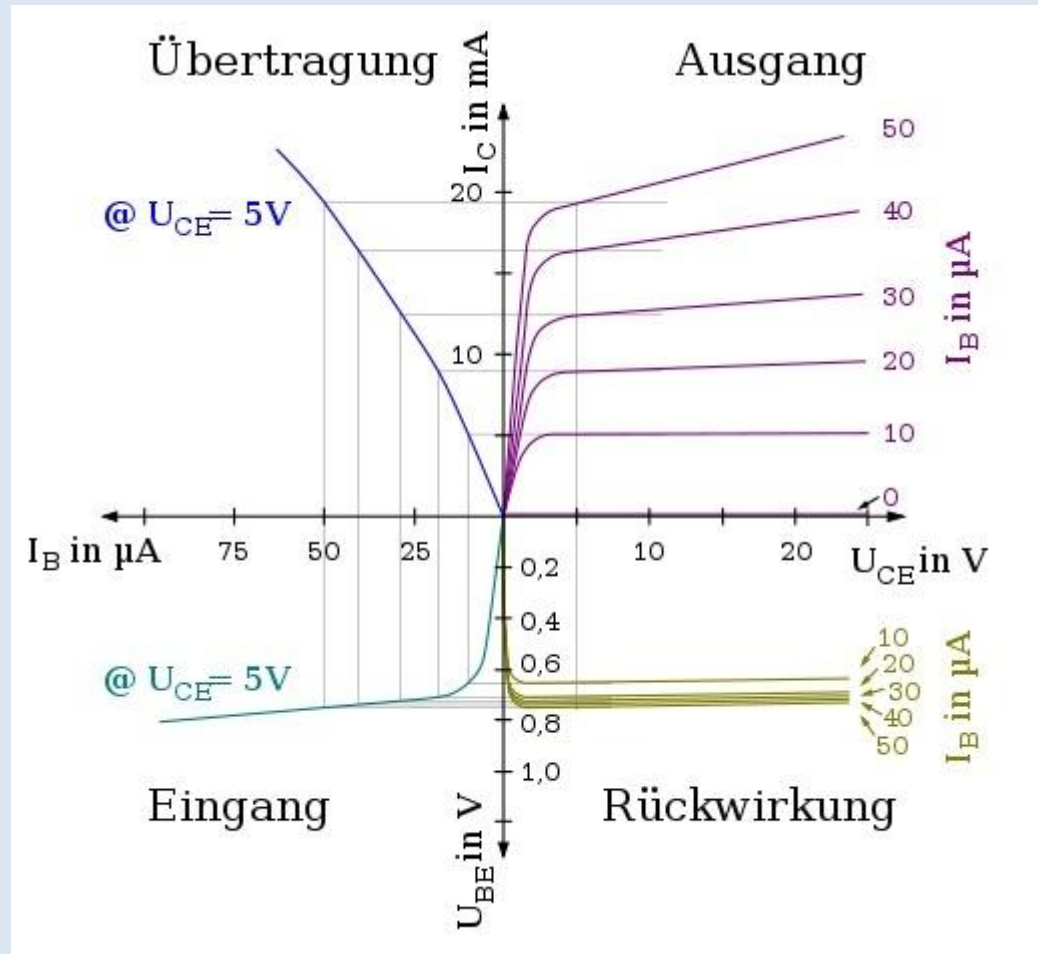
# Funktion des Transistors



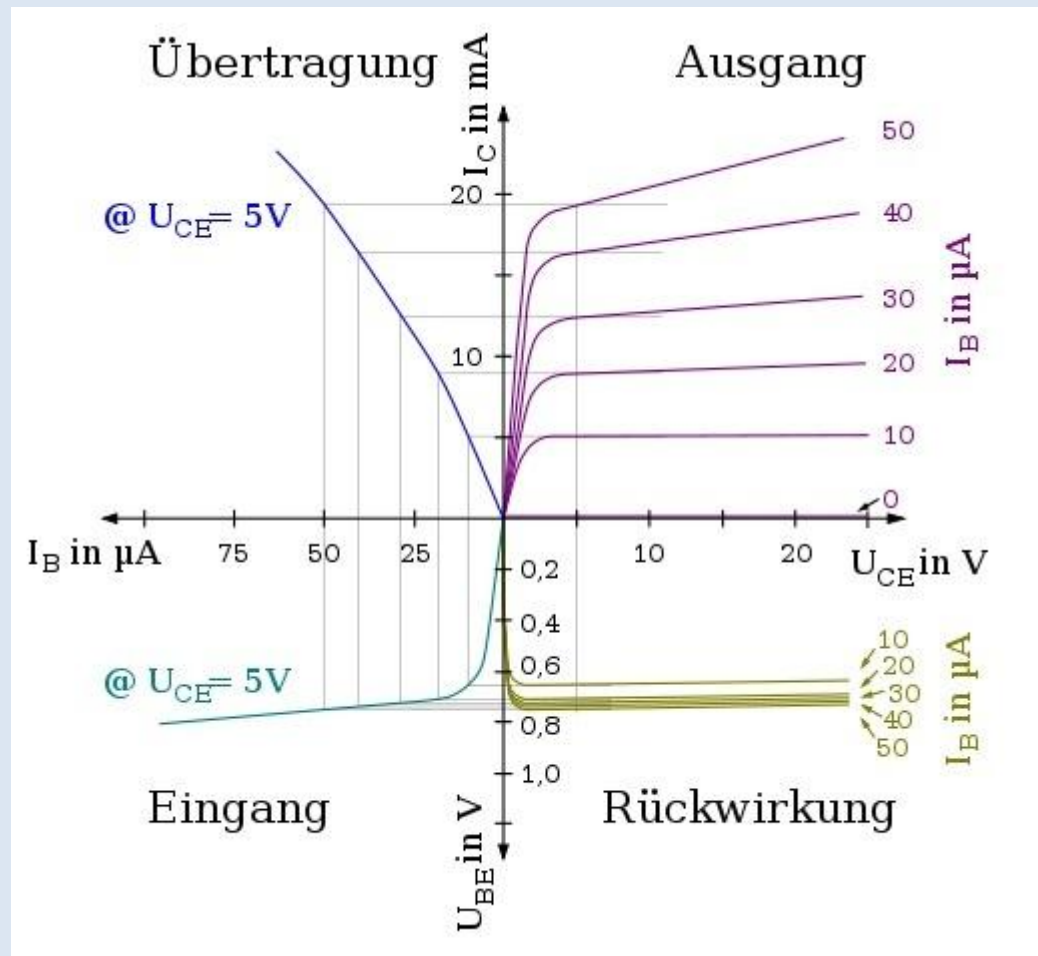
...ähm, na ja...  
„Das Wassermmodell“

Lehrbuch: Böhmer  
Elemente der angewandten Elektronik  
Seite 130

# Vier Quadranten Kennlinienfeld

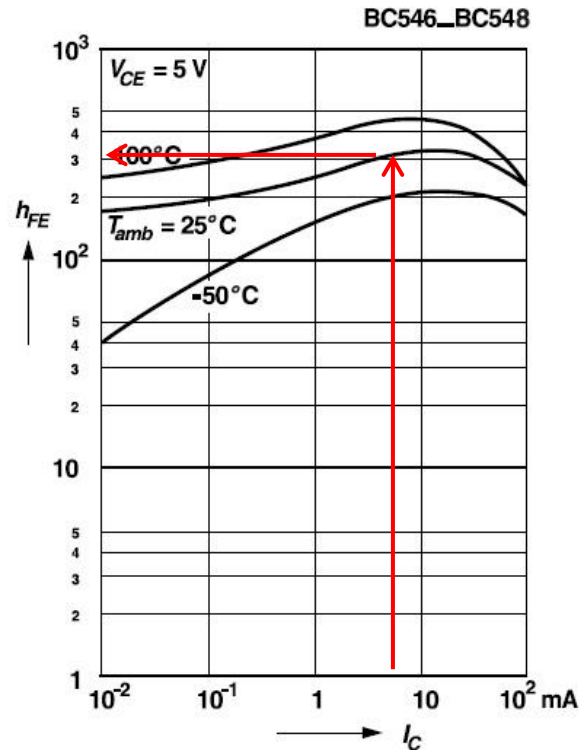


# Vier Quadranten Kennlinienfeld



# Dimensionierung Spannungssteuer-KL

DC current gain  
versus collector current



$$B = f(I_C)$$

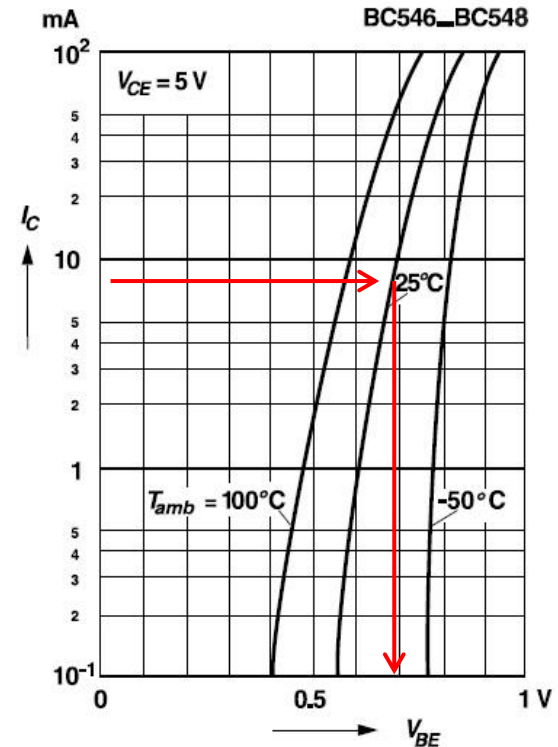
$$B = 320$$

Dimensionierung:

$$I_B = I_C / B$$

$$R_B = (U_B - U_{BE}) / I_B$$

Collector current versus  
base-emitter voltage



$$U_{BE} = f(I_C)$$

$$U_{BE} = 0,68\text{ V}$$



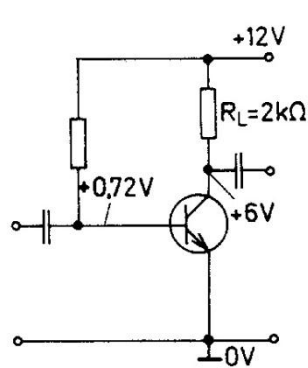


Bild 7.24 Festlegung des Transistorarbeitspunktes

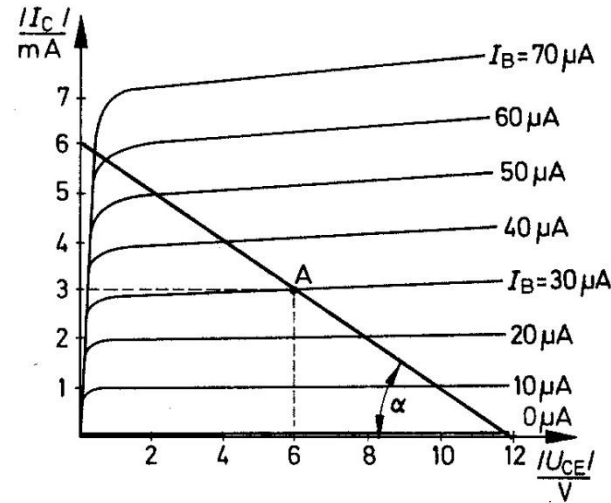
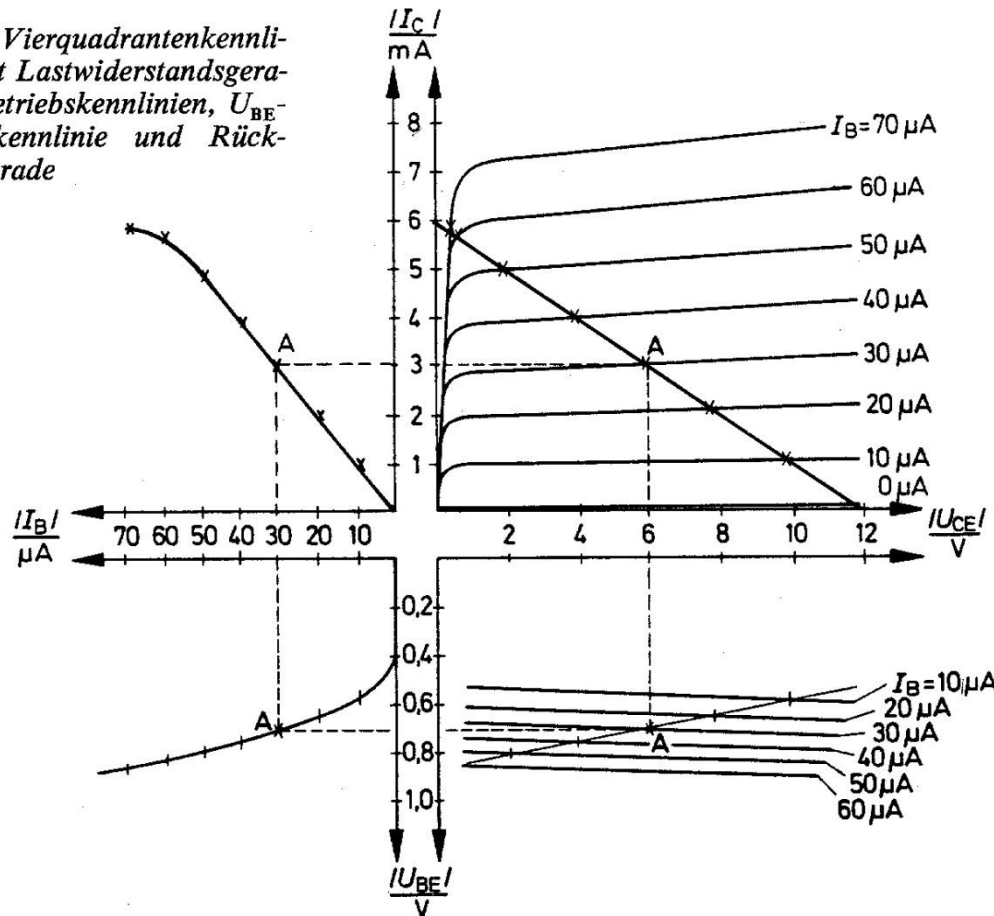


Bild 7.25 Vierquadrantenkennlinienfeld mit Lastwiderstandsgerade,  $I_C$ - $I_B$ -Betriebskennlinien,  $U_{BE}$ - $I_B$ -Betriebskennlinie und Rückwirkungsgerade



# Dimensionierung Ausgangs-Kennlinienfeld

## Dimensionierung

$$I_{C0} = (U_B - U_{CESAT}) / R_L$$

$$U_{CE} = U_B / 2$$

$$\rightarrow I_C, \rightarrow I_B, \rightarrow U_{BE}$$

$$R_B = (U_B - U_{BE}) / I_B$$

# Dimensionierung Emitterschaltung

Tabelle 12.2: Arbeitspunkteinstellung			
Name	Basisvorwiderstand	Basisspannungsteiler	Vorwiderstand Kollektor/Basis
Schaltung			
Formeln	$R_1 = \frac{U_B - U_{BE}}{I_B}$	$R_C = \frac{U_B - U_{CE} - U_{RE}}{I_C}$	$R_C = \frac{U_B - U_{CE}}{I_C + I_B + I_q}$
		$R_1 = \frac{U_B - U_{BE} - U_{RE}}{I_q + I_B}$	$R_1 = \frac{U_{CE} - U_{BE}}{I_B + I_q}$
		$R_2 = \frac{U_{BE} + U_{RE}}{I_q}$	$R_2 = \frac{U_{BE}}{I_q}$
		$I_q \approx 2 \cdot I_B \text{ bis } 10 \cdot I_B$	$I_q \approx 2 \cdot I_B \text{ bis } 10 \cdot I_B$
		$R_E = \frac{U_{RE}}{I_C + I_B} \approx \frac{U_{RE}}{I_C}$	
		$C_E = \frac{h_{21e}}{2 \pi \cdot f_{gu} (h_{11e} + R_1)}$	

$\beta = h_{21e}$  = Kurzschlußstromverstärkung  
 $f_{gu}$  = untere Grenzfrequenz

$r_{BE} = h_{11e}$  = Transistoreingangswiderstand  
 $R_i$  = Generatorinnenwiderstand

# Aussteuerung des Transistors

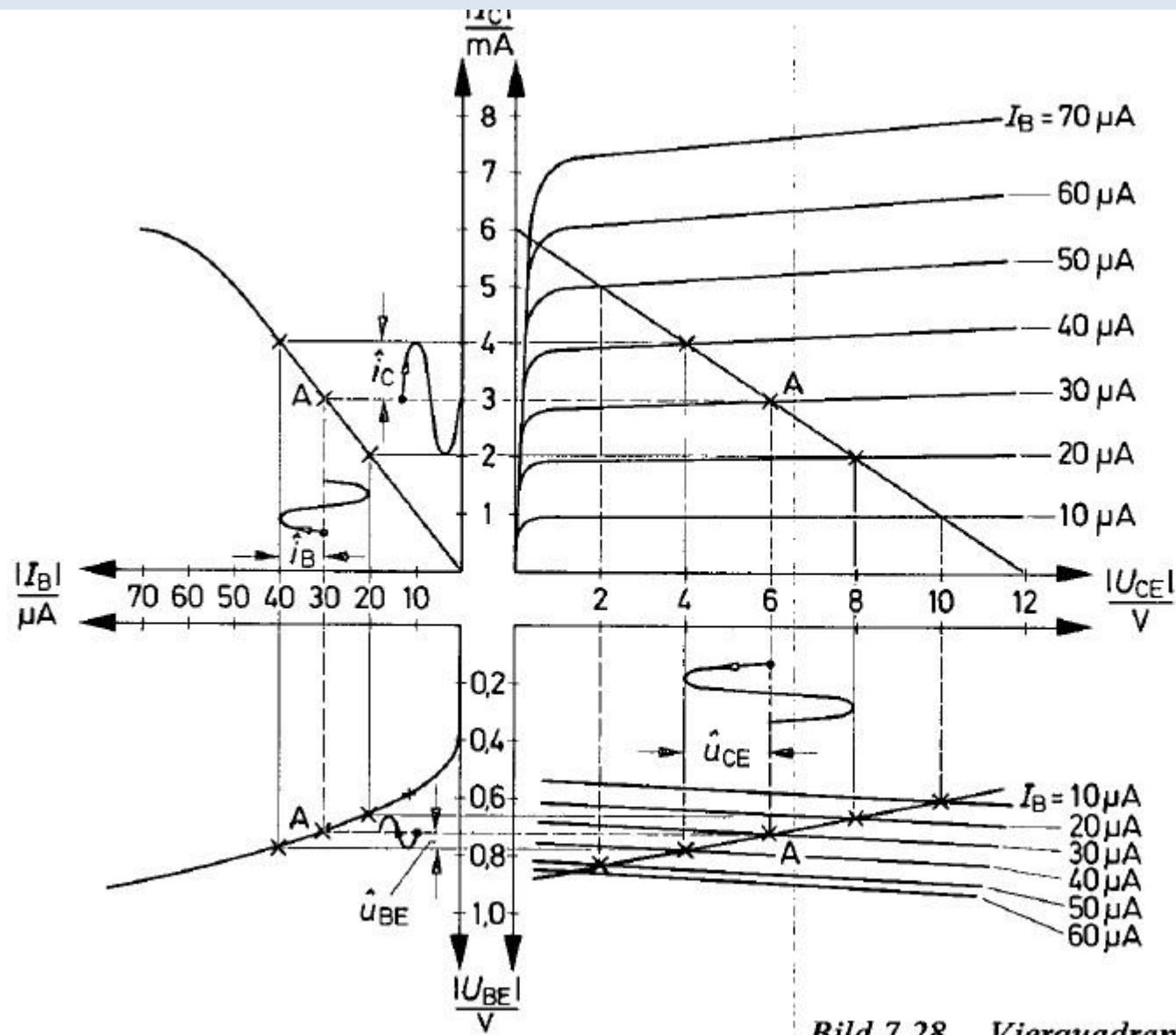
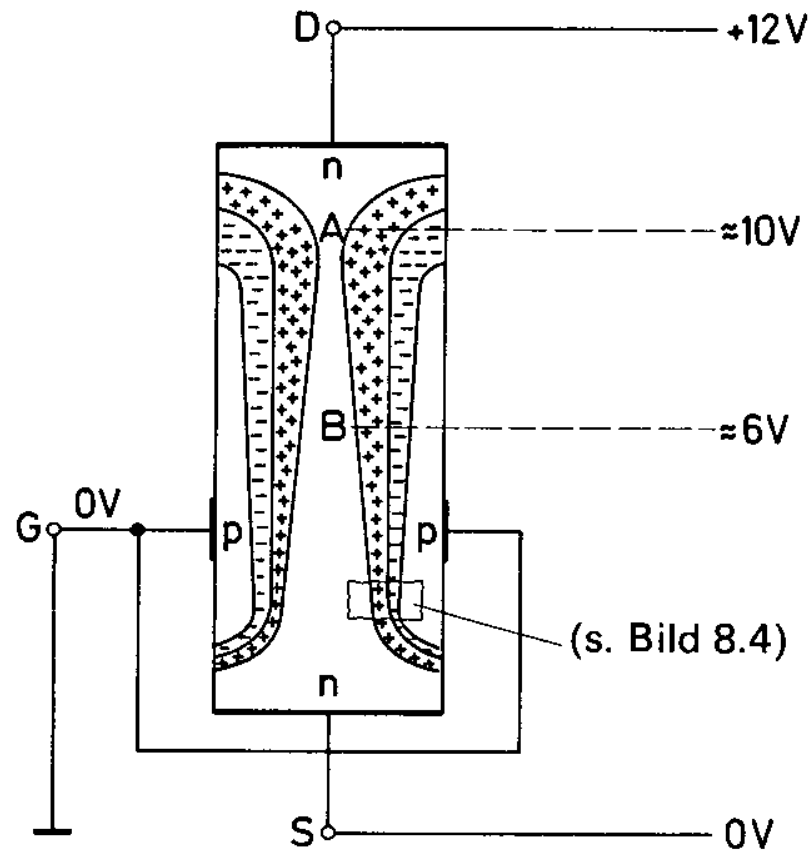


Bild 7.28 Vierquadrantenkennlinienfeld, Steuerung des Transistors

# J-FET (Sperrschicht FET): N-Kanal (1/4)

## „Grundsätzliches, Aufbau, Wirkungsweise“



◀ Bild 8.3 Sperrschichten eines Sperrschicht-FET

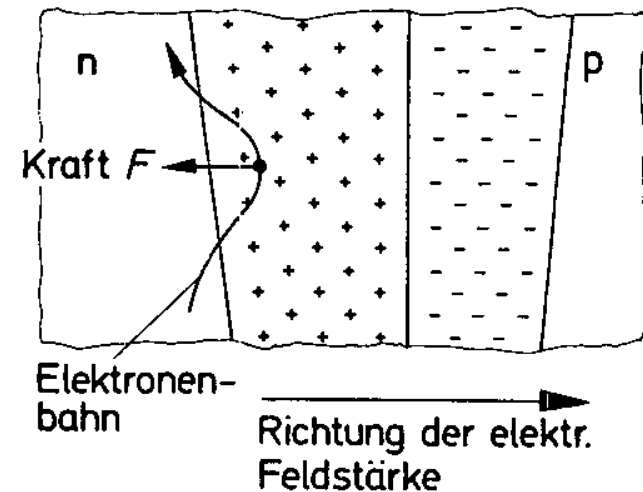
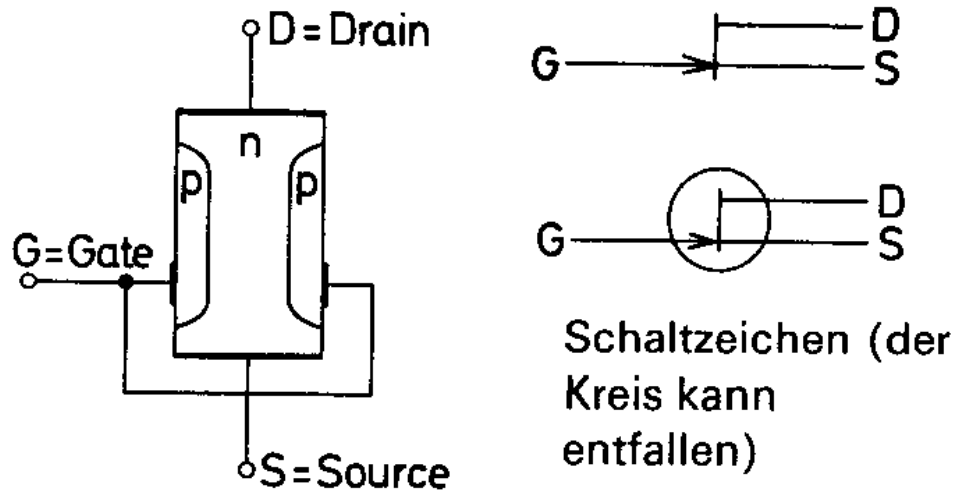


Bild 8.4 Vergrößerter Ausschnitt aus der Sperrschicht

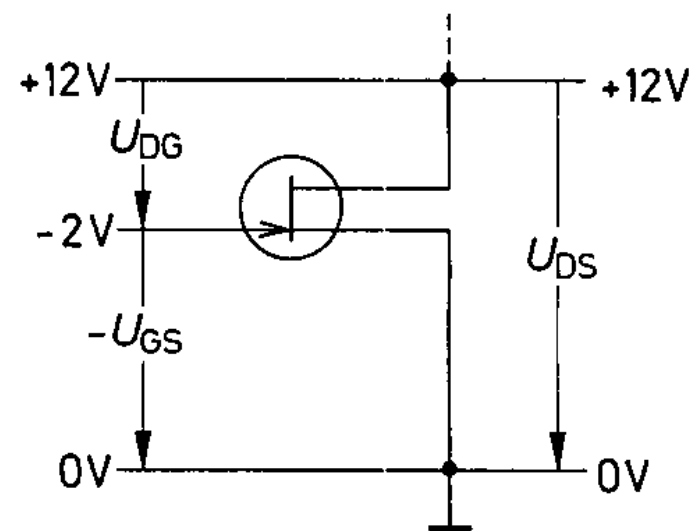
Analogie Diode: „Der PN Übergang“

# J-FET (Sperrschicht FET): N-Kanal „Spannungen“

(2/4)



*Bild 8.8 Benennung der Elektroden und Schaltzeichen*

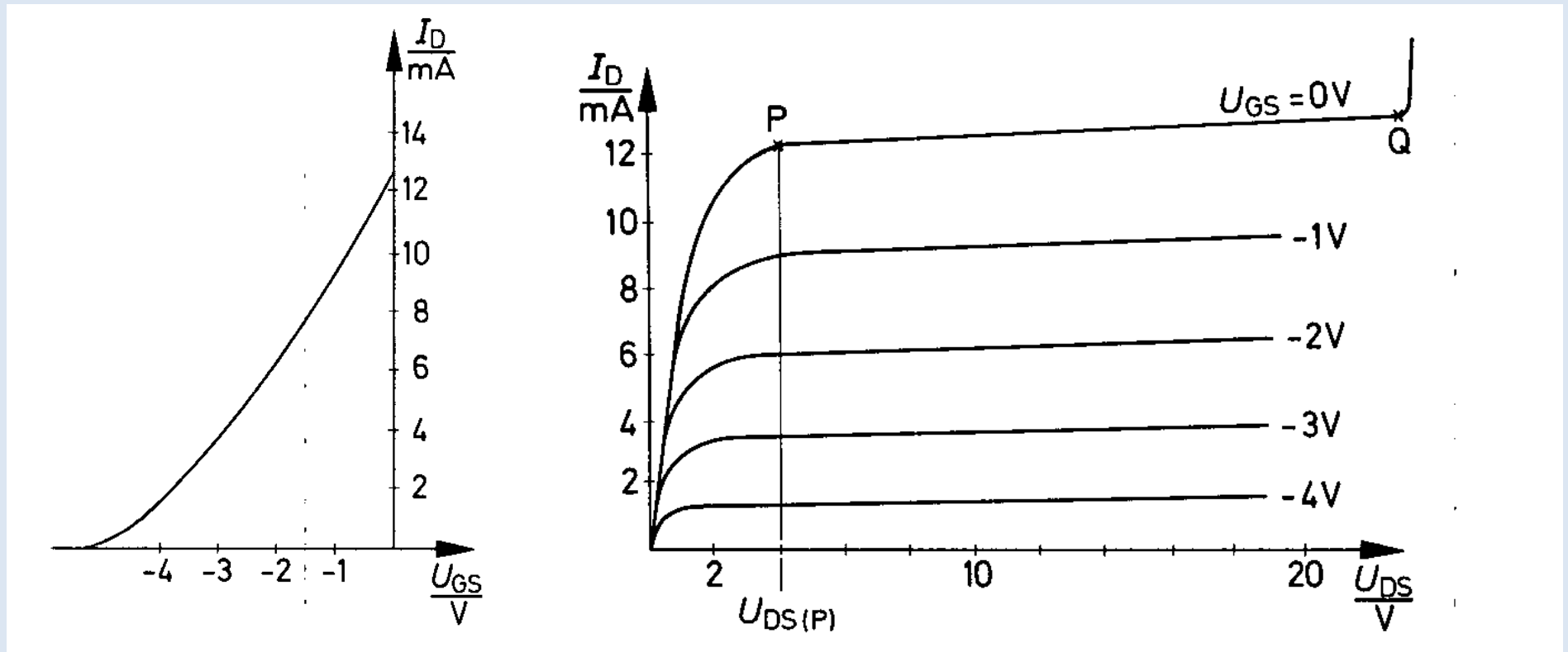


*Bild 8.9 Spannungen bei einem Sperrschicht-FET (N-Kanal-Typ)*

S	Source	= Quelle
D	Drain	= Abfluß
G	Gate	= Tor

# J-FET (Sperrschicht FET): N-Kanal „Kennlinien“

(3/4)



Beim Sperrschicht FET (N-Kanal) ist die Drainspannung  $U_{DS}$  positiv und die Gatespannung  $U_{GS}$  negativ (gegen Source).

# J-FET (Sperrschicht FET): N-Kanal

## „Anwendung: Sourceschaltung“

(4/4)

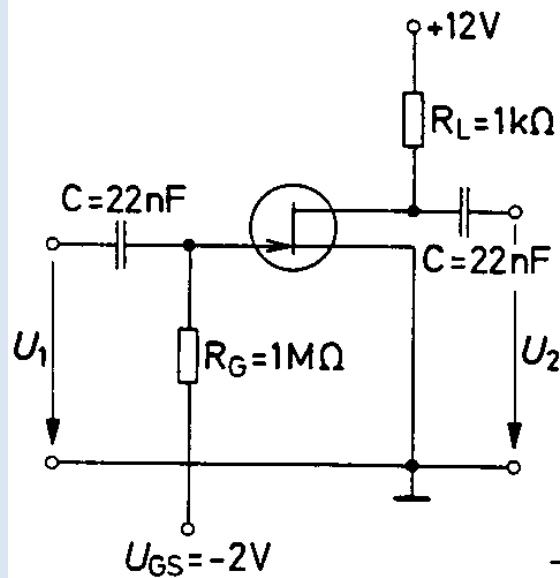
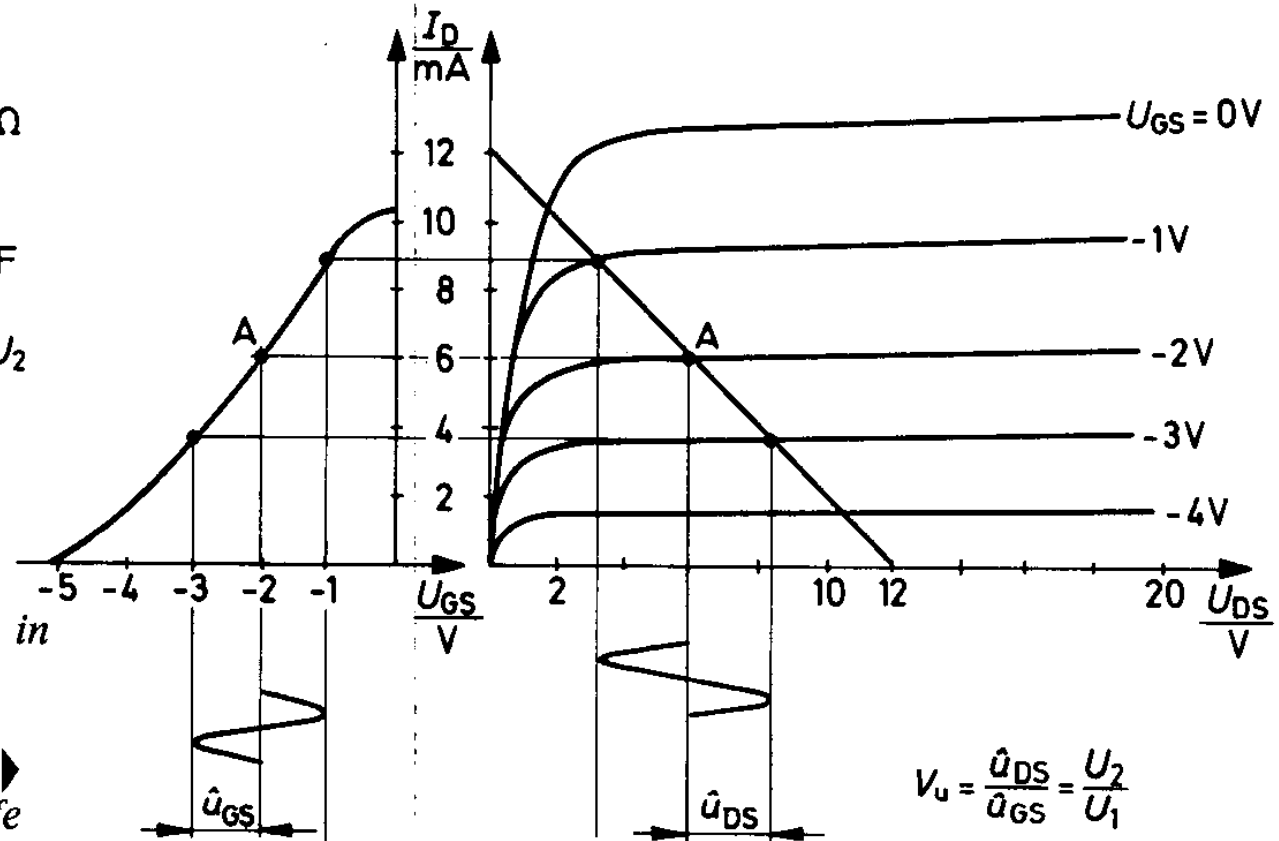


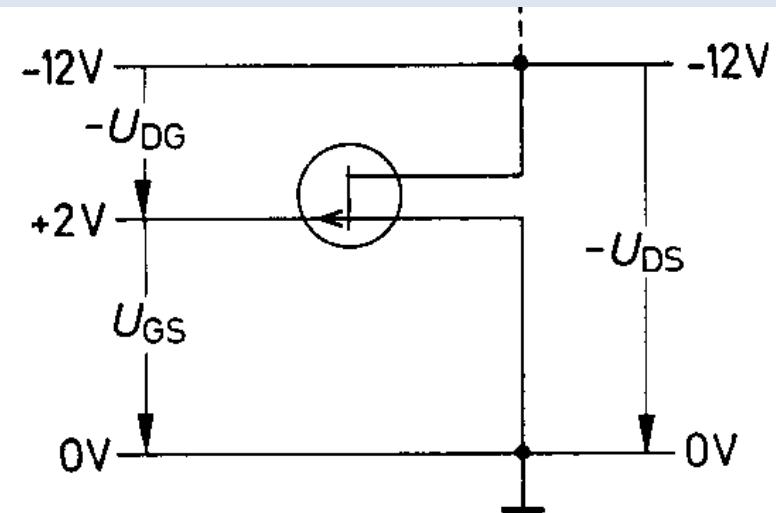
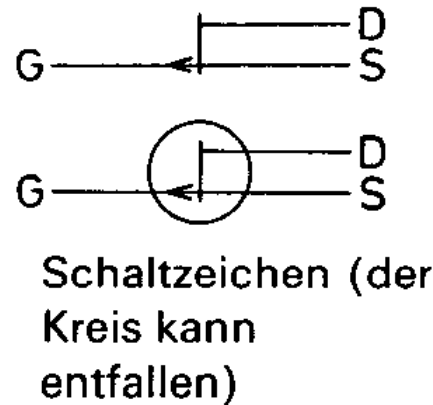
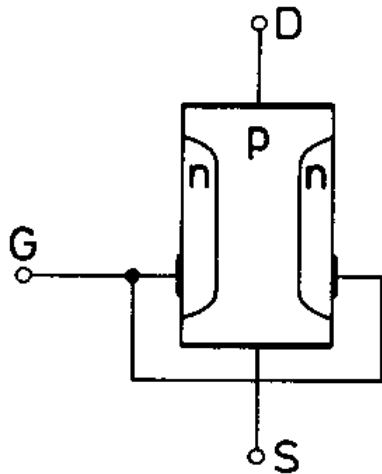
Bild 8.19 Verstärkerstufe in Sourceschaltung

Bild 8.20 Verstärkervorgang, Erläuterung mit Hilfe der Kennlinienfelder



Anwendung in Verstärker und Schalterstufen. Die Sourceschaltung entspricht der Emitterschaltung bei bipolaren Transistoren.

# J-FET (Sperrschicht FET): P-Kanal (1/1)

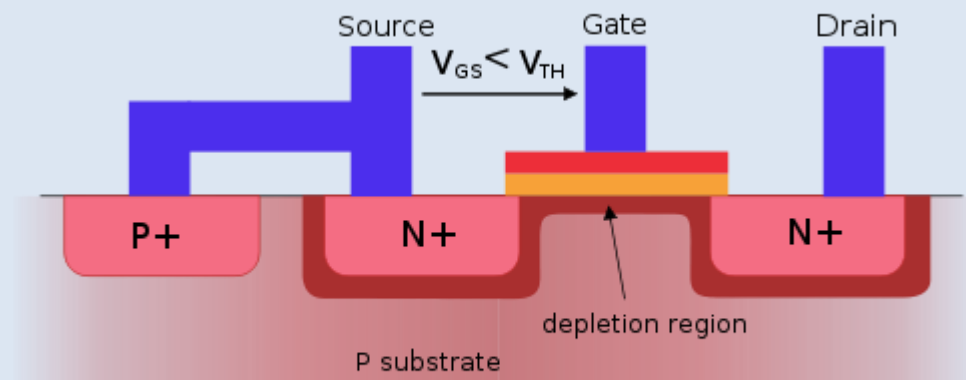


Beim Sperrschicht FET (P-Kanal) ist die Drainspannung  $U_{DS}$  negativ und die Gatespannung  $U_{GS}$  positiv (gegen Source).



# MOS-FET: n Kanal Funktionsweise

(1/3)

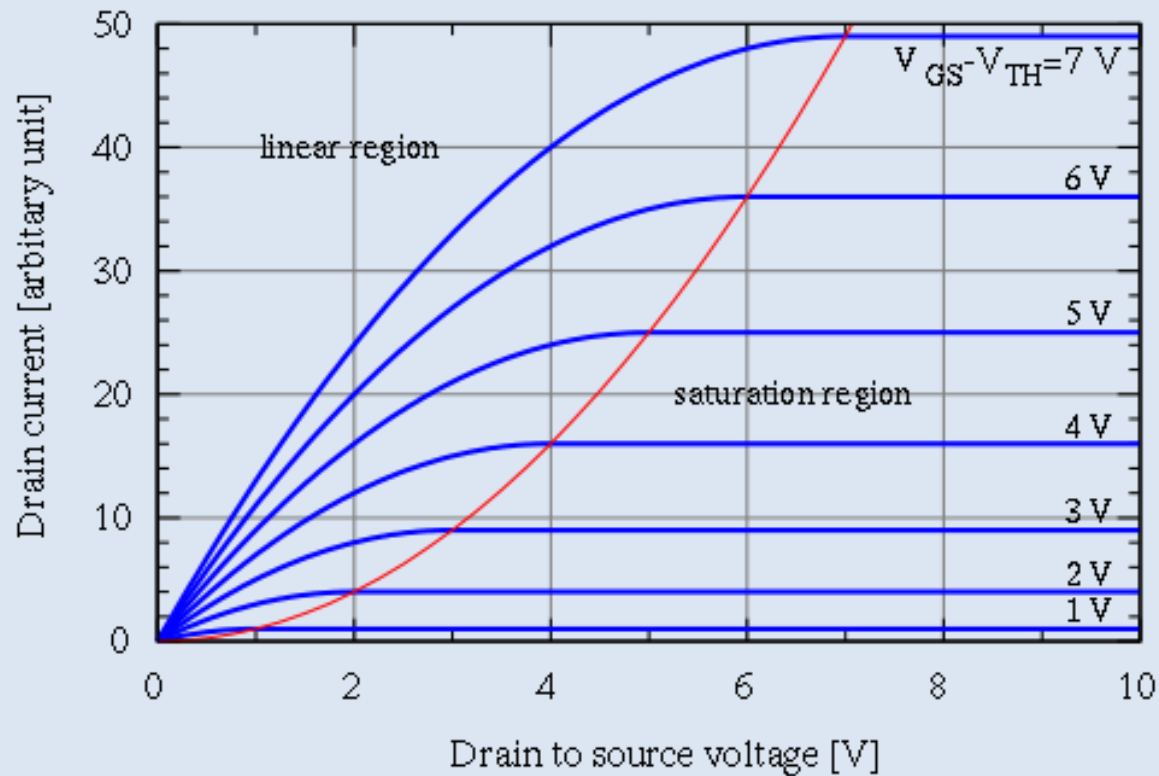


Der n Kanal MOS FET (nMOS) wird mit einer positiven Spannung  $U_{GS}$  gesteuert (dh die Drain-Source Strecke leitend gemacht).

Der p Kanal MOS FET (pMOS) wird mit einer negativen Spannung  $U_{GS}$  gesteuert (dh die Drain-Source Strecke leitend gemacht).

# MOS-FET: n-Kanal

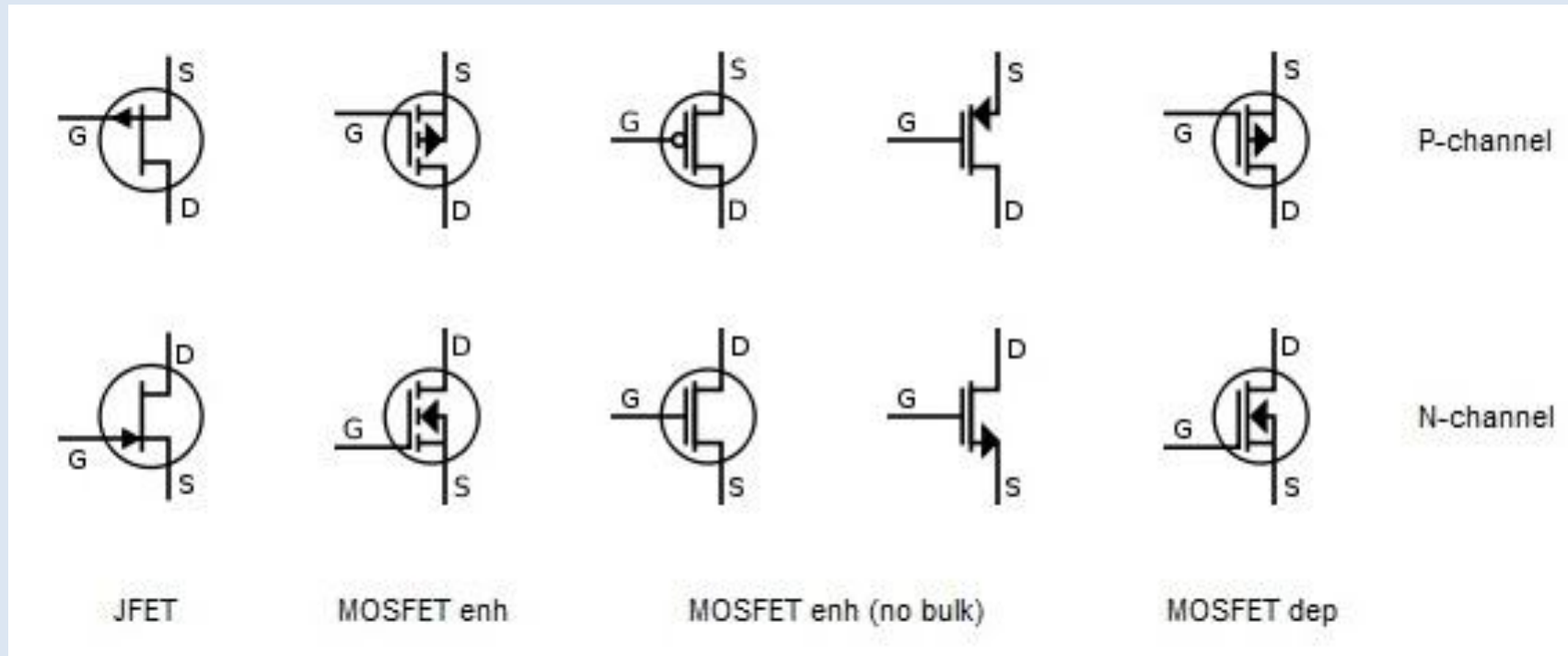
(3/3)



Ausgangskennlinienfeld mit  $I_D$  über  $U_{DS}$ .

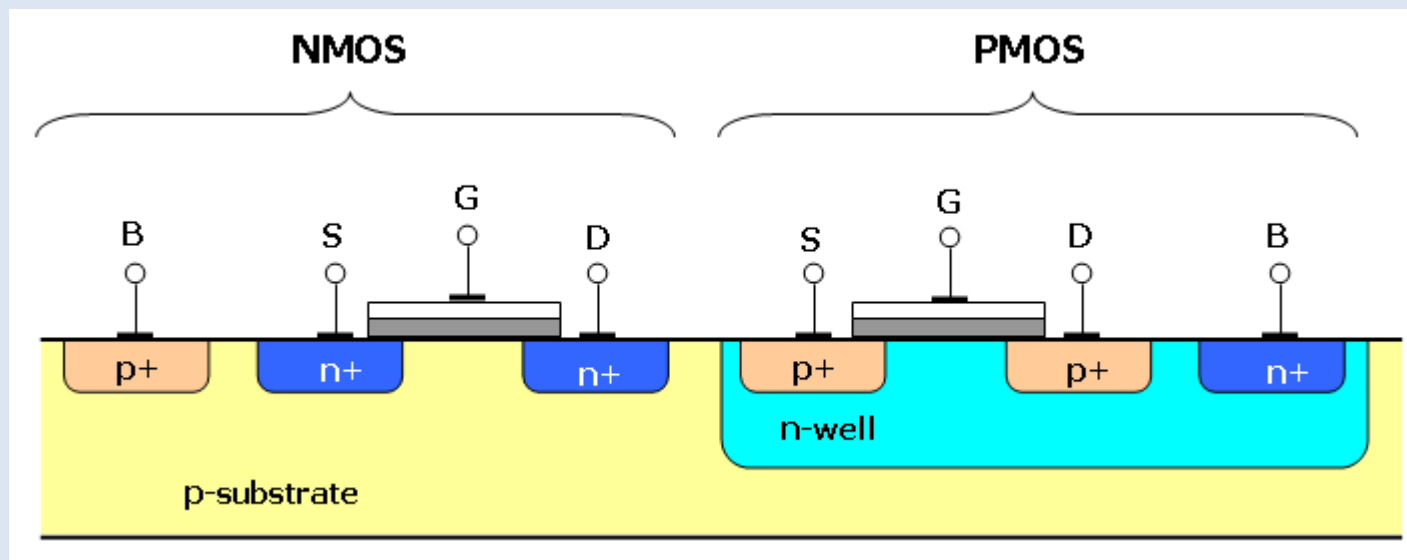
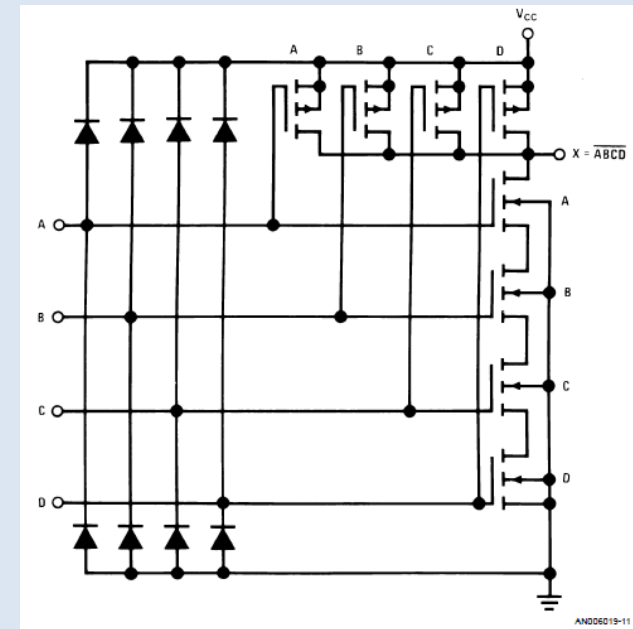
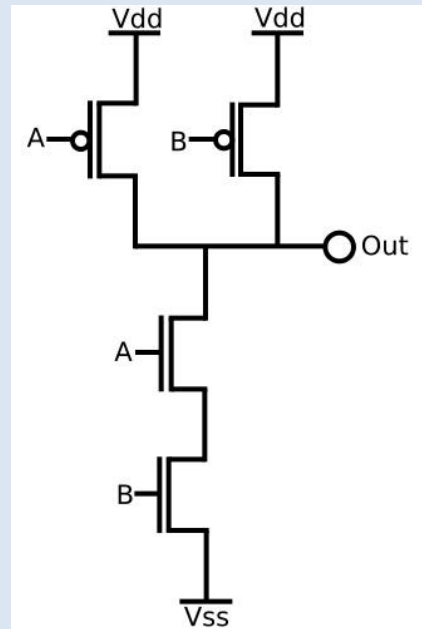
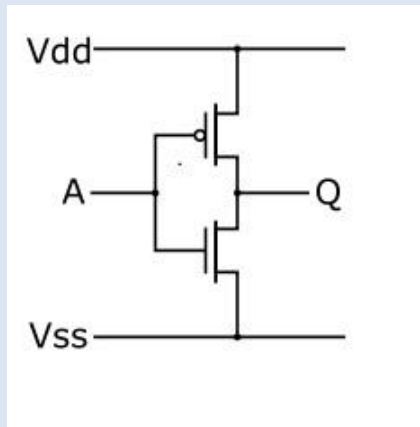
# MOS-FET: n-Kanal / p-Kanal

(2/3)



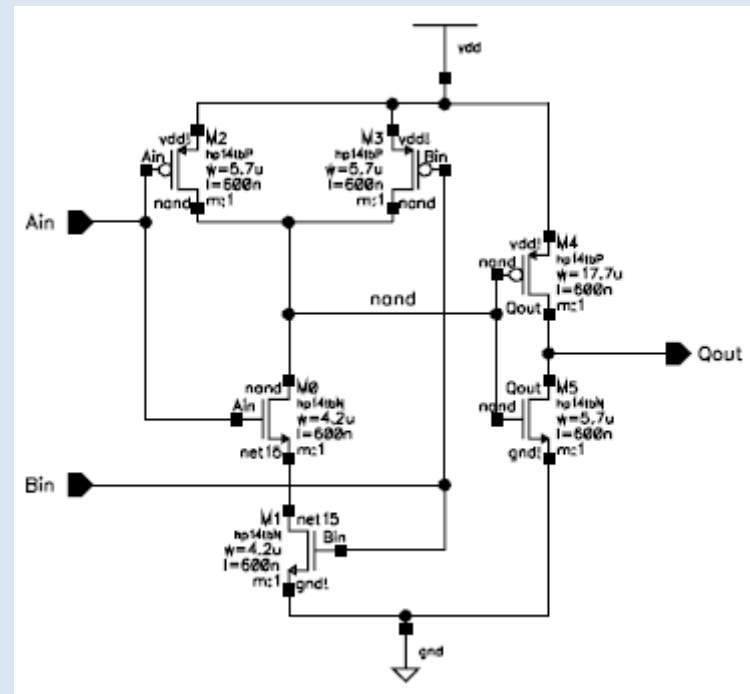
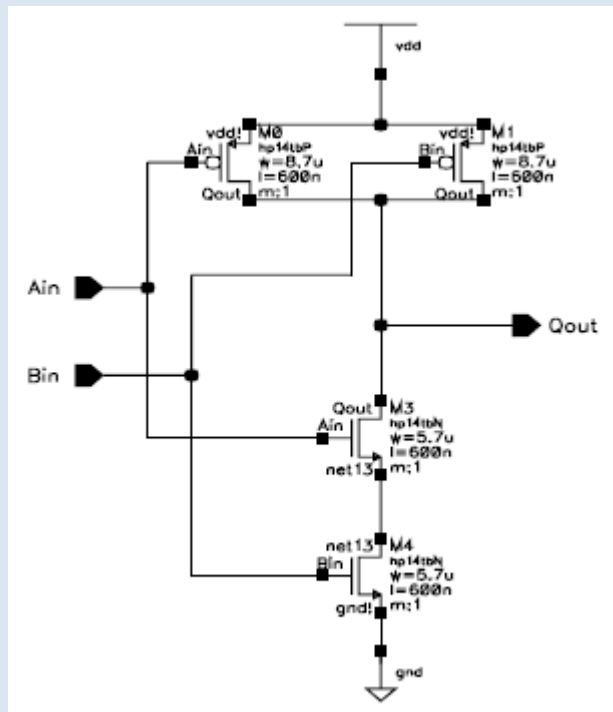
# CMOS Grundgatter

(1/3)



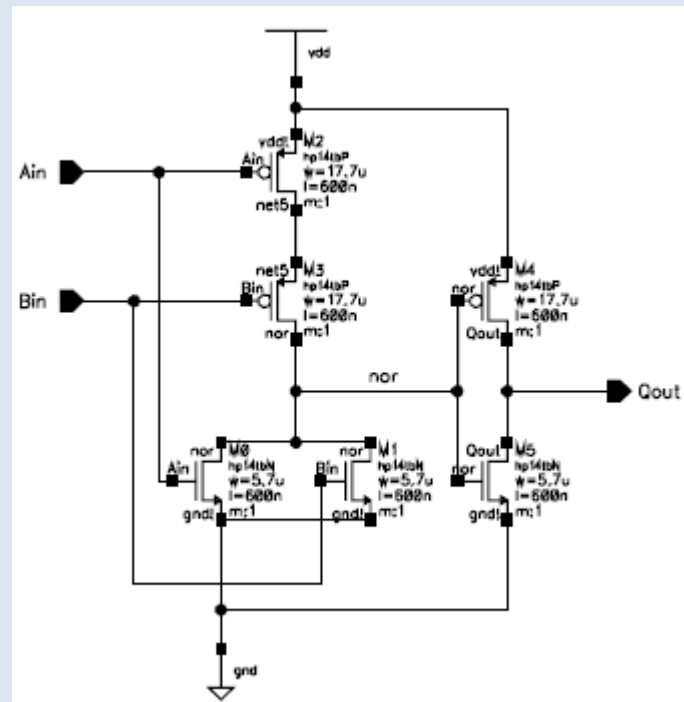
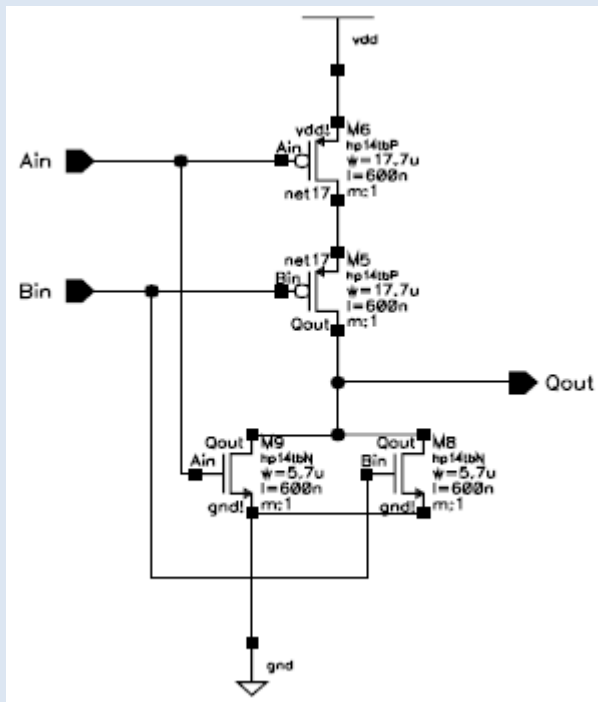
# CMOS Grundgatter

(2/3)



# CMOS Grundgatter

(2/3)



# Vielen Dank!

...für Eure Aufmerksamkeit.