

11 Digitale Auswahl- und Verbindungsschaltungen

11.1 Datenselektor, Multiplexer, Demultiplexer

Datenselektoren haben die Aufgabe, aus verschiedenen angebotenen Daten die gewünschten Daten auszuwählen und über die Ausgänge weiterzuleiten.

Dateneingaben können z.B. zeitlich nacheinander nach dem sogenannten Zeitmultiplexverfahren erfolgen. Eine Schaltung, die zeitlich nacheinander bestimmte Eingangssignale an ihre Ausgänge weitergibt, wird *Multiplexer* genannt (Bild 11.1).

Ein Multiplexer ist ein zeitabhängig gesteuerter Datenselektor.

Ebenfalls kann man ankommende Daten zeitlich nacheinander auf verschiedene Ausgänge verteilen.

Eine Schaltung, die am Eingang erscheinende Daten je nach Befehl zu einem bestimmten Ausgang durchschaltet, heißt *Demultiplexer*.

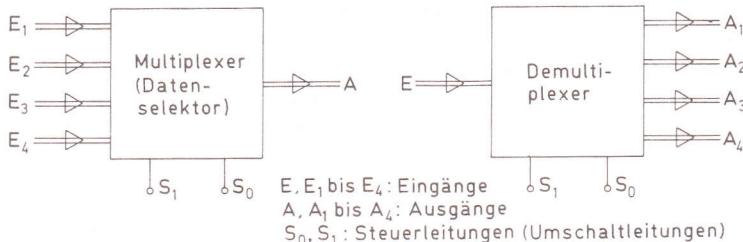


Bild 11.1 Datenselektor-Multiplexer, Demultiplexer

11.1.1 4-Bit-zu-1-Bit-Datenselektor

Die Arbeitsweise eines Datenselektors soll an einer einfachen Schaltung erläutert werden. Ein 4-Bit-zu-1-Bit-Datenselektor hat vier Eingänge. Jeder dieser vier Eingänge soll wahlweise zum Ausgang Z durchgeschaltet werden können (Bild 11.1 a).

Der Datenselektor arbeitet also wie ein Umschalter mit 4 Schaltstufen. In Schaltstufe 1 wird A mit Z verbunden. In Schaltstufe 2 wird B mit Z verbunden usw. Die Einstellung

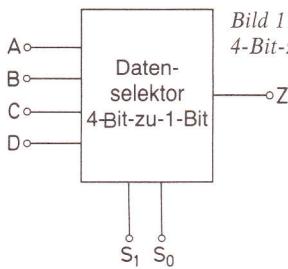


Bild 11.1 a
4-Bit-zu-1-Bit-Datenselektor

Schaltstufe	S_1	S_0	$Z =$
1	0	0	A
2	0	1	B
3	1	0	C
4	1	1	D

Bild 11.2 Wahrheitstabelle des 4-Bit-zu-1-Bit-Datenselektors

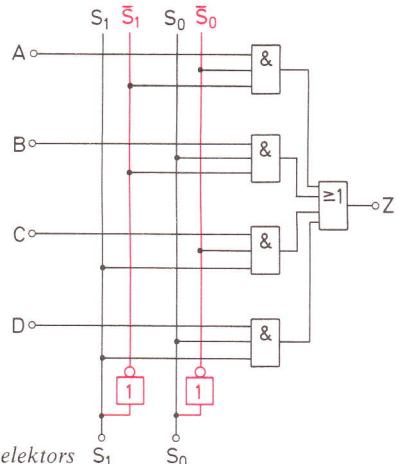


Bild 11.3 Schaltungen eines 4-Bit-zu-1-Bit-Datenselektors

der Schaltstufe erfolgt mit Hilfe der Steuerleitungen. Zur digitalen Steuerung von 4 verschiedenen Schaltstufen sind 2 Steuerleitungen erforderlich. Mit 2 Bit lassen sich vier verschiedene Befehle erzeugen, mit denen die vier Schaltstufen eingestellt werden (Bild 11.2).

Die Schaltung eines 4-Bit-zu-1-Bit-Datenselektors lässt sich leicht entwickeln. Die Variablen S_1 und S_0 müssen in negierter und nichtnegierter Form zur Verfügung stehen. Die Eingänge werden über UND-Glieder freigegeben, wenn der zugehörige Befehl an den Steuerleitungen liegt (Bild 11.3).

11.1.2 2×4 -Bit-zu-4-Bit-Datenselektor

Ein 2×4 -Bit-zu-4-Bit-Datenselektor hat zwei Eingänge zu je 4 Bit und einen 4-Bit-Ausgang (Bild 11.4). Entweder werden die vier A-Eingänge oder die vier B-Eingänge auf den Ausgang Z durchgeschaltet. Da nur zwei Schaltstellungen möglich sind, kommt man mit einer Steuerleitung S aus (Bild 11.4). Die Schaltung dieses Datenselektors ist in Bild 11.5 dargestellt.

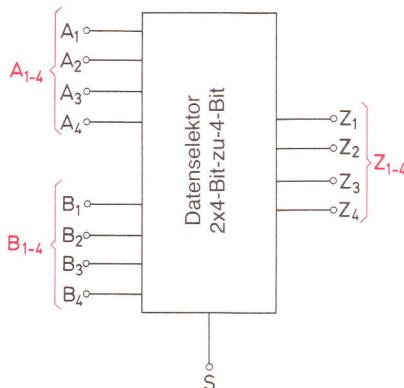


Bild 11.4
 2×4 -Bit-zu-4-Bit-Datenselektor

Schaltstufe	S	$Z_{1-4} =$
1	0	A_{1-4}
2	1	B_{1-4}

Bild 11.5 Schaltung eines 2×4 -Bit-zu-4-Bit-Daten-selektors

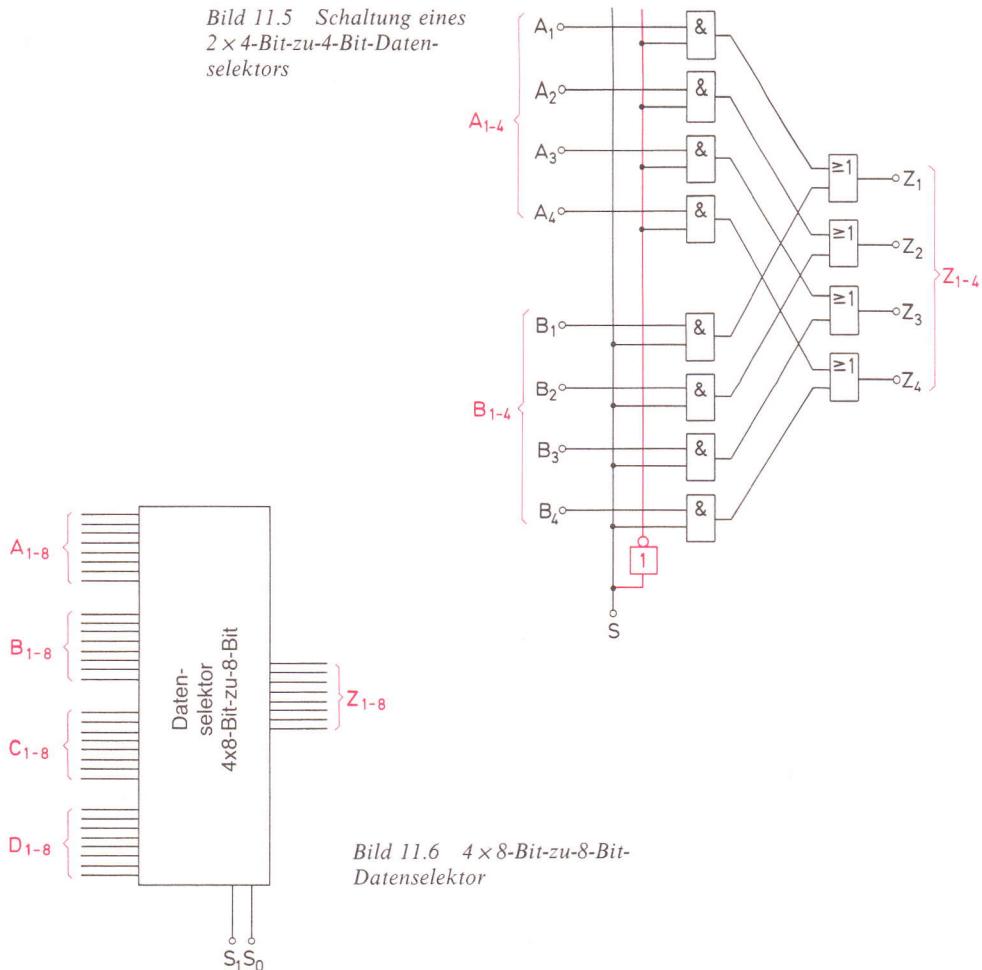


Bild 11.6 4×8 -Bit-zu-8-Bit-Datenselektor

11.1.3 4×8 -Bit-zu-8-Bit-Datenselektor

Als weiterer Datenselektor soll ein 4×8 -Bit-zu-8-Bit-Datenselektor vorgestellt werden, der in der Mikroprozessortechnik große Bedeutung hat (Bild 11.6). Bei diesem Datenselektor werden 8-Bit-Wörter wahlweise auf den 8-Bit-Ausgang gegeben. Vier Schaltstufen sind erforderlich. Die Schaltbefehle werden über die beiden Steuerleitungen S₀ und S₁ gegeben (2-Bit-Befehle).

Der Schaltbefehl S₀ = 0, S₁ = 0 schaltet die acht A-Eingänge auf die acht Z-Ausgänge (Z₁ = A₁, Z₂ = A₂, Z₃ = A₃, Z₄ = A₄ usw.). Sollen die B-Eingänge zum Ausgang durchgeschaltet werden, muß der Schaltbefehl S₀ = 1, S₁ = 0 lauten. Für das Durchschalten der C-Eingänge und der D-Eingänge gilt entsprechend S₀ = 0, S₁ = 1 und S₀ = 1, S₁ = 1.

11.1.4 16-Bit-zu-1-Bit-Datenselektor-Multiplexer

Der 16-Bit-zu-1-Bit-Datenselektor hat 16 Eingänge, von denen jeder zum Ausgang Q durchgeschaltet werden kann. Es werden 16 Schaltstufen benötigt. Da jede Schaltstufe durch einen zugeordneten Befehl eingestellt wird, sind 16 Befehle erforderlich. Zur Darstellung von 16 verschiedenen Befehlen benötigt man 4 Bit. Die Schaltung muß also 4 Steuereingänge haben (Bild 11.7).

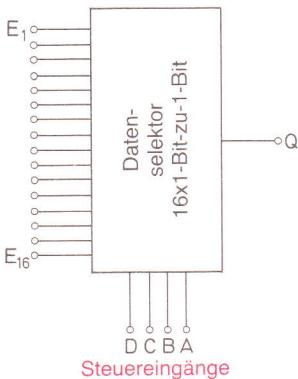


Bild 11.7 16-Bit-zu-1-Bit-Datenselektor

Ein 16-Bit-zu-1-Bit-Datenselektor ist als integrierte Schaltung mit der Bezeichnung FLY 111-74150 verfügbar. Das Schaltbild und die Anschlußordnung sind in Bild 11.8 angegeben. Die an den Eingängen liegenden Signale erscheinen nach Durchschaltung am Ausgang negiert.

Bild 11.9 zeigt das Datenblatt des Datenselektors FLY 111-74150.

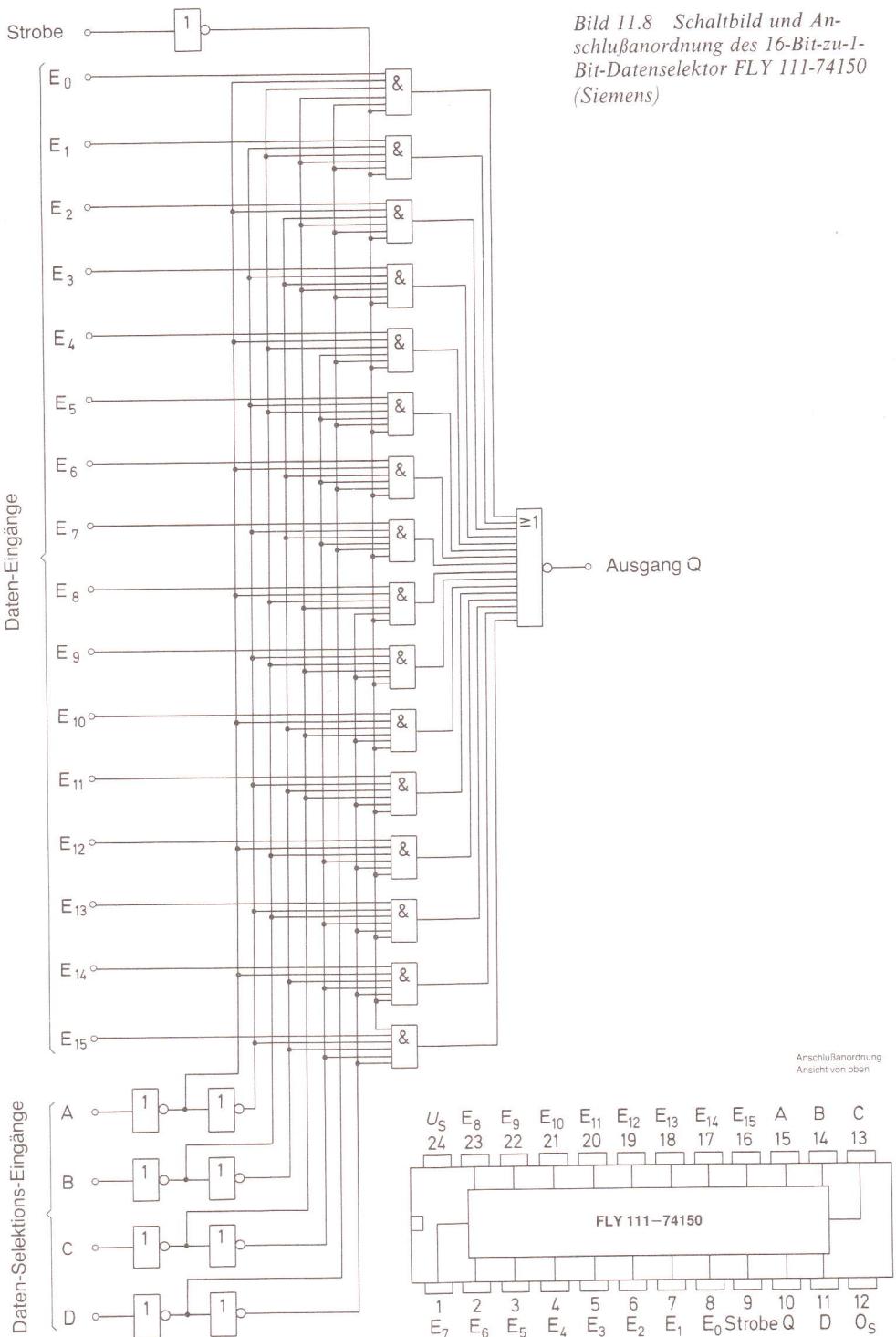
Der 16-Bit-zu-1-Bit-Datenselektor arbeitet als Multiplexer, wenn die 16 möglichen 4-Bit-Befehle zeitlich nacheinander an die Steuereingänge gelegt werden. Jeder Befehl liegt zum Beispiel eine Millisekunde lang an, dann folgt der nächste Befehl. Man beginnt üblicherweise mit 0000 und setzt fort bis 1111. Danach beginnt der Zyklus von neuem.

11.1.5 1-Bit-zu-4-Bit-Demultiplexer

Ein Demultiplexer arbeitet umgekehrt wie ein Datenselektor oder Multiplexer. Das am Eingang liegende Signal wird wahlweise auf mehrere Ausgänge durchgeschaltet. Die Steuerung erfolgt durch Befehle.

Ein 1-Bit-zu-4-Bit-Demultiplexer hat einen Eingang und vier Ausgänge (Bild 11.10). Es sind vier Schaltstufen erforderlich und somit vier verschiedene Befehle. Vier verschiedene Befehle erfordern zwei Steuereingänge (S_0 und S_1).

Die Schaltung eines 1-Bit-zu-4-Bit-Demultiplexers ist in Bild 11.11 dargestellt. Nur das UND-Glied läßt das Eingangssignal durch, das durch die entsprechenden Befehlssignale freigegeben ist.



Der Baustein FLY 111/115 besitzt 16 Eingänge E_0 bis E_{15} ; an diesen liegen gleichzeitig Informationen an (H- oder L-Signal), die über die Selektionseingänge A, B, C, D binär ausgewählt werden können und dann am Ausgang Q invertiert in serieller Reihenfolge erscheinen. Durch H-Signal am Strobeeingang wird der Ausgang Q gesperrt (H-Signal), unabhängig von den Eingangszuständen.

Die Bausteine finden Verwendung bei der seriellen Datenübertragung über eine Leitung in Verbindung mit den Bausteinen FLY 141/145.

Statische Kenndaten
im Temperaturbereich 1 und 5

		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		4,75	5,0	5,25	V
H-Eingangsspannung	U_{IH}	$U_S = 4,75 \text{ V}$	2,0			V
L-Eingangsspannung	U_{IL}				0,8	V
Eingangsklemmspannung	$-U_I$	$U_S = 4,75 \text{ V}, -I_1 = 12 \text{ mA}$			1,5	V
H-Ausgangsspannung	U_{QH}	$U_S = 4,75 \text{ V}, -I_{QH} = 800 \mu\text{A}$	2,4	3,4		V
L-Ausgangsspannung	U_{QL}	$U_S = 4,75 \text{ V}, I_{QL} = 16 \text{ mA}$		0,2	0,4	V
Eingangsstrom pro Eingang	I_I	$U_S = 5,25 \text{ V}, U_I = 5,5 \text{ V}$			1	mA
H-Eingangsstrom pro Eingang	I_{IH}	$U_S = 5,25 \text{ V}, U_{IH} = 2,4 \text{ V}$			40	μA
L-Eingangsstrom pro Eingang	$-I_{IL}$	$U_S = 5,25 \text{ V}, U_{IL} = 0,4 \text{ V}$			1,6	mA
Kurzschlußausgangsstrom	$-I_Q$	$U_S = 5,25 \text{ V}, U_{QL} = 0 \text{ V}$	18		55	mA
Speisestrom	I_S	$U_S = 5,25 \text{ V}, U_I = 4,5 \text{ V}$		40	68	mA

Schaltzeiten bei $U_S = 5 \text{ V}$, $T_U = 25^\circ\text{C}$

Signal-Laufzeit						
von A, B, C, D nach Q	t_{PHL}			22	33	ns
	t_{PLH}			23	35	ns
von Strobe nach Q	t_{PHL}	$R_L = 400 \Omega, C_L = 30 \text{ pF}$		21	30	ns
	t_{PLH}			15,5	24	ns
von E_0 bis E_{15} nach Q	t_{PHL}			8,5	14	ns
	t_{PLH}			13	20	ns

Logische Daten

H-Ausgangslastfaktor pro Ausgang	F_{QH}		20	
L-Ausgangslastfaktor pro Ausgang	F_{QL}		10	
Eingangslastfaktor pro Eingang	F_I		1	

Bild 11.9 Datenblatt des Datenselektors FLY 111-74150

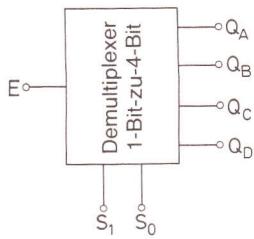


Bild 11.10 1-Bit-zu-4-Bit-Demultiplexer

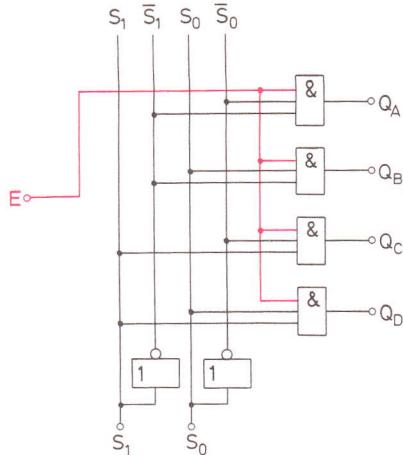


Bild 11.11 Schaltung eines 1-Bit-zu-4-Bit-Demultiplexers

Schaltstufe	S_1	S_0	$E =$
1	0	0	Q_A
2	0	1	Q_B
3	1	0	Q_C
4	1	1	Q_D

11.2 Adreßdekodierer

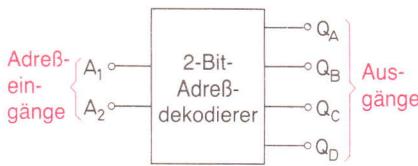
Zur Ansteuerung verschiedener Bausteine sind sogenannte *Adressen* erforderlich. In der Digitaltechnik versteht man unter einer Adresse eine 1-0-Folge bestimmter Länge, also ein binäres Wort mit einer festgelegten Anzahl von Bits. Es gibt z.B. 2-Bit-Adressen, 4-Bit-Adressen usw.

Ein Adreßdekodierer ist eine Schaltung mit einer Anzahl von Ausgängen. Die Ausgänge werden über die Adreßeingänge angewählt und führen dann 1-Signal.

11.2.1 2-Bit-Adreßdekodierer

Hat ein Adreßdekodierer vier Ausgänge, sind zwei Adreß-Eingänge erforderlich. Er wird also mit 2-Bit-Adressen gesteuert. Mit 2 Bit lassen sich vier verschiedene Adressen aufbauen (Bild 11.12).

Die Schaltung eines 2-Bit-Adreßdekodierers zeigt Bild 11.13.



Adresse (Nummer)	A ₂	A ₁	Q _A	Q _B	Q _C	Q _D
1	0	0	1	0	0	0
2	0	1	0	1	0	0
3	1	0	0	0	1	0
4	1	1	0	0	0	1

Bild 11.12 2-Bit-Adreßdekodierer mit Wahrheitstabelle

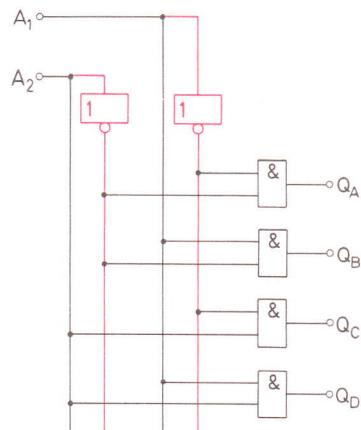


Bild 11.13 Schaltung eines 2-Bit-Adreßdekodierers

11.2.2 4-Bit-Adreßdekodierer

Mit 3-Bit-Adressen können 8 Ausgänge angewählt werden. 4-Bit-Adressen erlauben die Anwahl von 16 Ausgängen. Allgemein gilt:

$$n = 2^k$$

n = Zahl der anwählbaren Ausgänge

k = Zahl der Adreßeingänge

Bild 11.14 zeigt einen 4-Bit-Adreßdekodierer mit Wahrheitstabelle. 16 verschiedene Adressen sind möglich; 16 verschiedene Ausgänge können angewählt werden.

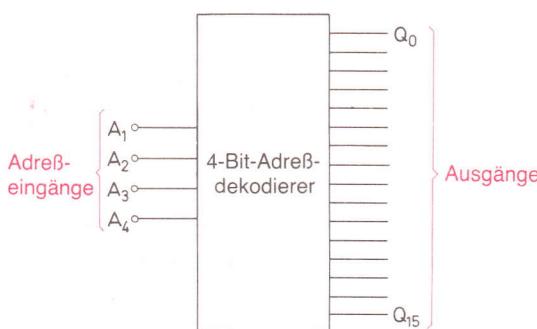


Bild 11.14 4-Bit-Adreßdekodierer mit Wahrheitstabelle

A ₄	A ₃	A ₂	A ₁	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	Q ₈	Q ₉	Q ₁₀	Q ₁₁	Q ₁₂	Q ₁₃	Q ₁₄	Q ₁₅
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0					1											
0	1	0	1						1										
0	1	1	0							1									
0	1	1	1								1								
1	0	0	0									1							
1	0	0	1										1						
1	0	1	0											1					
1	0	1	1																
1	1	0	0													1			
1	1	0	1														1		
1	1	1	0															1	
1	1	1	1																1

Nullen
zur besseren
Übersicht
weggelassen

11.3 Digitaler Komparator

Ein digitaler Komparator ist eine Schaltung, die zwei binäre Ausdrücke A und B miteinander vergleicht und meldet, ob $A > B$, $A = B$ oder $A < B$ ist.

Die Gleichheit binärer Ausdrücke ist leicht feststellbar. Die beiden Ausdrücke müssen im Inhalt eines jeden Bits übereinstimmen, sonst sind sie nicht gleich.

Die Beurteilung, ob ein Ausdruck A größer oder kleiner ist als ein Ausdruck B, ist schon schwieriger. Es kommt hier auf den verwendeten Kode an. Nur wenn ein Komparator für den Kode gebaut ist, in dem die Ausdrücke A und B kodiert sind, ist eine Beurteilung $A > B$ oder $A < B$ möglich.

Die üblichen Komparatoren sind für das duale Zahlensystem bzw. für den BCD-Kode konstruiert.

11.3.1 1-Bit-Komparator

Der einfachste mögliche Komparator ist der 1-Bit-Komparator. Die beiden zu vergleichenden binären Ausdrücke A und B dürfen nur je 1 Bit haben. Die Schaltung hat drei Ausgänge (Bild 11.15). Am Ausgang X erscheint 1, wenn $A > B$ ist. Bei $A = B$ ist Y = 1 und bei $A < B$ ist Z = 1.

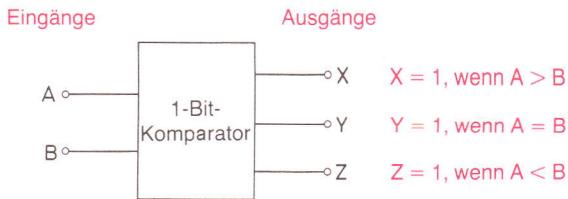


Bild 11.15 1-Bit-Komparator mit Wahrheitstabelle

Fall	B	A	X	Y	Z
1	0	0	0	1	0
2	0	1	1	0	0
3	1	0	0	0	1
4	1	1	0	1	0

$$Y = (\bar{A} \wedge \bar{B}) \vee (A \wedge B)$$

Die Schaltung des Komparators Bild 11.15 kann aus der Antivalenzschaltung entwickelt werden. Man kann sie aber auch mit Hilfe der ODER-Normalformen berechnen (Bild 11.16).

$$X = A \wedge \bar{B}$$

$$Z = \bar{A} \wedge B$$

$$Y = (\bar{A} \wedge \bar{B}) \vee (A \wedge B)$$

$$Y = (\bar{A} \wedge B) \vee (A \wedge \bar{B})$$

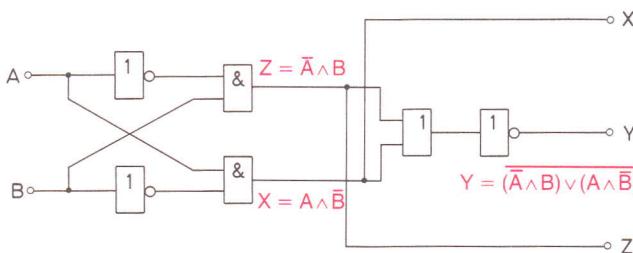
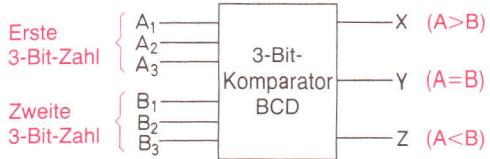


Bild 11.16 Schaltung eines 1-Bit-Komparators

11.3.2 3-Bit-Komparator für den BCD-Kode

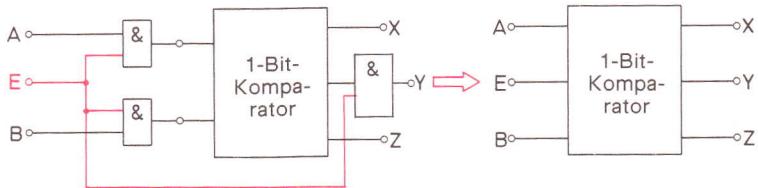
Ein 3-Bit-Komparator muß zwei 3-Bit-Ausdrücke miteinander vergleichen können. Bild 11.17 zeigt einen 3-Bit-Komparator für den BCD-Kode mit Wahrheitstabelle. Die Wahrheitstabelle ist verkürzt aufgebaut. Bei sechs Variablen ergäben sich sonst 64 Fälle. Zunächst müssen die wert höchsten Bits miteinander verglichen werden, also A_3 mit B_3 . Ist $A_3 > B_3$, so ist $A > B$. Ist $A_3 < B_3$, so ist $A < B$. Bei $A_3 = B_3$ kommt es auf die nächste wert niedrigere Stelle an. Ist $A_2 > B_2$, so ist $A > B$. Ist $A_2 < B_2$, so ist $A < B$.

Bild 11.17 3-Bit-Komparator für den BCD-Kode mit Wahrheitstabelle



Fall	(2 ²) A_3, B_3	(2 ¹) A_2, B_2	(2 ⁰) A_1, B_1	$A > B$	$A = B$	$A < B$
1	$A_3 > B_3$	X	X	1	0	0
2	$A_3 < B_3$	X	X	0	0	1
3	$A_3 = B_3$	$A_2 > B_2$	X	1	0	0
4	$A_3 = B_3$	$A_2 < B_2$	X	0	0	1
5	$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	1	0	0
6	$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	0	0	1
7	$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	0	1	0

Bild 11.18
1-Bit-Komparator mit Sperrschialtung



Bei $A_3 = B_3$ und $A_2 = B_2$ kommt es auf die nächste wertniedrigere Stelle an. Ist $A_1 > B_1$, so ist $A > B$. Ist $A_1 < B_1$, so ist $A < B$. Wenn alle drei Bits gleich sind, ist $A = B$. Bei der Schaltungsentwicklung des 3-Bit-Komparators gehen wir vom 1-Bit-Komparator Bild 11.15 bzw. Bild 11.16 aus. Die Schaltung muß mit einem Sperreingang versehen werden (Bild 11.18).

Drei 1-Bit-Komparatoren mit Sperrschialtung müssen nun so zusammengeschaltet werden, daß die Wahrheitstabelle Bild 11.17 erfüllt ist. Die Zusammenschaltung zeigt Bild 11.19.

Untersuchen wir nun, ob die Schaltung Bild 11.19 die Wahrheitstabelle Bild 11.17 erfüllt:

Fall 1: $A_3 > B_3 \Rightarrow X_3 = 1 \Rightarrow X = 1 \Rightarrow A > B$

Da $Y_3 = 0$ ist, werden die Eingänge der 1-Bit-Komparatoren II und I gesperrt.

Fall 2: $A_3 < B_3 \Rightarrow Z_3 = 1 \Rightarrow Z = 1 \Rightarrow A < B$

Da $Y_3 = 0$ ist, werden die Eingänge der 1-Bit-Komparatoren II und I gesperrt.

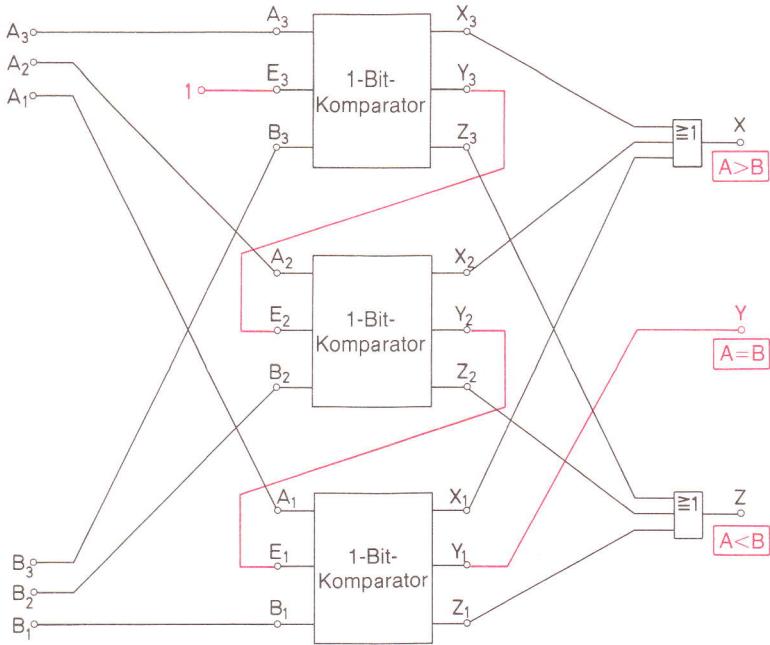


Bild 11.19 Schaltung eines 3-Bit-Komparators für den BCD-Kode

Fall 3: $A_3 = B_3 \quad A_2 > B_2$

Jetzt ist $Y_3 = 1$. Der Eingang des 1-Bit-Komparators II wird geöffnet. Da $A_2 > B_2$ ist, ist $Y_2 = 0$. Die Eingänge des 1-Bit-Komparators I bleiben gesperrt. X_2 wird 1 und damit wird $X = 1$.

Fall 4: $A_3 = B_3 \quad A_2 < B_2$

Wie Fall 3, nur wird $Z_2 = 1$, und damit $Z = 1$.

Fall 5: $A_3 = B_3 \quad A_2 = B_2$

Der Ausgang Y_2 wird 1. Damit wird der Eingang des 1-Bit-Komparators I geöffnet. Da $A_1 > B_1$, wird $X_1 = 1$ und damit $X = 1$.

Fall 6: $A_3 = B_3 \quad A_2 = B_2$

Wie Fall 5. Da $A_1 < B_1$ wird $Z_1 = 1$ und damit $Z = 1$.

Fall 7: $A_3 = B_3 \quad A_2 = B_2 \quad A_1 = B_1$

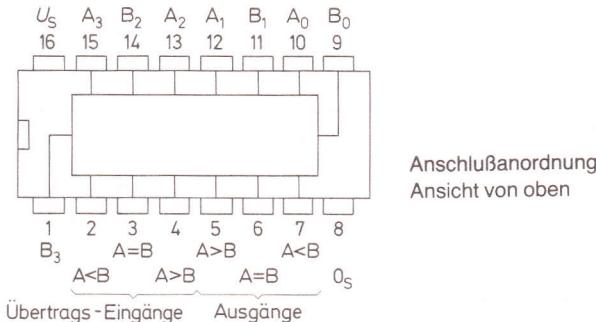
Y_1 wird 1. Damit wird auch $Y = 1$.

11.3.3 4-Bit-Komparator für den Dual-Kode

Ein 4-Bit-Komparator ist ähnlich aufgebaut wie ein 3-Bit-Komparator, nur wird ein weiterer 1-Bit-Komparator mit sperrbaren Eingängen benötigt.

4-Bit-Komparatoren für den Dual-Kode werden als integrierte Schaltungen angeboten. Bild 11.20 zeigt das Anschlußschema und die Wahrheitstabelle der Schaltung FLH 431-7485. Die Schaltung gehört zur TTL-Schaltkreisfamilie. Das vollständige Datenblatt ist in Bild 11.21 wiedergegeben.

**FLH 431—7485
FLH 435—8485**



Logisches Verhalten

Daten-Eingänge				Übertrags-Eingänge			Ausgänge		
A ₃ , B ₃	A ₂ , B ₂	A ₁ , B ₁	A ₀ , B ₀	A>B	A<B	A = B	A>B	A<B	A = B
A ₃ >B ₃	X	X	X	X	X	X	H	L	L
A ₃ <B ₃	X	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ >B ₂	X	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ <B ₂	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	X	X	X	x	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	L	L	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	H	L	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	X	X	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	H	L	L	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	L	H	H	L

X≈L- oder H-Signal

Bild 11.20 Anschlußordnung und verkürzte Wahrheitstabelle der Schaltung FLH 431-7485 (Siemens)

Der Baustein FLH 431/435 vergleicht zwei binärkodierte 4-Bit-Wörter (Wort A und Wort B) und unterscheidet in drei Aussagen: A > B, A = B, A < B.

Dieser Baustein kann ohne zusätzliche Logik durch die drei Übertragseingänge zum Vergleich zweier Wörter beliebiger Bitzahl erweitert werden. Dabei erhöht sich für jedes weitere 4-Bit-Wort die Verzögerungszeit um die Durchlaufzeit zweier Gatter. Beispielsweise werden beim Vergleich zweier 8-Bit-Wörter typ. 38 ns erzielt. Typ. Durchlaufverzögerung für 4-Bit-Wörter: 24 ns.

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		4,75	5,0	5,25	V
H-Eingangsspannung	U_{IH}	$U_S = 4,75 \text{ V}$	2,0			V
L-Eingangsspannung	U_{IL}	$U_S = 4,75 \text{ V}$			0,8	V
Eingangsklemmspannung	$-U_I$	$U_S = 4,75 \text{ V}, -I_1 = 12 \text{ mA}$			1,5	V
H-Ausgangsspannung	U_{QH}	$U_S = 4,75 \text{ V},$ $-I_{QH} = 400 \mu\text{A},$ $U_{IH} = 2 \text{ V}, U_{IL} = 0,8 \text{ V}$	2,4	3,4		V
L-Ausgangsspannung	U_{QL}	$U_S = 4,75 \text{ V}, I_{QL} = 16 \text{ mA}$ $U_{IH} = 2 \text{ V}, U_{IL} = 0,8 \text{ V}$		0,2	0,4	V
H-Eingangsstrom pro Eingang außer A < B und A > B	I_{IH} I_I	$I_{IH} = 2,4 \text{ V},$ $I_I = 5,5 \text{ V}$			120	μA
H-Eingangsstrom, an Eingang A < B oder A > B	I_{IH} I_I	$I_{IH} = 2,4 \text{ V}$ $I_I = 5,5 \text{ V}$	$U_S = 5,25 \text{ V}$		1,0	mA
L-Eingangsstrom pro Eingang außer A < B und A > B	$-I_{IL}$	$U_{IL} = 0,4 \text{ V}$			4,8	mA
L-Eingangsstrom, an Eingang A < B oder A > B	$-I_{IL}$	$U_{IL} = 0,4 \text{ V}$			1,6	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = 5,25 \text{ V}$	18		55	mA
Speisestrom	I_S	$U_S = 5,25 \text{ V}$		56	88	mA

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Schaltzeiten bei $U_S = 5 \text{ V}$, $T_U = 25^\circ\text{C}$					
Signal-Laufzeit					
von Eingang A oder B nach Ausgang A < B oder A > B	t_{PLH}	17	26	ns	
von Eingang A oder B nach Ausgang A = B	t_{PHL}	20	30	ns	
von Eingang A < B oder A = B nach Ausgang A > B	t_{PLH}	23	35	ns	
nach Eingang A = B	t_{PHL}	20	30	ns	
von Eingang A < B oder A = B nach Ausgang A > B	t_{PLH}	7	11	ns	
nach Ausgang A > B	t_{PHL}	11	17	ns	
von Eingang A = B nach Ausgang A = B	t_{PLH}	13	20	ns	
von Eingang A > B oder A = B nach Ausgang A < B	t_{PLH}	11	17	ns	
nach Ausgang A < B	t_{PHL}	7	11	ns	
Ausgangslastfaktor pro Ausgang	F_Q	11	17	ns	
Eingangslastfaktor bei A < B- oder A > B- Eingang	F_I			1	
bei allen anderen Eingängen	F_I			3	

Bild 11.21 Datenblatt der Schaltung FLH 431-7485 (Siemens)

11.4 BUS-Schaltungen

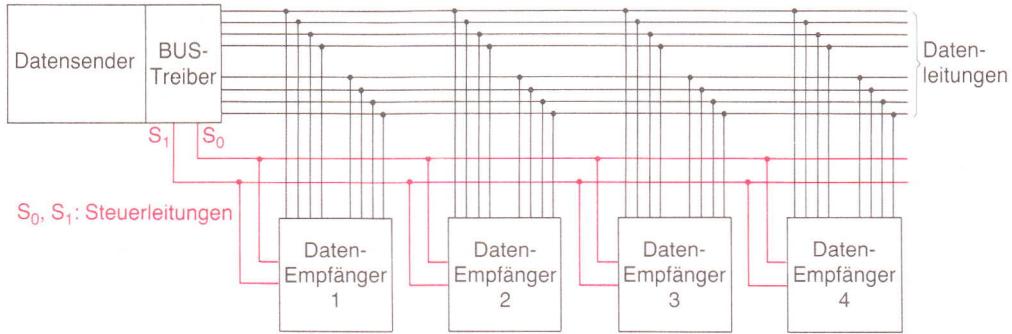
11.4.1 Aufbau und Arbeitsweise

Mit BUS bezeichnet man ein System zum Transport und zur Verteilung binärer Informationen.

Das Wort BUS kommt von omnibus (lat.: für alle). Alle Einheiten, die binäre Informationen senden oder empfangen, sind durch ein BUS-System miteinander verbunden.

Ist das BUS-System nur für den Informationstransport in einer Richtung geeignet, spricht man von einem *Einweg-BUS* oder von einem *unidirektionalen BUS*. Können Informationen in beiden Richtungen transportiert werden, so wird dieser BUS *Zweiweg-BUS* oder *bidirektonaler BUS* genannt.

BUS-Systeme können die Informationen parallel oder seriell transportieren. Man unterscheidet daher *parallele BUS-Systeme* und *serielle BUS-Systeme*. Bei einem parallelen BUS-System steht für jedes Bit eines zu übertragenden binären Wortes eine Leitung zur Verfügung. Zur Übertragung von 8-Bit-Worten werden also 8 Leitungen benötigt. Diese 8 Leitungen werden Datenleitungen genannt. Für Steueraufgaben sind zusätzliche Steuerleitungen erforderlich (Bild 11.22).



Fall	S_1	S_0	Nr. des Datenempfängers
1	0	0	1
2	0	1	2
3	1	0	3
4	1	1	4

Bild 11.22 Paralleles Einweg-BUS-System mit Datensender und Datenempfänger

Bei seriellen BUS-Systemen genügt eine einzige Leitung. Die einzelnen Bits werden nacheinander über die Leitung transportiert und am Empfangsort zum ursprünglichen binären Wort zusammengesetzt (Bild 11.23).

Serielle BUS-Systeme arbeiten langsamer als parallele BUS-Systeme. Sie erfordern einen höheren Schaltungsaufwand durch die notwendigen Parallel-Seriell- und Seriell-Parallel-Umsetzer. Daher werden serielle BUS-Systeme nur dort verwendet, wo die Leitungen sehr kostspielig sind – also z.B. bei großen Entfernungen zwischen Datensender und Datenempfänger.

In den weitaus meisten Anwendungsfällen sind die Entfernungen zwischen Datensender und Datenempfänger gering, so daß ein paralleles BUS-System die beste Lösung darstellt.

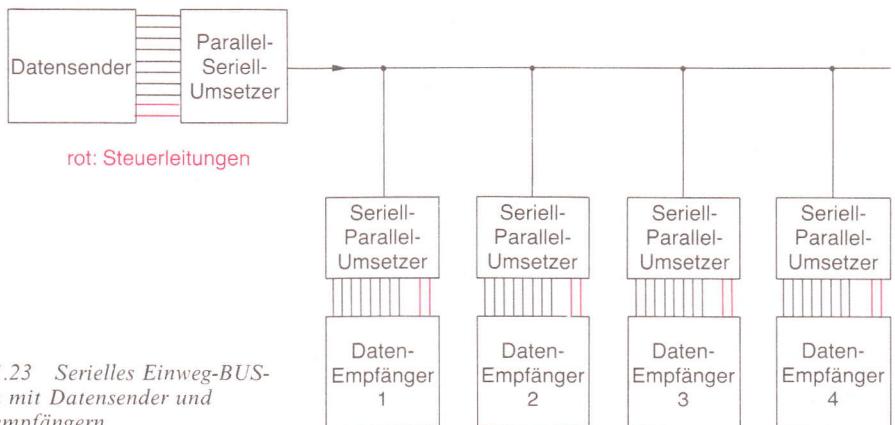


Bild 11.23 Serielles Einweg-BUS-System mit Datensender und Datenempfängern

Jedes BUS-System muß ein Anwählen des gewünschten Datenempfängers ermöglichen. Das Anwählen geschieht über die Steuerleitungen. Ein einfaches Beispiel ist in Bild 11.22 dargestellt. Über zwei Steuerleitungen können vier verschiedene Befehle gegeben werden. Jeder Befehl schaltet einen Datenempfänger auf Empfang.

Ist ein Datenempfänger nicht auf Empfang geschaltet, müssen seine Dateneingänge hochohmig sein. Der Datenempfänger darf die auf den BUS-Leitungen befindlichen Signale nicht beeinflussen. Bei Schaltungen, die der MOS-Schaltkreisfamilie angehören, sind die Eingänge stets hochohmig. Hier ergeben sich meist keine Probleme. Bei TTL-Schaltkreisen muß neben 0 und 1 bzw. neben L und H ein dritter hochohmiger Zustand der Eingänge möglich sein. Der hochohmige Zustand wird durch besondere Schaltungsmaßnahmen erreicht. TTL-Schaltungen, deren Eingänge (und Ausgänge) hochohmig geschaltet werden können, werden Tri-State-TTL-Schaltungen genannt (Tri-State = drei mögliche Zustände).

An BUS-Systemen können auch mehrere Datensender angeschlossen werden. Selbstverständlich muß sichergestellt werden, daß niemals zwei Datensender zur gleichen Zeit Daten einspeisen. Der nicht aktive Datensender darf die auf den BUS-Leitungen befindlichen Signale nicht beeinflussen. Seine Ausgänge müssen hochohmig sein.

Selbstverständlich können auch Schaltungseinheiten zeitweise als Datensender und zeitweise als Datenempfänger arbeiten. Hier ist ein größerer Aufwand an Steuerleitungen erforderlich. Der BUS arbeitet als Zweiweg-BUS.

BUS-Systeme werden überall dort verwendet, wo Datentransport an verschiedene auswählbare Datenempfänger gewünscht wird. Dies ist in großem Umfang in der Mikroprozessortechnik (s. Kapitel 15) und im Bereich der Datenverarbeitung der Fall.

11.4.2 BUS-Standards

BUS-Systeme können sehr unterschiedlich aufgebaut werden. Das fängt bei der Anzahl und der Zuweisung der Leitungen an und endet bei der Steuerung.

Jedes Mikroprozessorsystem hat sein eigenes BUS-System. Üblich ist ein System aus 8-Bit-Daten-BUS, 8-Bit-Steuer-BUS und 16-Bit-Adressen-BUS. Über den Adressen-BUS werden die Speicheradressen transportiert (s. Kapitel 15). Das gesamte BUS-System benötigt also 32 Leitungen.

Die Entwicklung geht zu BUS-Systemen mit 16 Datenleitungen und etwa 24 Adreßleitungen und 16 Steuerleitungen, also 56 Leitungen insgesamt. Um Baugruppen verschiedener Hersteller über ein gemeinsames BUS-System miteinander verbinden zu können, wäre eine Normung oder zumindest eine Standardisierung der BUS-Systeme wünschenswert.

Einige BUS-Standards haben sich bereits herausgebildet. Da gibt es z.B das *S-100-BUS-System*, auch Altair-BUS genannt. Dieses BUS-System verwendet 100 Leitungen, ist also einigermaßen zukunftssicher.

Ein weiteres standardisiertes BUS-System ist der *IEC-BUS*, auch IEEE-488-BUS genannt (IEEE = Institute of Electronic and Electrical Engineers). Er wird vor allem in der Computertechnik verwendet.

11.5 Lernziel-Test

1. Wie arbeitet ein Datenselektor?
2. Erklären Sie die Unterschiede zwischen Multiplexer und Demultiplexer.
3. Entwickeln Sie die Schaltung eines 8-Bit-zu-1-Bit-Datenselektors.
4. Wie ist ein 3×4 -Bit-zu-4-Bit-Datenselektor aufgebaut? Wieviel Steuerleitungen sind erforderlich? Geben Sie ein Blockschaltbild ähnlich Bild 11.4 an.
5. Entwickeln Sie die Schaltung eines 2-Bit-zu- 2×2 -Bit-Demultiplexers.
6. Wie arbeitet ein Adreßdekodierer?
7. Geben Sie die Schaltung eines 3-Bit-Adreßdekodierers an.
8. Erklären Sie den Aufbau und die Arbeitsweise eines digitalen 1-Bit-Komparators.
9. Was versteht man unter einem BUS-System?
10. Welche Vorteile bringen standardisierte bzw. genormte BUS-Systeme?

12 Register- und Speicherschaltungen

12.1 Schieberegister

Schieberegister sind Schaltungen, die eine Information taktgesteuert Bit nach Bit aufnehmen, sie eine gewisse Zeit speichern und dann wieder abgeben.

Für den Aufbau von Schieberegistern werden Flipflops verwendet. Gut eignen sich taktflankengesteuerte D-Flipflops, SR-Flipflops und JK-Flipflops. Hochwertige Schieberegister werden oft mit JK-Master-Slave-Flipflops aufgebaut. Verschiedene, häufig benötigte Ausführungen von Schieberegistern stehen als integrierte Schaltungen zur Verfügung.

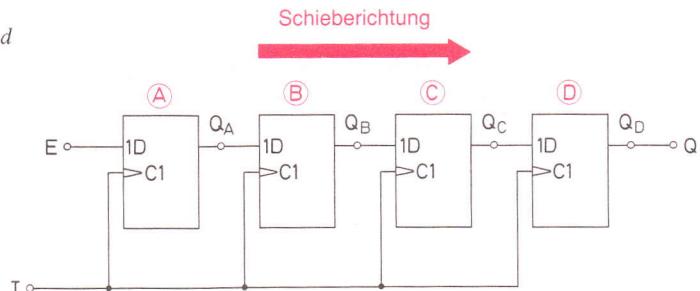
12.1.1 Schieberegister für serielle Ein- und Ausgabe

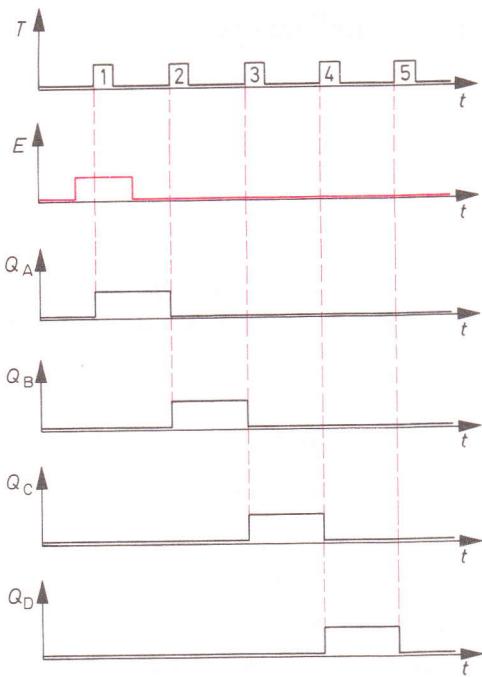
Ein einfaches Schieberegister mit 4 Bit Speicherkapazität ist in Bild 12.1 dargestellt. Es besteht aus 4 D-Flipflops, die mit ansteigender Taktflanke schalten. Die Arbeitsweise von D-Flipflops ist in Abschnitt 7.7.7 erläutert.

Liegt 1-Signal am Eingang E und ändert sich das Taktsignal von 0 auf 1, so wird das Flipflop A gesetzt. An seinem Ausgang Q_A erscheint 1. Wird dann an den Eingang 0-Signal gelegt, so wird mit der 2. ansteigenden Taktflanke das Flipflop A zurückgesetzt und das Flipflop B gesetzt. Signal 1 erscheint jetzt am Ausgang Q_B . Mit der 3. ansteigenden Taktflanke wird Flipflop B zurückgesetzt und Flipflop C gesetzt. Q_C wird jetzt 1. Mit der 4. ansteigenden Taktflanke wird Flipflop C zurückgesetzt und Flipflop D gesetzt ($Q_D = 1$).

Das 1-Signal, das zu Beginn am Eingang E anlag, wurde taktweise von Flipflop zu

Bild 12.1 4-Bit-Schieberegister für serielle Ein- und Ausgabe





Takt Nr. n	Zustände nach Takt Nr. n				
	E	Q _A	Q _B	Q _C	Q _D = Q
1	1	0	0	0	0
2	0	1	0	0	0
3	0	0	1	0	0
4	0	0	0	0	1
5	0	0	0	0	0

Bild 12.2 Funktionstabelle eines 4-Bit-Schieberegisters

Bild 12.3 Zeitablaufdiagramm eines 4-Bit-Schieberegisters

Flipflop weitergeschoben. Es liegt jetzt am Ausgang des Schieberegisters. Mit der ansteigenden Flanke des 5. Taktes wird Flipflop D ebenfalls zurückgesetzt. Man sagt, das Schieberegister sei jetzt «leer». Es enthält keine Information mehr.

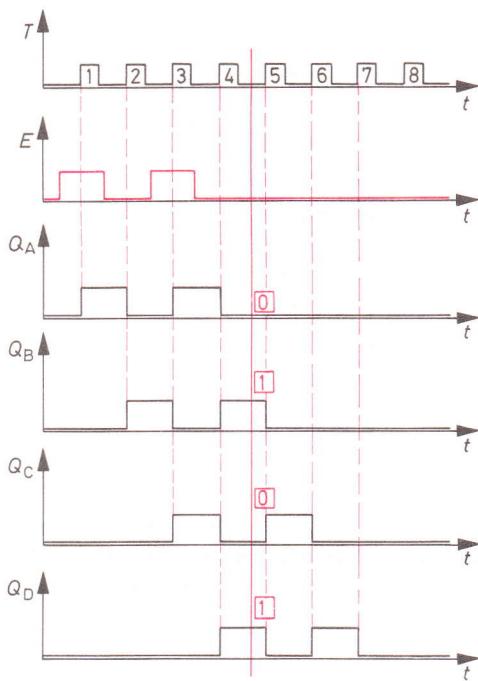
In Bild 12.2 sind die einzelnen Schiebeschritte in einer Funktionstabelle dargestellt. Zur weiteren Erläuterung dient das Zeitablaufdiagramm Bild 12.3.

Welches Zeitablaufdiagramm ergibt sich, wenn vor dem 3. Takt an den Eingang E erneut 1-Signal angelegt wird und dieses 1-Signal bis nach dem 3. Takt anliegt?

Wenn vor dem 3. Takt erneut 1-Signal an E angelegt wird, wird Flipflop A mit der ansteigenden Taktflanke des 3. Taktes gesetzt. Mit der ansteigenden Taktflanke des 4. Taktes wird Flipflop A zurückgesetzt und Flipflop B gesetzt. Mit der ansteigenden Taktflanke des 5. Taktes wird Flipflop B zurückgesetzt und Flipflop C gesetzt – und so fort. Es ergibt sich das Zeitablaufdiagramm Bild 12.4.

Die an den Eingang gelegten 1- und 0-Zustände werden in das Schieberegister zeitlich nacheinander aufgenommen (serielle Dateneingabe). Nach der Aufnahme der Information können die Taktsignale gesperrt werden. Die Information wird dann gespeichert, und zwar so lange, wie die Taktsignale gesperrt sind. Werden die Taktsignale wieder freigegeben, wird die Information Bit nach Bit an den Ausgang Q gegeben (serielle Datenausgabe).

Bild 12.4 Zeitablaufdiagramm



Beispiel:

Die Dualzahl 0101 soll in das Schieberegister Bild 12.1 eingegeben werden. Hierzu sind vier Takte erforderlich. Vor dem 1. Takt muß der Inhalt des 1. Bit (Wertigkeit 2^0) am Eingang E liegen (1-Signal). Vor dem 2. Takt muß der Inhalt des 2. Bit (Wertigkeit 2^1) am Eingang E liegen. Das ist in diesem Falle 0-Signal. Vor dem 3. Takt muß der Inhalt des 3. Bit (Wertigkeit 2^2) am Eingang liegen (1-Signal). Vor dem 4. Takt muß der Inhalt des 4. Bit (Wertigkeit 2^3) am Eingang E liegen (0-Signal). Nach dem 4. Takt ist die Dualzahl 0101 eingegeben. Das Zeitablaufdiagramm Bild 12.4 gibt diesen Vorgang wieder. Jetzt können die Taktsignale gesperrt werden. Die Information kann beliebig lange gespeichert werden.

Für die Ausspeicherung über den Ausgang Q sind weitere 4 Takte erforderlich. Das 1. Bit ist vor dem 5. Takt am Ausgang Q verfügbar, das 2. Bit nach dem 5. Takt. Das 3. Bit liegt nach dem 6. Takt und das 4. Bit nach dem 7. Takt am Ausgang Q. Nach dem 8. Takt ist das Schieberegister leer (Bild 12.5).

Vollständige Schieberegister können nach DIN 40900 Teil 12 durch ein Schaltzeichen dargestellt werden. Das Schaltzeichen des Schieberegisters Bild 12.1 zeigt Bild 12.6. «SRG» bedeutet Schieberegister, engl.: Shift register. Die Zahl nach SRG ist die Bit-Zahl.

Schieberegister werden in großer Zahl als integrierte Schaltungen hergestellt. Die integrierte Schaltung FLJ 221-7491 A enthält ein 8-Bit-Schieberegister für serielle Ein- und Ausgabe. Die Anschlußanordnung und das Blockschaltbild dieser Schaltung

Takt Nr. n	E	Zustände nach Takt Nr. n			
		2^3 Q _A	2^2 Q _B	2^1 Q _C	2^0 Q _D
1	1	0	0	0	0
2	1	0	1	0	0
3	0	1	0	1	0
4	0	0	1	0	1
5	0	0	0	1	0
6	0	0	0	0	1
7	0	0	0	0	0
8	0	0	0	0	0

Bild 12.5 Funktionstabelle

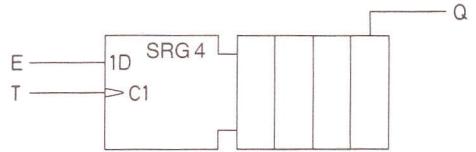


Bild 12.6 Schaltzeichen eines 4-Bit-Schieberegisters, das mit D-Flipflops aufgebaut ist und mit serieller Ein- und Ausgabe arbeitet

sind in Bild 12.7 dargestellt. Das Schieberegister ist mit SR-Flipflops aufgebaut, die mit abfallender Taktflanke schalten. Da in der Taktleitung ein NICHT-Glied liegt, erfolgt das Schalten mit der ansteigenden Flanke des am Anschlußpol 9 angelegten Taktsignals.

FLJ 221-7491 A

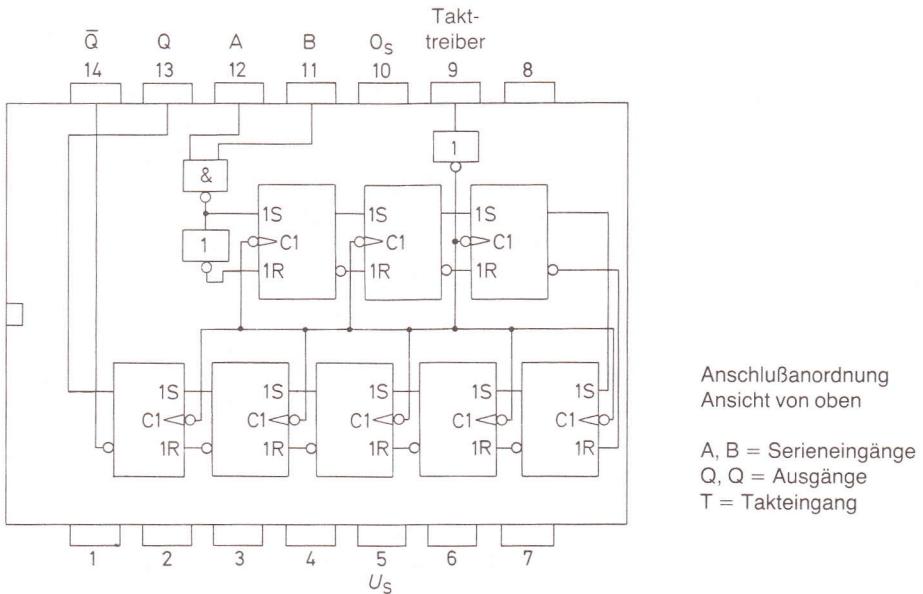


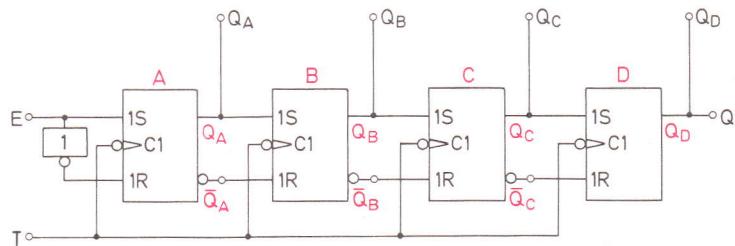
Bild 12.7 Anschnüranordnung und Blockschaltbild der integrierten Schaltung FLJ221-7491A

12.1.2 Schieberegister mit Parallelausgabe

Schieberegister haben stets die Möglichkeit der seriellen Dateneingabe und der seriellen Datenausgabe. Ohne diese Möglichkeit kann eine Schaltung nicht als Schieberegister bezeichnet werden.

Ein Schieberegister mit Parallelausgabe kann zusätzlich die gespeicherten Daten parallel ausgeben. Das Schieberegister Bild 12.8 hat die Möglichkeit der Parallelausgabe. Die Q-Ausgänge der Flipflops sind zu besonderen Anschlußpunkten geführt. Dort sind die Signale aller vier Bit verfügbar.

Bild 12.8 Schieberegister mit Parallelausgabe



Für den Aufbau des Schieberegisters wurden SR-Flipflops verwendet. Diese Flipflops werden anders zurückgesetzt als die D-Flipflops (s. Abschnitt 7.5.2). Ein Rücksetzen kann nur erfolgen, wenn am R-Eingang 1-Signal anliegt und die schaltende Taktflanke kommt. 0-Signale lösen kein Kippen aus. Daher müssen das Eingangssignal über ein NICHT-Glied und der R-Eingang des ersten Flipflops gegeben werden. Liegt am Eingang E 0-Signal, so liegt am Eingang R des ersten Flipflops 1-Signal, und das Flipflop wird mit der nächsten schaltenden Taktflanke zurückgesetzt.

Jeder Q-Ausgang könnte über ein NICHT-Glied mit dem R-Eingang des folgenden Flipflops verbunden werden. Das NICHT-Glied kann jedoch eingespart werden, denn das negierte Q-Signal ist am Flipflopaustrag \bar{Q} verfügbar. Der Ausgang \bar{Q} wird also direkt mit dem R-Eingang des folgenden Flipflops verbunden (Bild 12.8).

Die im Schieberegister gespeicherte Information kann taktunabhängig an den Ausgängen Q_A , Q_B , Q_C und Q_D abgenommen werden. Während dieser Parallelausgabe darf das Schieberegister keine weiteren Schiebetakte erhalten, sonst wird die parallel ausgegebene Information verfälscht. Es darf also nicht gleichzeitig eine serielle und eine parallele Datenausgabe erfolgen. Ebenfalls darf nicht gleichzeitig serielle Dateneingabe und eine parallele Datenausgabe stattfinden.

Das Schieberegister in Bild 12.9 hat eine Verriegelungsschaltung, die ein Weitertakten des Schieberegisters bei Parallelausgabe verhindert und andererseits die Parallelausgabe sperrt, wenn das Schieberegister getaktet wird. Liegt am Umschalteintrag U 0-Signal an, so ist der Schiebetakt freigegeben und die Parallelausgabe gesperrt. Liegt am Umschalteintrag 1-Signal, so ist Parallelausgabe möglich, und der Schiebetakt gesperrt.

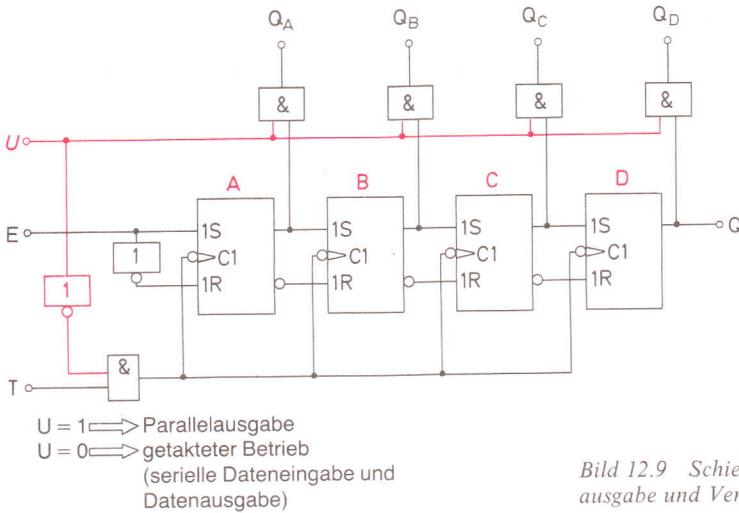


Bild 12.9 Schieberegister mit Parallel-
ausgabe und Verriegelungsschaltung

12.1.3 Schieberegister mit Parallelausgabe und Paralleleingabe

Für viele Anwendungsfälle ist es günstig, neben der seriellen Dateneingabe die Möglichkeit zu haben, dem Schieberegister Daten parallel einzugeben. Diese Paralleleingabe kann taktabhängig oder taktunabhängig erfolgen.

Das Schieberegister in Bild 12.10 bietet neben der Möglichkeit der Parallelausgabe auch die Möglichkeit der Paralleleingabe. Parallelausgabe und Paralleleingabe sind taktunabhängig. Das Schieberegister ist mit JK-Flipflops aufgebaut, die taktunabhängige Stell- und Rückstelleingänge haben. Die Dateneingänge für Paralleleingabe sind A, B, C und D.

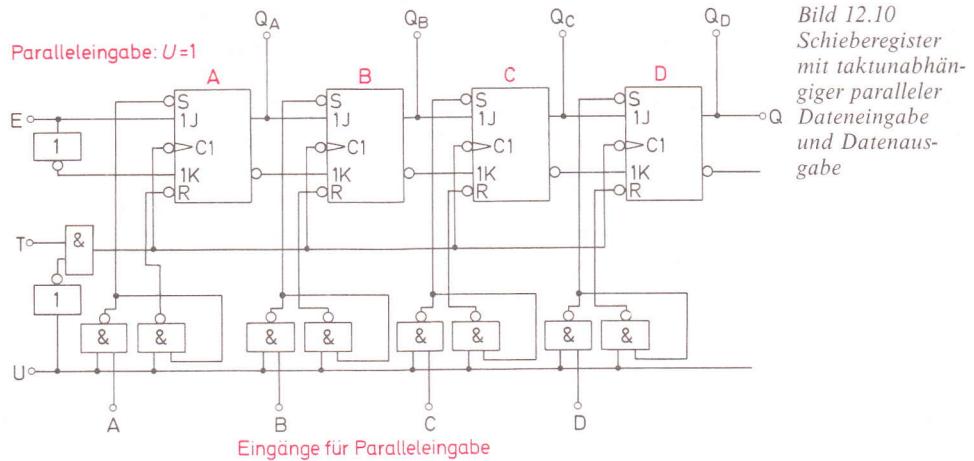


Bild 12.10
Schieberegister
mit taktunabhän-
giger paralleler
Dateneingabe
und Datenaus-
gabe

Paralleleingabe und serielle Ein- und Ausgabe sind gegeneinander verriegelt. Liegt am Umschalteinangang 0-Signal, so ist der Takt freigegeben. Das Schieberegister kann seriell arbeiten. Bei $U = 1$ ist Paralleleingabe möglich. Das Taktsignal ist gesperrt. Wenn erforderlich, könnte auch die Parallelausgabe noch verriegelt werden, wie in Bild 12.9 gezeigt.

Wie muß nun ein Schieberegister aufgebaut sein, das für taktabhängige Paralleleingabe geeignet ist? Es gibt verschiedene Möglichkeiten. Eine Möglichkeit zeigt Bild 12.11. Die Eingänge J und K eines jeden Flipflops sind umschaltbar. Bei $U = 0$ werden die Flipflopeingänge seriell mit Signalen versorgt. Bei $U = 1$ erhalten die Flipflopeingänge ihre Signale von den Dateneingängen für Paralleleingabe (A, B, C). Das Setzen oder Rücksetzen der Flipflops erfolgt mit dem Takt, bei den in der Schaltung Bild 12.1 verwendeten Flipflops also mit abfallender Taktflanke.

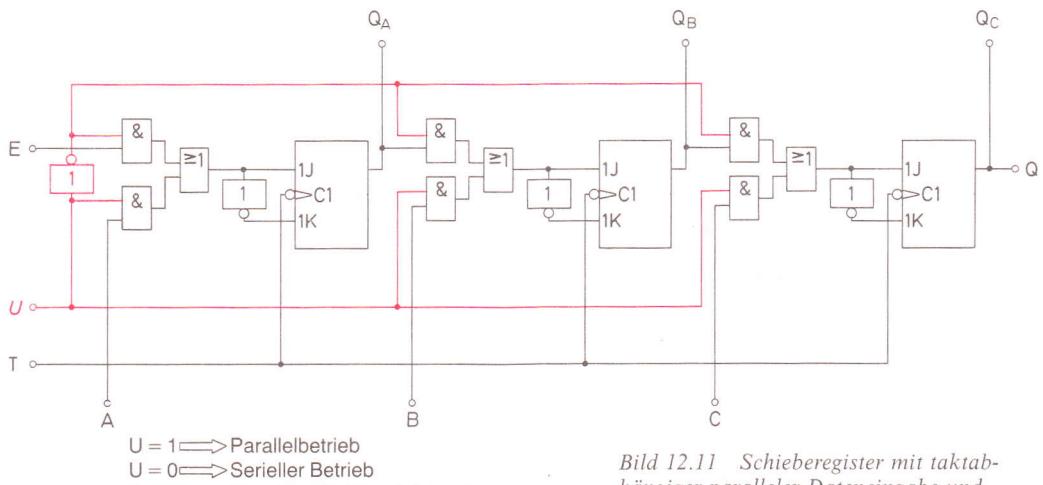


Bild 12.11 Schieberegister mit taktabhängiger paralleler Dateneingabe und taktunabhängiger paralleler Datenausgabe

12.1.4 Ringregister

Ein Ringregister ist ein Schieberegister, dessen Ausgang mit dem Eingang verbunden ist.

Bei einem Ringregister können die Informationen im Ring geschoben werden. Sie laufen im Ring um. Ein solches Register wird auch Umlaufregister genannt. Der prinzipielle Aufbau eines Ringregisters ist in Bild 12.12 dargestellt.

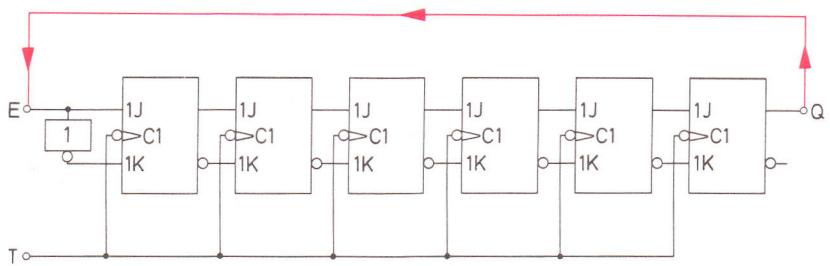


Bild 12.12 Prinzipieller Aufbau eines Ringregisters

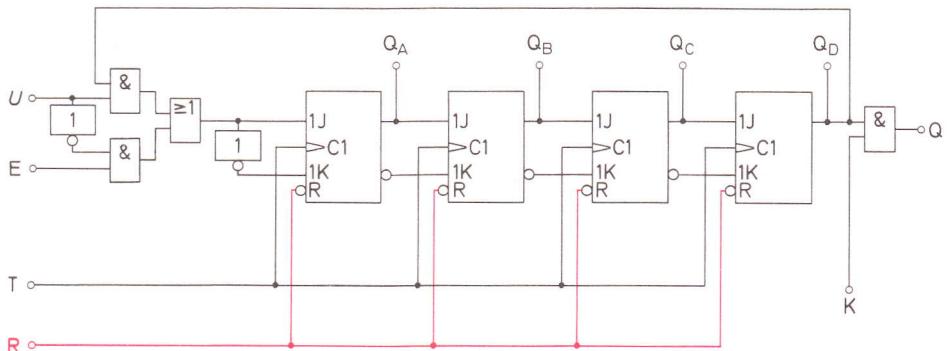


Bild 12.13 Ringregister mit serieller Eingabe und wahlweise serieller oder paralleler Ausgabe

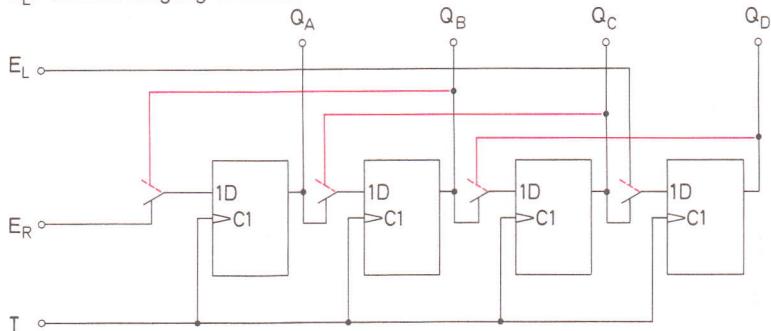
Die Informationen können seriell oder parallel in ein Ringregister eingegeben werden. Sie können ebenfalls seriell oder parallel ausgegeben werden. Bild 12.13 zeigt ein Ringregister mit serieller Dateneingabe und wahlweise serieller oder paralleler Datenausgabe. Bei $U = 1$ ist das Register als Ringregister geschaltet. Die Ausgangssignale werden vom Eingang aufgenommen. Bei $U = 0$ ist eine Dateneingabe über den seriellen Eingang E möglich. Eine serielle Datenausgabe ist über den Ausgang Q möglich, wenn $K = 1$ ist. Über R kann das Register taktunabhängig mit 0-Signal zurückgesetzt und die in ihm enthaltene Information gelöscht werden.

12.1.5 Schieberegister mit umschaltbarer Schieberichtung

Schieberegister mit umschaltbarer Schieberichtung sind für die Steuerungstechnik von großer Bedeutung. Ihr Schaltungsaufbau basiert auf dem Schaltungsaufbau der bisher betrachteten Schieberegister. Die Reihenfolge der Zusammenschaltung der Flipflops muß umschaltbar sein.

Bild 12.14 Prinzipschaltung eines Schieberegisters mit umschaltbarer Schieberichtung

E_R : serieller Eingang für Rechtsschieben
 E_L : serieller Eingang für Linksschieben



Die Prinzipschaltung eines Schieberegisters mit umschaltbarer Schieberichtung ist in Bild 12.14 angegeben. Die mechanischen Umschalter müssen durch entsprechende Digitalschaltungen ersetzt werden. Die schwarzen Schalterstellungen und Verbindungen gelten für Rechtsschieben. Die roten Schalterstellungen und Verbindungen gelten für Linksschieben.

Ein 8-Bit-Schieberegister mit umschaltbarer Schieberichtung ist als integrierte Schaltung FLJ 311-74198 verfügbar. Dieses Schieberegister ist ein Universal-Schieberegister. Es hat die Möglichkeit der seriellen und der parallelen Dateneingabe und Datenausgabe, verfügt über eine Taktsperrmöglichkeit und hat einen taktunabhängigen Rückstelleingang. Das Schaltbild dieses Schieberegisters und die Anschlußanordnung sind in Bild 12.15 dargestellt.

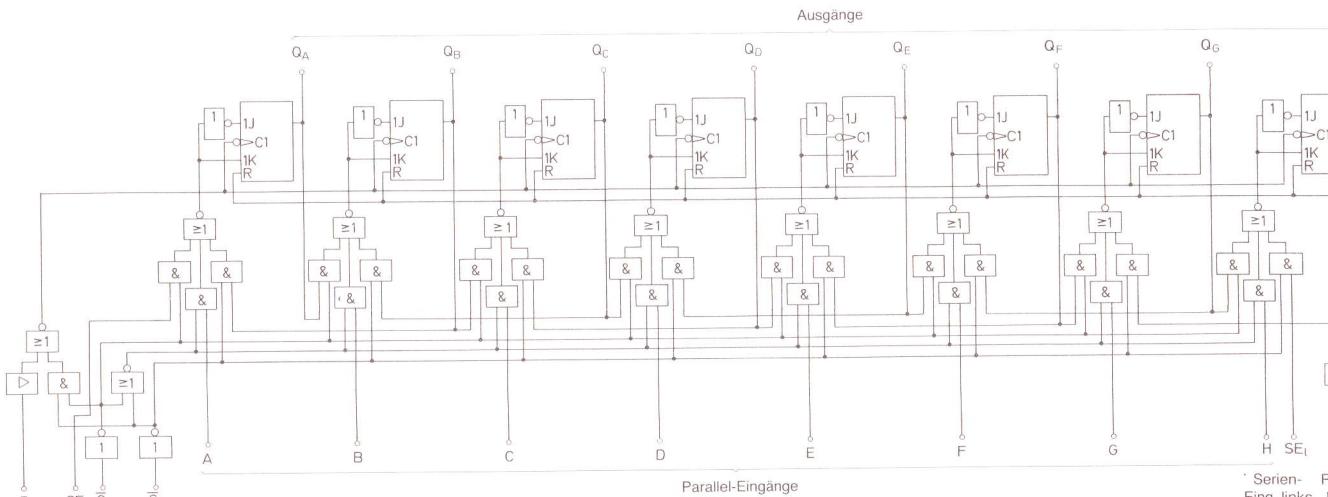
12.2 Speicherregister

Speicherregister sind wie Schieberegister mit Flipflop-Schaltungen aufgebaut, jedoch wird in ihnen keine Information geschoben. Die einzelnen Flipflops werden gesetzt oder zurückgesetzt. Das Speicherregister speichert ein binäres Wort, also einen binären Ausdruck, festgelegter Länge. Die Information kann an den Ausgängen abgelesen und weitergegeben werden. Sie wird gelöscht, wenn sie nicht mehr benötigt wird.

Speicherregister haben die Aufgabe, binäre Wörter eine bestimmte Zeit zu speichern.

Der Aufbau eines 4-Bit-Speicherregisters ist in Bild 12.16 dargestellt. Die JK-Flipflops werden mit 1-Signalen an den J-Eingängen gesetzt. Das Setzen erfolgt taktgesteuert. Jedes Flipflop kann für sich gesetzt werden. Das Rücksetzen erfolgt mit 1-Signalen an den K-

394



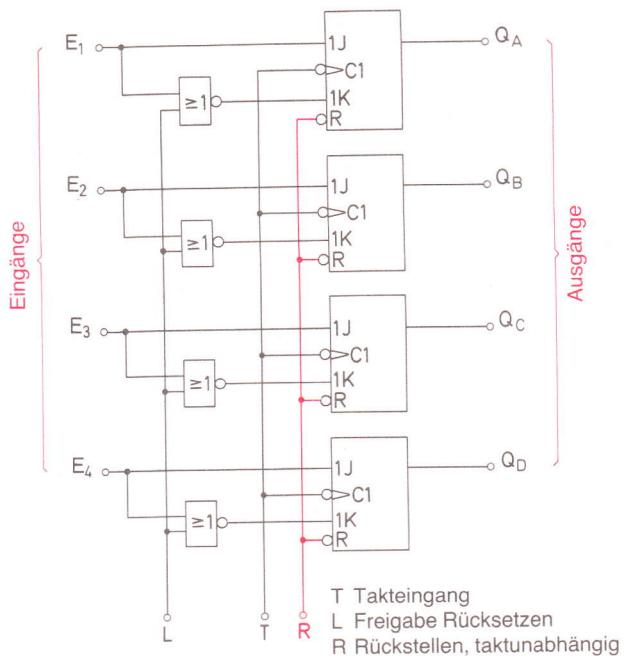
Anschlußanordnungen
Ansicht von oben

U_5	\overline{S}_r	SE_l	H	Q_H	G	Q_G	F	Q_F	E	Q_E	\overline{R}	13
24	23	22	21	20	19	18	17	16	15	14		

FLJ 311-74198

Serien-Eing. links R
E

Bild 12.16 Speicherregister mit taktunabhängigem Rückstelleingang



Eingängen. Es wird freigegeben durch 0-Signal am L-Eingang. Zum Löschen der gesamten gespeicherten Information ist der taktunabhängige Rückstelleingang R gut geeignet.

Speicherregister werden für Steuer- und Rechenschaltung benutzt.

12.3 Schreib-Lese-Speicher (RAM)

Mit RAM bezeichnet man einen in Halbleitertechnik gebauten Schreib-Lese-Speicher. Er hat eine bestimmte Anzahl von Speicherplätzen. Jeder Speicherplatz hat eine festgelegte Speicherkapazität. Er kann also eine Information bestimmter Bitlänge aufnehmen. Die einzelnen Speicherplätze sind mit Adressen gekennzeichnet. Mit Hilfe dieser Adressen können Speicherzellen angewählt werden. Ein RAM arbeitet also mit wahlfreiem Zugriff.

Die Bezeichnung RAM ist die Abkürzung von Random Access Memory, engl.: Speicher mit beliebigem Zugang oder, singenauer, Speicher mit wahlfreiem Zugriff.

Eine Speicherzelle wird mit Hilfe ihrer Adresse gewählt. In sie wird eine Information eingespeichert, man sagt, eingeschrieben. Zur Informationsausgabe wird die Speicherzelle erneut mit ihrer Adresse gewählt. Die Information wird ausgelesen, ohne daß der Informationsinhalt der Speicherzelle gelöscht wird. Wenn die Information nicht mehr benötigt wird, kann sie gelöscht und die Speicherzelle mit einer neuen Information geladen werden.

RAM werden ausschließlich als integrierte Schaltungen gebaut. Man unterscheidet zwischen *statischen RAM* und *dynamischen RAM*. Bei statischen RAM bestehen die Speicherzellen aus Flipflops. Jedes Bit wird in einem Flipflop gespeichert. Bei dynamischen RAM werden interne Kapazitäten zur Speicherung verwendet. Jedes Bit wird in einem kleinen Kondensator gespeichert. Da die Leckströme nicht unendlich klein sind, treten Ladungsverluste auf, die in kurzen Zeitabständen durch *Auffrischen* ersetzt werden müssen.

Statische und dynamische RAM sind flüchtige Speicher. Bei Ausfall der Speisespannung geht der Speicherinhalt verloren.

Zur Sicherung des Speicherinhalts gegen Verlust ist der Einsatz von Pufferbatterien zu empfehlen. Nichtflüchtige statische RAM sind zur Zeit in der Entwicklung und Erprobung. Sie werden in Zukunft größere Bedeutung erlangen.

Statische RAM werden in verschiedenen Technologien hergestellt. Die Schaltungen gehören zu verschiedenen Schaltkreisfamilien. Es sind RAM in TTL-Technik, in ECL-Technik, in N-MOS-Technik und in C-MOS-Technik verfügbar. Dynamische RAM werden in den verschiedenen MOS-Techniken gebaut.

12.3.1 Statische RAM (SRAM)

12.3.1.1 RAM-Speicherelement in TTL-Technik

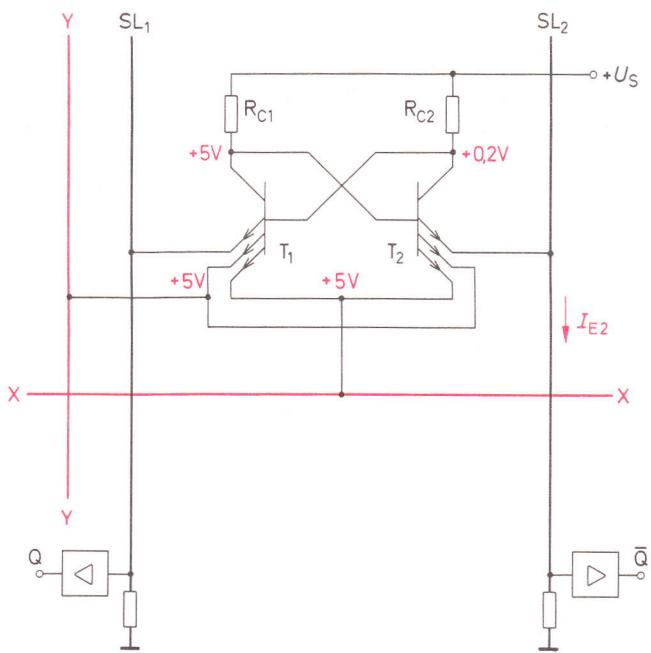
Statische RAM können mit bipolaren Transistorsystemen gebaut werden. Man verwendet die bekannte TTL-Technik (s. Kapitel 6, Schaltkreisfamilien). Grundschaltung ist eine Flipflopschaltung mit zwei Multiemitter-Transistoren nach Bild 12.17. Die Flipflop-Schaltung wird von einer X-Adressenleitung, von einer Y-Adressenleitung und von zwei Schreib-Lese-Leitungen gesteuert. Die Schaltung kann 1 Bit speichern. Sie enthält den Wert 1, wenn T_1 durchgesteuert und T_2 gesperrt ist. Sie enthält den Wert 0, wenn T_1 gesperrt und T_2 durchgesteuert ist.

Aktivierung der Speicherzelle

Liegt an den beiden Koordinatenleitungen X und Y 0-Signal (0 V, Masse), so ist die Speicherzelle nicht aktiviert. Der Emitterstrom des jeweils leitenden Transistors kann gegen Masse abfließen. Die Schreib-Lese-Leitungen SL_1 und SL_2 führen keinen Strom.

Wird nur an eine Koordinatenleitung 1-Signal angelegt, so bleibt das Speicherelement inaktiv, denn der Emitterstrom des leitenden Transistors kann über die andere Koordinatenleitung abfließen. Erst wenn beide Koordinatenleitungen 1-Signal führen, also auf + 5 V liegen, ist das Speicherelement aktiviert. Jetzt muß der Emitterstrom des leitenden Transistors über seine SL-Leitung abfließen.

Bild 12.17 RAM-Speicherelement für 1 Bit eines statischen RAM in TTL-Technik (Prinzipschaltung)



Lesevorgang

Nach Aktivierung des Speicherelementes führt die SL-Leitung Strom, die zum leitenden Transistor gehört. In Bild 12.17 ist der Transistor T_2 leitend. Der Emitterstrom wird also über SL_2 abfließen und am Ausgang \bar{Q} über einen Verstärker 1-Signal erzeugen. Das Speicherelement hat den Wert 0 gespeichert. Würde nach der Aktivierung über die Leitung SL_1 ein Strom fließen, hätte das Speicherelement den Wert 1 gespeichert.

Schreibvorgang

Soll in ein Speicherelement, das den Wert 0 hat, den Wert 1 eingespeichert werden, sind nach der Aktivierung an SL_2 1-Signal ($+5\text{ V}$) und an SL_1 0-Signal (0 V , Masse) zu legen. Beim Wert 0 ist Transistor T_2 durchgesteuert. Er muß sperren, wenn sein dritter Emitter, der an SL_2 angeschlossen ist, auch auf $+5\text{ V}$ gelegt wird. Transistor T_1 kann jetzt durchsteuern, und sein Emitterstrom kann über SL_1 abfließen. Nach Aufhebung der Aktivierung bleibt das Speicherelement in diesem Zustand.

Soll ein Speicherelement, das den Wert 1 hat, auf den Wert 0 zurückgestellt werden, muß nach der Aktivierung an SL_1 1-Signal und an SL_2 0-Signal gelegt werden. Das Flipflop kippt dann, wie oben beschrieben, in den anderen Zustand und hat jetzt den Wert 0 gespeichert.

Speicherelemente in TTL-Technik schalten sehr schnell. Sie benötigen allerdings eine verhältnismäßig große Leistung.

12.3.1.2 RAM-Speicherelement in NMOS-Technik

MOS-Speicherelemente haben gegenüber TTL-Speicherelementen wesentliche Vorteile. Sie benötigen nur einen Bruchteil der Leistung und können mit höherer Integrationsdichte hergestellt werden. Je Quadratmillimeter Chipfläche kann eine größere Anzahl von MOS-Speicherelementen untergebracht werden. MOS-Schaltungen haben jedoch größere Schaltzeiten, sind also langsamer als TTL-Schaltungen (s. Kapitel 6, Schaltkreisfamilien).

Der Aufbau eines typischen RAM-Speicherelements ist in Bild 12.18 dargestellt. Die Transistoren T_1 und T_2 sind zu einem Flipflop zusammengeschaltet. Die Transistoren T_3 und T_4 arbeiten als Lastwiderstände. Ist T_1 gesperrt und T_2 durchgeschaltet, so hat das Speicherelement den Wert 1 gespeichert. Beim Speicherinhalt 0 ist T_1 durchgesteuert, und T_2 ist gesperrt.

Aktivierung des Speicherelements

Das Speicherelement wird aktiviert, wenn an die Koordinatenleitungen X und Y 1-Signal angelegt wird. Die Transistoren T_5 , T_6 , T_7 und T_8 steuern durch und verbinden die Flipflopausgänge Q und \bar{Q} mit den Schreib-Lese-Leitungen SL_1 und SL_2 .

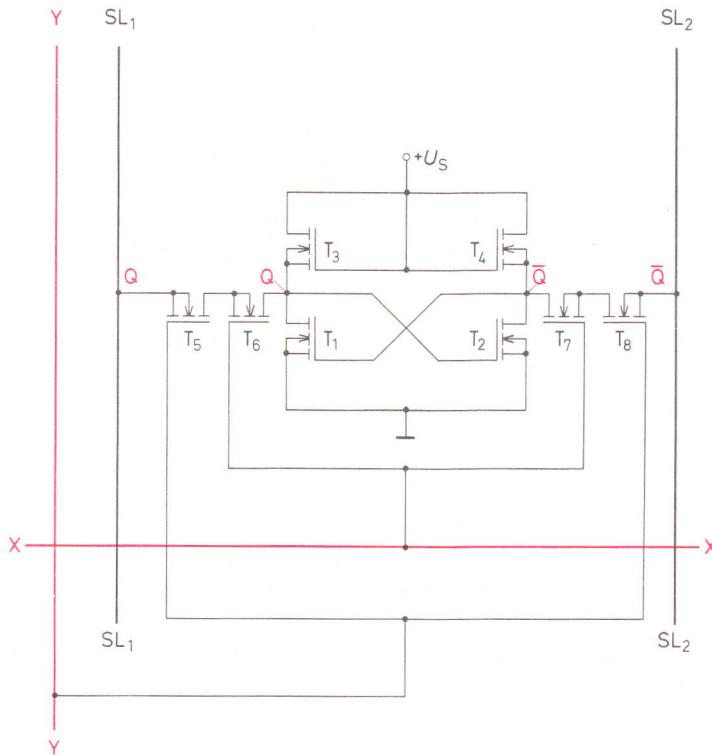


Bild 12.18 RAM-Speicherelement für 1 Bit eines statischen RAM in NMOS-Technik (Prinzipschaltung)

Lesevorgang

Nach der Aktivierung der Speicherzelle kann unmittelbar gelesen werden. Führt die Leitung SL_1 1-Signal, hat das Speicherelement den Wert 1 gespeichert. Führt die Leitung SL_2 1-Signal, so hat das Speicherelement den Wert 0 gespeichert.

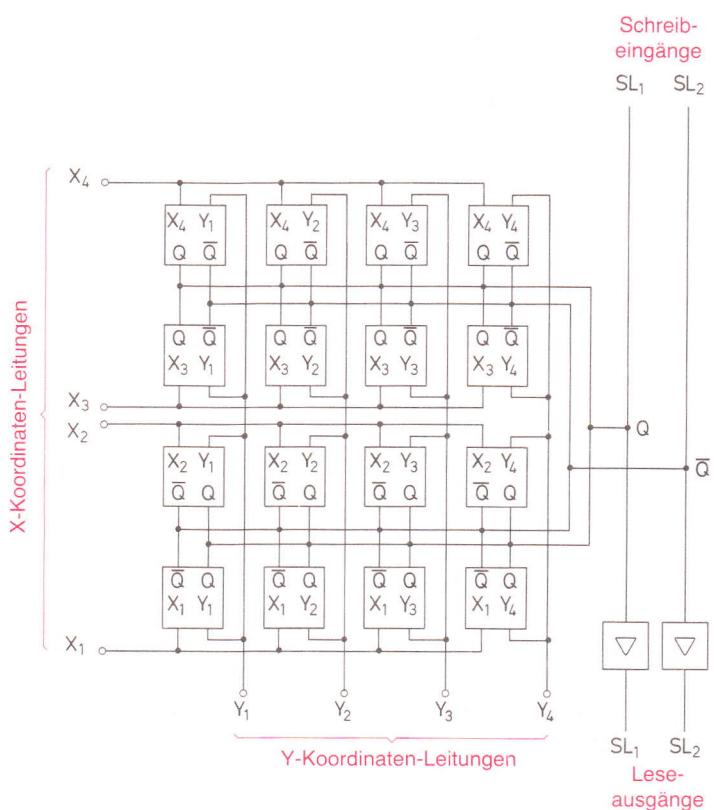
Schreibvorgang

In ein Speicherelement, das den Wert 0 hat, soll der Wert 1 eingeschrieben werden. Beim Wert 0 ist T_1 durchgesteuert und T_2 gesperrt. Wird an die Leitung SL_2 0-Signal angelegt, muß T_1 sperren, und T_2 schaltet durch. Das Flipflop kippt in den 1-Zustand. Dieser Zustand bleibt nach Aufhebung der Aktivierung bestehen.

12.3.1.3 Aufbau einer RAM-Speichermatrix

RAM-Speicherelemente werden zu RAM-Speichermatrixen zusammengeschaltet. Die Speichermatrix in Bild 12.19 hat eine Speicherkapazität von 16 Bit. Jedes Speicherelement ist einzeln anwählbar. Man sagt, jedes Bit sei adressierbar. Möchte man z.B. den Speicherinhalt des Speicherelements 8 auslesen, müssen die Koordinatenleitungen X_3 und Y_4 1-Signal erhalten. An den Schreib-Lese-Leitungen SL_1 und SL_2 erscheinen die Ausgangssignale Q und \bar{Q} .

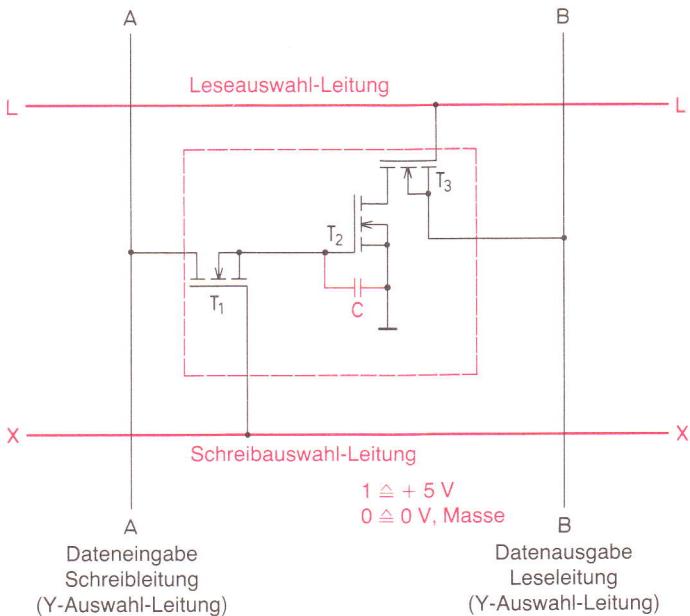
Bild 12.19 16-Bit-RAM-Speichermatrix



12.3.2 Dynamische RAM (DRAM)

12.3.2.1 Speicherelement eines dynamischen RAM

Das typische Speicherelement eines dynamischen RAM besteht aus einer Zusammenschaltung von drei selbstsperrenden MOS-FET nach Bild 12.20. Die Information wird in der Gate-Substrat-Kapazität des Kondensators C gespeichert. Ist C geladen, hat das Speicherelement den Wert 1 gespeichert. Ist C nicht geladen, hat die Speicherzelle den Wert 0 gespeichert.



Schreibvorgang

Das Speicherelement wird durch ein 1-Signal auf der Schreibauswahlleitung X aktiviert ($1 \triangleq +5 \text{ V}$). Der Transistor T_1 wird dadurch zwischen Source und Drain niederohmig. Wird jetzt an den Dateneingang A 1-Signal gelegt, so lädt sich die Kapazität C auf. Der Wert 1 ist gespeichert. Bei geladenem Kondensator C ist Transistor T_2 stets niederohmig. Wird die Schreibauswahlleitung X auf 0-Signal gelegt, ist das Speicherelement nicht mehr aktiviert. Transistor T_1 sperrt und verhindert das Abfließen der Ladung von C. Zur Einspeicherung der Information 0 ist das Speicherelement zu aktivieren (1-Signal an Schreibauswahlleitung X). Dadurch wird T_1 durchgesteuert. Wird jetzt 0-Signal ($0 \triangleq 0 \text{ V, Masse}$) an die Dateneingabeleitung A gelegt, kann C sich über Transistor T_1 entladen. Damit ist der Wert 0 eingespeichert. Bei entladem Kondensator ist der Transistor T_2 stets gesperrt.

Lesevorgang

Zum Auslesen der Information wird an die Datenausgabeleitung B 1-Signal (+5 V) gelegt. Dann wird die Speicherzelle über die Leseauswahlleitung L aktiviert. An L wird ebenfalls 1 angelegt. Dadurch wird der Transistor T_3 niederohmig.

Ist die Information 1 eingespeichert, so ist T_2 niederohmig, und es fließt ein Strom über die Datenausgabeleitung B über T_3 und T_2 nach Masse. Dies ist das Kennzeichen für eine eingespeicherte Eins.

Ist die Information 0 eingespeichert, ist also C entladen, so ist T_2 gesperrt. Über die Datenausgabeleitung B kann kein Strom fließen. Dies ist das Kennzeichen für eine eingespeicherte Null.

Der Lesevorgang verändert die eingespeicherte Information nicht.

Auffrischvorgang

Die Kapazität von C ist sehr klein. Sie beträgt je nach Integrationsdichte 0,1 pF bis 1 pF. Entsprechend klein ist die gespeicherte Ladung. Es fließt ein winziger Leckstrom, der aber die kleine Ladung sehr schnell abbaut. Die Ladung muß daher in kurzen Zeitabständen wieder aufgefrischt werden. Üblich ist ein Auffrischen alle 2 ms.

Der Auffrischzyklus beginnt mit dem Lesen des Speicherinhalts. Ist dieser 1, wird der Transistor T_1 niederohmig gesteuert und C aufgeladen. Ist der Speicherinhalt 0, erfolgt keine Aufladung.

Für den Auffrischvorgang ist ein besonderer Taktgenerator und eine Steuerschaltung erforderlich. Beides ist in üblichen integrierten Schaltungen enthalten.

12.3.2.2 Besonderheiten dynamischer RAM

Dynamische RAM arbeiten sehr zuverlässig. Dies ist eigentlich erstaunlich, wenn man daran denkt, daß die gespeicherte Information etwa alle 2 ms aufgefrischt werden muß. Man könnte vermuten, daß da so manches Bit verlorengeht. Das ist aber nicht der Fall.

Der eigentliche Vorteil dynamischer RAM ist die erreichbare große Speicherkapazität je Chip, also je integrierter Schaltung. Die MOS-Technik erlaubt eine hohe Integrationsdichte. Die Speicherelemente können sehr klein aufgebaut werden. Das zur Zeit angebotene größte dynamische RAM hat eine Speicherkapazität von 4 MBit (1 MBit = 1048576 Bit, ungefähr 1 Million Bit). 4 MBit können also in einer einzigen integrierten Schaltung gespeichert werden. In der Entwicklung ist eine Schaltung mit 16 MBit.

Nachteilig sind die verhältnismäßig großen Schaltzeiten. Die sogenannte Zugriffszeit liegt zwischen 100 ns und 300 ns. Man versteht hierunter die längste Zeit, die vom Zeitpunkt der Adressierung eines Speicherelementes bis zur Verfügbarkeit der Information vergeht.

Während der Auffrischzyklen muß das dynamische RAM für Schreib- und Lesevorgänge gesperrt werden. Es würden sich sonst Fehlschaltungen ergeben.

Mit steigender Kristalltemperatur werden die Leckströme größer. Die Kapazitäten entladen sich schneller. Die vom Hersteller vorgeschriebene Auffrischhäufigkeit reicht für die höchstzulässige Betriebstemperatur (meist ca. 70 °C) aus. Wird diese Temperatur überschritten, muß mit Informationsverlust gerechnet werden.

12.3.3 Speicheraufbau und Speicherkenngrößen

12.3.3.1 Speicheraufbau

Statische und dynamische RAM werden mit verschiedenen Speicherkapazitäten und in verschiedenen Organisationsformen angeboten.

Die mit einer Adresse anwählbare Speicherzelle kann aus einem Speicherelement oder aus mehreren Speicherelementen bestehen. Besteht sie nur aus einem Speicherelement, spricht man von einem bitorganisierten Speicher. Jedes Speicherelement, also jedes Bit, hat seine eigene Adresse und ist somit anwählbar. Das Aufbauschema eines solchen Speichers zeigt Bild 12.21. Die Bezeichnung 16×1 bedeutet:

Gesamtkapazität 16 Bit, Kapazität einer Speicherzelle 1 Bit.

Besteht eine Speicherzelle aus mehreren Speicherelementen, so ist der Speicher wortorganisiert. In Bild 12.22 ist das Aufbauschema eines 32×8 -Bit-Speichers angegeben. Der Speicher enthält 32 Speicherzellen zu je 8 Bit. Jede 8-Bit-Einheit ist über eine Adresse anwählbar. Die 8 Bit einer Speicherzelle werden stets gemeinsam geschrieben und gelesen.

Bei einem 256×1 -Speicher ergeben sich 16 X-Koordinatenleitungen und 16 Y-Koordinatenleitungen (Bild 12.23). Es wäre ungünstig, diese Koordinatenleitungen nach außen, also an Anschlußpole der integrierten Schaltung, zu führen. Diese Schaltung müßte sehr viele Anschlußstifte haben. Es werden Adressendekodierer (s. Abschnitt 11.2) verwendet. Zur Anwahl von 16 Koordinatenleitungen sind 4 Adreßleitungen erforderlich. Die Adreßleitungen werden an Anschlußstifte der integrierten Schaltung geführt.

Wie sieht es nun mit den Koordinatenleitungen und den Adreßleitungen bei einem $16 \text{ kBit} \times 1\text{-Bit}$ -Speicher aus? Es müssen 16 384 Bit anwählbar sein. Dazu sind 128 X-

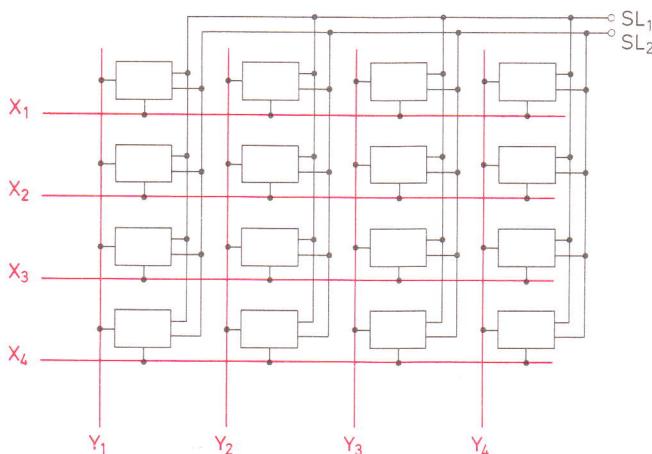


Bild 12.21 Aufbauschema eines 16×1 -Bit-Speichers

Bild 12.22 Aufbauschema eines 32×8 -Bit-Speichers

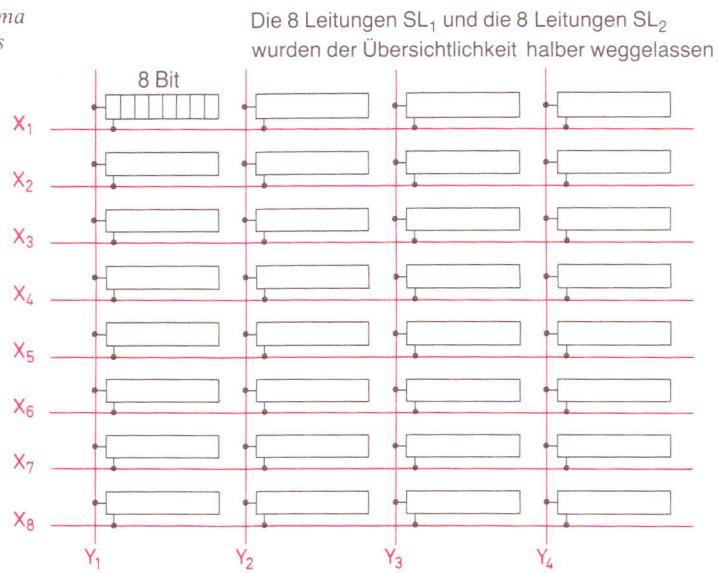
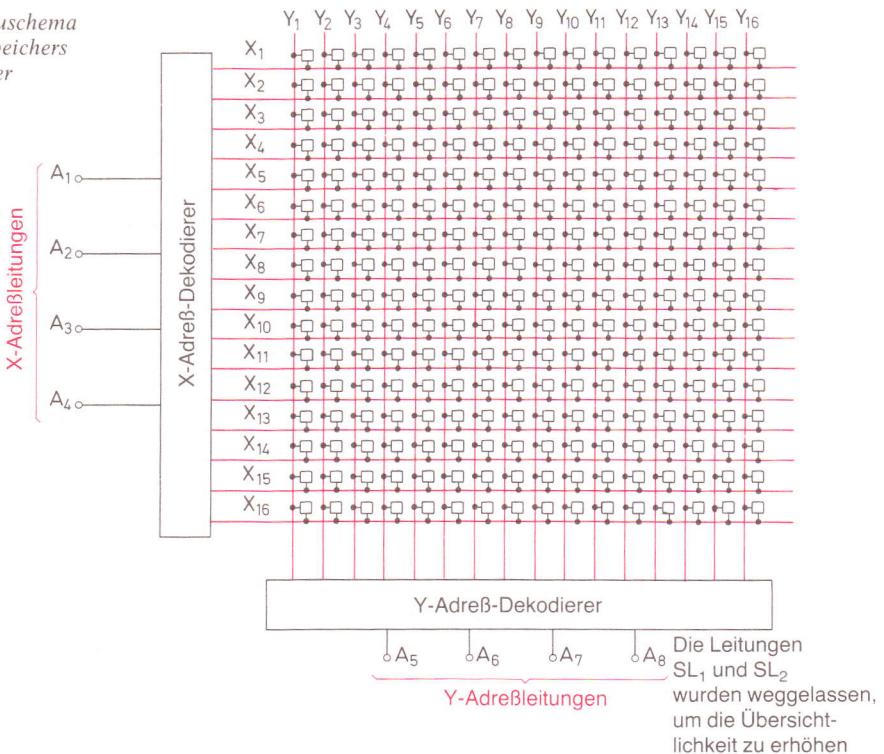


Bild 12.23 Aufbauschema eines 256×1 -Bit-Speichers mit Adreßdekodierer



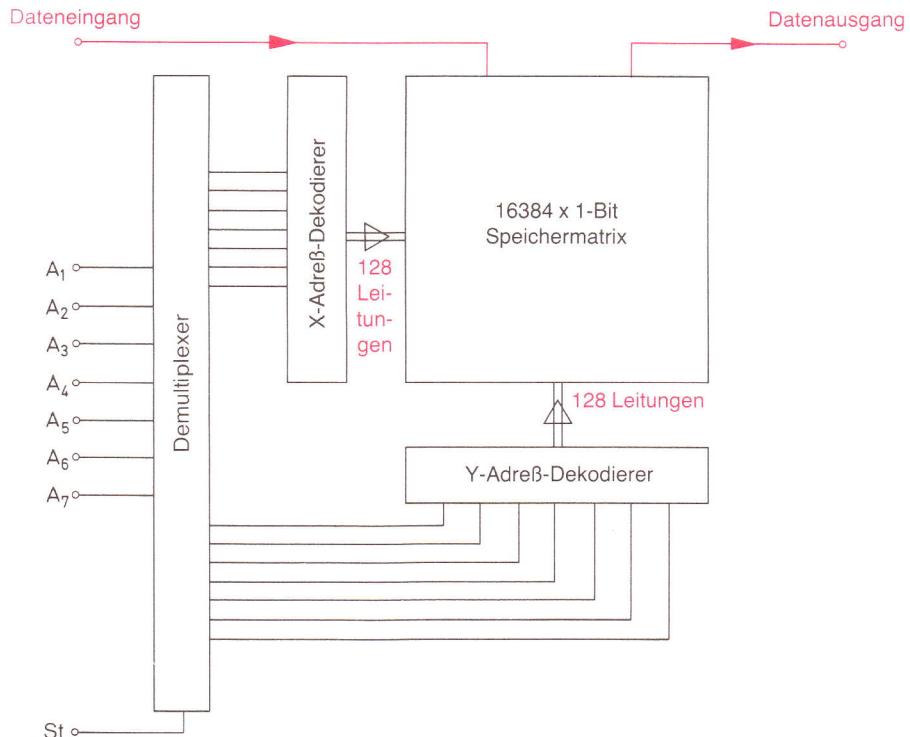


Bild 12.24 Aufbauschema eines 16-kBit \times 1-Bit-Speichers mit Adresskodierern und Demultiplexer

Koordinatenleitungen und 128 Y-Koordinatenleitungen erforderlich. Zur Auswahl von 128 Koordinatenleitungen werden 7 Steuerleitungen benötigt (Bild 12.24). Man könnte insgesamt 14 Adressleitungen an Anschlußstifte der integrierten Schaltung führen. Da man jedoch weitere Anschlußstifte für Dateneingang und Datenausgang und für Steuerbefehle wie Schreib- und Lesebefehle benötigt, würde sich eine sehr große Zahl von Anschlüssen ergeben. Um das zu vermeiden, setzt man einen Demultiplexer ein (Abschnitt 11.1). An die Eingänge A_1 bis A_7 wird zunächst die X-Adresse angelegt, danach wird an die gleichen Eingänge die Y-Adresse angelegt. Die Umschaltung erfolgt mit einem Steuersignal S. Das Multiplexen der Adresssignale erlaubt die Verwendung kleiner IC-Gehäuse.

12.3.3.2 Speicherkenngrößen

Für die Auswahl von Speichern sind die Speicherkenngrößen von großer Bedeutung. Es kommt auf die Speicherkapazität und auf die Speicherorganisation an, aber auch auf die Arbeitsgeschwindigkeit und auf den Leistungsbedarf. Weiterhin sind die elektrischen Betriebsbedingungen und der zulässige Arbeitsbereich von Wichtigkeit. Die wichtigsten Speicherkenngrößen sollen nacheinander betrachtet werden.

Speicherkapazität

Die Speicherkapazität gibt die Anzahl der in der Speicherschaltung enthaltenen Speicherelemente an, also die Anzahl der speicherbaren Bit.

Speicherorganisation

Die Speicherorganisation gibt Auskunft über die Speicherkapazität einer Speicherzelle und über die Anwahlmöglichkeit.

Zugriffszeit

Die Zugriffszeit ist die Zeit, die vom Zeitpunkt der Adressierung eines Speicherelements bis zur Verfügbarkeit der Information am Datenausgang vergeht.

Zykluszeit

Unter der Zykluszeit versteht man die kürzeste Zeit zwischen zwei aufeinanderfolgenden Schreib-Lese-Vorgängen.

Leistungsbedarf

Es wird der Gesamtleistungsbedarf der integrierten Schaltung angegeben. Er kann bei Betriebszustand und bei Ruhezustand unterschiedlich sein.

Elektrische Betriebsbedingungen

Hier werden die benötigten Versorgungsspannungen und die erforderlichen Signalpegel und ihre Toleranzbereiche angegeben (s. Kapitel 6, Schaltkreisfamilien) sowie die elektrischen Grenzwerte.

Arbeitstemperaturbereich

Der Arbeitstemperaturbereich ist der Temperaturbereich, in dem der Speicher innerhalb seiner vorgeschriebenen elektrischen Betriebsbedingungen sicher arbeitet.

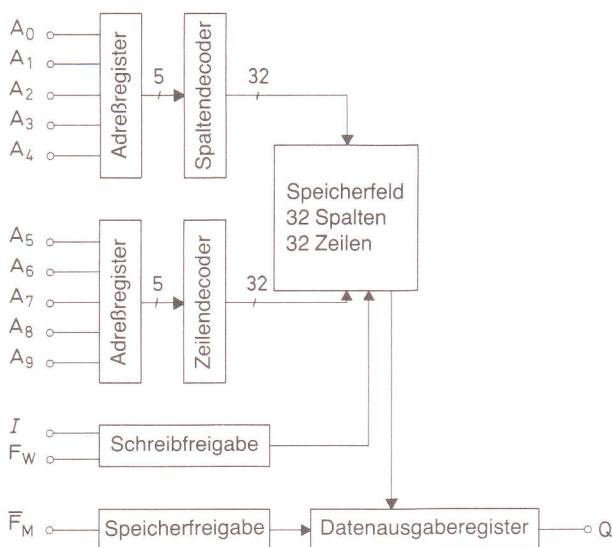
12.3.3.3 Ausgewählte RAM

Von den vielen verfügbaren Speicherschaltungen sollen einige vorgestellt werden. Da ist zunächst der Speicher SAB 2102. Bei diesem Speicher handelt es sich um einen statischen 1024×1 -Bit-Schreib-Lesespeicher (RAM) in N-MOS-Technik. Er wird in einem 16poligen Dual-Inline-Gehäuse geliefert. Das Blockschaltbild und die Anschlußanordnung sind in Bild 12.25 wiedergegeben.

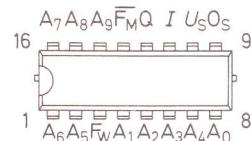
Die X- und Y-Adressen werden in Registern festgehalten und dekodiert. Die Speichermatrix hat in einer Zeile 32 Speicherelemente und 32 solcher Zeilen untereinander. Zur Steuerung werden die Eingänge F_w (Schreibfreigabe) und \overline{F}_M (Speicherfreigabe) verwendet. Zur Speicherfreigabe ist ein 0-Signal erforderlich. Liegt das nicht an, ist der Speicher gesperrt. Zur Schreibfreigabe wird ebenfalls ein 0-Signal benötigt. Die ausgebogene Information wird in einem Datenausgaberegister gespeichert.

Das Datenblatt dieses Speicherbausteins ist in Bild 12.26 dargestellt. Die Zugriffszeit beträgt maximal 1000 ns. Der Speicher arbeitet also verhältnismäßig langsam.

Block-Schaltbild



Anschnüßenordnung
Ansicht von oben



- A₀ bis A₉: Adresseneingänge
- F_M: Speicherfreigabe (chip select)
- F_w: Schreibfreigabe (read/write)
- I: Dateneingang
- Q: Datenausgang
- U_S: Versorgungsspannung (+)
- O_S: Masse

Bild 12.25 Blockschaltbild und Anschnüßenordnung des 1024 × 1-Bit-RAM SAB 2102 (Siemens)

Interessant ist der Schreib-Lese-Speicher GXB 10147 B, der in ECL-Technik aufgebaut ist. Dieser Speicher ist ein statischer 128 × 1-Bit-Speicher mit nur 10 ns Zugriffszeit. Er arbeitet also hundertmal schneller als der Speicher SAB 2102. Bei -5,2 V Speisespannung nimmt diese Schaltung jedoch etwa 80 mA Speisestrom auf, was einer Verlustleistung von 0,416 W entspricht. Der Leistungsbedarf ist also sehr hoch. Ein Datenblattauszug ist in Bild 12.27 wiedergegeben.

Als Beispiel für ein dynamisches RAM soll der Baustein HYB 4116 vorgestellt werden. Er ist in N-MOS-Technik aufgebaut und hat eine Kapazität von 16 384 Bit. Jedes Bit ist einzeln adressierbar (16 384 × 1-Bit-RAM). Die Adressenleitungen werden über einen Multiplexer geschaltet. Der Schaltungsaufbau ist in Bild 12.28 angegeben.

Bild 12.26 Datenblatt des Speicherbausteins SAB 2102 (Siemens) ▶

Statische Kenndaten $T_U = 0 \text{ bis } +70^\circ\text{C}$, $U_S = +5\text{V} \pm 5\%$, $O_S = 0\text{V}$

		min.	max.	Bedingung
Eingangsstrom	I_I		10 μA	$U_I = 0 \text{ bis } 5,25\text{V}$
H-Ausgangsstrom	I_{QH}		10 μA	$U_Q = 4,0\text{V}$, $F_M = 2,2\text{V}$
L-Ausgangsstrom	I_{QL}		-100 μA	$U_Q = 0,45\text{V}$, $F_M = 2,2\text{V}$
Speisestrom	I_{S25}		60 mA	$T_U = 25^\circ\text{C}$, alle Eingänge 5,25 V Q offen
Speisestrom	I_{S0}		70 mA	$T_U = 0^\circ\text{C}$, alle Eingänge 5,25 V Q offen
H-Eingangsspannung	U_{IH}	2,2 V	U_S	
L-Eingangsspannung	U_{IL}	-0,5 V	0,65 V	
L-Ausgangsspannung	U_{QL}		0,45 V	$I_{QL} = 1,9\text{mA}$
H-Ausgangsspannung	U_{QH}	2,2 V		$I_{QH} = -100\text{\mu A}$

Schaltzeiten $T_U = 0 \text{ bis } 70^\circ\text{C}$, $U_S = 5\text{V} \pm 5\%$, $O_S = 0\text{V}$

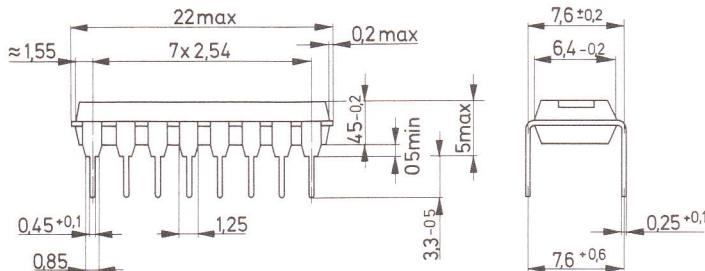
		Prüfbedingungen	Grenzwerte	Einheit
			min.	max.
Lesezyklus				
Zykluszeit	t_{CR}		1000	ns
Zugriffszeit (über Adresse)	t_Z	$U_I = 0,65 \text{ bis } 2,2\text{V}$	1000	ns
Freigabezeit (Zugriff über $\overline{F_M}$)		$t_T = 20\text{ ns}$	500	ns
Abschaltzeit von Q bei Adressenwechsel	t_{HQ}	$C_L = 100\text{ pF}$	50	ns
Abschaltzeit von Q ($\overline{F_M}$ getaktet)	t_{DF}	1 TTL-Last	0	ns
Schreibzyklus				
Zykluszeit	t_{CW}		1000	ns
Vorbereitungszeit A bis F_W	t_{DA}	$U_I = 0,65 \text{ bis } 2,2\text{V}$	200	ns
Schreibimpulsbreite	t_{WW}	$t_T = 20\text{ ns}$	750	ns
Schreib-Erholzeit	t_{DW}		50	ns
Datenvorbereitungszeit	t_{VI}		800	ns
Datenhaltezeit	t_{HI}		100	ns
Vorbereitungszeit $\overline{F_M}$ bis F_W	t_{VF}		900	ns

Statischer MOS-Schreib-Lese-Speicher (RAM)

mit tri-state-Ausgang

Kapazität 1024 Bit

- N-Kanal Si-Gate-Technologie
- Voll decodiert 1024 x 1 Bit
- TTL kompatibel, $U_S = 5 \text{ V}$
- Ausgang tri-state, wired-or-Möglichkeit
- Statische Betriebsweise, daher kein Auffrischen der Information
- Zerstörungsfreies Lesen
- Getrennter Dateneingang und -ausgang
- Einfache Kapazitätserweiterung durch Speicherfreigabe $\overline{F_M}$ (chip select)
- Lieferbar in Plastikgehäuse DIL 16 pin
- Austauschbar gegen Intersil 7552, Intel sowie AMD 2102 u. a.

Maßbild**Grenzbedingungen**

Arbeitstemperaturbereich
Lagertemperaturbereich
Spannung an jedem Anschluß gegen O_S
Max. zulässige Verlustleistung

T_U
 T_S

0° C bis + 70° C
– 65° C bis + 150° C
– 0,5 V bis + 7 V
1 W

Kapazitäten

$T_U = 25^\circ \text{C}$, $f = \text{MHz}$

	max.	Bedingung
Eingangskapazität C_I Ausgangskapazität C_Q	5 pF 10 pF	$U_I = 0 \text{ V}$ (Alle Eingänge) $U_Q = 0 \text{ V}$

zu Bild 12.26

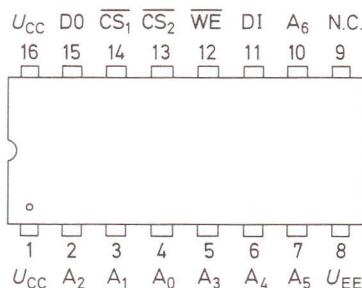
Vorläufige Daten

Typ	Bestellnummer	Gehäuse-Bauform
GXB 10147 A	Q 67000 – S 38	Bild Nr. 1

- sehr schneller ECL-Speicher
- typische Zugriffszeit 10 ns
- voll dekodiert
- Organisation 128 x 1 Bit
- Kapazitätserweiterung durch Freigabe-Eingänge (Chip Select)
- wired-or-Möglichkeit
- statische Betriebsweise, kein Refresh erforderlich
- stromstabilisierende Kennlinie der Stromaufnahme
- negativer Temperaturkoeffizient der Stromaufnahme, dadurch selbststabilisierend
- Metall-Keramikgehäuse mit 16 Anschlüssen
- austauschbar mit Motorola MCM 10147 AL, Fairchild F 10405
- kompatibel mit den Logikfamilien ECL 10 k und Fairchild 95 k

Anschlußanordnung

Ansicht von oben



Anschlußbezeichnung

A_0 bis A_6	Adresseingänge
DI	Dateneingänge
\overline{CS}_1 , \overline{CS}_2	Speicherfreigabeeingänge (chip-select)
WE	Schreibfreigabe (read/write)
DO	Datenausgang
U_{EE}	Versorgungsspannung ($-5,2\text{ V}$)
U_{CC}	Masse
N.C.	nicht beschaltet

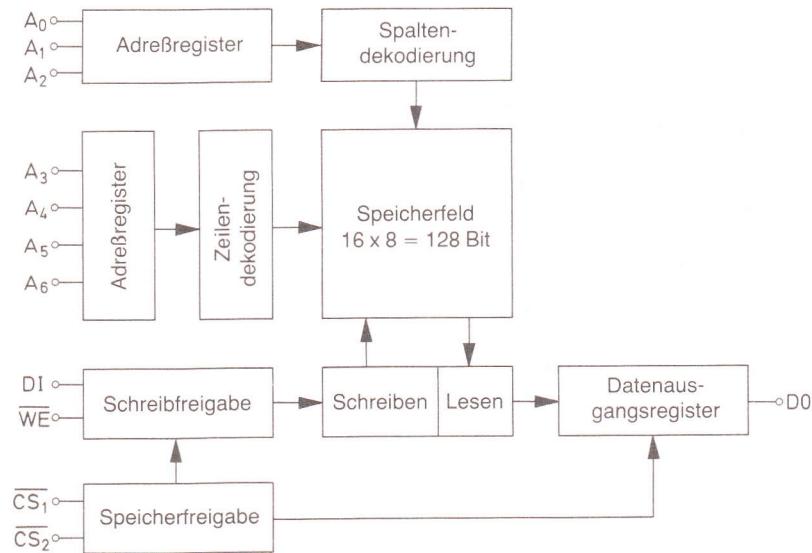
Statische Kenndaten

$T_U = 25^\circ\text{C}$, $U_{EE} = -5,2\text{ V}$, $R_L = 50\ \Omega$ gegen $-2,0\text{ V}$

Belüftung mit 2,55 m/s linear (500 fpm)

	Prüfbedingungen	min.	typ.	max.	Einheit
H-Eingangsspannung	U_{IH}	-1,105		-0,810	V
L-Eingangsspannung	U_{IL}	-1,850		-1,475	V
H-Ausgangsspannung	U_{QH}	-0,960		-0,810	V
L-Ausgangsspannung	U_{QL}	-1,900		-1,650	V
H-Eingangsstrom A, DI, \overline{CS}	I_{IH}			35	μA
H-Eingangsstrom an \overline{WE}	I_{IH}			75	μA
L-Eingangsstrom a. Eing.	I_{IL}	-6	80	100	μA
Speisestrom	I_{EE}				mA

Bild 12.27 Auszug aus dem Datenblatt des Speicherbausteins GXB 10147 A (Siemens)

Blockschaltbild**Schaltzeiten** $U_{EE} = 5,2 \text{ V} \pm 10\%$

		min.	25°C typ.	max.		min.	85°C typ.	max.		Einheit
Zugriffszeit	t_{ACC}		10	12				14		ns
Freigabezeit	t_E		6,5	8				9		ns
Schreibimpulsbreite	t_{WW}	8				8				ns
Schreiberholzeit	t_{WR}			8						ns
Vorlaufzeit A bis \overline{WE}	t_{AWS}	4								ns
Vorlaufzeit \overline{CS} bis \overline{WE}	t_{CWS}	1								ns
Vorlaufzeit DI bis \overline{WE}	t_{IWS}	1								ns
Haltezeit \overline{WE} bis A	t_{WAH}	3								ns
Haltezeit \overline{WE} bis \overline{CS}	t_{WCH}	1								ns
Haltezeit \overline{WE} bis DI	t_{WIH}	1								ns

Grenzbedingungen

Versorgungsspannung	U_{EE}	-7	V
Eingangsspannungen	U_I	0 bis U_{EE}	
Ausgangstrom	I_O	50	
Arbeitstemperaturbereich	T_U	0 bis 85	
Lagertemperaturbereich	T_S	-55 bis 125	$^{\circ}\text{C}$

zu Bild 12.27

Vorläufige Daten

Typ	Bestellnummer	Gehäuse-Bauform
HYB 4116-A 3	Q 67100-Q 186	Keramik / Bild Nr. 2
HYB 4116-A 4	Q 67100-Q 187	Keramik / Bild Nr. 2
HYB 4116-P 3	Q 67100-Q 219	Kunststoff / Bild Nr. 3
HYB 4116-P 4	Q 67100-Q 220	Kunststoff / Bild Nr. 3

Der HYB 4116 von Siemens ist ein dynamischer Schreib-Lese-Speicher in N-Kanal Si-Gate-Technologie mit Doppellagen-Polysilizium.

- N-Kanal Si²-Gate Technologie
- Organisation 16384 x 1 Bit, voll dekodiert
- getrennter Daten-Eingang und -Ausgang
- alle Eingänge TTL-kompatibel (einschließlich Takt)
- niedrige Verlustleistung: 462 mW aktiv, 20 mW inaktiv
- Zwischenspeicherung von Adressen und Eingangsdaten
- 200 ns Zugriffzeit, 375 ns Zykluszeit (HYB 4116-A 3, P 3)
- 250 ns Zugriffzeit, 410 ns Zykluszeit (HYB 4116-A 4, P 4)
- 3 Ausgangszustände, 2 TTL-Lasten
- austauschbar gegen MK 4116
- 128 Auffrischzyklen
- keine Speicherung der Ausgangsdaten
- ± 10% Toleranz für alle Spannungsversorgungen

Grenzdaten

Max. Spannung aller Eingänge und Versorgungsspannungen U_{DD} , U_{CC} und U_{SS} gegen U_{BB}		– 0,5 bis 20	V
Max. Spannung an U_{DD} , U_{CC} , Eingang gegen U_{SS}		– 1,0 bis 15	V
$U_{BB} – U_{SS}$ ($U_{DD} – U_{SS} > 0$ V)		0	V
Umgebungstemperatur im Betrieb	T_U	0 bis 70	°C
Lagertemperatur	T_s	– 65 bis 150	°C
Max. zul. Verlustleistung	P_{tot}	1	W
Max. Ruheleistung		20	mW

Dynamische Kenndaten

	HYB 4116				Einheit
	– A 3 / – P 3		– A 4 / – P 4		
	min.	max.	min.	max.	
Lese- oder Schreibzykluszeit	t_{RC}	375		410	ns
Lesen-Schreiben-Zykluszeit	t_{RWC}	375		465	ns
Lesen-Ändern-Schreiben-Zykluszeit	t_{RMWC}	415		515	ns
Zugriffzeit über RAS	t_{RAC}		200	250	ns
Zugriffzeit über CAS	t_{CAC}		135	165	ns

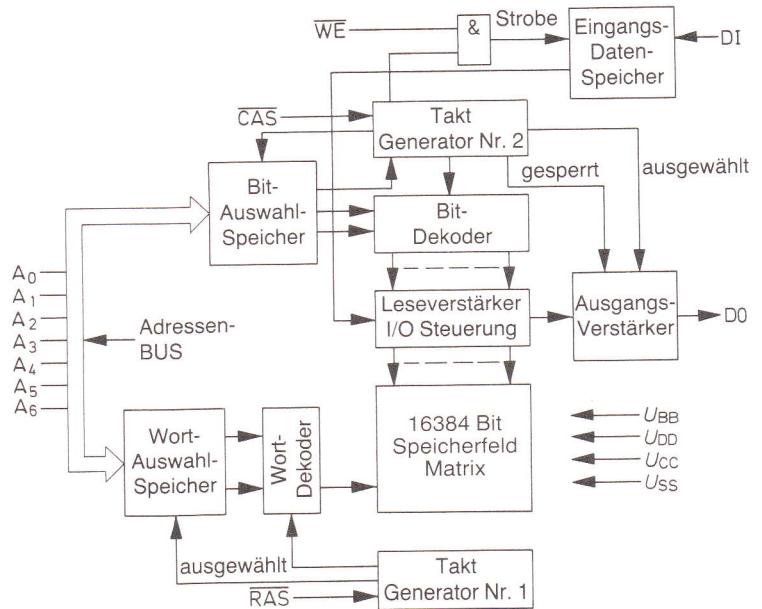
Bild 12.28 Auszug aus dem Datenblatt des dynamischen RAM HYP 4116

Anschußanordnung

Ansicht von oben

Anschußbezeichnungen

$A_0 - A_6$	Adressen-Eingänge
CAS	Bit – Adressen Strobe
DI	Daten-Eingang
DO	Daten-Ausgang
RAS	Wort-Adressen Strobe
WE	Lesen/Schreiben Takt
U_{BB}	– 5 V
U_{DD}	+ 12 V
U_{CC}	+ 5 V
U_{SS}	0 V

Blockschaltbild

zu Bild 12.28

Funktionsweise

Adressierung ($A_0 - A_6$)

Für die Auswahl einer von 16384 Speicherzellen sind insgesamt 14 Adreßbits erforderlich, die nacheinander über die Anschlußstifte $A_0 - A_6$ durch zwei Takte übernommen werden (Adreß-Multiplexing). Zuerst werden die 7 Wortadressen abgerufen und mit dem Takt \overline{RAS} im Wort-Auswahl-Speicher zwischen gespeichert. Anschließend übernimmt der Takt \overline{CAS} die 7 Bitadressen in den Bit-Auswahl-Speicher. Hierbei muß beachtet werden, daß die Adreß-Signale zum Zeitpunkt der negativen Flanke von \overline{RAS} bzw. \overline{CAS} im eingeschwungenen Zustand anliegen.

\overline{RAS} und \overline{CAS} bestimmen den Startzeitpunkt für die interne Taktsteuerung.

\overline{RAS} bewirkt die Wortdekodierung und aktiviert die Leseverstärker.

\overline{CAS} steuert die Bitdekodierung sowie die Dateneingangs- und Ausgangsverstärker.

Schreiben/Lesen (\overline{WE})

Schreib- bzw. Lesezyklen werden ausgeführt, wenn das Schreibfreigabesignal \overline{WE} auf „L“ bzw. „H“ (niedriger bzw. hoher Signalpegel) ist. Der Dateneingang $D1$ ist gesperrt, während ein Lesevorgang ausgeführt wird.

Die kürzeste Schreibzykluszeit erhält man, wenn \overline{WE} vor oder gleich mit \overline{CAS} auf „L“ („frühes Schreiben“) geht. Mit \overline{CAS} werden dann die Schreibdaten in den Eingangs-Daten-Speicher übernommen.

Verzögertes Schreiben, Lesen/Ändern/Schreiben

Beim verzögerten Schreiben bzw. Lesen/Ändern/Schreiben ist \overline{CAS} bereits auf „L“, so daß die Schreibdaten mit dem nachfolgenden \overline{WE} -Signal in den Eingangsdatenspeicher geschrieben werden.

Dateneingang ($D1$)

Daten können während eines Schreib- oder Lesen/Ändern/Schreibzyklus eingegeben werden. Zeitbestimmend für die Datenübernahme ist die negative Flanke von \overline{CAS} oder \overline{WE} , je nachdem welche Flanke später kommt.

Datenausgabe (DO)

Der Datenausgang kann drei Zustände einnehmen (Three-State) und ist für 2 TTL-Lasten ausgelegt. Die Ausgangsdaten sind gegenüber den Eingangsdaten nicht invertiert. In einem Lesezyklus sind die Lese daten nach der auf \overline{CAS} bezogenen Zugriffzeit t_{CAC} verfügbar. Am Ende des Lesezyklus geht der Datenausgang mit \overline{CAS} -„H“ wieder in hochohmigen Zustand.

Beim Lesen/Ändern/Schreiben stehen die Daten wie beim Lesezyklus am Ausgang an. Beim „frühen Schreiben“ ist der Datenausgang während des ganzen Zyklus hochohmig.

Auffrischzyklus

Für den Datenerhalt in den dyn. Speicherzellen muß jede Wortadresse mindestens alle 2 ms aufgerufen werden. Auf allen Wortadressen zusammen müssen innerhalb von 2 ms 128 Auffrischzyklen ausgeführt werden. Beim Lesen bzw. Schreiben werden die Daten der 128 Speicherzellen einer aufgerufenen Wortleitung automatisch aufgefrischt.

Aufladungszyklus

Nach dem Anlegen der Spannungen an den Baustein sind einige Zyklen notwendig, ehe ein richtiges Funktionieren gewährleistet ist. Für diesen Zweck können z.B. 8 Auffrischzyklen ausgeführt werden.

zu Bild 12.28

Betriebs- und Prüfbedingungen $T_U = 0 \text{ bis } +70^\circ\text{C}$, $U_{SS} = 0 \text{ V}$, $U_{DD} = +12 \text{ V} \pm 10\%$, $U_{BB} = -5 \text{ V} \pm 10\%$, $U_{CC} = +5 \text{ V} \pm 10\%$ **Statische Kenndaten¹⁾**

		Prüfbedingungen	min.	typ.	max.	Einheit
H-Eingangsspannung ²⁾ (ausgenommen RAS, CAS, WRITE)	U_{IH}		2,4		7,0	V
H-Eingangsspannung ²⁾ RAS, CAS, WRITE	U_{IHC}		2,7		7,0	V
L-Eingangsspannung	U_{IL}		- 1,0		0,8	V
H-Ausgangsspannung	U_{OH}	$I_O = -5 \text{ mA}$	2,4		U_{CC}	V
L-Ausgangsspannung	U_{OL}	$I_O = 4,2 \text{ mA}$			0,4	V
Stromaufnahme aus $U_{DD}^{(3)}$	I_{DD1}				35	mA
Ruhestromaufnahme aus U_{DD}	I_{DD2}	$\overline{\text{RAS}}$ auf U_{IH} -Pegel $\overline{\text{CAS}}$ auf U_{IH} -Pegel			1,5	mA
Mittlere Stromaufnahme aus U_{DD} während eines Auffrischzyklus ⁽³⁾	I_{DD3}	$\overline{\text{RAS}}$ -Impulsfolge $\overline{\text{CAS}}$ auf U_{IH} -Pegel			27	mA
Eingangs-Leckstrom	$I_{I(L)}$		- 10		10	μA
Ausgangs-Leckstrom	$I_{O(L)}$	$\overline{\text{CAS}}$ auf U_{IH} -Pegel $U_O = U_{SS} \text{ bis } U_{CC}$	- 10		10	μA
Ruhestromaufnahme aus U_{CC}	I_{CC}	$\overline{\text{RAS}}$ auf U_{IH} -Pegel $\overline{\text{CAS}}$ auf U_{IH} -Pegel	- 10		10	μA
Mittl. Stromaufnahme aus U_{BB}	I_{BB1}				200	μA
Ruhestromaufnahme aus U_{BB}	I_{BB2}				100	μA
Kapazitäten						
Eingangskapazität ⁴⁾ ($A_0 - A_6$), DI	C_{I1}				5	pF
Eingangskapazität ⁴⁾ RAS, CAS, WRITE	C_{I2}				10	pF
Ausgangskapazität ⁴⁾	C_O	DO = Three state			7	pF

¹⁾ Beim Anlegen der verschiedenen Versorgungsspannungen muß gewährleistet sein, daß U_{DD} , U_{CC} und U_{SS} stets größer sind als $U_{BB} - 0,3 \text{ V}$.²⁾ Überschwinger der Eingangssignale bis zu Pegeln von $6,5 \text{ V}$ oder $-2,0 \text{ V}$, die nicht länger als 30 ns andauern, beeinflussen die Funktion und die Zuverlässigkeit des Bausteins nicht.³⁾ I_{DD} ist abhängig von der Zykluszeit. Maximaler Strom ist bei der kürzesten Zykluszeit gemessen.⁴⁾ Die effektive Kapazität errechnet sich aus der Gleichung: $C = \frac{I \cdot \Delta t}{\Delta U}$ mit $\Delta U = 3 \text{ V}$

zu Bild 12.28

12.4 Festwertspeicher (ROM)

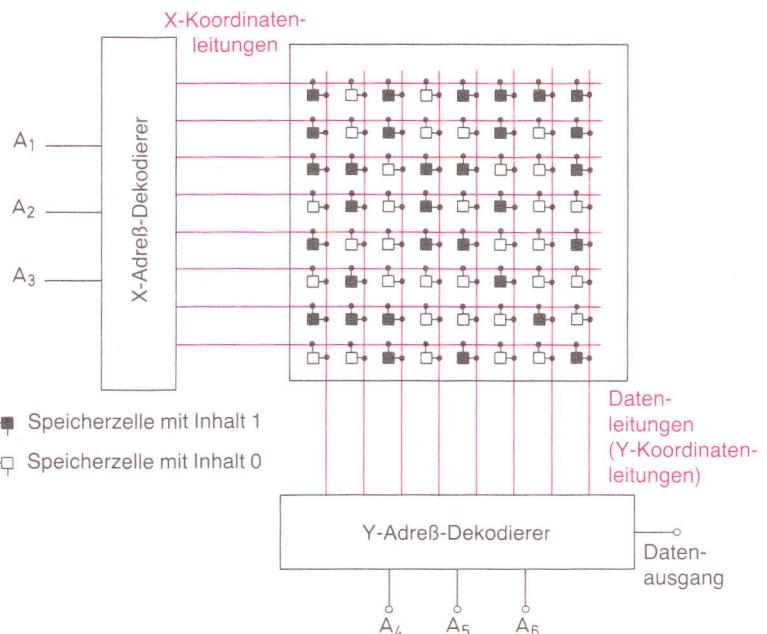
Festwertspeicher enthalten eine nicht löscharbe und nicht änderbare Information. Die Bezeichnung ROM ist die Abkürzung von Read Only Memory (engl.: Nur-Lese-Speicher). Die Information wird vom Hersteller eingegeben.

Ein ROM ist einem Buch vergleichbar. Die in ihm enthaltene Information ist jederzeit auslesbar. Es ist aber nicht möglich, die Information gegen eine andere auszutauschen. In einem ROM speichert man häufig benötigte Informationen, z.B. Steueranweisungen und Programme sowie Tabellen. Es wäre z.B. möglich, die Lohnsteuertabelle in ein ROM einzuspeichern. Bei Bedarf könnten dann die einzelnen Tabellenwerte ausgelesen werden.

Zum Aufbau eines ROM werden zwei Arten von Speicherelementen benötigt. Speicherelemente der ersten Art müssen stets den Wert 1 enthalten. Speicherelemente der zweiten Art müssen stets den Wert 0 enthalten.

Specheraufbau und Speicherorganisation eines ROM ist ähnlich wie die eines RAM. Eine Speichermatrix besteht aus Zeilen und Spalten. Die einzelnen Speicherzellen werden durch Adressen angewählt (Bild 12.29).

Bild 12.29 Aufbauschema eines 64×1 -Bit-ROM



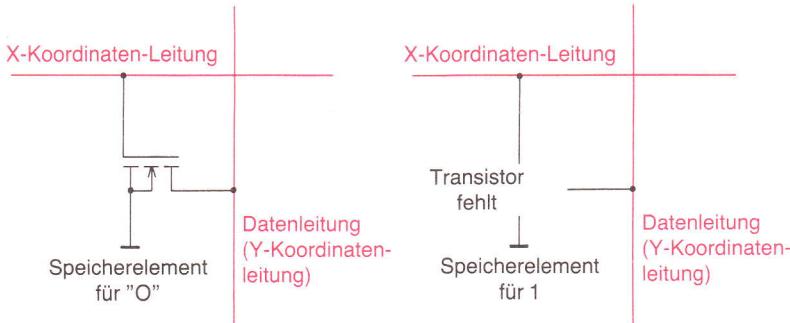


Bild 12.30 ROM-Speicherelemente (NMOS-Technik)

ROM werden meist in NMOS-Technik hergestellt. Die mögliche Integrationsdichte ist groß, der Leistungsbedarf gering. Wie ist nun ein Speicherelement aufgebaut, das immer den Wert 1 beinhaltet? Es wird durch einen fehlenden NMOS-Transistor dargestellt. Ein Speicherelement, das immer den Wert 0 hat, wird durch einen NMOS-Transistor gebildet (Bild 12.30).

Die Y-Koordinatenleitungen sind gleichzeitig die Datenleitungen. Soll ein Speicherelement gelesen werden, wird an seine Y-Koordinatenleitung 1-Signal angelegt. Ist das angewählte Speicherelement ein 0-Speicherelement, wird die Datenleitung auf 0-Signal gezogen, denn der Transistor ist durchgesteuert und verbindet die Datenleitung mit Masse.

Ist das angewählte Speicherelement ein 1-Speicher-Element, bleibt die Datenleitung auf 1-Signal. Die Datenleitung kann nicht auf 0-Signal gezogen werden, denn der Transistor fehlt.

Festwertspeicher dieser Art werden auch *maskenprogrammierbare Festwertspeicher* genannt. Die Information wird bei der Herstellung eingebracht. Durch Abdeckungen (Masken) wird an bestimmten Stellen die Herstellung von Feldeffekttransistoren verhindert. Der Anwender muß vorher angeben, welche Information eingespeichert werden soll bzw. wo ein Feldeffekttransistor hin soll und wo nicht.

Die Herstellung von ROM ist nur in größeren Stückzahlen wirtschaftlich, da für jeden Informationsinhalt eine entsprechende Maske entworfen werden muß.

In Bild 12.31 ist das Datenblatt des Festwertspeichers SAB 8316 leicht gekürzt wiedergegeben. Dieses ROM ist in NMOS-Technik aufgebaut und enthält 2048 Worte zu je 8 Bit, organisiert in 128 Zeilen und 16 Spalten. Für die 128 Zeilen sind 7 Adreßleitungen erforderlich. Die 16 Spalten werden über 4 Adreßleitungen angesteuert. Insgesamt sind also 11 Adreßeingänge vorhanden.

Interessant ist der geringe Leistungsverbrauch von $31,4 \mu\text{W}$ je Bit und die verhältnismäßig kurze Zugriffszeit. In dieser integrierten Schaltung ist zusätzlich eine Baustein-Auswahlschaltung enthalten. Der Ausgabe-Pufferspeicher wird nur dann freigegeben, wenn an den Eingängen CS_1 , CS_2 und CS_3 bestimmte binäre Signale liegen. Hierdurch wird die Zusammenschaltung mehrerer dieser ROM zu einem größeren Speicher erleichtert.

Organisation: 2048 Worte x 8 Bits

Zugriffszeit max. 850 ns

Nur eine Versorgungsspannung (+ 5 V)

Direkt TTL-kompatibel an allen Ein- und Ausgängen

Geringer Leistungsverbrauch von max. 31,4 µW/Bit

Drei programmierbare Baustein-Auswahl-Eingänge für einfache Speichererweiterung

Drei Ausgangszustände – WIRED-OR-Verknüpfungsmöglichkeit

Voll dekodiert – Adressendekodierung auf dem Baustein

Alle Eingänge sind gegen statische Aufladung geschützt

Der SAB 8316 ist ein 16384 Bit statischer MOS-Festwertspeicher (ROM) mit 2048 Worten x 8 Bit-Organisation.

Die Ein- und Ausgänge sind voll TTL-kompatibel. Dieser Baustein arbeitet mit einer einzigen Versorgungsspannung von + 5 V. Die 3 Baustein-Auswahl-Eingänge sind programmierbar. Jede Kombination von „H“ oder „L“ aktiven Baustein-Auswahl-Eingängen, können so definiert werden, daß der gewünschte Baustein-Auswahl-Kode während des Masken-Prozesses fixiert werden kann.

Diese 3 programmierbaren Baustein-Auswahl-Eingänge sowie die WIRED-OR-Verknüpfungsmöglichkeit an den Ausgängen, vereinfacht die Speichererweiterung.

Der SAB 8316 A ist in n-Kanal Silizium-Gate-Technologie hergestellt.

Statische Kenndaten und Betriebsbedingungen

$T_U = 0$ bis $+ 70^\circ C$, $V_{CC} = 5 V \pm 5\%$ (wenn nicht anders angegeben)

Symbol	Bezeichnung	min.	Grenzwerte typ. ²⁾	max.	Einheit	Prüfbedingungen
I_{LI}	L-Eingangsstrom	–	–	10	μA	$V_{IN} = 0$ bis 5,25 V
I_{LOH}	H-Ausgangsreststrom	–	–	10		$CS = 2,2 V$, $V_{OUT} = 4 V$
I_{LOL}	L-Ausgangsreststrom	–	–	–20		$CS = 2,2 V$, $V_{OUT} = 0,45 V$
I_{CC}	Stromaufnahme	–	40	98	mA	Alle Eingänge 5,25 V, Datenausgang offen
V_{IL}	L-Eingangsspannung	–0,5	–	0,8	V	–
V_{IH}	H-Eingangsspannung	2	–	$V_{CC} + 1 V$		$I_{OL} = 2 mA$
V_{OL}	L-Ausgangsspannung	–	–	0,45		$I_{OH} = -100 \mu A$
V_{OH}	H-Ausgangsspannung	2,2	–	–		

Bild 12.31 Datenblatt des Festwertspeichers (ROM) SAB 8316A (Siemens)

Schaltzeiten

$T_U = 0$ bis $+70^\circ\text{C}$, $V_{CC} = +5\text{ V} \pm 5\%$ (wenn nicht anders angegeben)

Symbol	Bezeichnung	min.	Grenzwerte typ. ¹⁾	max.	Einheit
t_A	Verzögerung von Adresse nach Ausgang	—	400	850	ns
t_{CO}	Verzögerung von Bausteinauswahl nach Ausgangsfreigabe	—	—	300	
t_{DF}	Verzögerung inkonstanter Daten von Bausteinauswahl-Rücknahme zum Ausgang	0	—	300	

Prüfbedingungen

Impulspegel am Eingang 0,8 bis 2 V
Anstiegs- und Abfallzeiten am Eingang (10 bis 90%) 20 ns
Ausgangslast 1 TTL Last und $C_L = 100\text{ pF}$

Die Messungen wurden bei folgenden Bezugspegen durchgeführt:

für Eingänge: 1,5 V
für Ausgänge: 0,45 bis 2,2 V

Kapazität – Stichprobenprüfung

bei $T_U = 25^\circ\text{C}$, $f = 1\text{ MHz}$

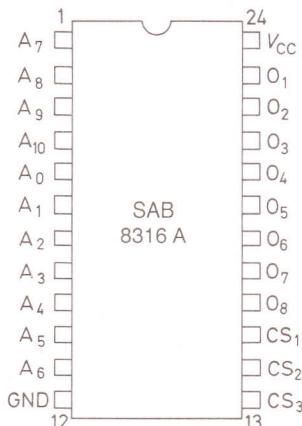
Symbol	Bezeichnung	min.	Grenzwerte typ. ¹⁾	max.	Einheit
C_{IN}	Eingangskapazität ²⁾	4	10	pF	
C_{OUT}	Ausgangskapazität ²⁾	8	15		

¹⁾ Typische Werte bei 25°C und Nenn-Versorgungsspannung.

²⁾ Alle Anschlüsse, außer dem Anschluß, der gerade gemessen wird und wechselstromseitig mit Masse verbunden ist.

zu Bild 12.31

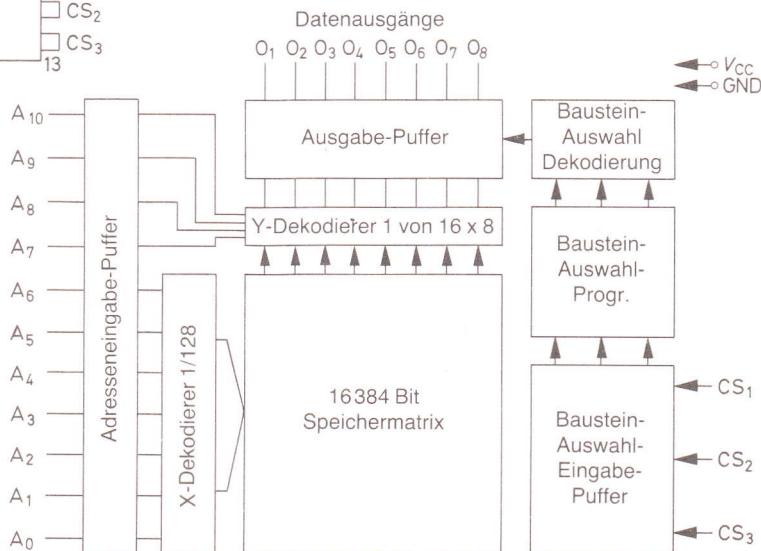
Anschlußbelegung



Anschlußbezeichnungen

A ₀ – A ₁₀	Adressen-Eingäge
O ₁ – O ₈	Daten-Ausgänge
CS ₁ – CS ₃	Programmierbare Baustein-Auswahl-Eingäge
V _{CC}	Versorgungsspannung (+ 5 V)
GND	Masse (0 V)

Blockschaltbild



Grenzdaten¹⁾

Betriebstemperatur	0 bis + 70 °C
Lagertemperatur	- 65 bis + 150 °C
Spannung an jedem Stift, bezogen auf Masse	- 0,5 bis + 7 V
Leistungsverbrauch	1 W

¹⁾ Die angegebenen Daten sind Grenzdaten, deren Überschreitung zu Dauerschäden des Bausteins führen kann.

²⁾ Typische Werte bei $T_U = 25^\circ\text{C}$ und Nenn-Versorgungsspannung.

zu Bild 12.31

12.5 Programmierbarer Festwertspeicher (PROM)

Der Name PROM ist die Abkürzung für Programmable Read Only Memory, engl.: programmierbarer Nur-Lese-Speicher.

Die Entwicklung der programmierbaren Festwertspeicher wurde durch den Wunsch der Anwender ausgelöst, ihre Informationen selbst in Festwertspeicher eingeben zu können. Auch wollte man nicht an große Stückzahlen gebunden sein. Die wirtschaftliche Herstellbarkeit kleiner Stückzahlen, ja von Einzelstücken, war das Ziel.

Stellen wir uns ein ROM vor, das nur mit Speicherelementen für 0 gemäß Bild 12.30 aufgebaut ist. Es sitzen also lauter Feldeffekttransistoren in den Kreuzungspunkten der Leitungen. Würde einer der Transistoren durchbrennen, wäre an dieser Stelle die Information 1 eingespeichert. Warum sollte man also gezielt immer an den Stellen Transistoren durchbrennen, an denen man die Information 1 wünscht?

Auf diese Weise wird ein PROM programmiert, d.h. mit einer Information versehen. Es gibt verschiedene PROM-Arten. Bipolare PROM mit Dioden und Transistoren in den Kreuzungspunkten der Leitungen haben zur Zeit eine große Bedeutung. In Bild 12.32 ist der Aufbau eines 8×8 -Bit-Dioden-PROM dargestellt. Die Dioden haben sehr dünne

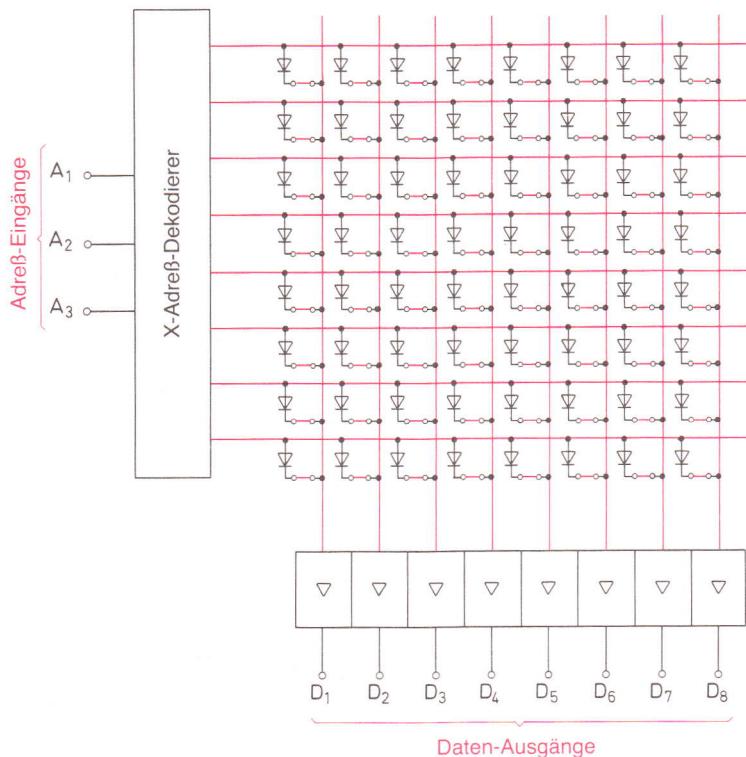


Bild 12.32 Aufbau eines 8×8 -Bit-Dioden-PROM

Zuführungen aus einer Chrom-Nickel-Legierung (20 bis 30 nm breit, 100 nm dick). Steigt der Strom über einen bestimmten Wert an, so brennen diese Leitungen durch. Zur Programmierung eines PROM ist ein besonderes Programmiergerät erforderlich. Selbstverständlich ist eine Informationsspeicherung nicht mehr rückgängig zu machen. Hat man sich versehen, ist das PROM meist Ausschuß und kann weggeworfen werden. Eine Korrektur ist nur in den seltenen Fällen möglich, in denen zusätzlich weitere Verbindungen durchgebrannt werden müssen.

12.6 Löschbare programmierbare Festwertspeicher

Löschbare und programmierbare Festwertspeicher erlauben das Löschen der eingegebenen Information und die nachfolgende Neuprogrammierung.

Das Löschen und das Neuprogrammieren kann beliebig oft wiederholt werden, ohne daß der Speicherbaustein Schaden erleidet.

Man unterscheidet zwei Gruppen von löschbaren programmierbaren Festwertspeichern. Bei der einen Gruppe wird die Information durch ultraviolettes Licht (UV-Licht) gelöscht. Festwertspeicher dieser Art werden EPROM (Erasable Programmable Read Only Memory = löschbarer programmierbarer Festwertspeicher) und REPROM (Re-programmable Read Only Memory = neuprogrammierbarer Festwertspeicher) genannt.

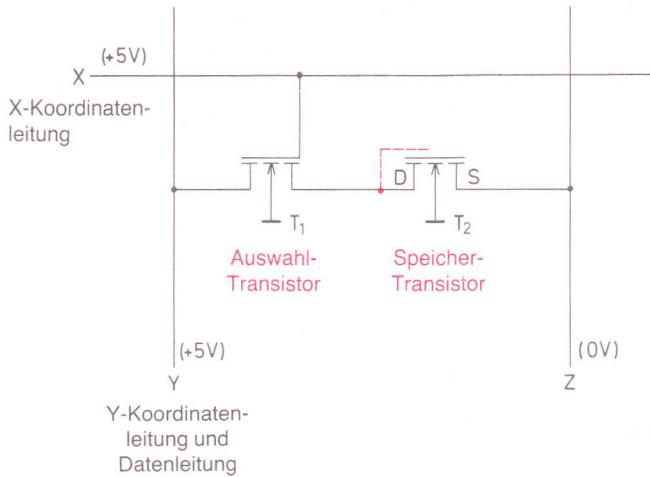
Löschbare programmierbare Festwertspeicher der zweiten Gruppe werden durch elektrische Spannungen gelöscht. Für sie sind die Abkürzungen EEROM (Electrically Erasable Read Only Memory = elektrisch löschbarer Festwertspeicher) und EAROM (Electrically Alterable Read Only Memory = elektrisch umprogrammierbarer Festwertspeicher) üblich.

12.6.1 Festwertspeicher EPROM und REPROM

Festwertspeicher der Arten EPROM und REPROM unterscheiden sich nur in geringfügigen Einzelheiten der Herstellungstechnologie voneinander. Sie sind in Aufbau und Arbeitsweise weitgehend identisch und können daher gemeinsam betrachtet werden. Ein EPROM- bzw. REPROM-Speicherelement für 1 Bit besteht aus zwei selbstsperrenden Feldeffekttransistoren. Es werden überwiegend N-Kanal-MOS-FET verwendet. Der Aufbau eines typischen Speicherelements ist in Bild 12.33 dargestellt. Der Transistor T_1 ist der Auswahltransistor, der Transistor T_2 der Speichertransistor.

Das Gate des Speichertransistors T_2 ist von hochisolierendem Werkstoff umgeben. Es ist nirgendwo angeschlossen. Ein solches Gate wird Floating Gate (engl.: schwimmendes Tor) genannt. Im gelöschten Zustand ist das Floating-Gate ohne Ladung. Der Transistor T_2 ist also gesperrt. Legt man jetzt an die X-Koordinatenleitung und an die Y-Koordinatenleitung jeweils + 5 V, so wird der Transistor T_1 durchgeschaltet. Der Transistor T_2

Bild 12.33 EPROM-REPROM-Speicherelement



ist aber gesperrt, so daß die Y-Leitung, die gleichzeitig Datenleitung ist, nicht auf $L \cong 0$ heruntergezogen werden kann. Die Y-Leitung verbleibt also auf $H \cong 1$. Bei einem gelöschten EPROM-REPROM dieser Art haben alle Speicherelemente den Inhalt 1. Beim Einprogrammieren einer Information werden bestimmte Speicherelemente auf 0 gesetzt. Es werden also „Nullen“ programmiert“.

Ein Speicherelement hat den Speicherinhalt 0, wenn der Speichertransistor durchgeschaltet ist.

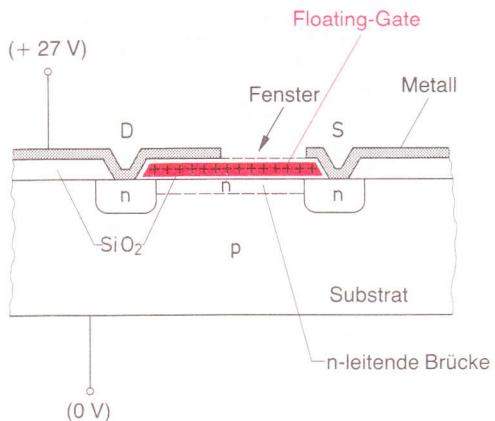
Wird ein Speicherelement mit durchgeschaltetem Speichertransistor T_2 abgefragt, wird also an seine X-Leitung und an seine Y-Leitung +5 V gelegt, so schaltet T_1 ebenfalls durch. Da die Leitung Z 0 V führt, wird die Y-Leitung auf ungefähr 0 V heruntergezogen. Wie kann man aber nun erreichen, daß der Speichertransistor durchschaltet? Man muß das Floating-Gate des Speichertransistors elektrisch aufladen.

Das Floating Gate eines N-Kanal-MOS-FET muß gegenüber dem Substrat positiv aufgeladen sein, damit sich eine n-leitende Brücke zwischen S (Source) und D (Drain) bildet.

Betrachten wir den Aufbau eines Speichertransistors (Bild 12.34). Zwischen D und Substrat wird eine verhältnismäßig hohe Spannung angelegt (z.B. +27 V). Da das Floating-Gate und die Isolierschichten sehr dünn sind, entsteht ein sehr starkes elektrisches Feld. Unter dem Einfluß dieses starken Feldes wandern Elektronen vom Floating-Gate zum Drain ab (Elektronenwanderung entgegen der Feldlinienrichtung). Der Isolierstoff läßt die Elektronen bei dieser sehr hohen elektrischen Feldstärke durch. Man kann sich

vorstellen, daß der Isolierstoff kurzzeitig durchbricht. In Wahrheit ist die Ursache jedoch ein Tunneleffekt. Dieser Vorgang wird Floating-Gate Avalanche-Injection (engl.: lawinenartige Aufladung des schwimmenden Gates) genannt. Ein MOS-Feldeffekttransistor, der mit dieser Gate-Aufladung arbeitet, trägt die Bezeichnung FAMOS-Transistor. Die Spannung von z.B. + 27 V wird Programmierspannung genannt. Nach kurzzeitiger Einwirkung dieser Spannung ist das Floating-Gate aufgeladen. Das Material, das das Floating-Gate umgibt, ist wieder hochisolierend. Die elektrische Ladung bleibt auf dem Floating-Gate erhalten. Im Substrat unterhalb des Floating-Gates entsteht die *n*-leitende Brücke. Der Feldeffekttransistor ist zwischen S und D niederohmig.

Bild 12.34 Aufbau eines Speichertransistors mit Floating-Gate, auch FAMOS-Transistor genannt (N-Kanal-Typ)



Die Speicherzellen eines EPROM bzw. REPROM werden nach Auswahl durch die Koordinatenleitungen X und Y (Bild 12.33) nacheinander programmiert. An X und Y werden zunächst die Auswahlspannungen + 5 V angelegt. Dadurch wird T_1 durchgesteuert. Die Spannung der Y-Leitung wird dann kurzzeitig auf + 27 V erhöht. Der Programmervorgang kann aus Sicherheitsgründen mehrfach wiederholt werden. Nach Angaben der Hersteller bleibt die Ladung auf dem Floating-Gate viele Jahre lang erhalten. Die Angaben schwanken zwischen 1 Jahr und 100 Jahren.

Ein programmiertes EPROM bzw. REPROM hält die eingegebene Information fest.

Ein namhafter Hersteller gibt eine Garantie von 10 Jahren für den Datenerhalt.

Zum Löschen der Information eines EPROM oder REPROM wird durch ein Fenster oberhalb des Floating-Gates starkes UV-Licht eingestrahlt.

Das hochisolierende Material wird durch die Bestrahlung ionisiert und schwach leitfähig. Die Ladung des Gates wird langsam abgebaut. Bei einer Strahlungsleistung des UV-Lichtstrahlers von etwa 10 Ws/cm^2 ist das Gate nach 20 bis 30 Minuten entladen.

Das Gehäuse eines EPROM bzw. eines REPROM hat ein über die ganze Fläche des Kristallchips gehendes Fenster (Bild 12.35). Das UV-Licht erreicht also alle Speicher-elemente und löscht sie alle gleichzeitig.

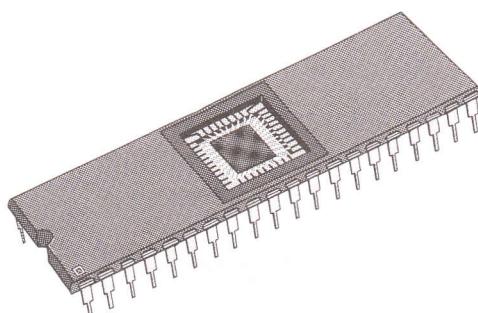


Bild 12.35 Gehäuse eines EPROM-REPROM

Beim Löschen eines EPROM bzw. eines REPROM wird stets die gesamte Information gelöscht.

Nach dem Löschen muß der Baustein abkühlen. Er hat sich tatsächlich merklich erwärmt. Vor allem muß die Ionisierung im isolierenden Material abklingen. Das Material muß wieder hochisolierend sein. Erst dann kann man mit einer Neuprogrammierung beginnen. Die Abkühlzeit sollte mindestens eine halbe, besser eine ganze Stunde dauern.

Dem Licht ausgesetzte EPROM bzw. REPROM können unabsichtlich gelöscht werden.

Die Einstrahlung von Sonnenlicht führt nach etwa 3 Tagen zur Löschung. Das Licht einer Leuchtstofflampe löscht die Information in etwa 3 Wochen. Um unbeabsichtigtes Löschen zu verhindern, ist es zweckmäßig, das Fenster mit einem dunklen Klebeband abzudecken.

Durch den Löschkvorgang werden die Materialien des Bausteins nicht merklich verändert, so daß ein beliebig häufiges Löschen und Neuprogrammieren möglich ist. Löschbare programmierbare Festwertspeicher vom Typ EPROM und REPROM gibt es mit Speicherkapazitäten von einigen 100 Bit bis zu 16 kBit. Bausteine mit 32 kBit und 64 kBit sind in der Entwicklung. Ein häufig verwendetes REPROM ist der Baustein SAB 8708. In Bild 12.36 ist das etwas gekürzte Datenblatt dieses Bausteins wiedergegeben.

SAB 8708: 1024 × 8-Bit-Organisation
Schnelle Programmierung — für alle 8-kBits, 100 s (Richtwert)
Niedrige Programmier-Leistung erforderlich
Zugriffszeit 450 ns
Versorgung: + 12 V, ± 5 V
Statische Schaltung — keine Auffrisch-Schaltung erforderlich
Ein- und Ausgänge TTL-kompatibel während beider Betriebsarten:
„Lesen“ und „Programmieren“
Drei Ausgangszustände — WIRED-OR-Verknüpfungsmöglichkeit

Der SAB 8708 ist ein schneller 8192 Bit löscherbar und elektrisch neu programmierbarer ROM (REPROM). Er ist besonders für in Entwicklung befindliche Schaltungen bzw. Systeme geeignet.

Er ist in einem DIL-Gehäuse mit 24 Anschlüssen und Quarz-Deckel untergebracht; dadurch kann der Anwender den Speicherinhalt, durch Bestrahlung mit ultraviolettem Licht, löschen und danach den Baustein elektrisch neu programmieren.

Durch die Pin-Kompatibilität von SAB 8708 und SAB 8308 ist es möglich, die Computersystementwicklung unter Ausnutzung der Änderungsmöglichkeiten des SAB 8708 durchzuführen und nach Abschluß der Entwicklung ohne jegliche Verdrahtungsänderung den, bei größeren Stückzahlen preisgünstigeren SAB 8308 (Masken programmiertes ROM) einzusetzen.

Blockschaltbild

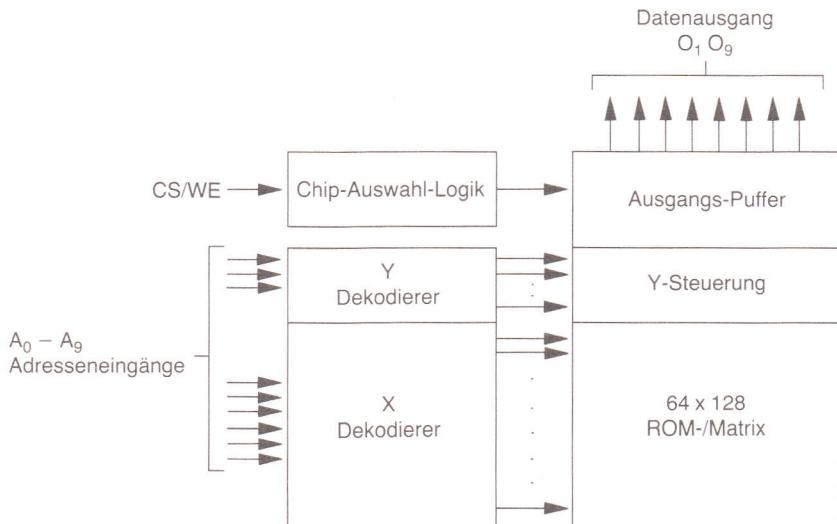


Bild 12.36 Datenblatt des löscherbaren und programmierbaren Festwertspeichers SAB 8708

Schaltzeiten

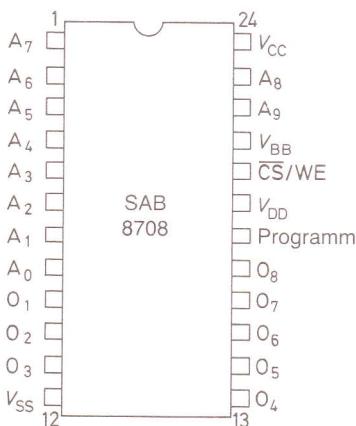
$T_U = 0$ bis $70^\circ C$, $V_{CC} = + 5 V \pm 5\%$, $V_{DD} = + 12 V \pm 5\%$, $V_{BB} = - 5 V \pm 5\%$, $V_{SS} = 0 V$
(wenn nicht anders angegeben)

Symbol	Bezeichnung	min.	Grenzwerte typ.	max.	Einheit
t_{ACC}	Verzögerung, Adresse zum Ausgang	—	280	450	
t_{CO}	Verzögerung Baustein-Auswahl zum Ausgang	—	—	120	
t_{DF}	Baustein-Auswahl Rücknahme zu Gleitausgang	0	—	120	ns
t_{OH}	Adresse zu Ausgangs-Halt	0	—	—	

Kapazität – Stichprobenprüfung

bei $T_U = 25^\circ C$, $f = 1 MHz$

Symbol	Bezeichnung	typ.	Grenzwerte max.	Einheit	Prüfbedingungen
C_{IN}	Eingangs-Kapazität	4	6	pF	$V_{IN} = 0 V$
C_{OUT}	Ausgangs-Kapazität	8	12		$V_{OUT} = 0 V$

Anschlußbelegung

$A_0 - A_9$	Adressen-Eingänge
$O_1 - O_8$	Daten-Ausgänge
\overline{CS}/WE	Baustein-Auswahl/Schreib-Freigabe-Eingang

zu Bild 12.36

Grenzdaten¹⁾

Betriebstemperatur	– 25 bis + 85° C
Lagertemperatur	– 65 bis + 125° C
Alle Eingangs- und Ausgangsspannungen, bezogen auf V_{BB}	+ 15 bis – 0,3 V
(außer d. Programm)	+ 35 bis – 0,3 V
Programmier-Eingang an V_{BB}	+ 15 bis – 0,3 V
Versorgungsspannungen V_{CC} und V_{SS} , bezogen auf V_{BB}	+ 20 bis – 0,3 V
V_{DD} , bezogen auf V_{BB}	1,5 W
Leistungsverbrauch	

Lesen**Statische Kenndaten und Betriebsbedingungen**

$T_U = 0$ bis $70^\circ C$, $V_{CC} = + 5 V \pm 5\%$, $V_{DD} = + 12 V \pm 5\%$, $V_{BB} = - 5 V \pm 5\%$, $V_{SS} = 0 V$,
(wenn nicht anders angegeben)

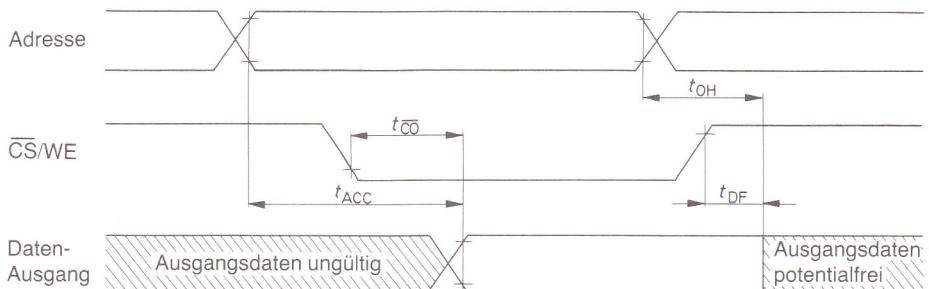
Symbol	Bezeichnung	min.	Grenzwerte typ. ²⁾	max.	Einheit	Prüfbedingungen
I_{LI}	Adreß- und Baustein-Auswahl-Eingangsstrom	–	–	10	μA	$V_{IN} = 5,25 V$
I_{LO}	Ausgangsreststrom	–	–	10		$V_{OUT} = 5,25 V$, $\overline{CS}/WE = 5 V$
I_{DD}	V_{DD} Stromaufnahme	–	50	65	mA	Stromaufnahme im schlechtesten Fall
I_{CC}	V_{CC} Stromaufnahme	–	6	10		Alle Eingänge „H“
I_{BB}	V_{BB} Stromaufnahme	–	30	45		$\overline{CS}/WE = 5 V$; $T_U = 0^\circ C$
V_{IL}	L-Eingangsspannung	V_{SS}	–	0,65	V	–
V_{IH}	H-Eingangsspannung	3	–	$V_{CC} + 1$		$I_{OL} = 1,6 mA$
V_{OL}	L-Ausgangsspannung	–	–	0,45		$I_{OH} = - 100 \mu A$
V_{OH1}	H-Ausgangsspannung	3,7	–	–		$I_{OH} = - 1 mA$
V_{OH2}	H-Ausgangsspannung	2,4	–	–		
P_D	Leistungsverbrauch	–	–	800	mW	$T_U = 70^\circ C$

1) Die angegebenen Daten sind Grenzdaten, deren Überschreitung zu Dauerschäden des Bausteins führen kann.

2) Typische Werte bei $T_U = 25^\circ C$ und Nenn-Versorgungsspannung.

3) Programm-Eingang (Pin 18) kann mit V_{SS} oder V_{CC} während der Betriebsart „Lesen“ verbunden werden.

Impulsdiagramm



Programmierung

Beim unprogrammiert gelieferten Baustein sowie nach jedem Löschtorgang sind alle Bits im Zustand „1“ (Ausgang „high“). Informationen werden eingegeben durch Einschreiben von „Nullen“ in die gewünschten Bit-Plätze.

Die Schaltung wird für den Programmervorgang vorbereitet, indem der Eingang \overline{CS}/WE (Pin 20) auf +12 V angehoben wird. Die Wort-Adresse wird auf die gleiche Art wie die Lese-Betriebsart ausgewählt. Die zu programmierenden Daten werden 8-Bit-parallel an den Datenleitungen ($O_1 - O_8$) angelegt. Die Logik-Pegel für Adress- und Daten-Leitungen und die Versorgungsspannungen sind die gleichen wie für die Betriebsart „Lesen“. Nachdem Adressen und Daten eingestellt sind, wird ein Programmierimpuls (V_p) pro Adresse an den Programmeingang (Pin 18) gebracht. Das einmalige Durchgehen aller zu programmierenden Adressen wird als Programmierschleife bezeichnet. Die Anzahl der benötigten Schleifen (N) steht in Abhängigkeit von der Programm-Impuls-Dauer (t_{PW}) gemäß $N \times t_{PW} = 100 \text{ ms}$.

Zur Kontrolle der Programmierung können die Programmschleifen und Lese-Schleifen gewechselt werden, wie im Impulsdiagramm gezeigt ist.

zu Bild 12.36

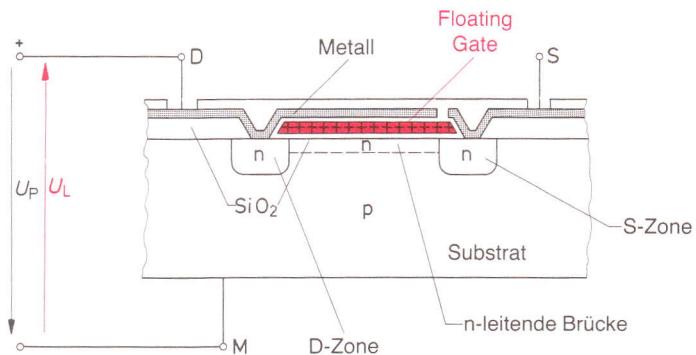
12.6.2 Festwertspeicher EEROM (EEPROM) und EAROM

Festwertspeicher der Arten EEROM (auch EEPROM genannt) und EAROM sind ähnlich aufgebaut wie die im vorstehenden Abschnitt beschriebenen Festwertspeicher. Sie sind lösbar und programmierbar. Das Löschen und das Programmieren kann häufig wiederholt werden, z.B. 10^4 - bis 10^5 -mal. Ein wichtiger Unterschied ist jedoch:

Festwertspeicher der Arten EEROM und EAROM werden elektrisch gelöscht.

Jede Speicherzelle ist mit zwei selbstsperrenden MOS-FET aufgebaut. Auch hier werden überwiegend N-Kanal-Typen verwendet. Der Aufbau der Speicherzelle entspricht weitgehend der Schaltung Bild 12.33. Der Transistor T_1 arbeitet als Auswahltransistor. Der Transistor T_2 ist der Speichertransistor. Als Speichertransistor wird ein FAMOS-Transistor mit Floating-Gate verwendet (Bild 12.37).

Bild 12.37 Speichertransistor mit Floating-Gate, elektrisch lösbar



Die Programmierung erfolgt wie bei EPROM und REPROM. Die metallische Drainanschlußfläche (D) erhält eine positive Spannung U_p gegen Substrat (z.B. +40 V). Im sehr starken elektrischen Feld erfolgt eine Elektronenwanderung vom Floating-Gate zum Pluspol (Drain). Das Floating-Gate verarmt an Elektronen und wird dadurch positiv geladen. Nach Wegnahme der Programmierspannung U_p bleibt ein elektrisches Feld zwischen Floating-Gate und Substrat bestehen. Es bildet sich in der oberen Substratzone die n -leitende Brücke. Der Transistor ist zwischen S und D niederohmig, also durchgeschaltet (Speicherinhalt 0).

Zum Löschen wird nun die Spannung zwischen Drain (D) und Substrat (M) umgekehrt. Die Löschspannung U_L erzeugt ein umgekehrtes elektrisches Feld. Unter dem Einfluß dieses Feldes wandern Elektronen von der metallischen Gateanschlußfläche auf das Floating-Gate und entladen es. Nach vollständiger Entladung erfolgt eine negative Aufladung. Nach Wegnahme der Löschspannung bleibt ein elektrisches Feld zurück, das

vom Substrat zum Floating-Gate gerichtet ist. Die n -leitende Brücke zwischen D-Zone und S-Zone verschwindet. Der Transistor sperrt (Speicherinhalt 1).

Elektrisch löschbare Festwertspeicher können nun so gebaut werden, daß die gesamte Information eines Bausteins gemeinsam gelöscht wird. Es wurde vorgeschlagen, für Bausteine mit gemeinsamer Informationslöschung die Bezeichnung EEPROM zu verwenden.

Es ist aber auch möglich, die Festwertspeicher so zu bauen, daß jedes Speicherelement einzeln gelöscht werden kann. Ein solcher Speicher läßt sich Bit nach Bit umprogrammieren. Für Speicher dieser Art sollte die Bezeichnung EEAROM (Electrically Alterable ROM = elektrisch umprogrammierbarer Festwertspeicher) verwendet werden. Die Zeit für das Umprogrammieren liegt z. B. bei 20 ms bis etwa 100 ms.

12.7 Magnetkernspeicher

Magnetkernspeicher sind Datenspeicher, die mit Speicherringkernen aufgebaut sind. Jeder Speicherringkern speichert 1 Bit. Der Magnetisierungszustand der Kerne bleibt bei Ausfall der Versorgungsspannung erhalten. Ein Magnetkernspeicher ist also ein nicht-flüchtiger Speicher. Die Zugriffszeit zu den im Speicher enthaltenen Daten ist gering (ca. 0,5 µs). Die Herstellung ist jedoch sehr aufwendig. Magnetkernspeicher sind daher sehr teure Speicher. Sie wurden in großem Umfang als schnelle Arbeitsspeicher in der Computertechnik verwendet, werden aber zunehmend von HalbleiterSpeichern verdrängt.

12.7.1 Speicherringkerne

Speicherringkerne sind ringförmige Ferritkerne mit Außendurchmessern von 0,46 mm bis 0,8 mm. Vor Jahren wurden Speicherringkerne mit Außendurchmessern bis 4 mm verwendet. Das Ferritmateriale ist ein hartmagnetischer Spezialwerkstoff mit einer fast rechteckförmigen Hystereseschleife. Der Werkstoff hat eine große Remanenz und eine mittelgroße Koerzitiv-Feldstärke (Bild 12.38). Wegen der rechteckförmigen Hystereseschleife wird der Werkstoff auch Rechteckferrit-Werkstoff genannt.

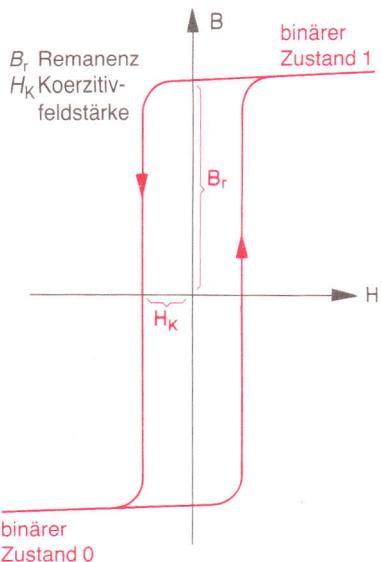
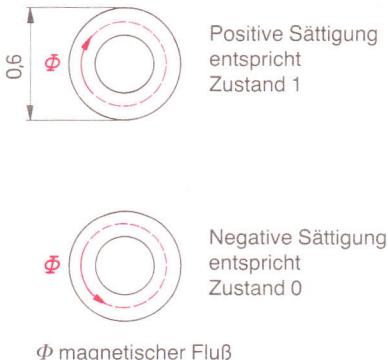
Wegen des fast senkrechten Abfalls und Anstiegs der Hystereseschleife kann ein Speicherringkern nur zwei stabile Magnetisierungszustände annehmen. Entweder liegt die Magnetisierung im Bereich der positiven Sättigung oder im Bereich der negativen Sättigung (Bild 12.38).

Ein Speicherringkern kann nur zwei verschiedene stabile Magnetisierungszustände annehmen.

Dem Magnetisierungszustand im positiven Sättigungsbereich wird der binäre Zustand 1 zugeordnet. Dem Magnetisierungszustand im negativen Sättigungsbereich wird der binäre Zustand 0 zugeordnet (Bild 12.39). Die binären Zustände werden auch logische Zustände genannt.

Bild 12.38 Hystereseschleife eines Speicherringkerns

Bild 12.39 Zuordnung der binären Zustände bei Speicherringkernen



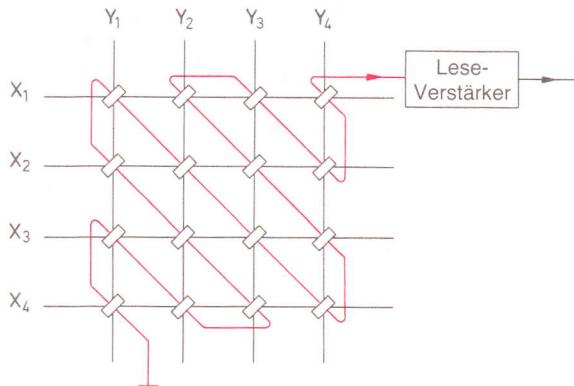
Mit Hilfe von Stromimpulsen werden Speicherringkerne von einem Zustand in den anderen gekippt.

Die Stromimpulse erzeugen die für das Kippen notwendige magnetische Feldstärke. Das Kippen erfolgt in etwa 200 ns. Diese Zeit ist die sogenannte Schaltzeit.

12.7.2 Magnetkernspeicher-Matrix

Der Aufbau einer Magnetkernspeicher-Matrix ist in Bild 12.40 dargestellt. Jeder Speicherringkern wird von einem X-Koordinatendraht, von einem Y-Koordinatendraht und von einem Lesedraht durchzogen. Die Magnetkernspeicher-Matrix in Bild 12.40 hat eine

Bild 12.40 Aufbau einer Magnetkernspeicher-Matrix



Speicherkapazität von 16 Bit, organisiert in 4×4 Bit. Üblich sind Magnetkernspeicher-Matrizen mit 64×64 Bit. Diese haben 64 Kerne in jeder X-Zeile und 64 Zeilen untereinander. Ihre Speicherkapazität beträgt 4096 Bit. Es werden auch Matrizen mit 128×64 Bit und größer hergestellt.

Die Herstellung von Magnetspeicher-Matrizen geschieht überwiegend in Handarbeit. Mehrere Matrizen werden zu einem Magnetspeicher-Block zusammengefaßt.

12.7.3 Schreib- und Lesevorgang

Das Einspeichern von Informationen kann auf verschiedene Weise erfolgen. Sehr leicht zu verstehen ist das sogenannte *Halbstromverfahren*. Betrachten wir Bild 12.41. Alle Kerne der Magnetkernspeicher-Matrix sollen in Zustand 0 gekippt sein. Die Matrix enthält also keine Information.

Zum Einspeichern einer Information ist es erforderlich, bestimmte Kerne in den Zustand 1 zu kippen und andere im Zustand 0 zu belassen.

Das Einspeichern wird auch Schreiben genannt. Zum Kippen eines Kerns soll ein Strom von 300 mA erforderlich sein, das heißt, der Kern muß von einem Strom von 300 mA in der richtigen Richtung durchflossen werden, dann kippt er in den Zustand 1. Soll nun ein bestimmter Kern in den Zustand 1 gekippt werden, läßt man durch jede seiner Koordinatenleitungen 150 mA fließen. Wenn z.B. der 3. Kern der 2. Zeile in den Zustand 1

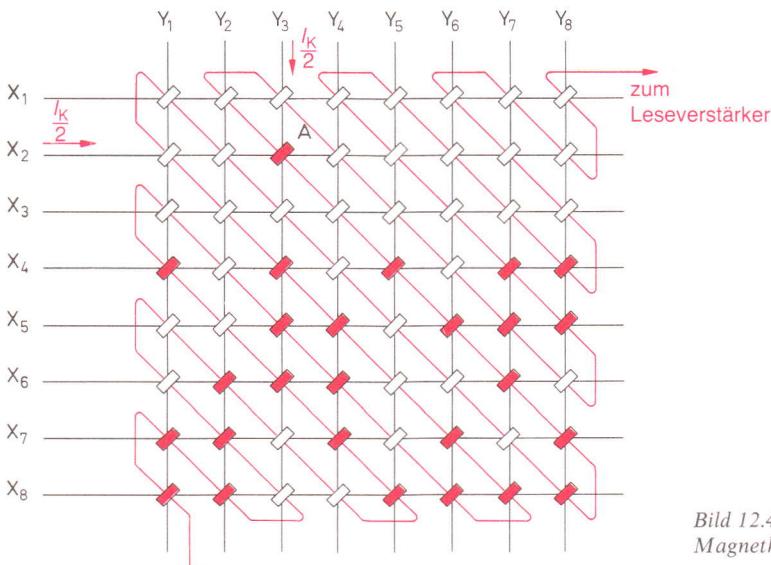


Bild 12.41 8×8 -Bit-Magnetkernspeicher-Matrix

gekippt werden soll, muß durch die Koordinatenleitung X_2 ein Strom von 150 mA fließen. Ebenfalls muß durch die Koordinatenleitung Y_3 ein Strom von 150 mA fließen. Der Kern A wird jetzt von insgesamt 300 mA durchflossen und kippt. Zur Sicherheit läßt man in den Koordinatenleitungen etwas mehr als den halben Kippstrom fließen, also z.B. 160 mA.

Die anderen Kerne der Kordinatenleitung X_2 werden somit von 160 mA durchflossen. Ebenfalls werden alle anderen Kerne der Koordinatenleitung Y_3 von 160 mA durchflossen. Dieser Strom ist zum Kippen nicht ausreichend. Die anderen Kerne der Koordinatenleitungen werden also nicht kippen.

Mit Hilfe der Halbströme werden nun nacheinander die gewünschten Kerne in den Zustand 1 gekippt. Für die Steuerung der Ströme ist eine besondere Schaltung erforderlich.

Die Informationsausgabe wird Lesen genannt. Beim Lesen muß festgestellt werden, welche Kerne sich im Zustand 1 und welche Kerne sich im Zustand 0 befinden. Die Kerne werden nacheinander «abgefragt». Durch ihre Koordinatenleitungen werden Halbströme in entgegengesetzter Richtung wie beim Schreiben geschickt. Befindet sich ein Kern im Zustand 0, wird er durch diese Ströme ein wenig stärker in die negative Sättigung magnetisiert. Sein Magnetfeld ändert sich kaum. Befindet sich ein Kern im Zustand 1, kippt er in den Zustand 0. Sein Magnetfeld kehrt sich um. In die Leseleitung wird ein Spannungsimpuls induziert. Der Spannungsimpuls wird im Leseverstärker verstärkt und weiter verarbeitet.

Beim Lesen werden alle Kerne, die sich im Zustand 1 befinden, in den Zustand 0 gekippt. Dadurch wird die Information gelöscht.

Das Löschen der Information beim Lesen ist ein Nachteil. Wird die Information weiter benötigt, muß sie zwischengespeichert und nach dem Lesen erneut wieder eingeschrieben werden.

12.8 Magnetblasenspeicher

Magnetblasenspeicher erlauben die Speicherung großer Datenmengen auf kleinem Raum mit geringer Zugriffszeit. Die Daten sind also verhältnismäßig schnell verfügbar. Die gespeicherte Information ist nicht flüchtig, das heißt, sie bleibt bei Ausfall der Versorgungsspannung erhalten.

12.8.1 Magnetblasen

In bestimmten magnetisierbaren Schichten, wie Gadolinium-Gallium-Granat ($Cd_3Ga_5O_{12}$), lassen sich kleine Zonen erzeugen, die entgegengesetzt magnetisiert sind wie ihre Umgebung (Bild 12.42). Diese kleinen Zonen werden Magnetblasen genannt. Sie können mit verschiedenen Durchmessern erzeugt werden. Übliche Durchmesser liegen zwischen 1,5 µm und 4 µm.

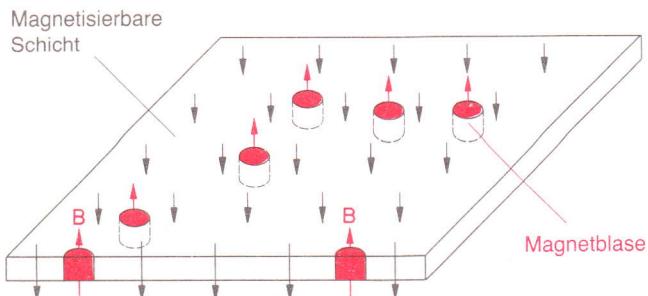


Bild 12.42 Magnetblasen in magnetisierbarer Schicht aus Gadolinium-Gallium-Granat ($Cd_3Ga_5O_{12}$)

Magnetblasen sind kleine Zonen, die stets entgegengesetzt magnetisiert sind wie ihre Umgebung.

Sie bilden sich zylinderförmig aus, wenn ein äußeres Magnetfeld die Schicht senkrecht durchsetzt, z.B. das Feld eines Dauermagneten, dessen einer Pol oberhalb und dessen anderer Pol unterhalb der Schicht liegt.

Magnetblasen werden in einem Magnetblasen-Generator erzeugt. Dies ist ein Elektromagnet, der bei Stromdurchfluß die unter ihm liegende Kristallzone umgekehrt wie ihre Umgebung magnetisiert.

Bringt man einen Dauermagneten in die Nähe dieser Magnetblasen, wandern sie in der Schicht je nach Polung des Feldes des Dauermagneten entweder auf diesen zu oder von diesem weg.

Magnetblasen lassen sich mit Hilfe von anderen Magnetfeldern bewegen.

Bei der Bewegung der Blasen wandert keine Materie. Die Kristalle der magnetisierbaren Schicht werden lediglich magnetisch umgepolt (schneller Austausch von magnetischen Eigenschaften innerhalb der kristallinen Schicht).

Magnetblasen verschwinden nicht, ohne daß Energie aufgewendet wird. Einmal erzeugt, bleiben sie erhalten, bis sie gezielt vernichtet, also gelöscht werden.

Magnetblasen haben eine große Stabilität. Sie können jahrelang in der magnetisierbaren Schicht erhalten bleiben.

12.8.2 Magnetblasenschleifen

Eine ungeordnete Bewegung der Magnetblasen in der Schicht ist nicht sinnvoll. Man könnte die einzelnen Magnetblasen nicht identifizieren und ihnen daher auch nicht die Bedeutung von Bit zuordnen.

Magnetblasen müssen sich in der Schicht auf bestimmten Bahnen bewegen.

Der Hersteller von Magnetblasenspeichern muß also eine Art Gleissystem anlegen. Auf diesen „Gleisen“ bewegen sich die Magnetblasen.

Auf die magnetisch aktive Schicht wird ein sogenanntes Muster aufgedampft. In vielen Fällen ist es ein Winkelmuster (Bild 12.43), aber auch Kreisbögen und andere Formen sind üblich. Aufgedampft wird eine Nickel-Eisen-Legierung mit guten weichmagnetischen Eigenschaften.

Mit Spulensätzen, die die magnetisch aktive Schicht umgeben, wird ein Drehfeld erzeugt. Die Winkel des Musters werden durch dieses Drehfeld magnetisiert. In einem bestimmten Augenblick ist z.B. der Winkel 1 mit dem Höchstwert magnetisiert. Dieser Höchstwert der Magnetisierung wandert dann zum Winkel 2, dann zum Winkel 3 usw. Eine Magnetblase wandert stets zu dem am stärksten magnetisierten Winkel (richtige Magnetisierungsrichtung vorausgesetzt). Wenn sich eine Magnetblase beim Winkel 1 befindet, wird sie also zum Winkel 2 weiterwandern, dann zum Winkel 3 und so fort (Bild 12.43).

Eine Magnetblase bewegt sich entlang des aufgedampften „Musters“. Durch das Drehfeld wird ihre Bewegungsgeschwindigkeit vorgegeben.

Da das Drehfeld auf alle vorhandenen Magnetblasen wirkt, wandern sie alle mit gleichmäßiger Geschwindigkeit entlang der vorgegebenen Bahn.

Alle Magnetblasen bewegen sich synchron.

Auf der magnetisch aktiven Schicht werden verschiedene „Gleise“ erzeugt. Die meisten „Gleise“ haben eine Schleifenform. Auf ihnen laufen die Magnetblasen um.

Jeder Magnetblase wird der logische Zustand 1 zugeordnet.

Die Magnetblasenschleife (Bild 12.43) wirkt wie ein zum Ring geschlossenes Schieberegister. Das Herumtakten wird vom Drehfeld besorgt.

Für die Magnetblasen wird ein bestimmter Abstand festgelegt. Er muß größer sein als das Vierfache des Blasendurchmessers, damit die Blasen sich nicht gegenseitig beeinflussen. Bei einem Blasendurchmesser von z.B. 2 µm wäre ein Abstand von 10 µm sinnvoll. Alle 10 µm könnte also eine Blase kommen. Kommt keine Blase, gilt dieser Platz als ein Bit mit dem Zustand 0.

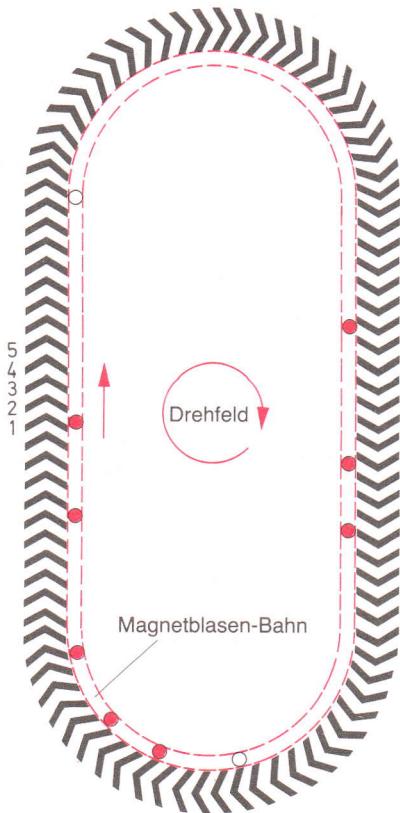


Bild 12.43 Magnetblasenschleife

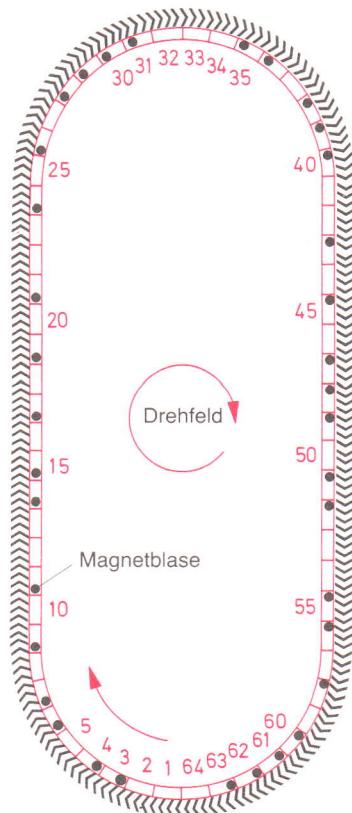


Bild 12.44 Magnetblasenschleife mit einer Speicherkapazität von 64 Bit

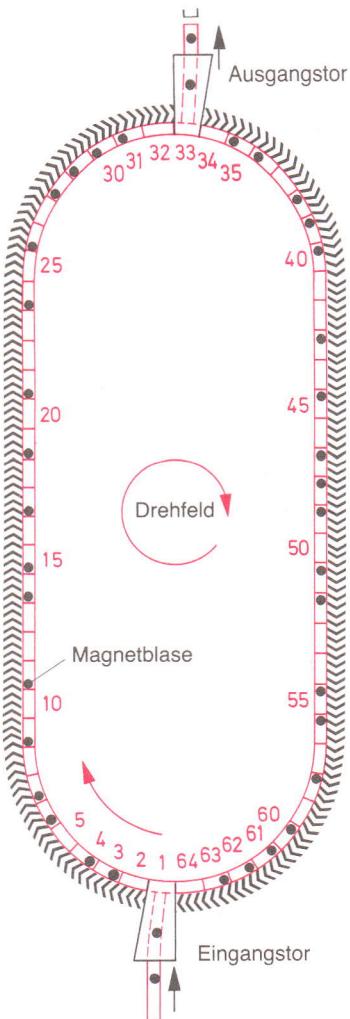
Jeder fehlenden Magnetblase wird der logische Zustand 0 zugeordnet.

Eine Magnetblasenschleife hat also eine bestimmte, bei der Herstellung festgelegte Anzahl von möglichen Blasenplätzen. Auf diesen Plätzen können Blasen erzeugt werden oder auch nicht.

Jeder Blasenplatz auf einer Magnetblasenschleife stellt eine Speicherkapazität von 1 Bit dar.

In Bild 12.44 ist eine Magnetblasenschleife mit einer Speicherkapazität von 64 Bit dargestellt. Übliche Magnetblasenschleifen haben Kapazitäten von 4096 Bit und mehr.

Bild 12.45 Magnetblasenschleife mit Eingangstor und Ausgangstor



12.8.3 Einschreiben einer Information

Es wäre möglich, in der Schleife selbst Blasen zu erzeugen und Blasen zu löschen. Das ist aber nicht üblich. Man lässt Blasen über sogenannte Tore einfließen und abfließen. Jede Magnetblasenschleife hat ein Eingangstor und ein Ausgangstor (Bild 12.45).

Magnetblasen werden über Tore der Magnetblasenschleife zugeführt und aus ihr abgeführt.

Ein Tor wird mit Hilfe eines stromdurchflossenen Leiters gebildet. Dieser wirkt wie ein kleiner Elektromagnet. Bei einer bestimmten Stromrichtung entsteht ein Magnetfeld,

das den Durchgang der Blasen sperrt. Die Blasen werden abgestoßen. Bei der entgegengesetzten Stromrichtung entsteht ein Magnetfeld, das die Blasen anzieht und durchläßt.

Vor Eingang einer neuen Information muß die alte Information gelöscht werden. Die Magnetblasenschleife ist zu entleeren, das heißt, über das Ausgangstor sind alle Blasen abzuziehen.

Die für das Einschreiben einer Information benötigten Blasen und Leerstellen kommen aus einer Eingabeschleife, die später noch näher erläutert wird.

12.8.4 Lesen einer Information

Beim Lesen werden die Blasen über das Ausgangstor abgeführt und gelangen in eine Ausgabeschleife. Dort laufen sie an einem Blasendetektor vorbei. Der Blasendetektor besteht aus einem winzigen Metallstreifen in der Blasenbahn. Der Metallstreifen liegt also sozusagen auf den Schienen der Blasen. Er ist Teil einer abgestimmten Brückenschaltung.

Passiert eine Blase den Metallstreifen, wird die Brücke kurzzeitig verstimmt. An ihrem Ausgang ist ein Spannungsimpuls verfügbar. Dieser steht für den Informationsinhalt 1. Läuft eine Leerstelle am Blasendetektor vorbei, entsteht kein Spannungsimpuls. Keine Spannung steht für den Informationsinhalt 0.

Magnetblasen werden mit einem Blasendetektor gelesen.

Die Information wird aus der Magnetblasenschleife ausgelesen und steht dort nun nicht mehr zur Verfügung. Das ist in vielen Fällen unerwünscht. Es ist jedoch möglich, Tore zu bauen, die die Magnetblasen vergrößern, länglich verformen und auseinanderreißen. Die Magnetblasen werden somit verdoppelt. Eine Magnetblase wandert in die Ausgabeschleife, die andere verbleibt in der Magnetblasenschleife, auch Speicherschleife genannt. In der Speicherschleife bleibt also die Information erhalten.

Mit Toren dieser Art ist es nun aber nicht mehr möglich, die Speicherschleife zu entleeren. Die Tore müssen je nach Wahl die Magnetblasen vollständig passieren lassen oder die Magnetblasen verdoppeln. Beides lässt sich durch unterschiedliche Einwirkungsdauer und Stärke des Tor-Magnetfeldes erreichen.

12.8.5 Aufbau eines Magnetblasenspeichers

Ein Magnetblasenspeicher enthält eine große Anzahl von Speicherschleifen. Üblich sind 128, 256 und 512 Schleifen. In der Entwicklung befindliche Speicher sollen 1024 und mehr Schleifen haben. Jede Schleife enthält etwa 4096 Bit. Meist sind 128 Speicherschleifen zu einem Speicherblock zusammengefaßt. Jeder Speicherblock hat einen Blasengenerator und eine Eingabeschleife (Bild 12.46).

Dem Blasengenerator werden elektrische Impulse zugeführt, die in Magnetblasen umgewandelt werden. Diese Magnetblasen kreisen zunächst in der Eingabeschleife. Sie wer-

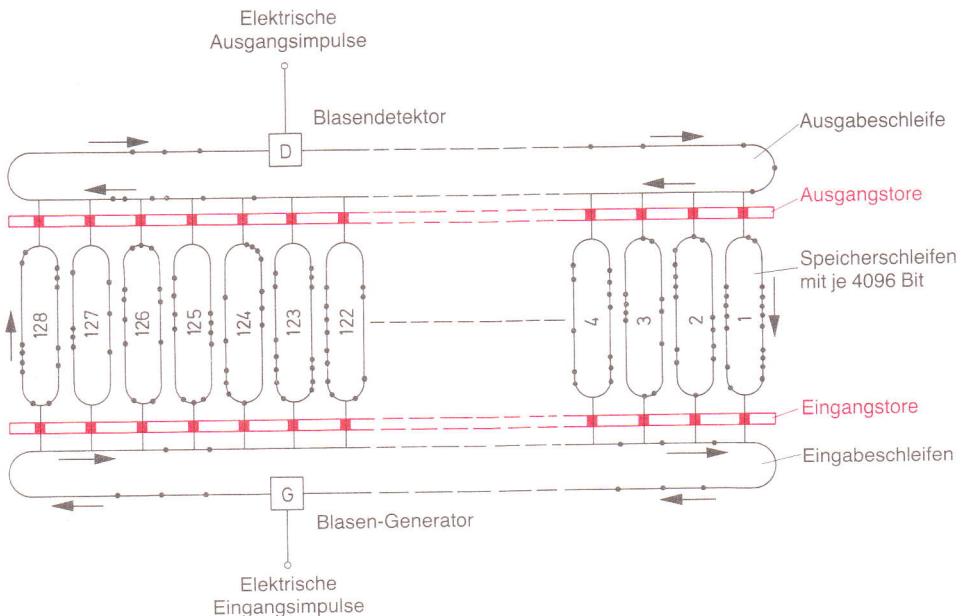


Bild 12.46 Prinzipieller Aufbau eines Magnetblasenspeichers (Speicherblock mit 128 Speicherschleifen)

den in einem genau festgelegten Augenblick durch einen Steuerimpuls auf die Eingangstore in die Speicherschleifen übernommen.

Es erfolgt also eine Paralleleingabe. Im Augenblick der Eingabe liegen 128 Speicherplätze vor den 128 Eingangstoren. Jeder Speicherplatz kann die Information 0 oder 1 enthalten. Enthält ein Speicherplatz keine Magnetblase, hat er den Inhalt 0, enthält er eine Magnetblase, hat er den Inhalt 1. Es wird also jeweils eine Information von 128 Bit parallel eingegeben.

Bei der Datenausgabe werden immer 128 Bit parallel ausgegeben. Die Magnetblasen kreisen in den Speicherschleifen. In einem bestimmten Augenblick liegen 128 Speicherplätze vor den Ausgangstoren – vor jeder Speicherschleife einer. Wird jetzt ein Steuersignal auf die Ausgangstore gegeben, werden die auf den Speicherplätzen befindlichen Magnetblasen durch die Tore gezogen und in die Ausgabeschleife übernommen. In der Ausgabeschleife wandern die Blasen weiter. Jede Blase erzeugt im Detektor einen Spannungsimpuls. Sie können danach gelöscht werden.

Der praktische Aufbau eines Magnetblasenspeichers ist in Bild 12.47 dargestellt. Auf einem Trägermaterial (Substrat) ist eine dünne Schicht aus magnetischem Granat aufgebracht. Diese Granatschicht ist die Magnetblasenschicht. Die Magnetblasenbahnen werden durch Aufdampfen von Mustern auf die Granatschicht erzeugt. Die Muster bestehen aus einer weichmagnetischen Nickel-Eisen-Legierung. Zur Formung der Magnetblasen werden zwei Dauermagnetscheiben benötigt. Das Drehfeld wird durch zwei

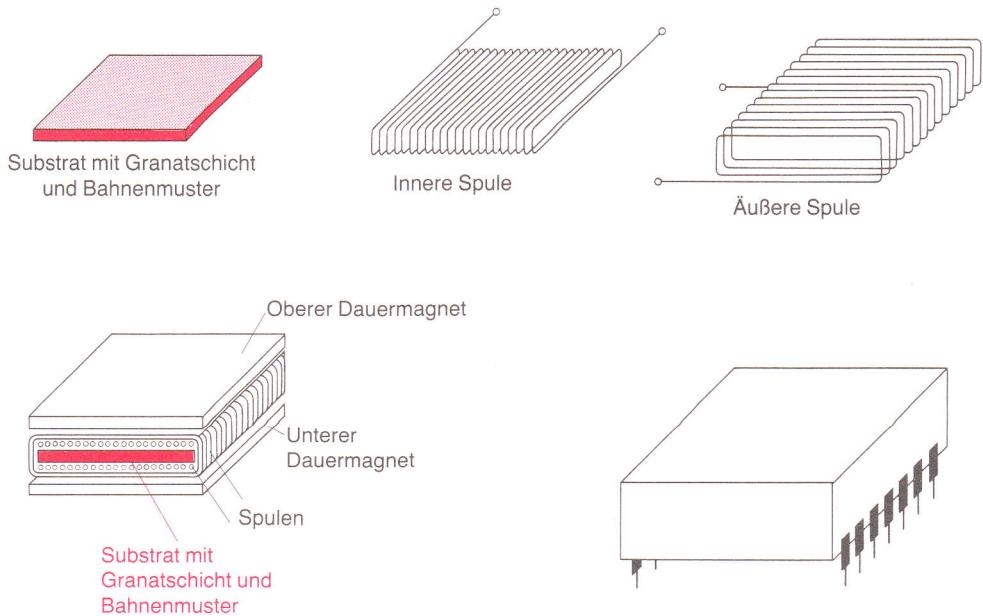


Bild 12.47 Praktischer Aufbau eines Magnetblasenspeichers

Spulen erzeugt, die zueinander um 90° versetzt sind. Die kleinen Elektromagnete der Tore sind in Bild 12.47 nicht zu erkennen. Ebenfalls nicht erkennbar sind Blasengeneratoren und Blasendetektoren. Der fertige Speicher hat das Aussehen eines kleinen kunststoffvergossenen Trafos (ungefähre Abmessungen $50\text{ mm} \times 40\text{ mm} \times 15\text{ mm}$).

12.9 Lernziel-Test

1. Skizzieren Sie die Schaltung eines 6-Bit-Schieberegisters für serielle Dateneingabe und Datenausgabe. Zum Aufbau sollen SR-Flipflops verwendet werden.
2. Was versteht man bei einem Schieberegister unter Paralleleingabe, was unter Parallelausgabe?
3. Wie arbeitet ein Ringregister?
4. Erklären Sie die Begriffe RAM und ROM.
5. Welche Unterschiede bestehen zwischen einem statischen RAM und einem dynamischen RAM?
6. Gesucht ist die Schaltung eines stationären RAM-Speicherelementes für 1 Bit in N-MOS-Technik. Erklären Sie die Arbeitsweise dieser Schaltung.
7. Stellen Sie die Vor- und Nachteile von statischen RAM-Speicherelementen in TTL-Technik und in N-MOS-Technik gegenüber.

8. Ein RAM hat 4X-Adreßleitungen und 4Y-Adreßleitungen und wird als 256×4 -Bit-Speicher bezeichnet. Geben Sie das Aufbauschema dieses Speichers an.
9. Wie unterscheidet sich ein ROM von einem PROM?
10. Was ist Maskenprogrammierung?
11. Wie ist ein EPROM-Speicherelement aufgebaut, und wie arbeitet es?
12. Was ist ein «Floating-Gate» bei einem FAMOS-Transistor?
13. Es gibt Speicherbausteine mit den Bezeichnungen EEROM und EPROM. Wodurch unterscheiden sich diese Speicherbausteine?
14. Skizzieren Sie den Aufbau einer Magnetkernspeicher-Matrix mit 6×6 Bit.
15. Was ist eine Magnetblase, und welche Eigenschaften hat sie?
16. Was versteht man unter einer Magnetblasenschleife?
17. Wie ist ein Magnetblasenspeicher aufgebaut?
18. Erläutern Sie den Vorgang der Informationseingabe in einen Magnetblasenspeicher.

