

# Sperrschicht Feldeffekttransistoren

---

Grundbegriffe .....	2
Bauformen.....	2
Sperrschicht (J– FET).....	3
N-Kanal J-FET .....	3
Datenblatt eines J-FET Transistors (2N3819) .....	6
J-FET Schaltungen .....	7
Einfache Verstärkerschaltung für hochohmige Quellen. ....	7
Differenzverstärker.....	8
FET Stromquelle .....	10
Messung kleiner Ströme.....	11
FET als steuerbarer Widerstand .....	12
FET als Schalter .....	13
Schalten einer Signalquelle .....	13
Frequenzgesteuerter Verstärker .....	14
Frequenzgesteuerter Integrator.....	15
P-Kanal J-FET.....	16
Gegentaktausgangsstufe .....	17
Kennlinienfeld .....	17

## Grundbegriffe

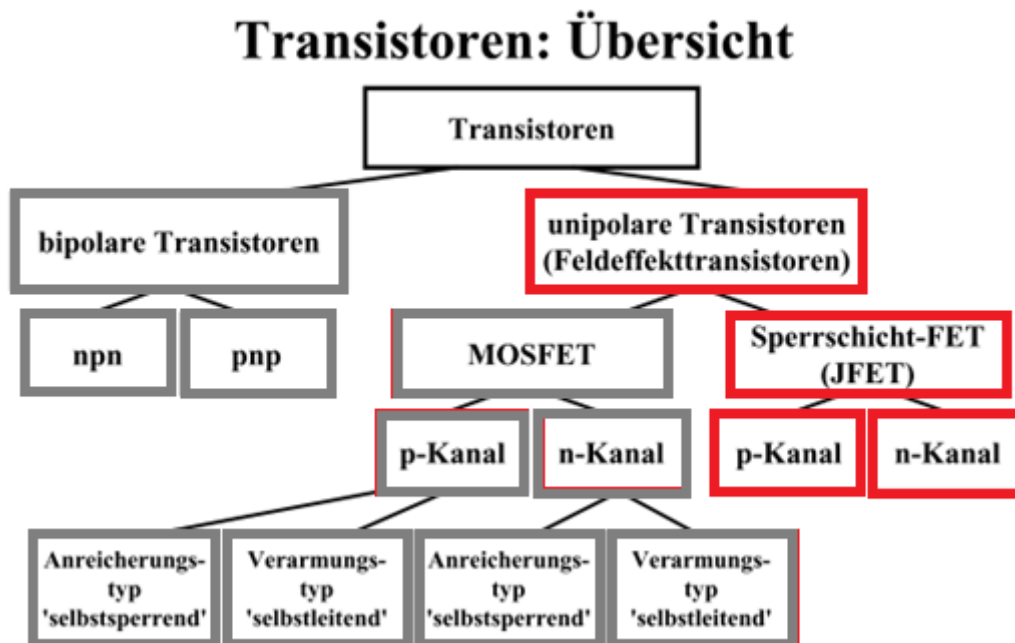
Feldeffekttransistoren haben mit Röhren sehr viel Gemeinsamkeiten, wenn man von den eher unhandlichen Spannungen bei Röhren absieht. Ein Feldeffekttransistor, wie der Name verraten lässt, steuert den Stromfluss über ein Feld welches durch die Gatespannung erzeugt wird. Dieses Feld beeinflusst einen leitenden Kanal zwischen Drain und Source entsprechend dem Stromfluss Anode Kathode bei der Röhre. Der Anoden Kathodenstrom der Röhre wird analog zum Fet über die Gitterspannung verändert. Trotz dieser Ähnlichkeit, die darauf hindeutet, dass die Theorie für Feldeffekttransistoren sehr alt ist, ist doch der erste Prototyp eines Feldeffekttransistors sehr viel später auf den Markt gekommen als der des Bipolartransistors. Der Grund liegt in der wesentlich komplexeren Technologie des Feldeffekttransistors.

Prinzip

<http://www.elektronik-kompodium.de/sites/bau/1101211.htm>

## Bauformen

Gegenüber zwei Bauformen des Bipolartransistor (NPN, PNP) existieren 6 verschiedene Bauformen des Feldeffekttransistors.



## Sperrschicht (J- FET)

### Prinzip

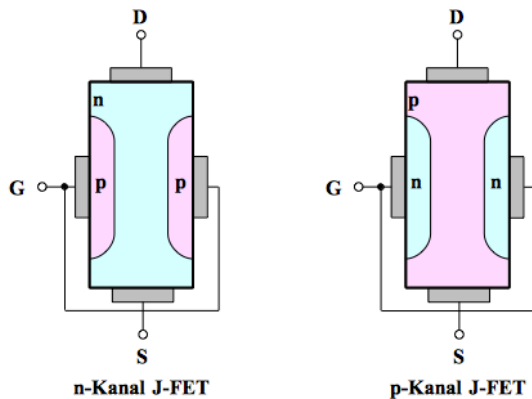


Abbildung 1 N-Kanal, P-Kanal Sperrschicht – FET

Siehe auch <http://elektronik-kurs.net/elektronik/jfet-sperrschicht-feldeffekttransistor/>

### N-Kanal J-FET

Der N-Kanal Sperrschicht-FET besteht aus einer n-leitenden Kanalstrecke in die zwei P-leitende Zonen dotiert werden. Diese beiden Zonen sind elektrisch verbunden und werden als G (GATE) herausgeführt. Der N-Kanal hat zwei Anschlüsse D(Drain) und S(Source). Die zwischen Source und Drain anliegende Spannung bewirkt einen Stromfluss zwischen Source und Drain, der durch die Gatespannung verändert werden kann.

Die n-leitende Schicht hat gegenüber den p-leitenden Schichten eine positive Spannung, da die Gatespannung negativ vorgespannt wird (siehe Kennlinienfeld). Um die p-leitenden Zonen entsteht eine Sperrschicht (Raumladungszone). Die Breite der Sperrschichten nimmt mit der an Source und Drain anliegenden Spannungshöhe im n-Kanal zu. Da die Spannung zum Drain hin größer wird, (Drain Anschluss hat eine höhere Spannung als Source), wird auch die Sperrschicht zum Drain hin breiter. Beachte, dass die Spannung  $U_{GS} \leq 0$  ist.

#### Kennlinienfeld

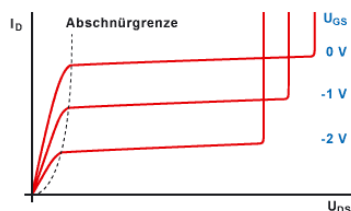


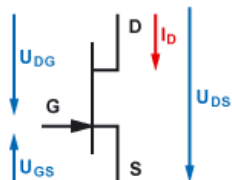
Abbildung 2 Kennlinienfeld des N-Kanal FET

Bei einer Gatespannung von 0 V ist die Sperrschicht am schmalsten bzw. kleinsten. Hier fließt der größte Strom  $I_D$  durch den Kanal. Ab der Abschnürgrenze lässt sich der Strom durch den Kanal nicht

mehr erhöhen. Ab dieser Drainspannung  $U_{DS}$  wird der Drainstrom  $I_D$  nicht mehr wesentlich größer. Steigt die Drainspannung auf einen zu hohen Wert an, entsteht ein Durchbruch der Sperrschicht. Der Durchbruch ist mit dem Zener-Effekt der Z-Diode vergleichbar und hat die Zerstörung des Feldeffekttransistors zur Folge.

## Schaltzeichen

### n-Kanal-Typ



Der n-Kanal-Typ hat eine n-leitende Kristallstrecke und zwei p-leitende Zonen. Der n-Kanal-Sperrschicht-FET hat eine positive Drainspannung  $U_{DS}$  und eine negative Gatespannung  $U_{GS}$ .

Abbildung 3 Schaltzeichen N-Kanal Sperrschicht-FET mit Spannungsrichtungen

## Kennlinien

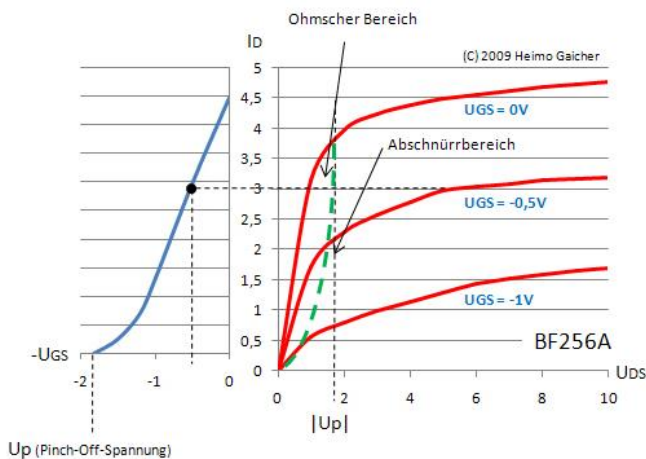


Abbildung 4 Kennlinienfeld des Sperrschicht-FET

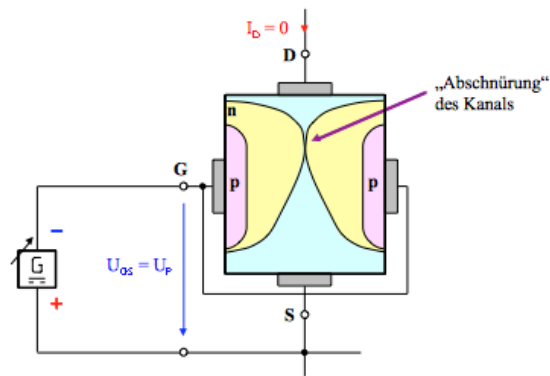


Abbildung 5 Abschnürung des Kanals 8 (<http://elektronik-kurs.net/elektronik/jfet-sperrschicht-feldeffekttransistor/>)

## Messschaltung

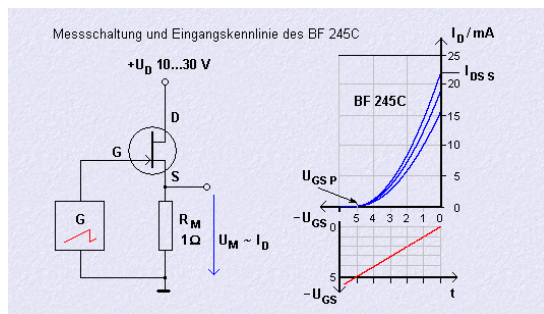


Abbildung 6 Messschaltung mit Kennlinien (Vom Elektron zur Elektronik)

Beachte, dass sich für Gate Source Spannungen  $U_{GSP} \leq -5V$  (Am Beispiel des BF245) die Raumladungszonen berühren, und ein Stromfluss  $I_{DS}$  unterbunden wird. In diesem Fall wird der Strom im Kanal 0.

$U_{GSP}$  ist eine charakteristische Größe des FET und wird Abschnürspannung oder Schwellspannung genannt.

## Funktionsgleichung

$$I_D = I_{DS} \left( 1 - \frac{U_{GS}}{U_{GSP}} \right)^2$$

Größe	Beschreibung
$I_D$	Drain Strom
$I_{DS}$	Drain Source Kurzschlussstrom ( $U_{GS} = 0$ )
$U_{GS}$	Gate-Source Spannung
$U_{GSP}$	Abschnürspannung (jene Spannung wo der Kanal vollständig abgeschnürt ist)

## Steilheit S

$$S = \frac{dI_D}{dU_{GS}} = 2 * I_{DS} \left( 1 - \frac{U_{GS}}{U_{GSP}} \right) * \frac{-1}{U_{GSP}}$$

Beim FET hängt die Steilheit von  $U_{GS}$ ,  $U_{GSP}$  und  $I_{DS}$  ab, also auch von technologischen Parametern des FET. Beachte, dass die Steilheit des Bipolar Transistors nur von Arbeitspunkt und  $U_T$  abhängt, also keine technologischen Parameter enthält.  $S = \frac{I_C}{U_T}$  mit  $U_T = \frac{KT}{Q_e} \approx 26 \text{ mV}$  bei Raumtemperatur

Wir sehen auch die quadratische Kennlinie des Transistors der uns auch an die Röhrentechnik erinnert.

*Datenblatt eines J-FET Transistors (2N3819)*

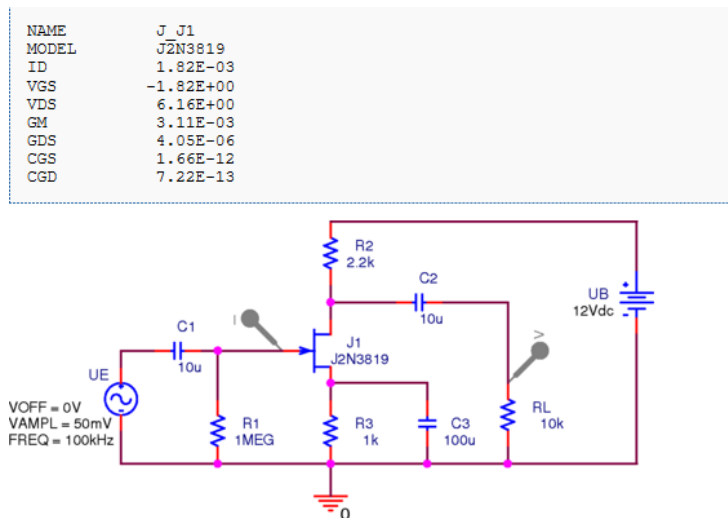
Parameter	Symbol	Test Conditions	Limits			Unit	
			Min	Typ <sup>a</sup>	Max		
Static							
Gate-Source Breakdown Voltage	$V_{(BR)GSS}$	$I_G = -1\ \mu A$ , $V_{DS} = 0\ V$	-25	-35		V	
Gate-Source Cutoff Voltage	$V_{GS(off)}$	$V_{DS} = 15\ V$ , $I_D = 2\ nA$		-3	-8		
Saturation Drain Current <sup>b</sup>	$I_{DSS}$	$V_{DS} = 15\ V$ , $V_{GS} = 0\ V$	2	10	20	mA	
Gate Reverse Current	$I_{GSS}$	$V_{GS} = -15\ V$ , $V_{DS} = 0\ V$ $T_A = 100^\circ C$		-0.002	-2	nA	
Gate Operating Current <sup>c</sup>	$I_G$	$V_{DG} = 10\ V$ , $I_D = 1\ mA$		-20		pA	
Drain Cutoff Current	$I_{D(off)}$	$V_{DS} = 10\ V$ , $V_{GS} = -8\ V$		2			
Drain-Source On-Resistance	$r_{DS(on)}$	$V_{GS} = 0\ V$ , $I_D = 1\ mA$		150		$\Omega$	
Gate-Source Voltage	$V_{GS}$	$V_{DS} = 15\ V$ , $I_D = 200\ \mu A$	-0.5	-2.5	-7.5	V	
Gate-Source Forward Voltage	$V_{GS(F)}$	$I_G = 1\ mA$ , $V_{DS} = 0\ V$		0.7			
Dynamic							
Common-Source Forward Transconductance <sup>c</sup>	$g_{fs}$	$V_{DS} = 15\ V$ $V_{GS} = 0\ V$	$f = 1\ kHz$	2	5.5	6.5	mS
			$f = 100\ MHz$	1.6	5.5		
Common-Source Output Conductance <sup>c</sup>	$g_{os}$	$V_{DS} = 15\ V$ , $V_{GS} = 0\ V$ , $f = 1\ MHz$	$f = 1\ kHz$		25	50	$\mu S$
Common-Source Input Capacitance	$C_{iss}$				2.2	8	pF
Common-Source Reverse Transfer Capacitance	$C_{rss}$				0.7	4	
Equivalent Input Noise Voltage <sup>c</sup>	$\bar{e}_n$	$V_{DS} = 10\ V$ , $V_{GS} = 0\ V$ , $f = 100\ Hz$			6		nV/ $\sqrt{Hz}$

Wir sehen an der Gate-Source Cutoff Spannung und auch an  $I_{DSS}$  dass die FET Parameter sehr stark Exemplarabhängig sind.

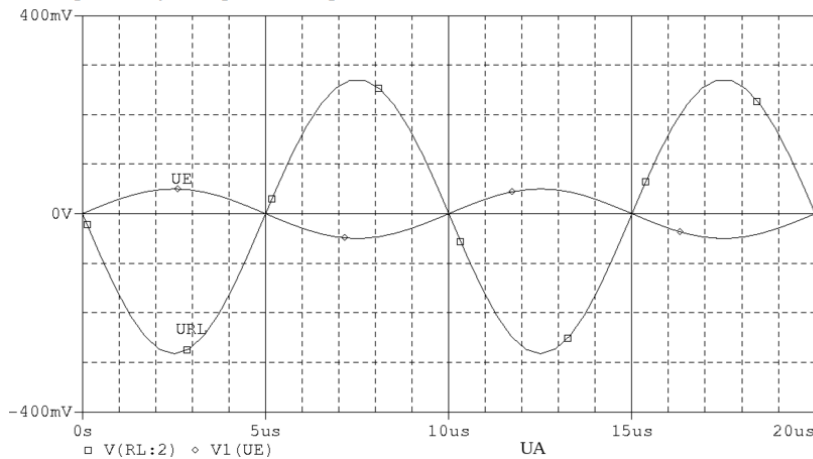
## J-FET Schaltungen

[https://tjes.net/hsb-wiki/index.php/Berichte:ELK/Versuch\\_3\\_WS0809\\_Gruppe\\_3](https://tjes.net/hsb-wiki/index.php/Berichte:ELK/Versuch_3_WS0809_Gruppe_3)

Einfache Verstärkerschaltung für hochohmige Quellen.



Messung der NF-Spannungsverstärkung



$$|S| = \frac{dI_D}{dU_{GS}} = 2 * I_{DS} \left( 1 - \frac{U_{GS}}{U_{GSP}} \right) * \frac{1}{U_{GSP}} = 2 * 10.5 \text{ mA} \left( 1 - \frac{1.8}{3} \right) * \frac{1}{3} = 2.8 \text{ mA/V}$$

Leerlaufverstärkung

$$V = -2.8 * 2.2 = -6.16$$

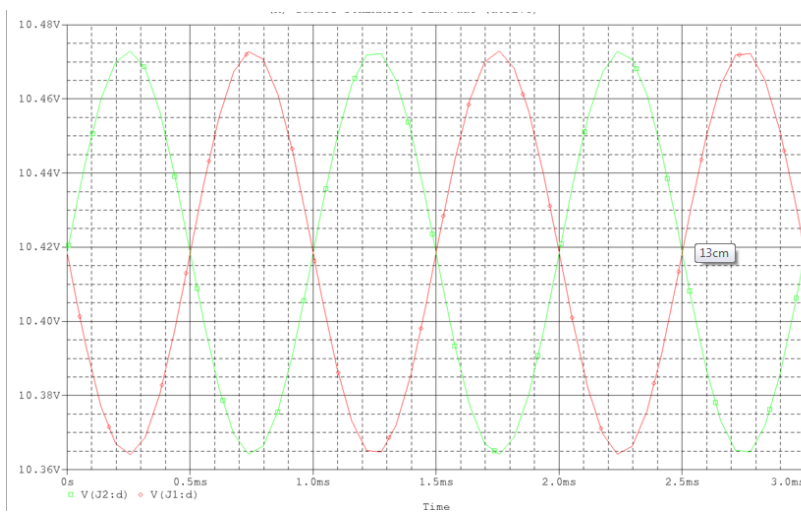
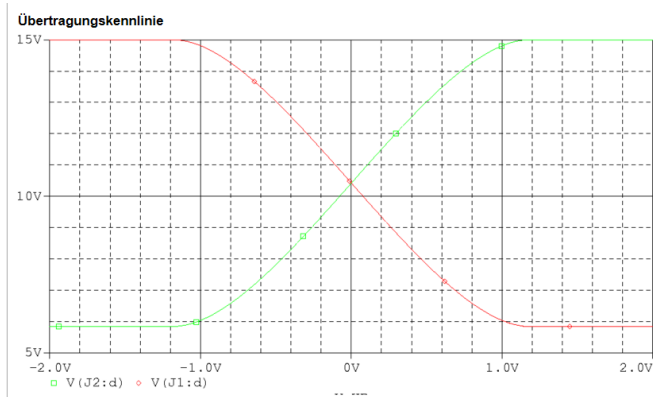
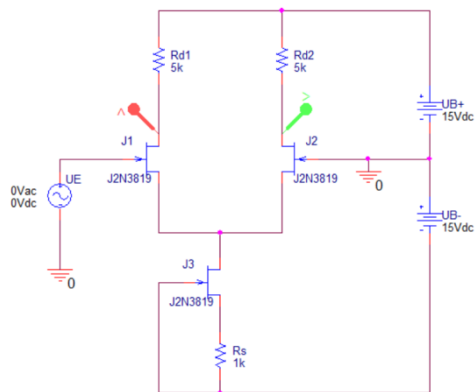
Berücksichtigt man, dass die Ausgangsimpedanz des Verstärkers in erster Näherung  $R_2 = 2.2 \text{ k}\Omega$

## Sperrschicht Feldeffekttransistoren

beträgt ergibt sich eine Gesamtverstärkung  $V = -6.16 * \frac{R_L}{R_2 + R_L} = -6.16 * \frac{10k\Omega}{10k\Omega + 2.2k\Omega} = -5.1$

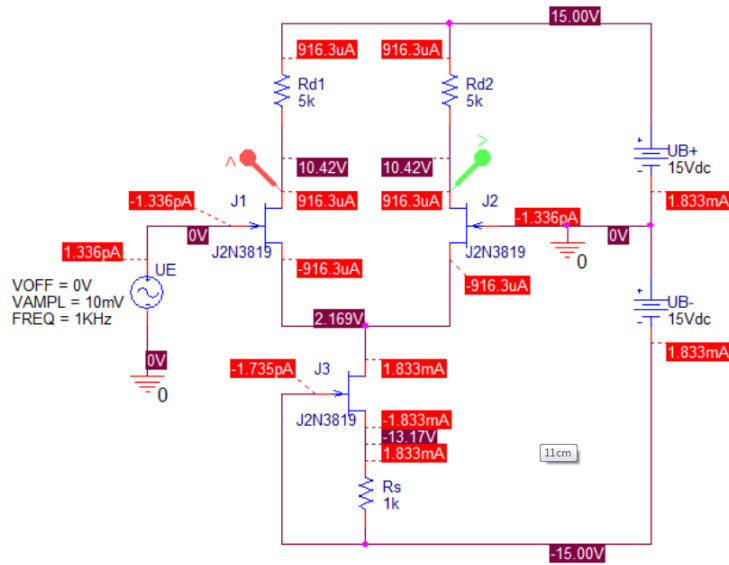
Der Wert deckt sich weitgehend mit der Simulation.

## Differenzverstärker

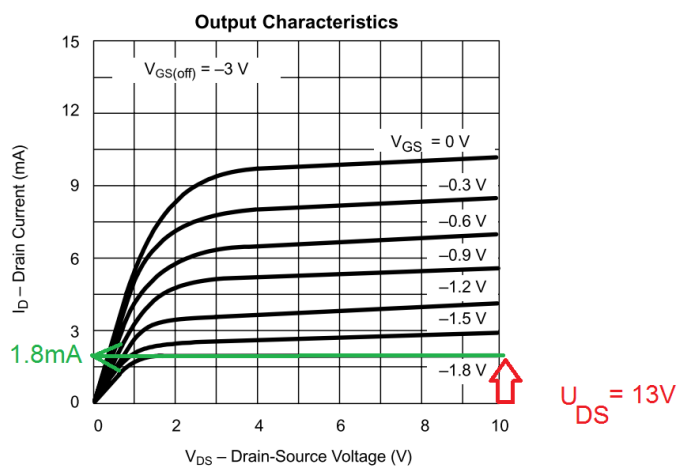




## Sperrschicht Feldeffekttransistoren

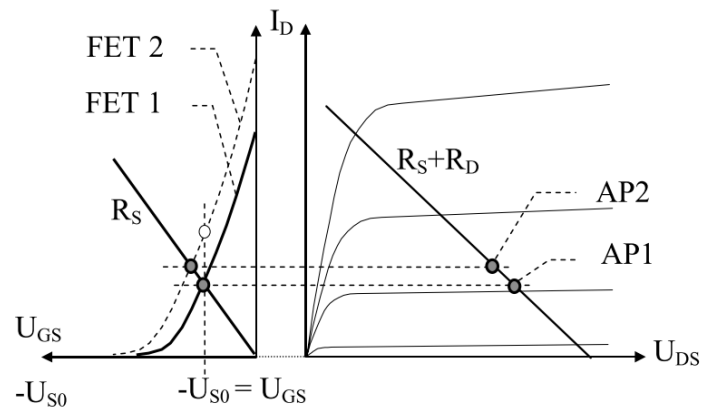
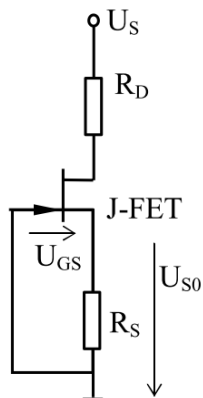


$$U_{GS} = -1.83\text{mA} \cdot 1\text{k}\Omega = -1.83\text{V}$$



$$I_D = I_{DS} \left(1 - \frac{U_{GS}}{U_{GSP}}\right)^2 = 10.5\text{mA} \left(1 - \frac{1.83\text{V}}{3}\right)^2 = 1.6\text{mA} \approx 1.8\text{mA} \text{ (Diagramm)}$$

## FET Stromquelle



### $I_D$ $U_{GS}$ Diagramm (links)

Der Spannungsabfall  $I_D \cdot R_S = -U_{GS}$  und ist einem Drainstrom eindeutig zugeordnet.

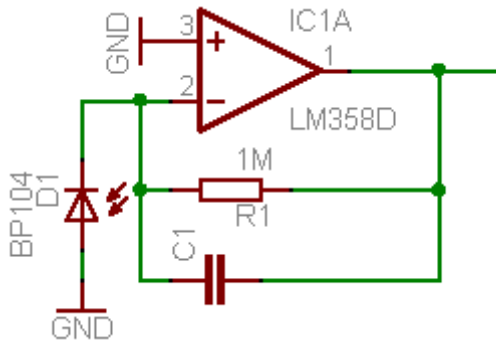
1. Aus dem Diagramm bestimmen wir jene Spannung  $U_{GS}$  die dem gewünschten Drainstrom entspricht.
2.  $R_S = \frac{-U_{GS}}{I_D}$

### $I_D$ $U_{GS}$ Diagramm (rechts)

1.  $I_D = 0$   $U_{DS} = U_S$  (Versorgungsspannung) (Schnittpunkt der Widerstandsgeraden mit der X Achse).
2.  $I_D$  produziert an den Widerständen  $R_D$  und  $R_S$  einen Spannungsabfall  $I_D \cdot (R_D + R_S)$
3. Die übriggebliebene Spannung  $U_{DS} = U_S - I_D \cdot (R_D + R_S)$  und kann direkt im Diagramm abgelesen werden (AP1, AP2).

### Messung kleiner Ströme

Aufgrund des sehr geringen Gatestrom's kann der FET zur Messung von Strömen im pA Bereich herangezogen werden. Eine Anwendung hierfür wäre die Messung der Lichtstärke mit Hilfe von PIN Dioden.



Bei genauer Betrachtung der Schaltung fällt auf, dass die PIN Diode BP104 im Kurzschluss betrieben wird. Das einfallende Licht hebt Elektronen vom Valenzband in das Leitfähigkeitsband wodurch ein streng linearer Verlauf zwischen einfallender Lichtstärke und dem Diodensperrstrom besteht. Wichtig ist, dass der OPV eine geringe Offsetspannung aufweist  $< 0.25 \text{ mV}$  um den Stromfluss aufgrund der Offsetspannung zu minimieren.

Die Schaltung kann nicht mit Bipolartransistoren aufgebaut werden, da hier der Leckstrom viel zu groß wäre. Die gemessenen Stromstärken liegen im Bereich von pA bis uA. Bei Lichtstärken im mLux Bereich (Sternenklare Nacht bei Neumond ohne künstlichem Licht) liefert die PIN Diode einen Strom um 10 pA.

## FET als steuerbarer Widerstand

Wenn man sich die FET Kennlinie genau ansieht stellt man fest, dass im Abschnürbereich der FET als steuerbarer Widerstand verwendet werden kann, wenn man darauf achtet dass die Spannung  $U_{DS}$  „klein“ bleibt (links der grünen Linie).

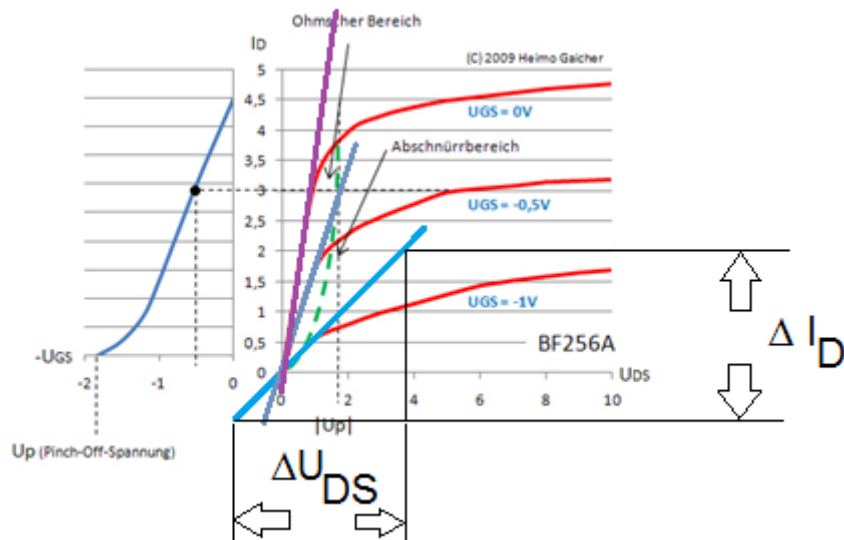


Abbildung 7 FET als steuerbarer Widerstand

Abhängig von der Gate Source Spannung ändert sich der Widerstand des Drain-Source-Kanals. Diesen Effekt kann man ausnutzen um einen spannungsgesteuerten Verstärker zu bauen, man muss nur drauf achten, dass die  $U_{DS}$  kleiner als  $\approx 1V$  bleibt.

$$r_{DS} = \frac{\Delta U_{DS}}{\Delta I_D}$$

## FET als Schalter

Der FET ist im Durchlassbereich ein ohmscher Widerstand daher ist er als Schalter sehr gut geeignet. Es bleibt im Durchlassbereich daher keine Sättigungsspannung wie bei Bipolar Transistoren übrig. Die FET Schalter sind außerdem schnelle Schalter (bis über 100MHz), da es keine gesättigten Halbleiterübergänge ausgeräumt werden müssen. Einziger Nachteil ist die Störladung vom GATE in den leitenden Kanal die über die parasitäre Kapazität eingekoppelt wird (zusätzlicher Wechselstrom) wird.

$$i = C_{GS(parasitär)} * \frac{dU_{GS}}{dt}$$

Je höher die Flankensteilheit desto höher ist der Störstrom i pro Flanke.

### Schalten einer Signalquelle

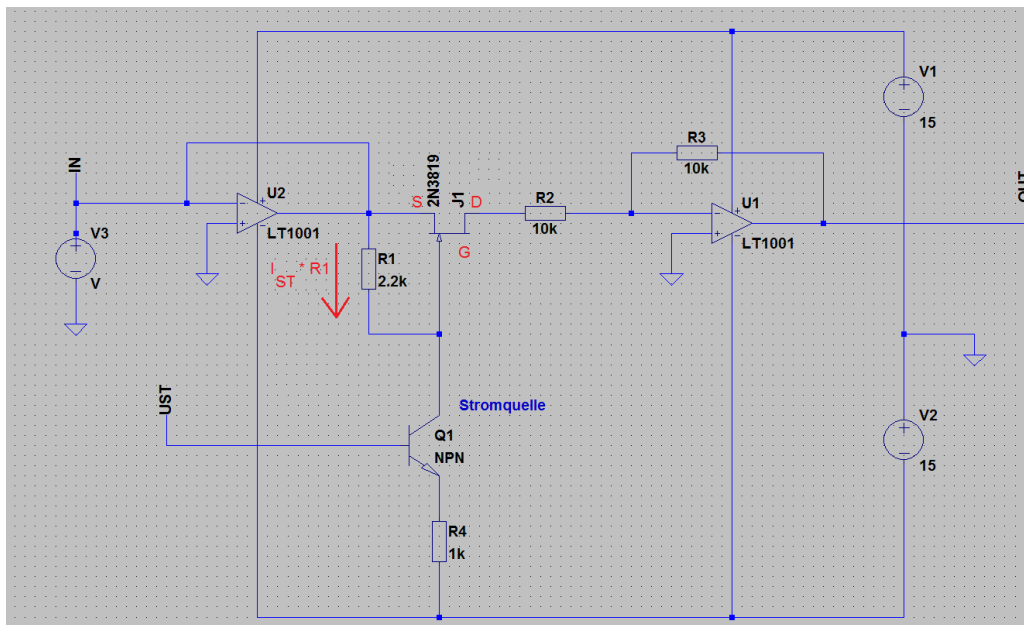


Abbildung 8 Beispiel für einen FET als Schalter

Betriebsart	$U_{GS}$	$I_{ST}$	$U_{ST}$
FET gesperrt	-8V (siehe Datenblatt)	3.7mA	$-15 + 3.7mA * 1k\Omega + 0.65V \approx -10.6V$
FET Leitend	0V	0 mA	-15V

Der Strom zum Ausschalten des FET muss vom OPV (U2) geliefert werden, daher ist der Folger am Eingang erforderlich, wenn die Signalquelle nicht belastet werden soll.

## Frequenzgesteuerter Verstärker

### Prinzip



Abbildung 9 Idee des frequenzgesteuerten Verstärkers

Wir löffeln Ladungen in kleine Portionen in einen virtuellen Nullpunkt eines OPV's. Die Menge der Ladung ist abhängig von der Schaltfrequenz. Mit Ladungen wäre der Bub nicht ganz einverstanden.

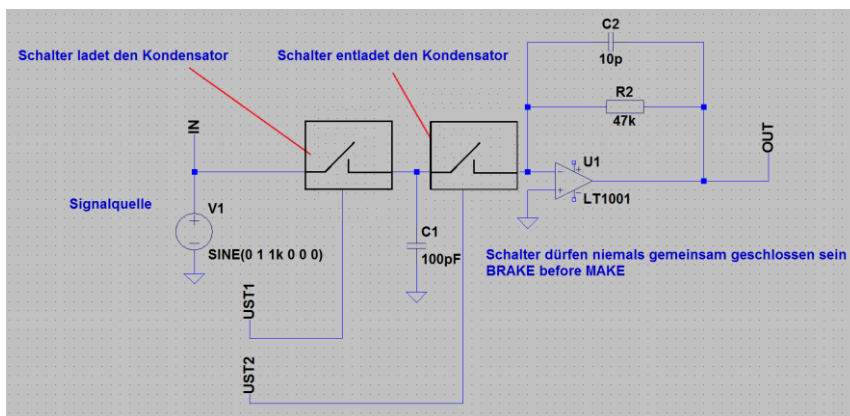


Abbildung 10 Prinzip des Frequenzgesteuerten Verstärker

Nehmen wir in erster Näherung an, dass der Schalter ideal ist.  $r_{ON} = 0$ ,  $r_{OFF} = \infty$

Gehen wir davon aus, dass die Schaltfrequenz viel schneller ist als die Signalfrequenz (Shannon) dann ist innerhalb eines Schaltzyklus  $U_{IN} = \text{konstant}$ .

Zyklus	Schalter 1	Schalter 2
Laden des Kondensators	$Q = C_1 * U_{IN}$ (geschlossen)	offen
Entladen des Kondensators	offen	Geschlossen $Q$ fließt nach $R_2    C_2$

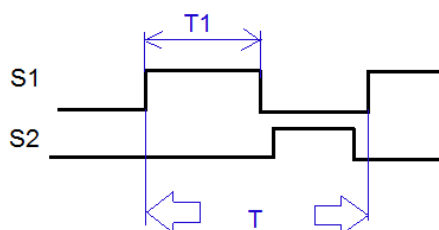


Abbildung 11 Brake before Make Schalter

Innerhalb einer Periode fließt daher eine Ladung  $Q = U_{IN} * C_1$  nach  $R_2 || C_2$ . Im Mittel fließt daher ein

$$\text{Strom } I = \frac{Q}{T} = \frac{U_{IN} * C_1}{T} = U_{IN} * C_1 * f.$$

Stellt man die Gleichung ein wenig kann man der Schalter Kondensator Anordnung einen Widerstand zuordnen.

$$\bar{R} = \frac{U_{IN}}{I} = \frac{1}{C_1 * f}$$

Unser Verstärker hat daher folgende Verstärkung V

$$V = - \frac{R_2}{\bar{R}} = - \frac{R_2}{\frac{1}{C_1 * f}} = - R_2 * C_1 * f$$

Die Schalter können von einem AVR Port gesteuert werden, daher könnte man so die Verstärkung verändern. Der Kondensator C2 dient zum Filtern der Schaltfrequenz.

### *Frequenzgesteuerter Integrator*

Lassen wir den Widerstand R2 weg, hat man einen frequenzgesteuerten Integrator. Die Übertragungsfunktion des Integrators ist dann

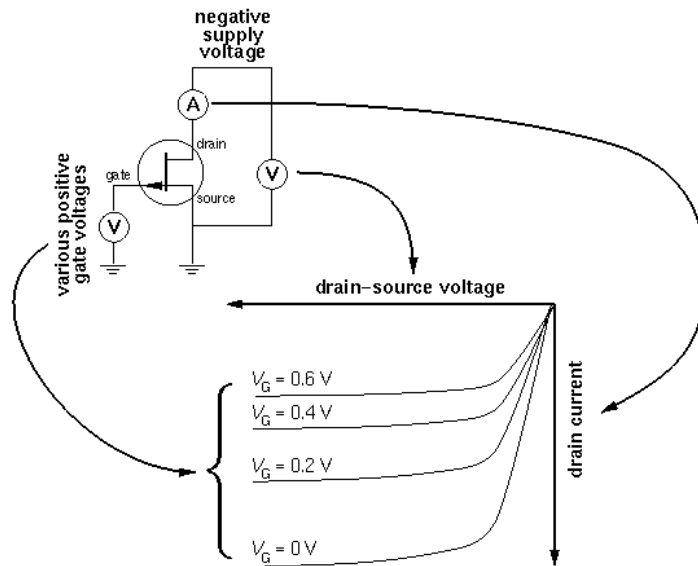
$$G(j\omega) = \frac{1}{j\omega \bar{R} C} = \frac{1}{j\omega \frac{1}{C_1 * f} C} = \frac{C_1 * f}{j\omega C}$$

mit

- f      Schaltfrequenz (Löffeln)
- $\omega$     Signalfrequenz

## P-Kanal J-FET

Analog zum PNP Transistor existiert auch ein P-Kanal Sperrschicht-FET, wodurch 2 Quadranten Ausgangsstufen realisiert werden können.



Measured Characteristic Curves for 2N5460

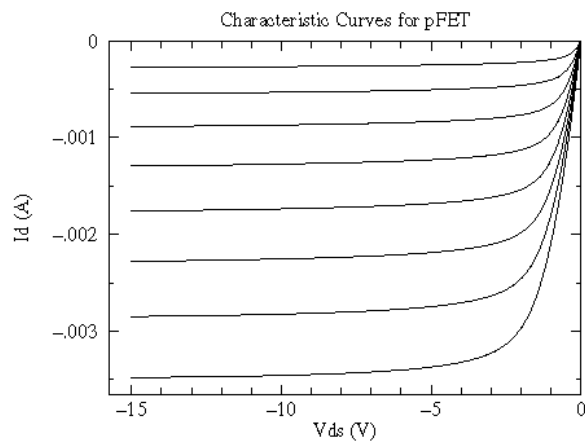


Abbildung 12 Beschaltung des P-Kanal J-FET



## Gegentaktausgangsstufe

Der Nachteil des Sourcefolgers mit Widerstand wie auch mit Stromquelle als Last ist, dass deren Ausgangsimpedanz unsymmetrisch und zudem für bestimmte Anwendungen immer noch zu hoch ist.

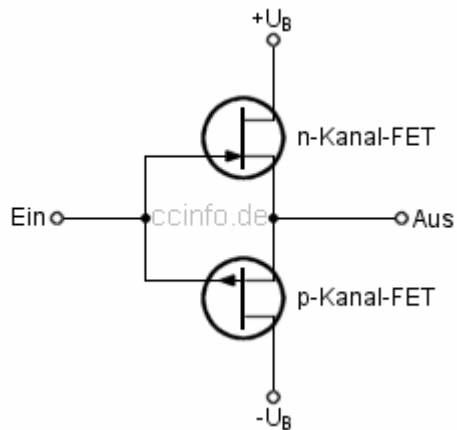


Abbildung 13 Gegentakt Ausgangsstufe mit N und P Kanal FET

## Kennlinienfeld

