

# Wiederholung

## Das Abtasttheorem

Durch das Abtasttheorem nach Nyquist und Shannon wird die Tatsache beschrieben, dass sich (beliebig geformte) Signale durch ein zeitdiskretes Signal darstellen bzw. wiederherstellen lassen, wenn die Abtastrate (Abtastfrequenz) mindestens das Doppelte der höchsten Frequenz des Signals ist.

Es gilt also:  $f_{mess} = 2 * f_{signal}$

### Was bedeutet "zeitdiskret"?

*Das Signal liegt nur zu definierten bestimmten Zeitpunkten vor.*

*Zwischen diesen Zeitpunkten ist das Signal undefiniert.*

*Ein nicht zeitdiskretes Signal, also ein zeitlich kontinuierliches Signal hat einen definierten Wert zu jedem Zeitpunkt.*

## Sample-and-Hold Glieder

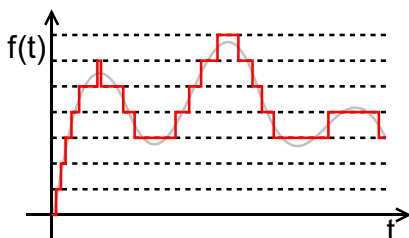
Sample-and-Hold-Glieder (auch: S&H-Glieder, Abtast-Halte-Glieder) dienen dazu, analoge Spannungen kurzzeitig zu speichern. Dazu wird durch den Steuereingang festgelegt, ob das Ausgangssignal dem Eingangssignal folgen soll (Abtastphase) oder in einem Kondensator gespeichert/festgehalten wird (Haltephase).

Zusätzlich zur eigentlichen S&H-Schaltung finden sich Impedanzwandler an den Ein- und Ausgängen, welche für eine hochohmige Belastung der Spannungsquelle sorgen, während der nachfolgende Konverter niederohmig angesteuert werden kann.

Sample-and-Hold-Glieder werden bei AD-Wandlern oft eingesetzt, um sich eventuell schnell ändernde Spannungen während der Zeit der Umwandlung auf demselben Level zu halten und somit falsche Ergebnisse zu vermeiden.

## Quantisierung

Als ein wichtiger Teil der Digitalisierung von analogen Signalen gilt die Quantisierung. Hierbei werden die analogen Werte in regelmäßigen Abständen ( $f_{mess}$ ) abgetastet. Schließlich wird die analoge Spannung zu jedem Abtastzeitpunkt in einen digitalen Wert umgewandelt.

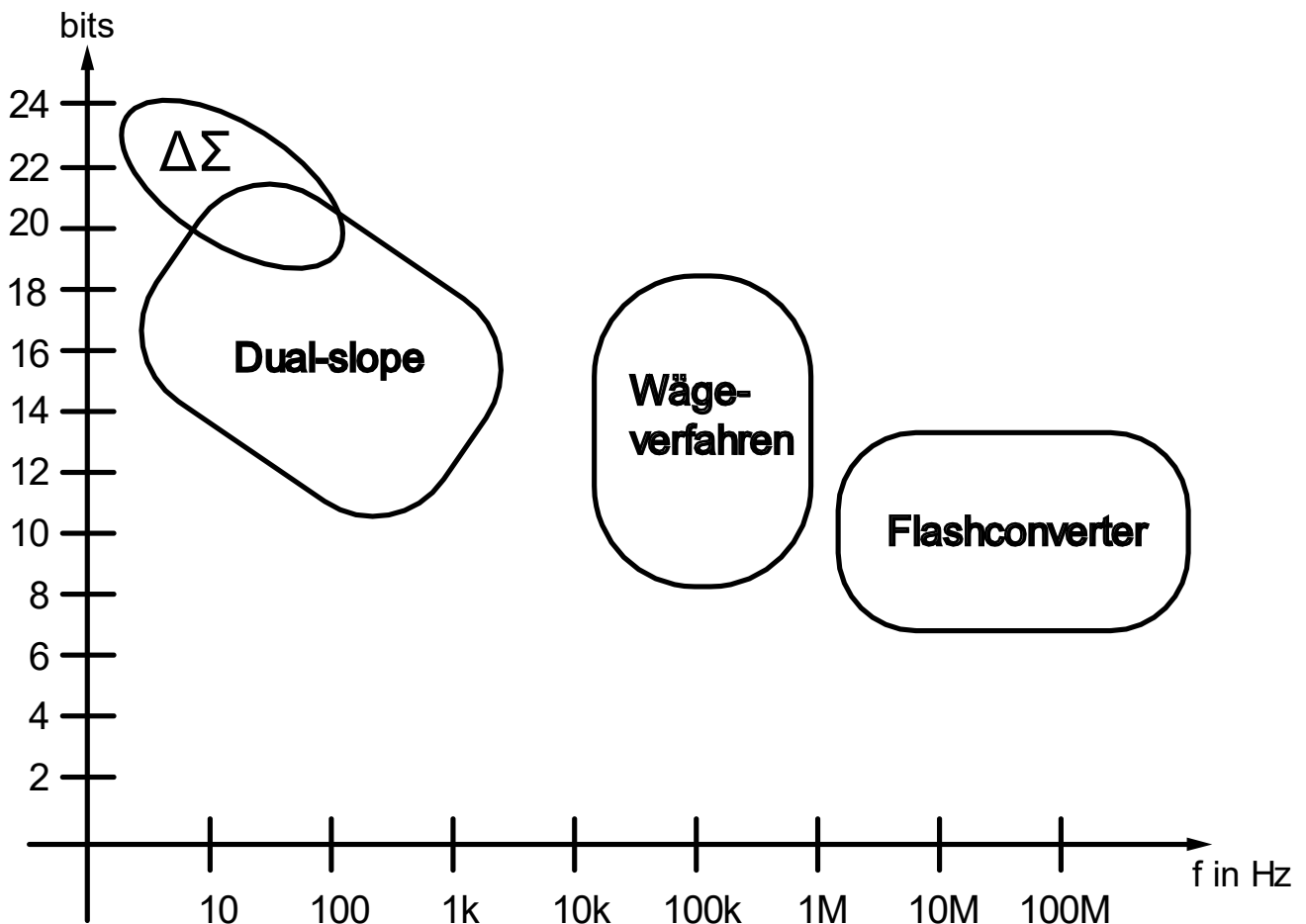


# Analog-Digital-Converter

Um analoge Spannungswerte digital verarbeiten zu können, verwendet man sogenannte Analog-Digital-Converter (ADC).

Zur Konvertierung der analogen Signale in dazu proportionale Zahlen unterscheidet man zwischen vier verschiedenen Verfahren:

Funktionsprinzip	Schnelligkeit	Genauigkeit	Anwendung
Dual-Slope			
Delta-Sigma			
Wägeverfahren			
Flashconverter			



# 1. Das Parallelverfahren

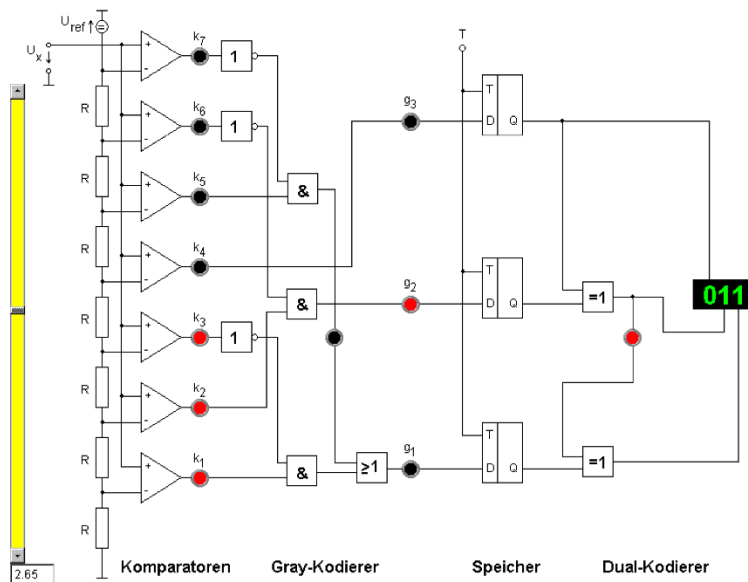
Wie der Name schon vorausahnen lässt, benötigt der **Flash**converter (auch Parallelwandler) die kürzeste Zeit zur Signalumwandlung ( $\sim 10\text{ns}$ ).

Hier gibt es für jeden digitalen Ausgangszustand jeweils einen Komparator, der mit einer Widerstandskette (mit gleich großen Widerständen) verbunden ist. Die Anzahl der Komparatoren verdoppelt sich bei jedem zusätzlichen Bit Auflösung.

Die Genauigkeit und Linearität sind relativ gut, da eine Kette mit Widerständen mit exakt gleichem Wert leicht herzustellen ist.

## Ablauf:

1. Jeder Komparator ist an einem Eingang mit der zu messenden Eingangsspannung, an dem anderen mit einer Spannungsteilerkette aus gleich großen Widerständen verbunden.
2. Ist nun die Eingangsspannung größer als die jeweilige Referenzspannung, schaltet der Komparator auf 1, ansonsten auf 0.
3. Durch das Verknüpfungsnetzwerk kann die Stelle des Übergangs zwischen den Einsen und Nullen erkannt und als Binärwert zum Ausgang geführt werden.

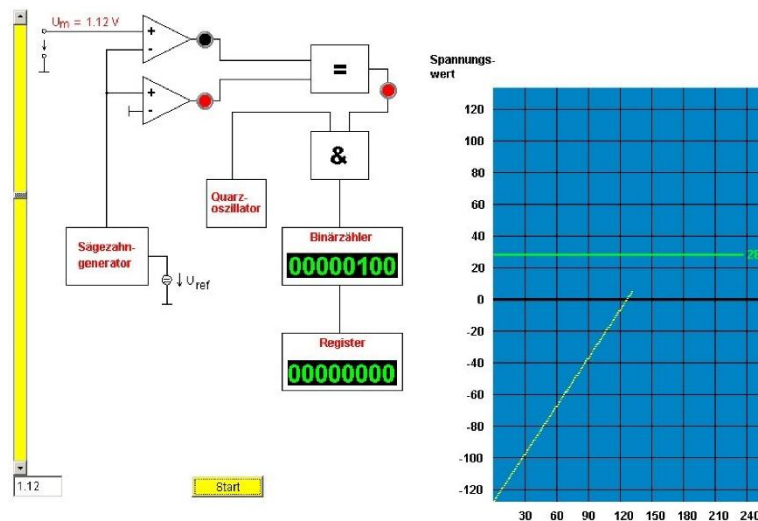


## Fazit:

## 2. Das Rampenverfahren

### Single-Slope

Das Single-Slope-verfahren kann als Vorstufe des Dual-Slope-Verfahrens betrachtet werden. Bei dieser zu den Zählverfahren gehörenden und relativ simplen Umsetzung wird eine interne Sägezahnspannung so lange erhöht, bis diese der Messspannung entspricht.



#### Ablauf:

Zur Ermittlung der Spannung besitzt der ADC mit dem Single-Slope Verfahren eine interne, linear ansteigende Sägezahnspannung mit folgender Formel:

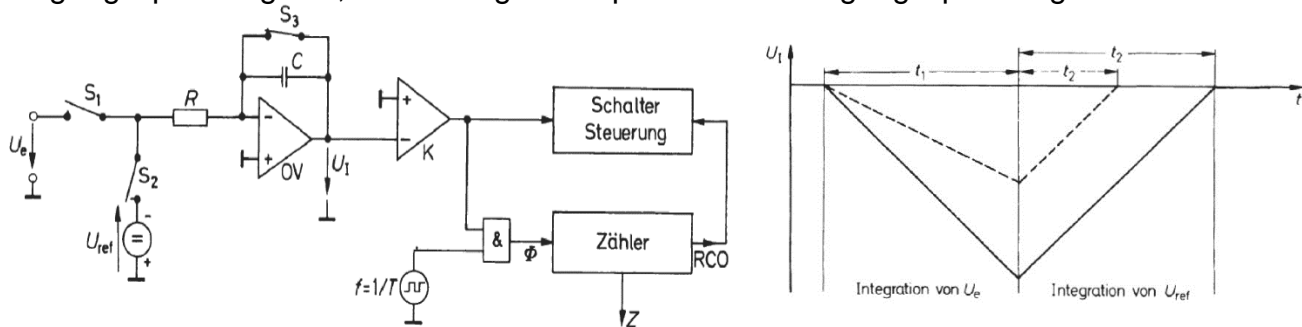
Außerdem zählt ein Binärzähler die Anzahl der Impulse des (meist Quarzstabilisierten) Taktgenerators.

1. Ist die Sägezahnspannung nun zu Beginn negativ, sperren beide Komparatoren, was den Binärzähler durch die Verundung mit dem EXOR-Gatter [=] deaktiviert.
2. Sobald die Sägezahnspannung in den positiven Bereich ansteigt, gibt der mit GND verbundene Komparator ein High-Signal aus. Der nun aktivierte Binärzähler zählt die Impulse des Taktgenerators.
3. Die Messung wird beendet, sobald die interne Spg. den Wert der zu messenden Spannung erreicht. Der zweite Komparator schaltet auf High, wodurch das EXOR ein Low-Signal ausgibt und schließlich der Binärzähler gesperrt wird. Die nun angezeigte Zahl entspricht also dem letzten Wert der Messspannung im Moment der Beendigung der Messung.

*Achtung: Um störende Spannungsspitzen oder Brummsignale, die vom Binärzähler mitgezählt werden können, zu vermeiden, empfiehlt es sich, einen Tiefpass-Filter vorzuschalten*

## Dual-Slope

Das Dual-Slope Verfahren (auch: Doppel-Sägezahn) nutzt die Proportionalität der Entladezeit des Kondensators (bei einer bekannten negativen Referenzspannung) zum Integral der Eingangsspannung aus, um das digitale Äquivalent der Eingangsspannung zu ermitteln.



### Ablauf:

Zu Beginn der Messung wird der Zähler gelöscht. Außerdem wird  $S_1$  geschlossen und  $S_3$  geöffnet, wodurch die Eingangsspannung integriert wird. Ist diese positiv, wird der Ausgang des Integrators negativ und der Zähler wird durch den Komparator aktiviert.

Wenn der Zähler überläuft ( $Z_{max} + 1$  Takte) und somit wieder auf 0 steht, ist die erste Integrationsphase ( $t_1$ ) beendet.

Nun wird die bekannte Referenzspannung integriert,  $S_1$  wird geöffnet,  $S_2$  geschlossen. Aufgrund des negativen Vorzeichens steigt die Ausgangsspannung des Integrators diesmal an. Erreicht diese 0V, wird der Zähler durch das Low-Signal am Komparator-Ausgang gestoppt.

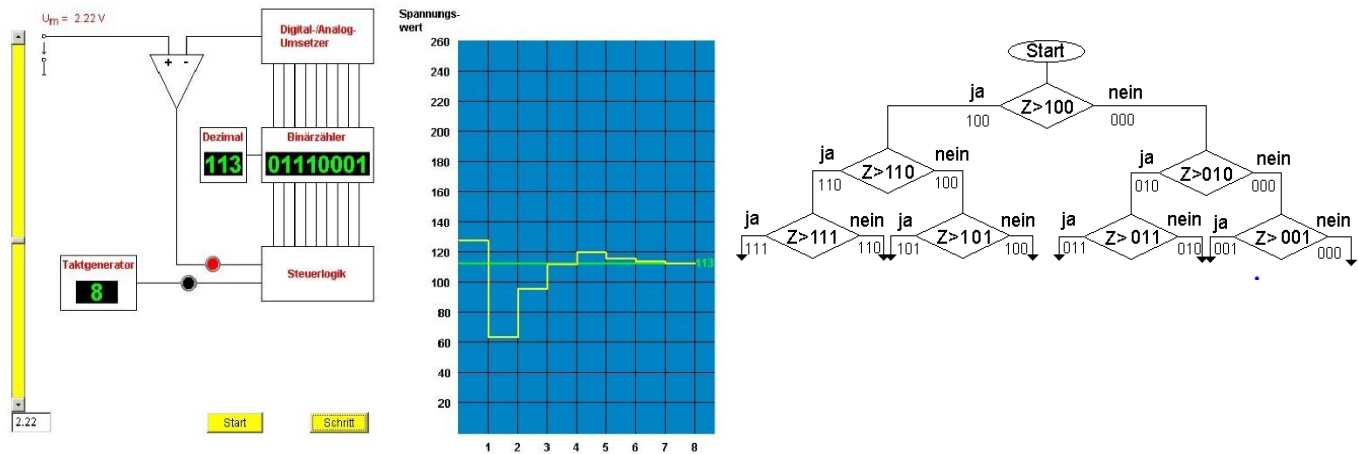
Der Zähler zeigt nun die Anzahl der Taktimpulse während der Zeitspanne  $t_2$  an, somit besteht eine Proportionalität zur Eingangsspannung.

### Fazit:

### 3. Das Wäge-Verfahren

Beim Wäge-Verfahren, auch "sukzessives Approximationsverfahren", erhöht der Konverter das digitale Eingangssignal des internen Digital-Analog-Wandlers so lange, bis der Ausgangsstrom des DAC mit dem Eingangsstrom des Konverters übereinstimmt.

Benötigt man die gleichen Spannungsbereiche für jeden Ausgangswert, sollte man einen anderen ADC wählen, da der DAC für eine recht schlechte differentielle Linearität sorgt.



**Achtung:** In diesem Blockschaltbild fehlt die Sample & Hold-Schaltung, (das Eingangssignal muss während der Wandlung unbedingt konstant bleiben!)

#### Ablauf:

1. Sobald die Wandlung durch das Start-Signal ausgelöst wird, schaltet der Busy-Ausgang auf 1. Mithilfe dieses Busy-Signals wird die Sample & Hold-Schaltung gesteuert, um eine Änderung des Eingangssignals zu vermeiden.
2. Das MSB wird eingeschaltet, der Maximalstrom vom Ausgang des DAC wird halbiert. Ist dieser kleiner als der Strom der Eingangsspannung, wird das nächstniedrigere Bit addiert, ansonsten wird es subtrahiert.

Durch dieses Prinzip nähert sich der ADC dem Eingangssignal immer weiter an, bis der Ein- und Ausgangsstrom mit der Genauigkeit von 1 LSB übereinstimmen.

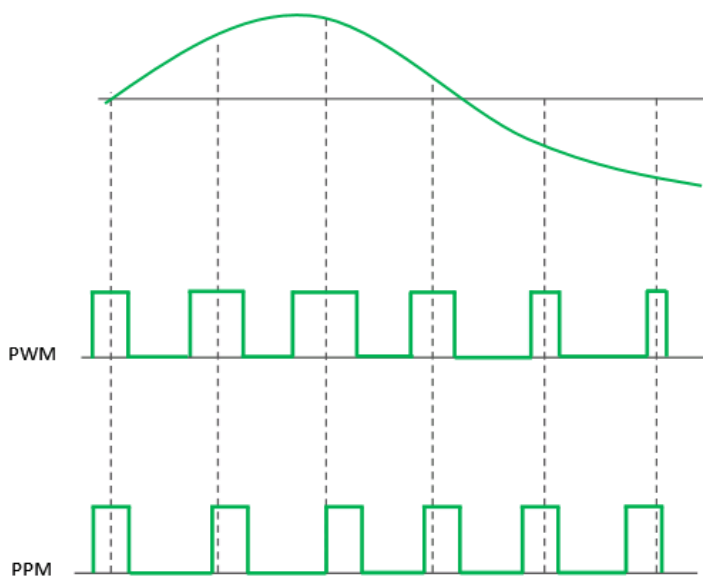
#### Fazit:

## 4. Das Delta-Sigma-Verfahren

Ein Delta-Sigma-ADC ( $\Delta\Sigma$ -Wandler) besteht grundsätzlich aus einem Delta-Sigma-Modulator und einem digitalen Tiefpassfilter.

Der Delta-Sigma-Modulator erzeugt einen pulsverhältnismodulierten Bitstream (PPM), also ein serielles 1-Bit-Signal, der der analogen Eingangsspannung entspricht. Der Bitstream wird in einem digitalen Tiefpassfilter verarbeitet

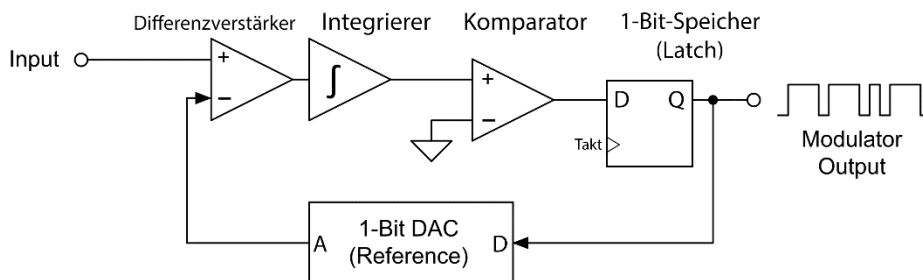
Wichtig: *Je länger der Bitstream wird, desto exakter wird der Mittelwert getroffen. Dies erreicht man, indem man die Taktrate des Latches um ein Vielfaches höher als die Eingangsfrequenz setzt.*



Verwechslungsgefahr: *Pulsverhältnismodulation (Puls-Pause-Modulation) != Pulsweitenmodulation*

### Ablauf:

#### Der Delta-Sigma-Modulator



Die Eingangsspannung an der Input-Klemme wird mit dem Output des DACs summiert, danach addiert der Integrierer diese Fehlerspannung zu jener, die noch vom letzten Integrationsvorgang im Kondensator "gespeichert" ist.

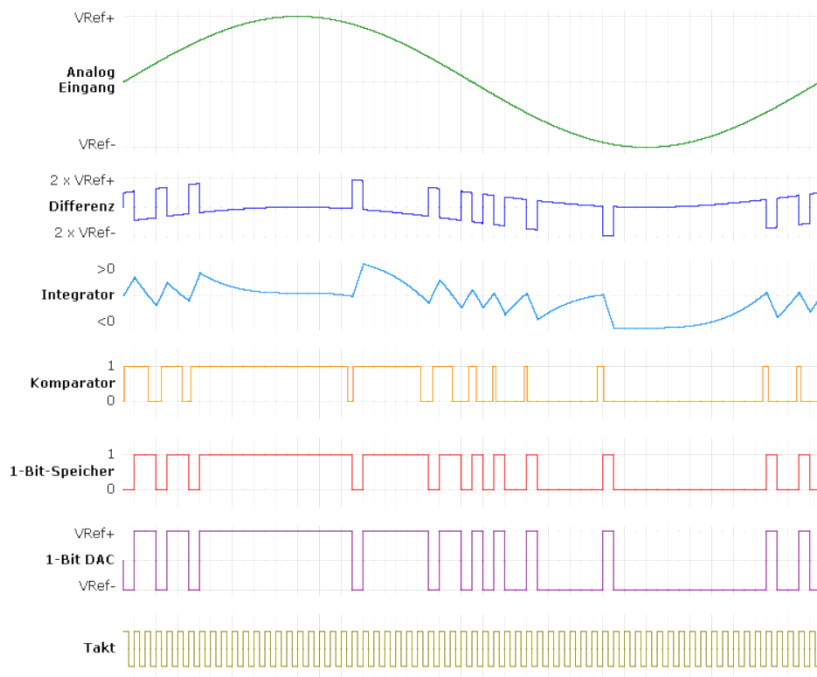
Durch das Summieren der Fehlerspannung ist der Integrator gleichzeitig ein Tiefpass-Filter für das Eingangssignal und ein Hochpass-Filter für das Quantisierungsrauschen (Somit wird ein großer Teil des Quantisierungsrauschens in höhere Frequenzen geschoben -> **Noise Shaping**).

Der Komparator vergleicht nun die Ausgangsspannung des Integrierers mit GND. Ist die Spannung  $\geq 0$ , gibt er 1 aus, ansonsten ist sein Output Low.

Dieser digitale Wert wird nun einerseits im nachgeschalteten digitalen Tiefpass verarbeitet (Nicht im Blockschaltbild!), andererseits ändert er jedoch auch den Output des 1-Bit DACs. Dieser gibt, je nach Eingangswert (1 / 0), einen von zwei analogen Spannungswerten ( $V_{\text{ref-}}$  /  $V_{\text{ref+}}$ ) aus, verhält sich also wie ein Schalter.

Dieser Feedback-DAC hat die Aufgabe, den mittleren Ausgang des Integrierers nahe der Referenzspannung des Komparators zu halten, indem die digitalen Ausgangswerte des Komparators (möglichst) den gleichen Wert haben wie die analoge Eingangsspannung.

Die Anzahl der High-Signale am Modulator-Ausgang ist somit proportional zum Eingangssignal.





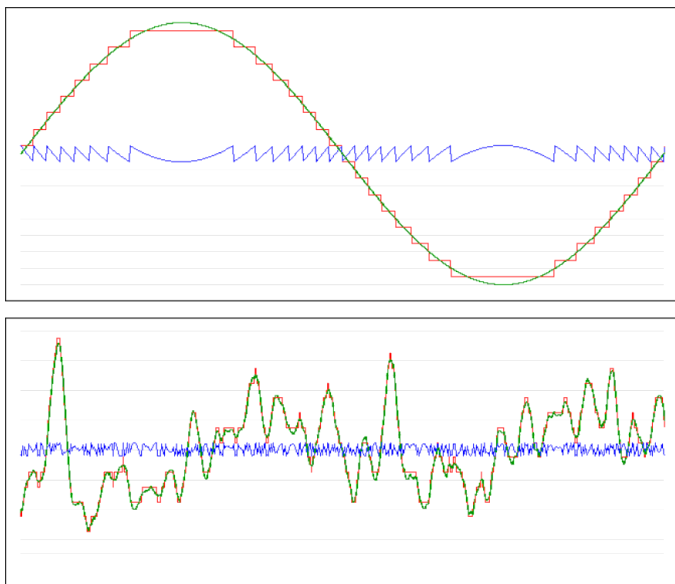
## Oversampling

Oversampling (Überabtastung) ist ein Verfahren, um den Rauschabstand (SNR) und die Linearität von ADCs zu verbessern, um analoge Signale genauer reproduzieren zu können.

Durch eine Vergrößerung der Abtastfrequenz durch die sogenannte Oversampling-Rate (Überabtastrate)  $k$  gibt es eine höhere Anzahl an digitalen Werten (Quantisierungsstufen), mit denen ein analoges Signal dargestellt werden kann. Somit kann der Quantisierungsfehler, der den Rundungsfehler bei der Quantisierung darstellt, verringert werden.

Zwar sinkt die Energie des Rauschens nicht, jedoch verringert sich die Amplitude und es wird es auf einen größeren Frequenzbereich verteilt, wodurch der Großteil des Rauschens im nachgeschalteten Tiefpassfilter einfacher entfernt werden kann.

*Um kürzere Rechenzeiten zu ermöglichen, wird die Überabtastrate meist mit einer Potenz von 2 festgelegt.*

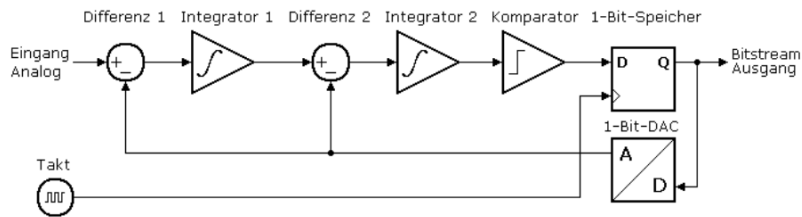


## Der digitale Tiefpassfilter

Der digitale Tiefpassfilter am Ende des Delta-Sigma Wandlers filtert das Rauschen, welches durch den Integrierer im Delta-Sigma-Modulator in höhere Frequenzbereiche geschoben wird, aus dem Signal.

Außerdem dezimiert er die Anzahl der Abtaststellen im Bitstream, mittelt also quasi dessen Wert, und gibt ihn seinem Output aus. Die Taktrate des Tiefpassfilters entspricht nicht dem durch Oversampling hohen Takt des Delta-Sigma-Wandlers, er gleicht der Taktrate der übrigen Schaltung, in der der Wandler verwendet wird.

## Delta-Sigma-Modulatoren der 2. Ordnung



Durch Delta-Sigma-Modulatoren der 2. Ordnung werden systematische Störsignale, die bei Modulatoren der ersten Ordnung auftreten können, verringert. Außerdem lassen sich, je nach Schaltungsaufbau, verschiedene Verbesserungen gegenüber der ursprünglichen Schaltung erreichen:

- Erhöhung der Bandbreite des Eingangssignals
- Verringerung der Taktrate
- Verringerung des Rauschens / Erhöhung der Genauigkeit

Delta-Sigma Wandler mit einer höheren Ordnung als 2 gibt es ebenfalls, jedoch macht es die Phasendrehung des Integrators unmöglich, einfach mehrere Stufen hinzuzufügen, da das System dadurch instabil arbeitet. Für Modulatoren höherer Ordnung verwendet man daher Tiefpass-Filter.

### Fazit: