

# Übung 12: *Mos – Transistoren*

in  
„*Digitaltechnik*“  
WS 2008/09

## Aufgabe 1

*Erklären Sie die Funktionsweise eines MOS – Feldeffekt – Transistors mit Hilfe des in Abbildung 1 dargestellten Kondensators!*

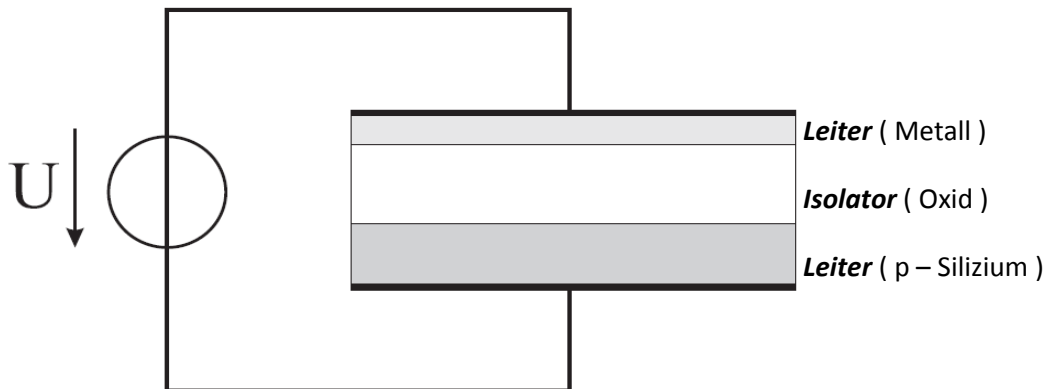
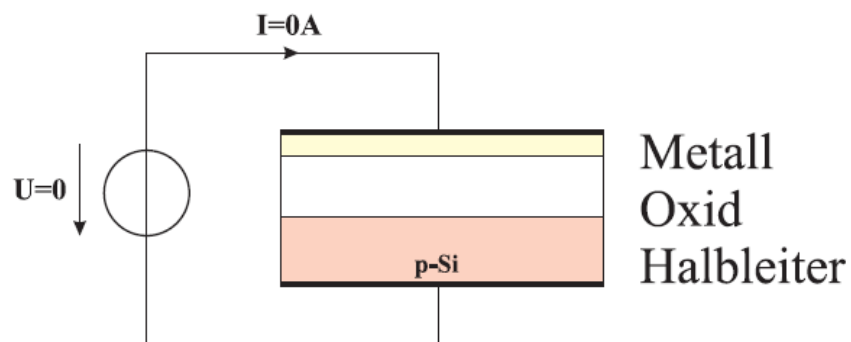


Abbildung 1: Querschnitt durch einen Kondensator

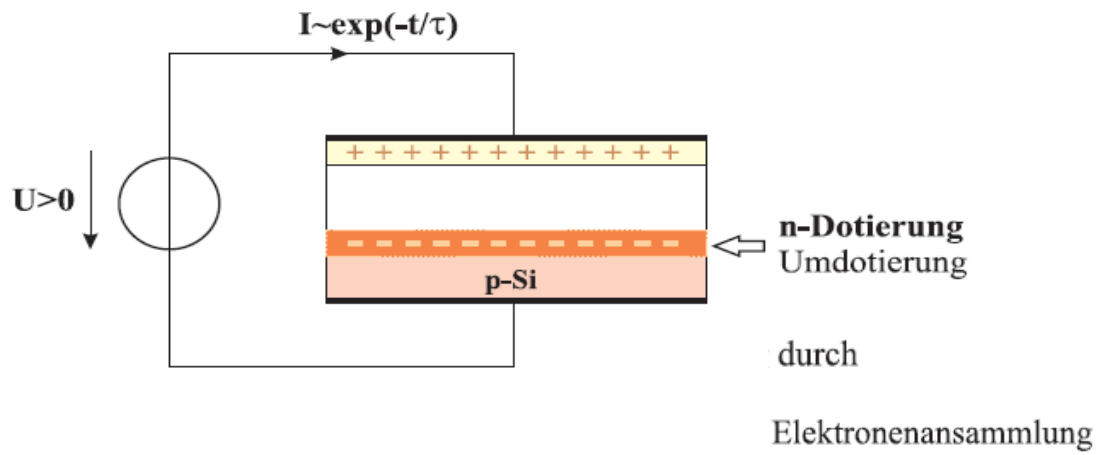
a)



$$U_{st} = 0 \text{ V}; I_{st} = 0 \text{ A}$$

⇒ keine Steuerspannung; keine Elektronenansammlung

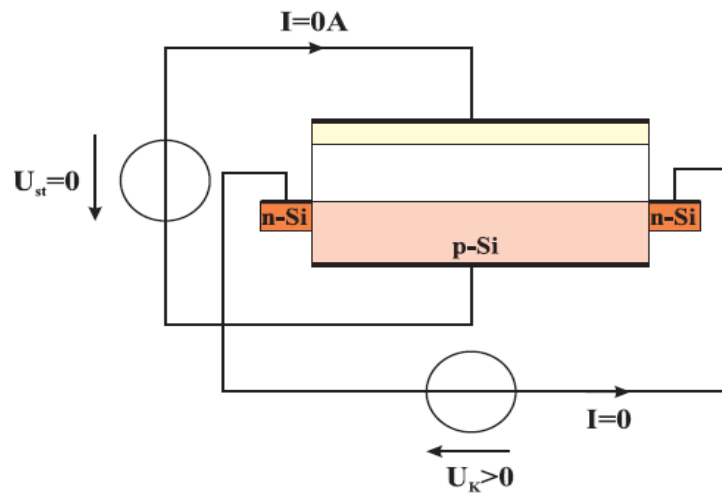
b)



$$U_{st} > 0 \text{ V}; I_{st} > 0 \text{ A}$$

⇒ Umdotierung in p – Si durch eine Elektronenansammlung (Kanal)

c)

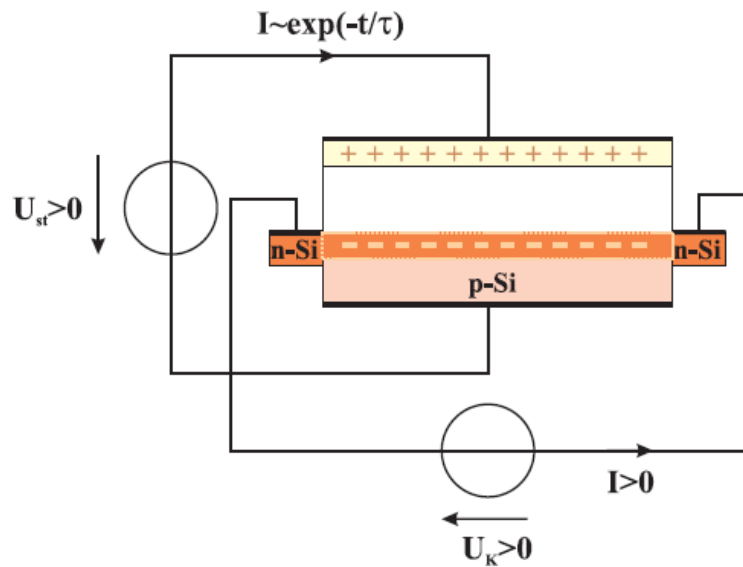


$U_{st} = 0 \text{ V}; I_{st} = 0 \text{ A} \rightarrow$  siehe a).

$$U_k > 0 \text{ V}; I_k = 0 \text{ A}$$

$$\ll U_k = U_{\text{Kanal}}$$

d)

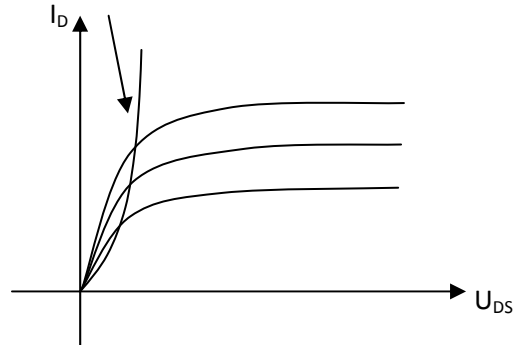


$U_{st} > 0 \text{ V}$ ;  $I_{st} > 0 \text{ A}$  → siehe b), Kanal ist ausgebildet.

$U_k > 0 \text{ V}$ ;  $I_k > 0 \text{ A}$  → Stromfluss durch den Kanal.

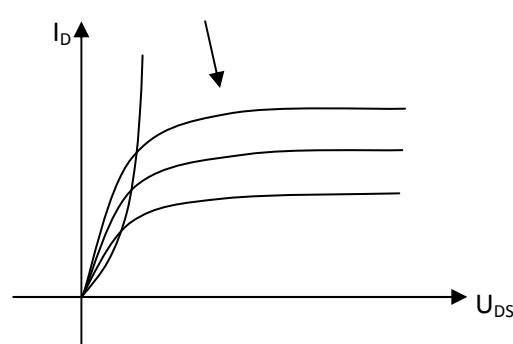
$$I_D = \frac{\mu \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot (2 \cdot (U_{GS} - U_{th}) \cdot U_{DS} - U_{DS}^2)$$

für Ohmsche Bereich



$$I_D = \frac{\mu \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot (U_{GS} - U_{th})^2$$

für Abschnürbereich



Legende

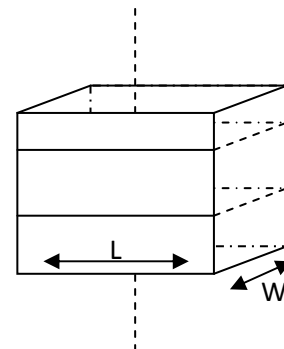
$U_{GS} = U_{\text{Gate Source}}$

$U_{th} = U_{\text{threshold}}$

$U_{DS} = U_{\text{Drain Source}}$

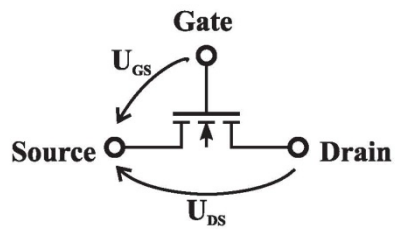
$W = \text{Weite}$

$L = \text{Länge}$



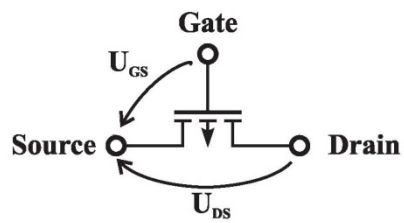
## 2 MOS – Transistortypen

nMOS



leitfähig für  
 $U_{GS} > U_{th}$  (200...400mV)

pMOS



leitfähig für  
 $U_{GS} < U_{th}$  (-200...-400mV)

**pMOS- arbeitet invers (komplementär) zu nMOS-Transistor!**

## Aufgabe 2

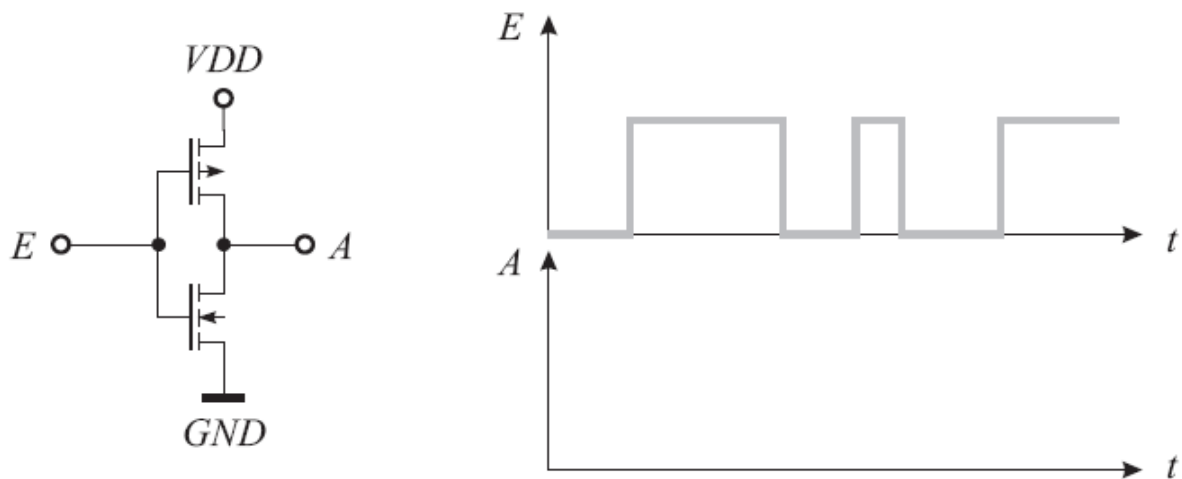
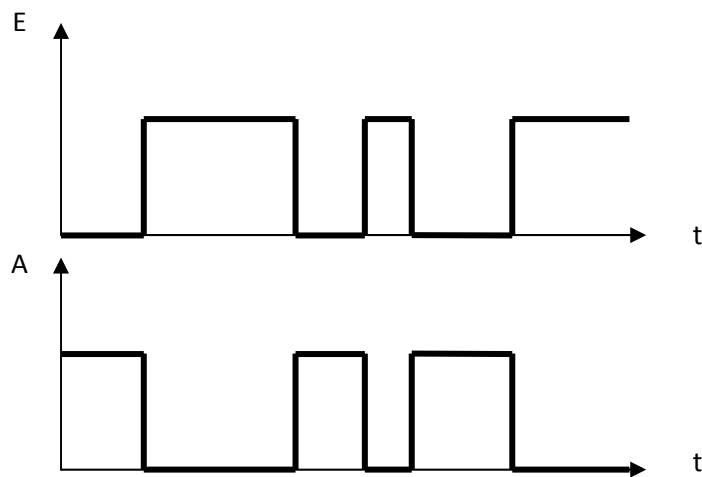


Abbildung 2: Logikgatter mit MOS – Transistoren

- a) Zeichnen Sie für das in Abbildung 2 dargestellte Gatter den Verlauf des Ausgangssignals für den gegebenen Verlauf des Eingangs. Welcher Spannungspegel wird der logischen '1' bzw. '0' zugeordnet?



logische "1"  $\rightarrow$  VDD

logische "0"  $\rightarrow$  GND; VSS

- b) Um welchen Gattertyp handelt es sich hierbei und welcher Schaltkreisfamilie gehört es an? Geben Sie die logische Funktion an, die das Verhalten beschreibt.

Inverter in CMOS – Technik (nMOS – und pMOS – Transistoren)

$$E = \overline{A} \text{ bzw. } A = \overline{E}$$

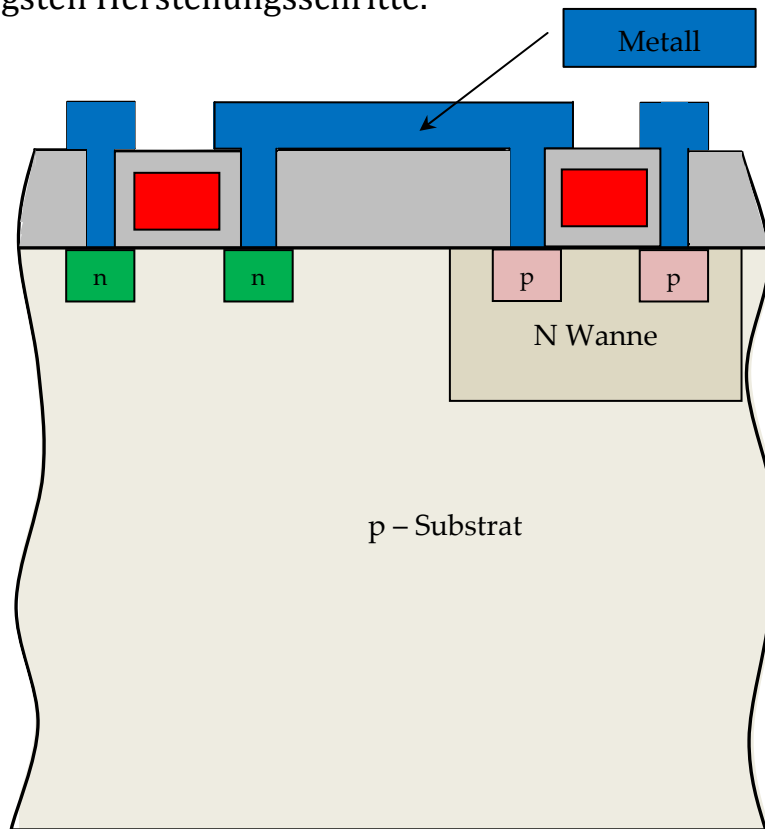
- c) Welche Dimensionierungsvorschrift ergibt sich für die beiden Transistoren, wenn stets eine konstante Treiberfähigkeit vorliegen soll?

Treiberfähigkeit: Fähigkeit eines Transistors, eine Last umzuladen.

- pMOS muss 2 – 3 Mal größeres  $\frac{W}{L}$  – Verhältnis haben, um die Last gleich schnell umzuladen wie nMOS.

### Aufgabe 3

- a) Zeichnen Sie einen Querschnitt durch MOS – Transistoren, die in einem einfachen Standard – CMOS – Prozess unter Verwendung von p – dotiertem Substrat hergestellt wurden. Benennen Sie die wichtigsten Herstellungsschritte.



- 1) n – Wanne – Herstellung durch Ionenimplantation
- 2) Aufbringen des Gate – Oxids
- 3) Herstellung und Strukturierung des Poly – Si – Gates
- 4) Implantation der Source – und Draingebiete für n – und p – Kanal – MOSFET
- 5) Kontaktierung und Metallisierung der Anschlüsse

MOS = metall oxid semiconductor

## Aufgabe 4

- a) Berechnen Sie näherungsweise die sich ergebende Laufzeit für einen 240 nm Prozess.

Gegeben sind:

$$U_B = 2,4V, \quad U_{T_0} = 0,4V, \quad \frac{4 \cdot \pi}{3 \cdot \mu_0} \cdot x \approx 3472 \frac{Vs}{m^2}$$

Der Faktor  $x$  steht für weitere parasitäre Kapazitäten, die durch das nötige Umladen an der Laufzeitberechnung beteiligt sind.

$$\begin{aligned} T_D &\approx 3472 \frac{Vs}{m^2} \cdot \frac{L^2}{\left(\frac{U_B}{2} - U_{T_0}\right)} \approx 250ps \\ &\approx 3472 \frac{Vs}{m^2} \cdot \frac{(240 \cdot 10^{-9} m)^2}{\left(\frac{2,4V}{2} - 0,4V\right)} = 3472 \cdot \frac{5,76^{-14}}{0,8} \frac{\cancel{Vs} \cdot \cancel{m^2}}{\cancel{m^2} \cdot \cancel{Vs}} \approx 2,499^{-10} s \approx 250ps \end{aligned}$$

- b) Der 240 nm – Prozess ist jedoch nicht mehr state – of – the – art. Im aktuellen 90 nm – Prozess wird bei  $U_B = 1,2V$  eine Laufzeit von 70ps erreicht. Wie groß ist dabei die Schwellenspannung?

$$\begin{aligned} T_D &\approx 3472 \frac{Vs}{m^2} \cdot \frac{L^2}{\left(\frac{U_B}{2} - U_{T_0}\right)} \\ \frac{U_B}{2} - U_{T_0} &\approx 3472 \frac{Vs}{m^2} \cdot \frac{L^2}{T_D} \\ U_{T_0} &\approx \frac{U_B}{2} - 3472 \frac{Vs}{m^2} \cdot \frac{L^2}{T_D} \\ U_{T_0} &\approx \frac{1,2V}{2} - 3472 \frac{Vs}{m^2} \cdot \frac{(240nm)^2}{70ps} \\ &\approx \frac{1,2V}{2} - 3472 \frac{Vs}{m^2} \cdot \frac{(240 \cdot 10^{-9} m)^2}{70 \cdot 10^{-12} s} \approx 0,198 \approx 0,2V \end{aligned}$$

- c) Es gelten die Bedingungen aus Aufgabenpunkt b). Wenn man die Betriebsspannung nun verdoppelt, ergibt sich eine Laufzeit von rund 28ps. Dies wäre wünschenswert. Warum ist das in der Praxis nicht möglich?

Der 90 nm – Prozess ist nicht für 2,4 V ausgelegt

- ➔ Das Gate würde durchschlagen.
- ➔ Der Transistor wäre zerstört.