

6 Schaltkreisfamilien

6.1 Allgemeines

Verknüpfungsglieder, auch logische Glieder oder logische Elemente genannt, werden fast ausschließlich als Halbleiterschaltungen aufgebaut. Relaischaltungen, wie sie in Abschnitt 2 zur besseren Verständlichkeit angeführt wurden, haben nur geringe Bedeutung. Sie werden heute vor allem für Steuerungen in der Starkstromtechnik als sogenannte Schützschaltungen verwendet. Unter einem Schütz versteht man ein Starkstromrelais, dessen Magnetspule für den Anschluß an 220-V-Wechselspannung ausgelegt ist. Für den Aufbau von Verknüpfungsgliedern werden Halbleiter-Bauelemente verwendet. Ein Transistor kann bekanntlich als kontaktloser Schalter arbeiten. Solche kontaktlosen Schalter können mit bipolaren Transistoren und auch mit Feldeffekt-Transistoren verwirklicht werden. Auch Halbleiterdioden arbeiten schalterähnlich. Es ergibt sich somit eine Vielzahl von Möglichkeiten, Verknüpfungsglieder als Halbleiterschaltungen herzustellen.

Verknüpfungsglieder, die nach bestimmten Prinzipien aufgebaut sind, bilden eine Schaltkreisfamilie.

Verknüpfungsglieder einer Schaltkreisfamilie lassen sich ohne Schwierigkeiten zusammenschalten. Für den Aufbau einer digitalen Verknüpfungsschaltung verwendet man zweckmäßigerweise Glieder der gleichen Schaltkreisfamilie. Solche Glieder sind meist für einheitliche Speisespannungen ausgelegt und haben gleiche binäre Signalpegel. Die Schaltzeiten der einzelnen Glieder sind mit gewissen Toleranzen ebenfalls gleich. Verknüpfungsglieder verschiedener Schaltkreisfamilien dürfen nur unter bestimmten Voraussetzungen miteinander kombiniert werden. Oft werden sogenannte Zwischenglieder zur Anpassung benötigt.

Die zuerst verwendeten Halbleiter-Verknüpfungsglieder wurden aus diskreten Halbleiter-Bauelementen aufgebaut. Unter diskreten Halbleiter-Bauelementen versteht man die üblichen auf dem Markt befindlichen Einzelhalbleiter-Bauteile mit Gehäusen und Anschlußdrähten, also übliche Dioden, Transistoren und andere Bauteile. Nicht diskret sind Halbleiter-Bauelemente in integrierten Schaltungen – also eingebaute Transistor- oder Diodensysteme.

Die Bedeutung der Schaltkreisfamilien, deren Glieder mit diskreten Halbleiter-Bauelementen aufgebaut sind, ist stark zurückgegangen. Solche Glieder haben verhältnismäßig große Abmessungen und sind in der Herstellung viel teurer als Glieder in integrierten Schaltungen. Sie haben nur den Vorteil, daß man sie leicht selbst herstellen kann.

Das RTL-System ist eine Schaltkreisfamilie, deren Glieder mit Widerständen und bipolaren Transistoren aufgebaut werden (Bild 6.1). Die Bezeichnung RTL bedeutet Resistor-Transistor-Logic. Eine andere «diskrete» Schaltkreisfamilie heißt DCTL-System – Direct Coupled Transistor Logic System, also direkt gekoppeltes Transistor-Logiksystem. Die Glieder bestehen aus direkt gekoppelten Transistor-Schalterstufen mit bipolaren Transistoren (Bild 6.2). Beide Schaltkreisfamilien werden heute kaum noch verwendet.

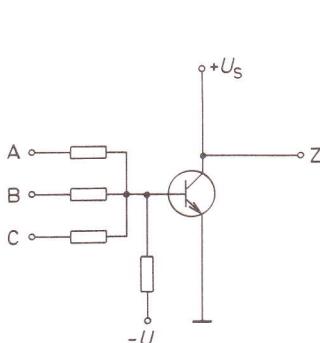


Bild 6.1 RTL-Schaltung

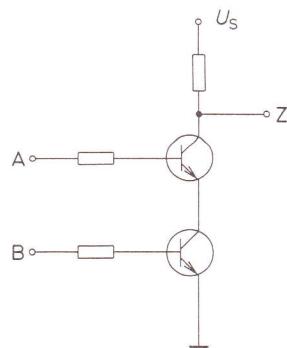


Bild 6.2 DCTL-Schaltung

Eine größere Bedeutung hat das DTL-System. DTL ist die Abkürzung für Dioden-Transistor-Logik. Dieser Schaltkreisfamilie ist der Abschnitt 6.5 gewidmet.

Sehr groß ist die Bedeutung der Schaltkreis-Familie TTL. TTL bedeutet Transistor-Transistor-Logik. Die Glieder sind als integrierte Schaltungen mit bipolaren Transistor-systemen aufgebaut (Abschnitt 6.6).

Eine weitere bedeutende Schaltkreisfamilie trägt die Bezeichnung ECL. Dies ist die Abkürzung für Emitter-Coupled Logik = emittergekoppelte Logik (Abschnitt 6.7). Die Transistor-Schalterstufen haben gemeinsame Emitterwiderstände. ECL-Glieder werden mit bipolaren Transistorsystemen als integrierte Schaltungen hergestellt.

MOS-Feldeffekt-Transistorsysteme werden in der MOS-Schaltkreisfamilie verwendet (Abschnitt 6.8). Die Schalterstufen sind mit selbstsperrenden MOS-FET vom N-Kanal-Typ (N-MOS) oder mit selbstsperrenden MOS-FET vom P-Kanal-Typ (siehe Beuth, Elektronik 2) als integrierte Schaltungen aufgebaut. Werden in einem Glied sowohl N-Kanal-MOS-FET als auch P-Kanal-MOS-FET eingesetzt, spricht man von komplementärer MOS-Technik. Die zugehörige Schaltkreisfamilie heißt CMOS oder COSMOS (Abschnitt 6.8.4).

6.2 Binäre Spannungspegel

Verknüpfungsglieder werden als elektronische Schaltungen aufgebaut. Elektronische Schaltungen aber «verstehen» keine digitale Logik. Sie reagieren auf Spannungen an ihren Eingängen und auf entsprechende Ströme und haben an ihren Ausgängen bestimmte Spannungen. Das heißt, sie arbeiten «elektrisch». Dieser Gedanke lag dem Plan zugrunde, die Arbeitsweise aller digitalen Schaltungen elektrisch – also unabhängig von irgendwelchen logischen Zuordnungen – zu beschreiben.

Es ist nun möglich, eine der Wahrheitstabelle ähnliche Tabelle aufzustellen und in diese Tabelle die Spannungen einzutragen. Betrachten wir die Schaltung Bild 6.3. Legt man an den Eingang A + 5 V, so wird die Diode D₁ in Durchlaßrichtung betrieben. An der Diode fällt die Spannung von 0,7 V (Si-Diode) ab. Am Ausgang Z liegt eine Spannung von 4,3 V. Die Spannung von 4,3 V liegt auch am Ausgang, wenn an B oder an beide Eingänge + 5 V angelegt wird (Bild 6.4).

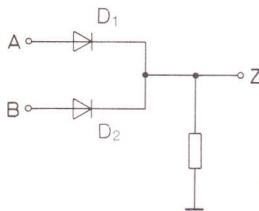


Bild 6.3 Verknüpfungsschaltung

Fall	B	A	Z
1	0V	0V	0V
2	0V	+5V	+4,3V
3	+5V	0V	+4,3V
4	+5V	+5V	+4,3V

Bild 6.4 Arbeitstabelle mit Spannungsangaben

Die in Bild 6.4 dargestellte Tabelle wird nach DIN 40700 Teil 14 Arbeitstabelle genannt. Sie darf nicht als Wahrheitstabelle bezeichnet werden, denn sie gibt keine Auskunft über die logische Verknüpfung.

Die Verknüpfungsschaltung Bild 6.3 kann aber auch z.B. mit 4 V oder mit 8 V betrieben werden. Dann gelten die Arbeitstabellen Bild 6.5. Es ist etwas umständlich, die Arbeitstabellen mit den Spannungen anzugeben. Auch ist oft nicht genau festgelegt, mit welcher Spannung eine Schaltung zu betreiben ist. Man kann in einem zulässigen Bereich verschiedene Spannungen wählen. Zweckmäßiger ist es, in den Arbeitstabellen nur zwischen hohen und niedrigen Spannungswerten zu unterscheiden. Man bezeichnet den hohen Spannungswert mit H (von «High», engl.: hoch) und den niedrigen Spannungswert mit L (von «Low», engl.: niedrig). H und L sind Spannungspegel.

L = Low = niedriger Spannungspegel

Pegel, der näher bei minus Unendlich ($-\infty$) liegt.

H = High = höherer Spannungspegel

Pegel, der näher bei plus Unendlich ($+\infty$) liegt.

Fall	B	A	Z
1	0V	0V	0V
2	0V	4V	3,3V
3	4V	0V	3,3V
4	4V	4V	3,3V

Fall	B	A	Z
1	0V	0V	0V
2	0V	8V	7,3V
3	8V	0V	7,3V
4	8V	8V	7,3V

Bild 6.5 Arbeitstabellen mit Spannungsangaben

Fall	B	A	Z
1	L	L	L
2	L	H	H
3	H	L	H
4	H	H	H

Bild 6.6 Arbeitstabelle mit Pegelangabe

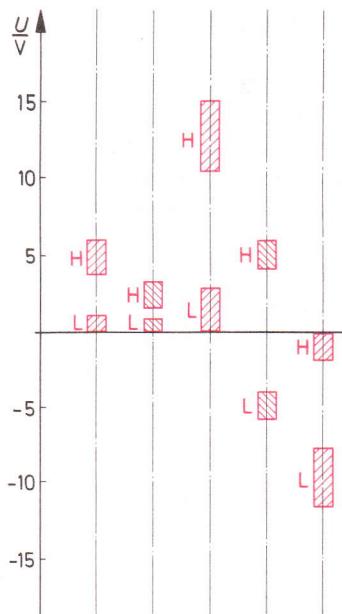


Bild 6.7 Mögliche Pegelbereiche L und H

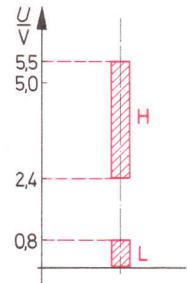


Bild 6.8 Pegelbereiche für L und H

Für die Schaltung Bild 6.3 ergibt sich die in Bild 6.6 dargestellte Arbeitstabelle mit Pegelangabe. Digitale Schaltungen können mit sehr unterschiedlichen Pegeln betrieben werden. Mögliche Pegel zeigt Bild 6.7.

Der H-Pegel darf nach Angaben des Herstellers einer Schaltung in einem bestimmten Spannungsbereich schwanken. Ebenfalls darf der L-Pegel in einem bestimmten Spannungsbereich schwanken. Diese Bereiche heißen Toleranzbereiche oder Pegelbereiche (Bild 6.8).

Die Angaben L und H sind keine logischen Zustände, sondern binäre Pegelangaben. Sie beschreiben die elektrische Arbeitsweise einer Schaltung.

Welche logische Verknüpfung eine Schaltung erzeugt, kann erst gesagt werden, wenn die Pegel L und H den logischen Zuständen 0 und 1 zugeordnet worden sind.

6.3 Positive und negative Logik

Die binären Pegel L und H können den logischen Zuständen 0 und 1 auf zwei verschiedene Weisen zugeordnet werden:

$$L \triangleq 0$$

$$H \triangleq 1$$

(positive Logik)

$$L \triangleq 1$$

$$H \triangleq 0$$

(negative Logik)

Man spricht von positiver Logik, wenn dem niedrigeren Pegel der Zustand 0 und dem höheren Pegel der Zustand 1 zugeordnet ist.

In der Digitaltechnik wird heute überwiegend mit positiver Logik gearbeitet. Wenn bei Schaltungen keine näheren Angaben gemacht werden, kann man davon ausgehen, daß die positive Logik gilt.

Bei negativer Logik wird dem niedrigeren Pegel der Zustand 1 und dem höheren Pegel der Zustand 0 zugeordnet.

Die negative Logik hatte eine größere Bedeutung zu der Zeit, als nur PNP-Transistoren verfügbar waren. Bei negativen Spannungen für U_{CE} ergaben sich an den Ausgängen der Transistor-Schalterstufen negative Spannungswerte.

$$\begin{aligned} \text{Beispiel: } 0 &\triangleq -0,3 \text{ V} = H \\ 1 &\triangleq -6 \text{ V} = L \end{aligned}$$

Die negative Logik wird heute vor allem bei bestimmten Steuerschaltungen aus Gründen der Störsicherheit verwendet.

Welche Verknüpfung erzeugt die Schaltung Bild 6.3 bei positiver Logik, welche Verknüpfung erzeugt sie bei negativer Logik?

Die Schaltung und die zugehörige Arbeitstabelle sind in Bild 6.9 dargestellt. Aus der Arbeitstabelle ist die Wahrheitstabelle abzuleiten. Bei positiver Logik ist für H der logische Zustand 1 und für L der logische Zustand 0 einzusetzen (Bild 6.10). Bei positiver Logik erzeugt die Schaltung eine ODER-Verknüpfung.

Bei negativer Logik wird aus L Zustand 1 und aus H Zustand 0 (Bild 6.11). Die Schaltung erzeugt eine UND-Verknüpfung. In der Wahrheitstabelle ist lediglich die Reihenfolge der Fälle etwas anders.

Beim Übergang von positiver zu negativer Logik und umgekehrt ändert eine Verknüpfungsschaltung ihre Verknüpfungseigenschaft.

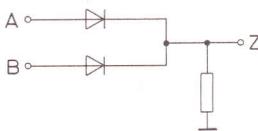


Bild 6.9 Verknüpfungsschaltung mit Arbeitstabelle

Fall	B	A	Z
1	L	L	
2	L	H	
3	H	L	
4	H	H	

Fall	B	A	Z
1	0	0	0
2	0	1	1
3	1	0	1
4	1	1	1

$L \triangleq 0$
 $H \triangleq 1$

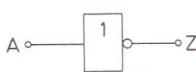
Bild 6.10 Wahrheitstabelle für positive Logik

Fall	B	A	Z
1	1	1	1
2	1	0	0
3	0	1	0
4	0	0	0

$L \triangleq 1$
 $H \triangleq 0$

Bild 6.11 Wahrheitstabelle für negative Logik

Ein NICHT-Glied bleibt jedoch ein NICHT-Glied – bei positiver und negativer Logik (Bild 6.12).



Positive Logik

$$\begin{array}{l} 0 \triangleq L \\ 1 \triangleq H \end{array}$$

Fall	A	Z
1	L	H
2	H	L

Fall	A	Z
1	0	1
2	1	0

$$\begin{array}{l} 0 \triangleq H \\ 1 \triangleq L \end{array}$$

Fall	A	Z
1	H	L
2	L	H

Bild 6.12 Verhalten eines NICHT-Gliedes bei positiver und negativer Logik

Fall	B	A	Z
1	0	0	1
2	0	1	1
3	1	0	1
4	1	1	0

Fall	B	A	Z
1	L	L	H
2	L	H	H
3	H	L	H
4	H	H	L

Bild 6.13 Wahrheitstabelle eines NAND-Gliedes

Bild 6.14 Arbeitstabelle

Fall	B	A	Z
1	1	1	0
2	1	0	0
3	0	1	0
4	0	0	1

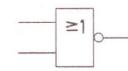


Bild 6.15 Wahrheitstabelle eines NOR-Gliedes

Beispiel

Eine Schaltung arbeitet bei positiver Logik als NAND-Glied. Welche Verknüpfung erzeugt die Schaltung bei negativer Logik?

Die Wahrheitstabelle eines NAND-Gliedes ist in Bild 6.13 dargestellt. Aus dieser Wahrheitstabelle kann die Arbeitstabelle, also die Tabelle mit L und H, abgeleitet werden. Bei positiver Logik entspricht 0 dem Pegel L und 1 dem Pegel H (Bild 6.14).

Die Verknüpfung bei negativer Logik zeigt die Wahrheitstabelle Bild 6.15. Sie wurde aus der Arbeitstabelle abgeleitet, in dem für H der Zustand 0 und für L der Zustand 1 eingesetzt wurde. Es ergibt sich eine NOR-Verknüpfung.

Eine Schaltung, die bei positiver Logik eine NAND-Verknüpfung erzeugt, erzeugt bei negativer Logik eine NOR-Verknüpfung.

6.4 Schaltungseigenschaften

Die Schaltungen der einzelnen Schaltkreisfamilien haben typische Eigenschaften. Aufgrund dieser Eigenschaften wird die für einen bestimmten Anwendungszweck günstigste Schaltkreisfamilie ausgewählt.

Wichtige Eigenschaften sind z.B. die Arbeitsgeschwindigkeit und die Störsicherheit. Bei Aufzugssteuerungen kommt es nicht so sehr darauf an, ob eine Schaltung in $0,1 \mu\text{s}$ oder in $0,5 \mu\text{s}$ schaltet. Wichtig ist, daß keine Fehlschaltungen vorkommen. Man wird eine langsamere, dafür aber sicherere Schaltkreisfamilie wählen. Für Computer hätte man gern Schaltkreise, die sehr schnell und auch sehr störsicher sind. Beide Forderungen schließen sich aber weitgehend aus, so daß man im Einzelfall einen Kompromiß zwischen Arbeitsgeschwindigkeit und Störsicherheit suchen muß.

6.4.1 Leistungsaufnahme

Bei umfangreichen Schaltungen ergibt sich oft ein recht hoher Leistungsbedarf. Selbst wenn ein einzelnes Verknüpfungsglied nur 10 mW benötigt, ist der Leistungsbedarf bei $100\,000$ Gliedern bereits 1 kW . Computer mit 10^6 Gliedern benötigen dann 10 kW – an einen Batteriebetrieb ist nicht mehr zu denken.

Setzt man den Leistungsbedarf der einzelnen Glieder einer Schaltkreisfamilie herab, so geht das auf Kosten der Arbeitsgeschwindigkeit und der Störsicherheit. Die Schaltzeiten werden größer, und die Störsicherheit nimmt wegen der zu verwendenden niedrigeren Pegel ab.

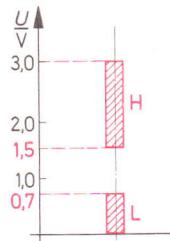
Die Glieder der einzelnen Schaltkreisfamilien haben sehr unterschiedlichen Leistungsbedarf. Bei der Besprechung der Schaltkreisfamilien in den Abschnitten 6.5 bis 6.8 wird der Leistungsbedarf erörtert.

6.4.2 Pegelbereiche und Übertragungskennlinie

Wünscht man eine niedrige Leistungsaufnahme, so wird man eine niedrige Betriebsspannung wählen. Die Betriebsspannung bestimmt weitgehend den Pegelbereich von H. Der Pegelbereich von L wird durch die Spannungsabfälle an durchgeschalteten Dioden und Transistoren bestimmt.

Wählt man eine Betriebsspannung von 3 V , so ist der obere Wert des H-Pegelbereichs ca. 3 V , Belastet man den Ausgang der Schaltung, d.h., entnimmt man dem Ausgang einen

Bild 6.16 Pegelbereiche bei einer Betriebsspannung von 3 V



Steuerstrom für nachfolgende Glieder, so sinkt der H-Pegel ab. Man kann ihn höchstens auf 1,5 V absinken lassen, damit der Abstand zum L-Pegel nicht zu klein wird (Bild 6.16). Der Bereich des L-Pegels liegt wegen der Diodenspannung im durchgesteuerten Zustand und wegen der Transistor-Sättigungsspannungen zwischen 0 V und +0,7 V.

Für wichtige Schaltkreisfamilien ist eine Betriebsspannung von 5 V üblich. Für eine solche Schaltkreisfamilie wird eine sogenannte Übertragungskennlinie nach Bild 6.17 angegeben. Auf der senkrechten Achse ist die Ausgangsspannung U_2 aufgetragen, auf der waagerechten Achse die Eingangsspannung U_1 .

Aus der Übertragungskennlinie kann der H-Bereich und der L-Bereich abgelesen werden.

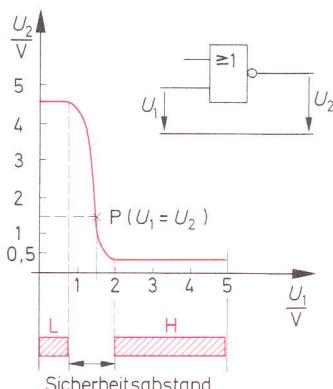


Bild 6.17 Übertragungskennlinie

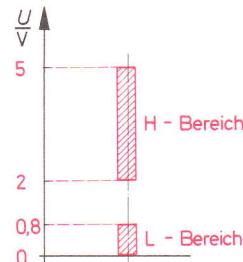


Bild 6.18 Pegelbereiche zur Übertragungskennlinie Bild 6.17

Der L-Pegel dürfte nach Bild 6.17 von 0 V bis 1,5 V (Punkt P) und der H-Pegel von 1,5 V bis 5 V gehen, wenn kein Sicherheitsabstand erforderlich wäre. Aus Gründen der Störsicherheit wünscht man sich den Sicherheitsabstand jedoch möglichst groß. Ohne Sicherheitsabstand könnten kleine Störspannungen Umschaltungen von L auf H und umgekehrt bewirken. Außerdem ist die Übertragungskennlinie temperatur- und laststromabhängig. Der Punkt P kann also etwas verschoben werden. Der U_1 -Bereich der fallenden Kennlinie wird üblicherweise als Sicherheitsabstand gewählt. Somit geht der zulässige L-Bereich von 0 V bis 0,8 V und der zulässige H-Bereich von 2 V bis 5 V (Bild 6.18). Die Hersteller verringern die zulässigen Pegelbereiche meist noch etwas, um die Störsicherheit zu erhöhen.

6.4.3 Schaltzeiten

Die Arbeitsgeschwindigkeit einer Digitalschaltung wird durch die Schaltzeiten der Verknüpfungsglieder bestimmt. Man unterscheidet *Signal-Laufzeiten* t_p und *Signal-Übergangszeiten* t_T .

Die Signal-Laufzeit t_{PLH} gibt die Impulsverzögerung zwischen Eingangs- und Ausgangsspannung an, wenn der Ausgangszustand von L auf H geht.

Entsprechend ist die Signal-Laufzeit t_{PHL} die Impulsverzögerungszeit bei Änderung des Ausgangszustandes von H auf L.

Zur Messung der Signal-Laufzeiten verwendet man einen Bezugspegel von 1,5 V. Bild 6.19 zeigt, daß die Signal-Laufzeit t_{PLH} die Zeit ist, die vergeht, bis eine Eingangsspannung von 1,5 V auch am Ausgang erscheint. Für die Signal-Laufzeit t_{PHL} gilt Bild 6.20. Die mittlere Signal-Laufzeit t_p ist wie folgt festgelegt:

$$t_p = \frac{t_{PLH} + t_{PHL}}{2}$$

Statt der Bezeichnung Signal-Laufzeit wird auch die Bezeichnung Signal-Verzögerungszeit verwendet.

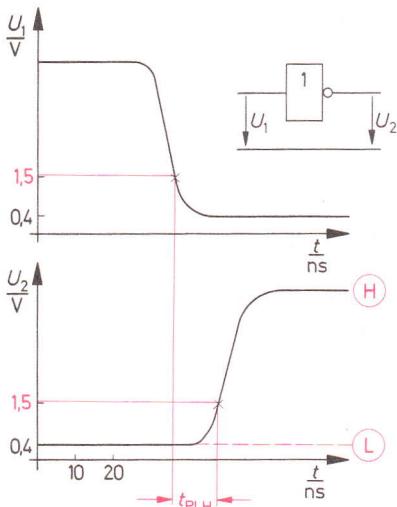


Bild 6.19 Signallaufzeit t_{PLH}

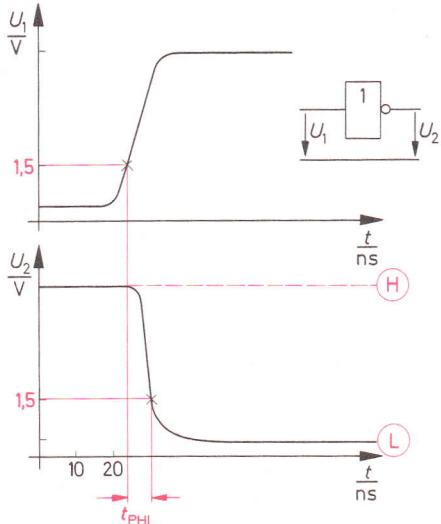


Bild 6.20 Signallaufzeit t_{PHL}

Die Signal-Übergangszeiten beziehen sich nur auf den Ausgang eines Gliedes. Sie geben die Steilheit der Anstiegs- und Abfallflanken der Ausgangsspannung an.

Die Signal-Übergangszeit t_{TLH} ist die Zeit, die vergeht, bis die Ausgangsspannung von 10% auf 90% des Unterschiedes zwischen L und H angestiegen ist.

Die Zeit t_{TLH} ist in Bild 6.21 dargestellt. Die Signal-Übergangszeit t_{THL} ist die Zeit zwischen dem 90%- und dem 10%-Wert der abfallenden Flanke (Bild 6.22).

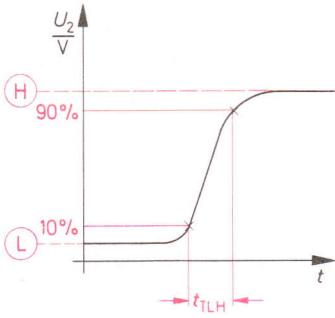


Bild 6.21 Signal-Übergangszeit t_{TLH}

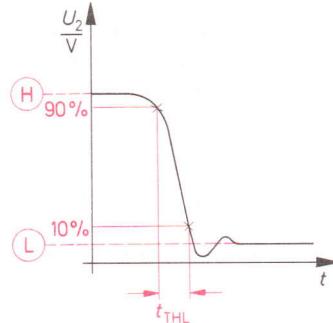


Bild 6.22 Signal-Übergangszeit t_{THL}

6.4.4 Lastfaktoren

Zum Steuern von Verknüpfungsgliedern werden bestimmte Spannungen und Ströme benötigt. An den Ausgang eines Gliedes darf nur eine bestimmte Anzahl von Eingängen angeschlossen werden. Schließt man mehr Eingänge an, sinkt der Ausgangspiegel unzulässig stark ab. Das Glied wird überlastet. Die einwandfreie Funktion der Schaltung ist gestört.

Es gibt zwei definierte Lastfaktoren, den *Eingangslastfaktor* (Fan-in) und den *Ausgangslastfaktor* (Fan-out). Für jede Schaltkreisfamilie wird eine normale Eingangsbelastung, die sogenannte Lasteinheit, festgelegt. Für TTL-Glieder gilt:

L-Eingangszustand 0,4 V – 1,6 mA

H-Eingangszustand 2,4 V 40 µA

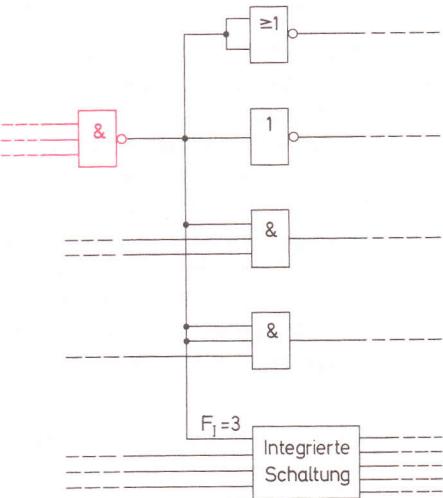
Der Eingang eines Gliedes hat den Eingangslastfaktor $F_I = 1$, wenn er die festgelegte normale Eingangsbelastung verursacht.

Besondere Eingänge können die doppelte oder dreifache Eingangsbelastung verursachen. Sie haben dann den Eingangslastfaktor zwei bzw. drei. Eingangslastfaktoren von drei oder mehr kommen vor allem bei hochintegrierten Schaltungen vor.

Der Ausgangslastfaktor F_Q eines Gliedes gibt an, wieviel normale Eingänge maximal an den Ausgang dieses Gliedes angeschlossen werden dürfen.

Üblich sind Ausgangslastfaktoren von 10 für Standardglieder. Leistungsglieder haben meist einen Ausgangslastfaktor von 30.

Bild 6.23 Bestimmung der Ausgangsbelastung eines Gliedes



Beispiel:

Das NAND-Glied in Bild 6.23 hat einen Ausgangslastfaktor von 10. Wie viele weitere Eingänge dürfen angeschlossen werden?

Das obere NOR-Glied hat zwei zusammengeschaltete Eingänge. Jeder Eingang stellt eine Lasteinheit dar. Das Glied belastet den Ausgang also mit zwei Lasteinheiten. Das gleiche gilt für das untere UND-Glied. Insgesamt muß der Ausgang des NAND-Gliedes sechs normale Eingänge und einen Eingang mit $F_I = 3$ steuern. Das ergibt zusammen neun Lasteinheiten.

Ein weiterer Eingang mit $F_I = 1$ dürfte noch angeschlossen werden.

6.4.5 Störsicherheiten

Durch eingekoppelte Störspannungen können die Ausgänge von Gliedern von L auf H oder von H auf L geschaltet werden. Damit dies nicht geschieht, ist ein Sicherheitsabstand zwischen dem zulässigen L-Pegelbereich und dem zulässigen H-Pegelbereich erfor-

derlich. Je größer man diesen Sicherheitsabstand für eine Schaltkreisfamilie wählt, desto größer ist ihre Störsicherheit.

Man unterscheidet zwischen der *statischen Störsicherheit* und der *dynamischen Störsicherheit*.

Die statische Störsicherheit eines Gliedes gilt für Störspannungen, die länger als die mittlere Signal-Lauffzeit t_p wirksam sind. Zu den statischen Störspannungen gehören auch langsam ansteigende Spannungsimpulse.

Die statische Störsicherheit gibt die höchstzulässige Spannungsänderung an den Eingängen eines Gliedes an, die seinen Ausgangszustand noch nicht ändert.

Sie wird für den Normalfall und für den ungünstigsten Fall angegeben, der auftreten darf. Der ungünstigste Fall ist gegeben bei ungünstiger Variation der Betriebsspannungen von steuerndem und gesteuertem Glied, bei ungünstigsten Eingangssignalen, bei ungünstigster Betriebstemperatur und bei voll genutztem Ausgangslastfaktor. Man spricht auch von statischer Worst-case-Störsicherheit (worst case, engl.: ungünstigster Fall).

Die dynamische Störsicherheit gilt für Störspannungen, die kürzer als die mittlere Signal-Lauffzeit t_p wirksam sind. Die eingekoppelte Störenergie – gegeben durch Impulsamplitude und Impulsdauer – darf einen bestimmten Grenzwert nicht überschreiten. Die dynamische Störsicherheit ist hauptsächlich abhängig von der Eingangsempfindlichkeit des betrachteten Gliedes. Sie wird durch Grenzkurven (Bild 6.24) beschrieben.

Die dynamische Störsicherheit gibt an, wie lange eine Störspannung bestimmter Größe an den Eingängen eines Gliedes liegen darf, ohne daß sich der Ausgangszustand des Gliedes ändert.

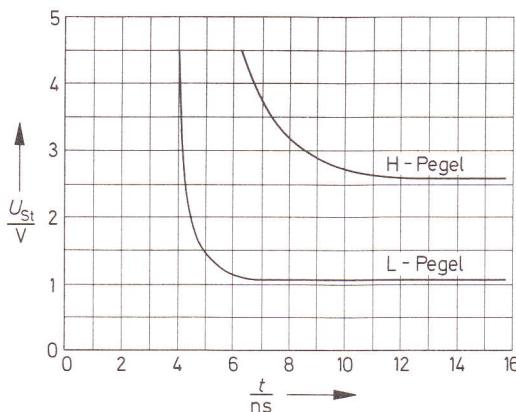


Bild 6.24 Grenzkurven der dynamischen Störsicherheit

Die genauen Werte für die höchstzulässige Amplitude der Störspannung und die höchstzulässige Einwirkungszeit sind Grenzkurven gemäß Bild 6.24 zu entnehmen.

Dabei gibt es eine Grenzkurve für den H-Pegel und eine Grenzkurve für den L-Pegel. Die Grenzkurve für den H-Pegel gilt, wenn der Eingang auf H-Pegel liegt. Entsprechend gilt die L-Pegel-Grenzkurve, wenn der Eingang auf L-Pegel liegt. H-Pegel sind schwerer zu stören; daher liegt die Grenzkurve für den H-Pegel höher.

6.4.6 Wired-Verknüpfungen

Verbindet man die Ausgänge von zwei Gliedern galvanisch, also durch einen einfachen Draht, so kann eine logische Verknüpfung entstehen, die je nach dem inneren Schaltungsaufbau der Glieder UND oder ODER ist.

Wenn ein Ausgang den Zustand H hat und der andere Ausgang den Zustand L (Bild 6.25), so ist der Zustand des Verbindungspunktes Q zunächst unbestimmt. Es kommt jetzt darauf an, welcher Zustand sich bei den gegebenen Schaltungen durchsetzt.

Es soll angenommen werden, daß der L-Pegel Masse bzw. 0 V und der H-Pegel der Speisespannung (z.B. +5 V) entspricht.

Hat der Ausgang, der L-Zustand führt, z.B. einen sehr geringen Widerstand gegen Masse bzw. 0 V, so wird der H-Zustand des anderen Ausgangs gegen 0 V gezogen. Q wird also den Pegel L annehmen. Man sagt, der Pegel L dominiert bei diesen Gliedern.

In diesem Fall kann Q nur dann H sein, wenn beide Ausgänge den Zustand H führen. Es entsteht durch die Drahtverbindung also eine UND-Verknüpfung (bei positiver Logik). Sie wird verdrahtete UND-Verknüpfung oder Wired-AND genannt (wire, engl.: Draht). Auch die Bezeichnung Phantom-UND ist üblich.

Dominiert bei Verknüpfungsgliedern der Pegel L, so entsteht bei der Drahtverbindung der Ausgänge eine UND-Verknüpfung (Wired-AND) – positive Logik vorausgesetzt.

Die Wired-AND-Verknüpfung oder Phantom-UND-Verknüpfung wird in Schaltbildern gemäß Bild 6.26 dargestellt. Es stehen zwei Darstellungsmöglichkeiten zur Auswahl.

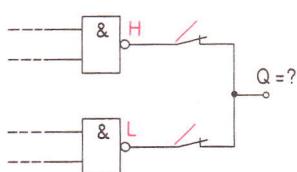


Bild 6.25 Galvanische Verbindung der Ausgänge von zwei NAND-Gliedern

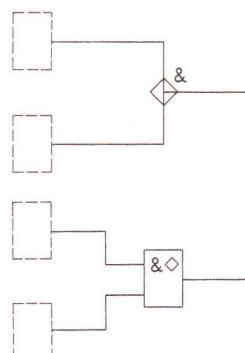


Bild 6.26 Darstellung der Phantom-UND-Verknüpfung (Wired-AND) nach DIN 40900 Teil 12

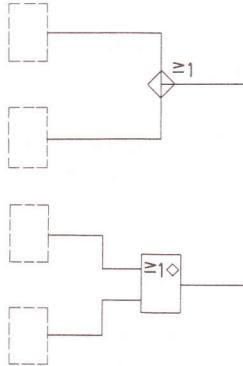


Bild 6.27 Darstellung der Phantom-ODER-Verknüpfung (Wired-OR) nach DIN 40900 Teil 12

Wenn der Ausgang, der H-Zustand führt, einen geringen Widerstand zum Speisespannungspol hat, kann der L-führende Ausgang auf H-Pegel angehoben werden. Wenn das geschieht, sagt man, der H-Pegel dominiert. Hat in diesem Fall ein Ausgang den Zustand H, so hat auch der Verbindungspunkt Q (Bild 6.25) den Zustand H. Für positive Logik ergibt sich eine ODER-Verknüpfung, Wired-OR oder Phantom-ODER genannt.

Dominiert bei Verknüpfungsgliedern der Pegel H, so entsteht bei der Drahtverbindung der Ausgänge eine ODER-Verknüpfung (Wired-OR) – positive Logik vorausgesetzt.

Die beiden Darstellungsmöglichkeiten einer Wired-OR-Verknüpfung bzw. einer Phantom-ODER-Verknüpfung zeigt Bild 6.27. Der Verbindungspunkt Q kann bei bestimmten Verknüpfungsgliedern auch einen Pegel annehmen, der zwischen dem H-Pegelbereich und dem L-Pegelbereich liegt. Bei Verknüpfungsgliedern dieser Art darf eine Drahtverbindung der Ausgänge nicht angewendet werden. Wired-OR bzw. Wired-AND sind bei solchen Gliedern verboten.

Beim Herunterziehen eines Ausgangspegels von H auf L kann dem ursprünglich auf Zustand H liegenden Ausgang ein unzulässig hoher Strom entnommen werden. Ebenfalls kann beim Anheben des Pegels eines ursprünglich auf Zustand L liegenden Ausganges ein zu großer Strom fließen. Die Verknüpfungsglieder würden dadurch überlastet werden.

Drahtverbindungen von Ausgängen, die zu Wired-OR oder zu Wired-AND führen, dürfen nur vorgenommen werden, wenn der Hersteller der Verknüpfungsglieder dies ausdrücklich gestattet.

Ob und unter welchen Bedingungen Wired-Verknüpfungen zugelassen sind, ist in den Datenblättern angegeben. Wired-Verknüpfungen führen zu einer Vereinfachung des Schaltungsaufbaus, zu einer Verringerung der Signallaufzeit und zu einer Verminderung der Herstellkosten.

6.5 DTL-Schaltungen

6.5.1 Allgemeines

DTL-Schaltungen sind mit Dioden und Transistoren aufgebaut. Natürlich werden auch Widerstände verwendet. Die Bezeichnung DTL kommt aus dem englischen Sprachraum und bedeutet «Diode Transistor Logic», auf deutsch also Dioden-Transistor-Logik. Schaltungen dieser Schaltkreisfamilie wurden zunächst diskret aufgebaut und dann als Dünnschicht- und Dickschichtschaltungen (siehe Beuth, Elektronik 2). Zur Zeit werden sie fast ausschließlich als monolithische IC hergestellt.

6.5.2 Standard-DTL-Schaltungen

Eine der drei Grundschaltungen der DTL-Schaltkreisfamilie zeigt Bild 6.28. Diese Schaltung haben wir bereits in Abschnitt 6.2 kennengelernt. Liegt an wenigstens einem Eingang der Pegel H, so hat auch der Ausgang den Pegel H. Bei positiver Logik arbeitet die Schaltung als ODER-Glied.

Die Schaltung in Bild 6.29 hat nur dann den Ausgangspiegel H, wenn beide Eingänge H-Pegel haben. Hat nur ein Eingang L-Pegel (ca. 0 V, Masse), so wird der Ausgang auf den L-Pegel gezogen.

Betrachten wir die Schaltung Bild 6.29 etwas genauer. Die Speisespannung U_S sei 6 V. Ein Pegel von +6 V gehört somit zum H-Bereich. Die Pegel des L-Bereichs liegen in der Nähe von 0 V (Masse). Liegen an beiden Eingängen H-Pegel, so sind die Dioden gesperrt. Am Ausgang Z liegt ebenfalls H-Pegel (von + U_S über R).

Wird nun an den Eingang B der Pegel L (≈ 0 V) gelegt, so wird die in der Leitung von B liegende Diode leitend. Es fließt von + U_S über R und die Diode nach 0 V (Masse) ein Strom. An der Diode wird eine Spannung von +0,7 V abfallen (Si-Diode). Diese Spannung von +0,7 V liegt auch am Ausgang Z. Sie gehört zum L-Bereich. An Z liegt also immer dann L, wenn ein Eingang L-Pegel hat. Nur wenn beide Eingänge H-Pegel haben, liegt auch an Z der Pegel H. Bei positiver Logik arbeitet die Schaltung also als UND-Glied.

Bild 6.28 DTL-Schaltung
(ODER-Glied bei positiver Logik)

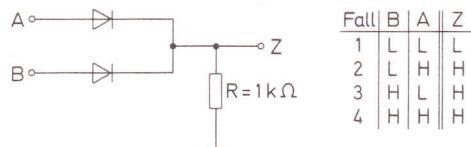
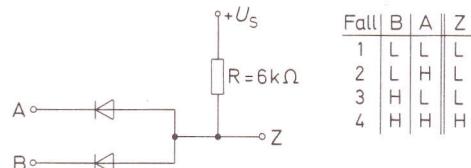
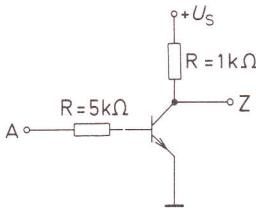


Bild 6.29 DTL-Schaltung (UND-Glied bei positiver Logik)





Fall	A	Z
1	L	H
2	H	L

Bild 6.30 DTL-Schaltung (NICHT-Glied)

Die Schaltung Bild 6.30 arbeitet als Inverter, also als NICHT-Glied. Liegt an Eingang A der Pegel H, so wird der Transistor durchgesteuert. Am Ausgang Z liegt eine Spannung von 0,2 bis 0,3 V, die zum L-Pegelbereich gehört. Liegt am Eingang A der Pegel L, so sperrt der Transistor. Seine Kollektor-Emitter-Strecke ist hochohmig (z.B. $10\text{ M}\Omega$). Am Ausgang liegt fast die volle Speisespannung, also der H-Pegel. Die zugehörige Arbeitstabelle ist in Bild 6.30 dargestellt.

Wie wirkt nun ein Eingang, der offen bleibt, an den also weder der Pegel H ($\approx +6\text{ V}$) noch der Pegel L ($\approx 0\text{ V}$, Masse) gelegt wird?

Bei der Schaltung Bild 6.28 wirkt ein offener Eingang wie L. Am Ausgang kann nur dann der Pegel H liegen, wenn an einem Eingang eine Spannung des H-Pegelbereichs liegt.

Bleibt der Eingang der Inverterschaltung Bild 6.30 offen, so ist das gleichbedeutend mit dem Anlegen des Pegels L. Der Transistor kann ja nicht durchsteuern, wenn der Basiseingang in der Luft hängt.

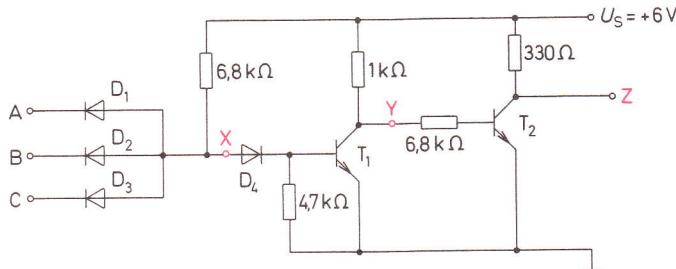


Bild 6.31 DTL-Schaltung (Aktives UND-Glied bei positiver Logik)

Fall	C	B	A	X	Y	Z
1	L	L	L	L	H	L
2	L	L	H	L	H	L
3	L	H	L	L	H	L
4	L	H	H	L	H	L
5	H	L	L	L	H	L
6	H	L	H	L	H	L
7	H	H	L	L	H	L
8	H	H	H	H	L	H

Bild 6.32 Arbeitstabelle zur Schaltung Bild 6.31

Bleibt ein Eingang der Schaltung in Bild 6.29 offen, so entspricht das dem Anlegen des H-Pegels. Über einen offenen Eingang kann der Ausgang nicht auf L gezogen werden. Bleibt also A offen und liegt an B der Pegel H, so liegt auch am Ausgang der Pegel H. Das ODER-Glied (Bild 6.28) und das UND-Glied (Bild 6.29) – bei positiver Logik – sind passive Glieder, d.h., sie enthalten keine verstärkenden Bauelemente. Schaltet man mehrere dieser Glieder zusammen, so besteht die Gefahr, daß die Pegel aus ihren zulässigen Bereichen herausfallen. Vor allem der H-Pegel kann unzulässig stark absinken. Um dieser Gefahr zu begegnen, baut man sogenannte aktive Glieder, also Glieder mit verstärkenden Bauelementen.

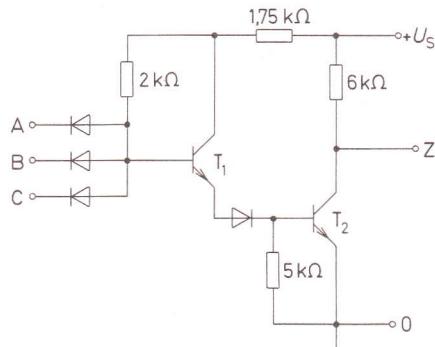
Bild 6.31 zeigt ein aktives Glied, das als UND-Glied für positive Logik arbeitet. An Punkt X erscheint eine UND-Verknüpfung. Nachgeschaltet ist eine Inverterstufe mit dem Ausgang Y. Es folgt eine weitere Inverterstufe mit dem Ausgang Z. Die beiden nachgeschalteten Inverterstufen heben sich in ihrer Wirkung gegenseitig auf, so daß am Ausgang Z wieder eine UND-Verknüpfung vorhanden ist. Die Arbeitstabelle Bild 6.32 zeigt das, wenn positive Logik angenommen wird.

Die Diode D₄ hat die Aufgabe, ein Aufsteuern des Transistors T₁ zu verhindern, wenn an Punkt X aufgrund der Schwellspannungen der Eingangsdioden ein L-Pegel von $\approx 0,7$ V liegt. Man nennt eine so wirkende Diode Pegelverschiebungsdiode. Zum Aufsteuern des Transistors ist am Punkt X eine Mindestspannung von etwa 1,4 V erforderlich ($\approx 0,7$ V Schwellspannung der Diode D₄ und $\approx 0,7$ V Schwellspannung des Transistors T₁).

Läßt man in Schaltung Bild 6.31 eine Inverterstufe weg, so erhält man für positive Logik ein NAND-Glied. Eine interessante NAND-Schaltung in DTL-Technik zeigt Bild 6.33. Der Transistor T₁ arbeitet als Emitterfolger-Schaltung, also als Verstärker ohne Invertierung. Diesem Verstärker ist ein Inverter nachgeschaltet. Die DTL-Schaltung nach Bild 6.33 wird besonders häufig verwendet.

Die zur Zeit auf dem Markt verfügbaren DTL-Schaltungen sind den Katalogen und Datenbüchern der Hersteller zu entnehmen. DTL-Schaltungen werden in Standardausführung mit Speisespannungen von 5 bis 6 V angeboten (z.B. von Valvo).

Bild 6.33 DTL-Schaltung
(NAND-Glied bei positiver Logik)



Die Schaltzeiten der DTL-Schaltkreisfamilie sind verhältnismäßig kurz. Die Signal-Laufzeit, auch Signal-Verzögerungszeit genannt, beträgt bei DTL-Gliedern ungefähr 30 ns (ns = Nanosekunden, 1 ns = 10^{-9} s). Die Glieder der TTL-Schaltkreisfamilie (Abschnitt 6.6) arbeiten jedoch etwa dreimal so schnell. Ihre typische Signal-Laufzeit liegt bei etwa 10 ns. Das bedeutet, daß DTL-Glieder vor allem dort eingesetzt werden, wo es auf eine besonders große Arbeitsgeschwindigkeit nicht ankommt. DTL-Schaltungen haben gegenüber TTL-Schaltungen den Vorteil der größeren Störsicherheit.

Für DTL-Schaltkreise nach Bild 6.33 gelten folgende typische Daten:

Speisespannung	6 V
Leistungsaufnahme je Glied	9 mW
Signal-Laufzeit t_P	30 ns
Statische Störsicherheit	1,2 V
Umgebungs-Temperaturbereich	0 bis +75 °C
Eingangs-Lastfaktor	1
Ausgangs-Lastfaktor	8
H-Eingangsspannung (untere Grenze)	3,6 V
L-Eingangsspannung (obere Grenze)	1,4 V
H-Ausgangsspannung (untere Grenze)	4,0 V
L-Ausgangsspannung (obere Grenze)	0,5 V

6.5.3 LSL-Schaltungen

Mit DTL-Schaltungen wurde eine sogenannte „langsame, störsichere Logik“ entwickelt. Die Abkürzung lautet LSL. Die Pegelverschiebungs-Dioden in Bild 6.31 und 6.33 werden durch eine Z-Diode ersetzt (Bild 6.34). Der mindestens erforderliche H-Eingangsspeigel wird so um die Zenerspannung der Z-Diode erhöht. Außerdem erhöht die Z-Diode die Signal-Laufzeit. DTL-Schaltungen mit Z-Dioden werden auch DTLZ-Schaltungen genannt.

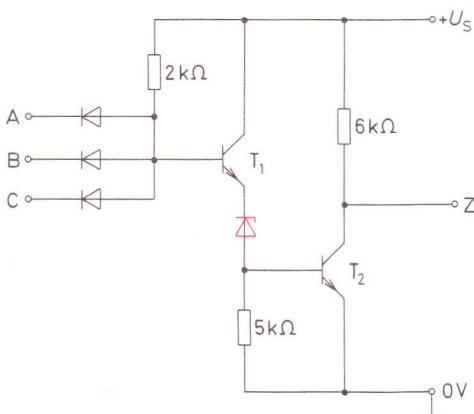


Bild 6.34 DTL-Schaltung mit Z-Diode
(NAND-Glied bei positiver Logik)

Durch Erhöhung der Speisespannung können die H-Pegelbereiche erheblich angehoben werden. Es ergibt sich ein großer Abstand zwischen dem H-Pegelbereich und dem L-Pegelbereich und damit eine größere statische Störsicherheit. Die dynamische Störsicherheit wird durch die langsamere Arbeitsweise wesentlich vergrößert.

LSL-Glieder werden für Speisespannungen von 12 V und 15 V hergestellt. In Bild 6.35 ist die Schaltung eines typischen LSL-Gliedes dargestellt. Der H-Eingangspegelbereich geht von 7,5 V bis 15 V, der L-Eingangspegelbereich von 0 V bis 4,5 V (Bild 6.36).

Bild 6.35 Schaltung eines LSL-Gliedes (FZH 125, Siemens)

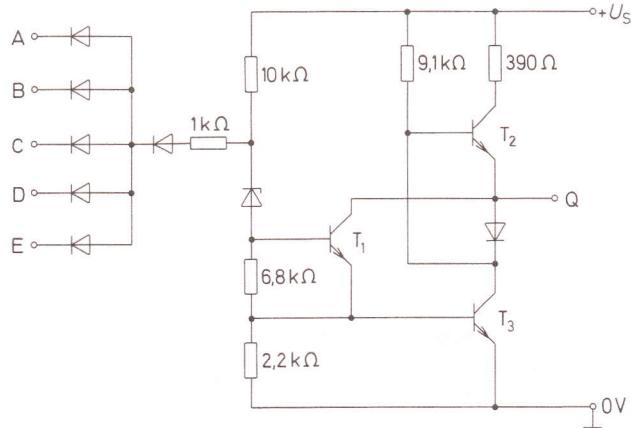
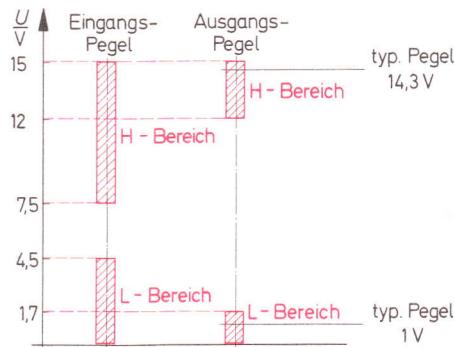


Bild 6.36 Pegelbereiche der Schaltung FZH 125



Der typische H-Pegel beträgt 14,3 V, der typische L-Pegel 1,0 V. Es müssen schon erhebliche Störspannungen eingekoppelt werden, um aus einem L-Pegel einen H-Pegel zu machen oder einen H-Pegel auf den L-Pegelbereich herunterzuziehen. Die Schaltung hat eine große Störsicherheit. Die Signalverzögerungszeit liegt bei etwa 200 ns. Sie ist also wesentlich größer als bei normalen DTL-Gliedern.

Die integrierte Schaltung FZH 125 enthält zwei NAND-Glieder (bei positiver Logik) mit je 5 Eingängen. Das Anschlußschema des 16poligen Dual-Inline-Gehäuses zeigt Bild 6.37.

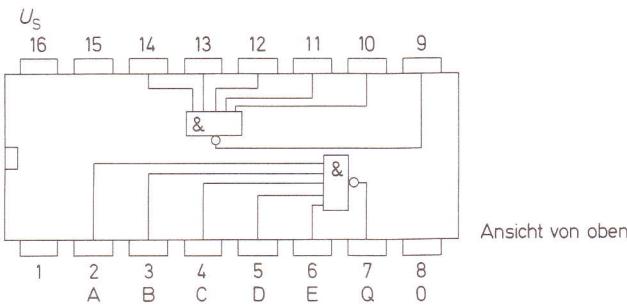


Bild 6.37 Anschlußschema
der Schaltung FZH 125

Ansicht von oben

Bild 6.38 Datenblatt der
Schaltung FZH 125
(nach Siemens-Unterlagen)

FZH 121/125

Statische Kenndaten im 15-V-Bereich

im Temperaturbereich 1 und 5 (s. Seite 143)

	Prüfbedingungen	Prüf-schaltung	untere Grenze B	typ.	obere Grenze A	Einheit
1: 0 °C bis +70 °C						
5: -25 °C bis +85 °C						
Speisespannung U_S						
H-Eingangsspannung U_{IH}	$U_S = U_{SB}$	1	13,5	15,0	17,0	V
L-Eingangsspannung U_{IL}	$U_S = U_{SB} \text{ und } U_{SA}$	2	7,5			V
H-Ausgangsspannung U_{QH}	$U_S = U_{SB} \text{ und } U_{SA}$	2	4,5			V
L-Ausgangsspannung U_{QL}	$U_{IL} = 4,5 \text{ V}, -I_{QH} = 0,1 \text{ mA}$ $U_S = U_{SB}, U_{IH} = 7,5 \text{ V}, I_{QL} = 18 \text{ mA}$	1	12,0	14,3		V
Statische Störsicherheit						
H-Signal U_{ss}						
L-Signal U_{ss}						
H-Eingangsstrom pro Eingang I_{IH}	$U_S = U_{SA}, U_I = U_{IHA}$	3	4,6	8,0		V
L-Eingangsstrom pro Eingang $-I_{IL}$	$U_S = U_{SA}, U_{IL} = 1,7 \text{ V}$	4	2,8	5,0		V
Kurzschlußausgangsstrom pro Ausgang $-I_Q$	$U_S = U_{SA}, U_I = 0 \text{ V}$	5	1,0	1,8		μA
H-Speisestrom pro Glied I_{SH}	$U_S = U_{SA}, U_I = 0 \text{ V}$	6		1,2	2,1	mA
L-Speisestrom pro Glied I_{SL}	$U_S = U_{SA}, U_I = U_{IHA}$	7		2,3	4,0	mA
Leistungsverbrauch pro Glied P	$U_S = U_{SA}$ Tastverhältnis 1:1		15,0	37,0	60,0	mA
			27	52		mW

Schaltzeiten bei $U_S = 15 \text{ V}$, $F_Q = 1$, $T_U = 25^\circ\text{C}$

Signal-Laufzeit	t_{PLH}	$\left. \begin{array}{l} C_L = 10 \text{ pF bei } 4,5 \text{ V} \\ \text{über Masse} \end{array} \right\}$	26	195	ns
Signal-Übergangszeit	t_{PHL}	$\left. \begin{array}{l} C_L = 10 \text{ pF} \end{array} \right\}$		140	
	t_{TLH}			410	ns
	t_{THL}			75	ns

Die Schaltung Bild 6.35 hat einen sogenannten Leistungsausgang. Ist der Transistor T_3 gesperrt, so ist der Transistor T_2 durchgesteuert. Bei gesperrtem Transistor T_3 liegt am Ausgang Q H-Pegel, also ungefähr 14,3 V. Zur Steuerung der nachfolgenden Glieder kann von U_S über den Widerstand von $390\ \Omega$ und T_2 ein verhältnismäßig großer Strom fließen. Die Schaltung kann also eine größere Anzahl nachfolgender Glieder mit H-Pegel versorgen.

Ist T_3 durchgesteuert, so muß T_2 sperren. Der Ausgang Q kann jetzt über die Diode und die Kollektor-Emitter-Strecke von T_3 einen verhältnismäßig großen Strom aufnehmen, ohne daß der Ausgangspegel zu stark ansteigt. Die Schaltung kann also eine größere Anzahl nachfolgender Glieder mit L-Pegel versorgen.

Für solche Schaltungen werden zwei verschiedene Ausgangslastfaktoren (Fan-out) angegeben, ein *H-Ausgangslastfaktor* und ein *L-Ausgangslastfaktor*. Der H-Ausgangslastfaktor gibt an, wie viele angeschaltete Eingänge mit H-Pegel versorgt werden können. Der L-Ausgangslastfaktor gibt an, wie viele angeschaltete Eingänge mit L-Pegel versorgt werden können.

Das Datenblatt für die Schaltung FZH 125 ist in Bild 6.38 wiedergegeben. Es enthält neben den Angaben der Spannungen und der Störsicherheit Angaben über den H-Eingangsstrom und über den L-Eingangsstrom. Aus diesen kann die in Abschnitt 6.4.4 näher erläuterte Eingangsbelastung, auch Lasteinheit genannt, entnommen werden:

$$\begin{array}{ll} \text{L-Eingangszustand} & -I_{IL} = 1\ \text{mA} \\ \text{H-Eingangszustand} & I_{IH} = 1,0\ \mu\text{A} \end{array}$$

Ebenfalls ist in dem Datenblatt der Kurzschlußausgangsstrom angegeben. Dieser ist bei den verhältnismäßig hohen Spannungen sehr groß. Die maximale Kurzschlußdauer darf höchstens 1 s betragen. Dies ist ein Grenzwert, bei dessen Überschreiten der Baustein zerstört wird.

Zu beachten ist, daß der Speisestrom je Glied bei H-Ausgangszustand einen anderen Wert als bei L-Ausgangszustand hat. Der typische H-Speisestrom beträgt 1,2 mA, der L-Speisestrom 2,3 mA. Damit wird der Leistungsverbrauch von dem Verhältnis der H-Zustandszeiten zu den L-Zustandszeiten abhängig. Dieses Verhältnis nennt man Tastverhältnis. Der Leistungsverbrauch je Glied ist für ein Tastverhältnis 1:1 angegeben. DTL-Schaltungen der LSL-Gruppe werden vor allem für Maschinensteuerungen verwendet. In Räumen mit motorischen Antrieben ist die Störsicherheit besonders wichtig. Hier treten oft erhebliche Störspannungen auf.

6.6 TTL-Schaltungen

6.6.1 Aufbau und Arbeitsweise von TTL-Gliedern

Die Bezeichnung TTL bedeutet *Transistor-Transistor-Logik*. Die Verknüpfungen werden bei dieser Schaltkreisfamilie ausschließlich durch bipolare Transistorsysteme erzeugt. Lediglich zur Verschiebung von Pegeln und zur Spannungsableitung werden Dioden verwendet. Widerstände dienen der Spannungsteilung und der Strombegrenzung.

TTL-Glieder werden nur als monolithisch integrierte Schaltungen hergestellt.

Ein neu auftretendes Bauteil ist der sogenannte Multi-Emitter-Transistor. Den prinzipiellen Aufbau eines solchen Transistors zeigt Bild 6.39. An die gemeinsame Basiszone grenzen drei Emitterzonen. Es ergeben sich somit drei räumlich voneinander getrennte PN-Übergänge zwischen Basis und Emittern. Man kann diese PN-Übergänge als Dioden auffassen.

An der Basis liegt üblicherweise eine Spannung von etwas mehr als 0,7 V gegen Masse. Wird einer der Emitter an Masse gelegt, fließt ein Basisstrom. Die Größe des Basisstromes wird durch den Wert des Basisvorwiderstandes R_1 und durch die Speisespannung U_S bestimmt (Bild 6.40).

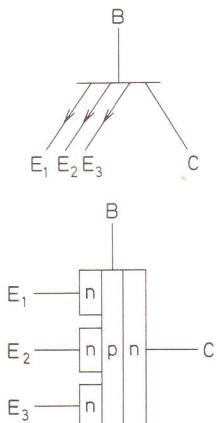


Bild 6.39 Multi-Emitter-Transistor

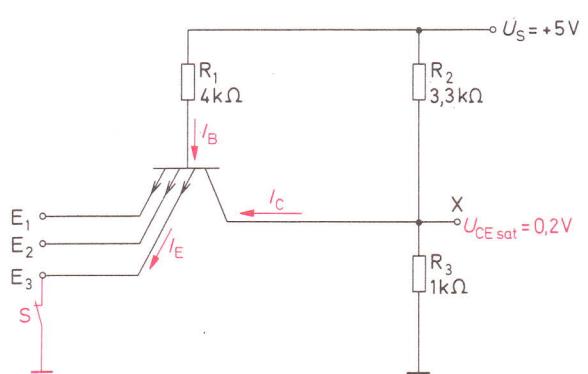


Bild 6.40 Schaltung mit Multi-Emitter-Transistor

Der Basisstrom wird stets so groß gewählt, daß der Multi-Emitter-Transistor mit Sicherheit in den Sättigungszustand gesteuert wird.

Der Sättigungszustand ist der größtmögliche Übersteuerungszustand (siehe Elektronik 3, Transistor-Schalterstufen). Die Kollektorspannung U_{CE} sinkt auf die Kollektor-Emitter-Sättigungsspannung $U_{CE\text{sat}}$ ab. Diese beträgt etwa 0,2 V.

Der Widerstand R_2 in Bild 6.40 soll etwa $3,3 \text{ k}\Omega$ sein. Der Strom I_C wird dann klein. Der Emitterstrom I_E hat ungefähr die Größe von I_B . Üblich sind Emitterströme zwischen 1 mA und 1,6 mA.

Legt man zwei Emitter oder alle drei Emitter in der Schaltung Bild 6.40 an Masse, so ändert sich die Spannung an Punkt X praktisch nicht. X bleibt auf ungefähr 0,2 V. Was ändert sich, wenn man den Emitter E_3 auf 0 V legen lässt und an die Emittoren E_1 und E_2 die Speisespannung von +5 V anlegt? Die PN-Übergänge zwischen den Emittorzonen von E_1 und E_2 und der Basiszone sind dann gesperrt (Pluspol an N-Zone). Der PN-Übergang von E_3 zur Basis bleibt durchgeschaltet. Der Transistor ist weiterhin im Sättigungszustand. Die Spannung an X ändert sich nicht.

Ordnet man die Spannungen zwischen 0 V und 0,4 V dem L-Pegelbereich zu, so kann man sagen:

Liegt an mindestens einem Emitter der Schaltung Bild 6.40 der Pegel L, so liegt auch am Ausgang X der Pegel L.

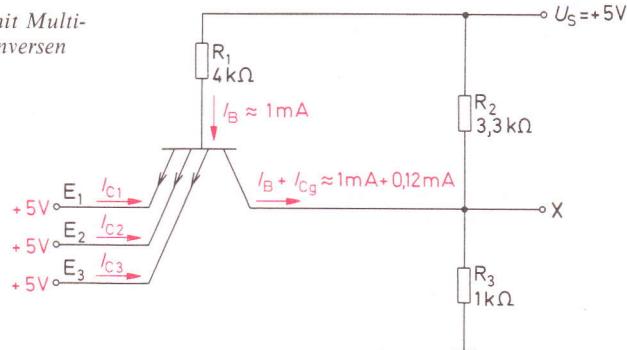
Ganz anders verhält sich die Schaltung, wenn an alle Emittoren die Speisespannung (H-Pegelbereich) angelegt wird (Bild 6.41). Die Emittorzonen liegen nun auf +5 V. Für Punkt X ergibt sich aufgrund des Spannungsteiler-Verhältnisses von R_2 und R_3 eine Spannung von ungefähr 0,45 V, also eine Spannung, die dem L-Pegel entspricht.

Der Kollektor liegt also auf etwa 0,45 V, die Emittoren auf +5 V. Jetzt arbeitet der Multi-Emitter-Transistor invers, d.h., Emitter und Kollektor haben ihre Funktionen vertauscht. Die Emittoren arbeiten als Kollektoren. Der Kollektor arbeitet als Emitter.

Liegen alle Emittoren auf H-Pegel, so arbeitet der Multi-Emitter-Transistor invers.

Der Basisstrom fließt vom Speisespannungspunkt über R_1 und R_3 nach Masse (Bild 6.41). Ein üblicher Wert des Basisstroms ist 1 mA. Man erwartet nun entsprechend hohe Kollektorströme I_C von den Emitter-Eingängen E_1 , E_2 und E_3 her. Doch die Ströme I_{C1} , I_{C2} und I_{C3} sind verhältnismäßig klein. Sie betragen nur etwa je 40 μ A. Man hat durch eine besondere Technologie dafür gesorgt, daß die sogenannte inverse Stromverstärkung des Multi-Emitter-Transistors sehr klein ist. Damit wird erreicht, daß steuernde Glieder nur einen verhältnismäßig geringen Steuerstrom aufbringen müssen.

Bild 6.41 Schaltung mit Multi-Emitter-Transistor im inversen Betrieb



Die inverse Stromverstärkung des Multi-Emitter-Transistors ist sehr viel kleiner als 1.

Am Ausgang X der in Bild 6.41 dargestellten Schaltung wird eine Spannung von etwa 1 bis 2 V auftreten. Diese Spannung lässt sich schlecht dem Pegelbereich H zuordnen. Sie ist etwas zu niedrig. Man kann aber mit dieser Spannung eine weitere Transistor-Schalterstufe ansteuern, wie in Bild 6.42 gezeigt wird. Die Spannungsteiler-Widerstände R_2 und R_3 können gespart werden. Die Funktion von R_3 übernimmt die Basis-Emitter-Strecke des Transistors T_2 . Der hochohmige Widerstand R_2 wird durch R_C und die Kollektor-Basis-Strecke von T_2 ersetzt. Die Schaltung hat die Eingänge A, B, C und den Ausgang Z.

Liegt an den Eingängen A, B und C der Pegel H, so arbeitet T_1 invers. Der Transistor T_2 wird in den Sättigungsbereich hinein aufgesteuert. Am Ausgang Z liegt eine Spannung von etwa 0,2 V. Diese gehört zum Pegelbereich L.

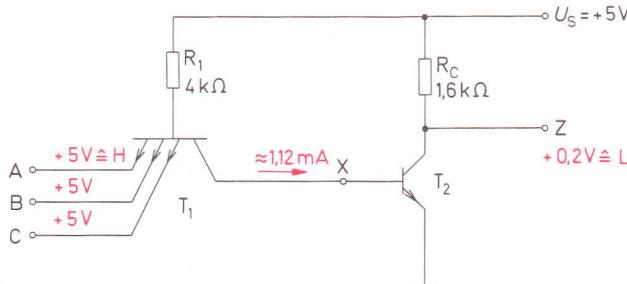


Bild 6.42 Einfaches TTL-Glied (NAND bei positiver Logik)

Fall	C	B	A	Z
1	L	L	L	H
2	L	L	H	H
3	L	H	L	H
4	L	H	H	H
5	H	L	L	H
6	H	L	H	H
7	H	H	L	H
8	H	H	H	L

Bild 6.43 Arbeitstabelle zur Schaltung Bild 6.42

Liegt an mindestens einem Eingang der Pegel L, so arbeitet der Multi-Emitter-Transistor T_1 normal im Sättigungsbereich. Seine Kollektorspannung sinkt auf etwa 0,2 V ab. T_2 muß sperren. Am Ausgang Z liegt H. Die Arbeitstabelle der Schaltung Bild 6.42 ist in Bild 6.43 dargestellt. Für positive Logik ergibt sich eine NAND-Verknüpfung.

Wie wirkt ein offener Eingang? Unter einem offenen Eingang versteht man einen Eingang, dessen Anschlußpunkt weder auf L-Pegel noch auf H-Pegel liegt. An den Anschlußpunkt eines offenen Eingangs ist nichts angeschlossen, er hängt in der Luft. Ein solcher Eingang ist nicht in der Lage, den Punkt X in der Schaltung Bild 6.42 auf etwa 0,2 V herunterzuziehen. Er kann also den Multi-Emitter-Transistor nicht durchsteuern. Wenn zwei Eingänge der Schaltung Bild 6.42 auf H-Pegel liegen und der dritte Eingang offen ist, wird der Multi-Emitter-Transistor invers durchsteuern – genauso als ob alle drei Eingänge auf H-Pegel liegen würden.

Bei TTL-Schaltungen wirkt ein offener Eingang so, als läge er auf H-Pegel.

Betrachten wir Bild 6.42 etwas genauer. Es fällt auf, daß der Multi-Emitter-Transistor nie gesperrt ist. Entweder ist der Multi-Emitter-Transistor im Normalbetrieb durchgesteuert oder er ist im Inversbetrieb durchgesteuert. Der Basisstrom fließt immer. Im Normalbetrieb fließt er zu dem oder den Eingängen, die auf L-Pegel liegen. Im Inversbetrieb fließt er zur Basis des Transistors T_2 . Das bedeutet, daß die Ladungsträger der Basiszone beim Umschalten nicht ausgeräumt werden müssen. Die für das Ausräumen sonst erforderliche Zeit entfällt. Das Umschalten von einem Zustand in den anderen erfolgt also sehr schnell.

Ein Multi-Emitter-Transistor schaltet sehr schnell vom Normalbetrieb in den Inversbetrieb und umgekehrt, da die Basisladung nicht ausgeräumt werden muß.

Für den Transistor T_2 ergeben sich ebenfalls kurze Schaltzeiten. Die Basisladung von T_2 wird beim Umschalten vom übersteuerten Zustand in den Sperrzustand vom Multi-Emitter-Transistor T_1 geradezu abgesaugt.

Die in Bild 6.42 dargestellte TTL-Schaltung eignet sich nicht besonders gut zum Ansteuern weiterer TTL-Glieder. Der Ausgang Z muß im Zustand L von jedem angeschlossenen Eingang etwa 1,6 mA Strom aufnehmen (Bild 6.44). Bei zehn angeschlossenen Eingängen (Ausgangslastfaktor 10) sind das immerhin 16 mA. Diese 16 mA können über den durchgesteuerten Transistor T_2 zur Masse abfließen.

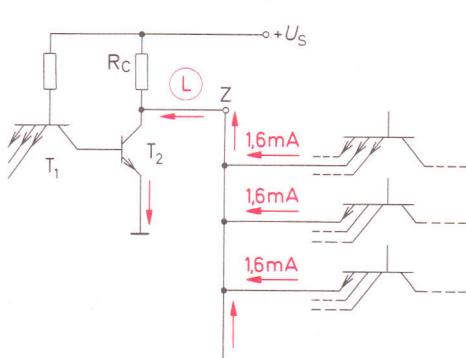


Bild 6.44 Aussteuerung von TTL-Gliedern mit Ausgangszustand L

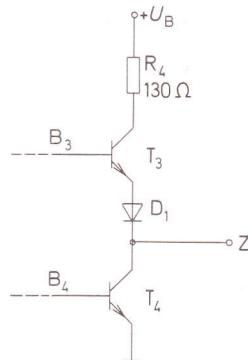


Bild 6.45 Gegenakt-Ausgangsstufe

Wenn aber der Ausgang Z H-Zustand hat und zehn angeschlossene Glieder steuern soll, wird das schon etwas schwieriger. Der aus dem Ausgang Z herausfließende Strom erzeugt einen Spannungsabfall an R_C . Um diesen Spannungsabfall sinkt der Ausgangspegel an Z ab. Das ist ungünstig. Man kann das Absinken des Ausgangspegels weitgehend verhindern, indem man eine Gegentakt-Ausgangsstufe verwendet. Solch eine Stufe ist in Bild 6.45 dargestellt. Sie wird auch Leistungsausgangsstufe genannt.

Einer der Transistoren T_3 und T_4 soll immer gesperrt sein, der andere soll durchgesteuert sein. Ist T_3 gesperrt und T_4 durchgesteuert, so liegt der Ausgang Z auf L. Der in den Ausgang Z hineinfließende Steuerstrom fließt über T_4 zur Masse ab.

Ist T_3 durchgesteuert und T_4 gesperrt, so liegt am Ausgang Z der Pegel H. Der für das Ansteuern der folgenden Glieder benötigte Steuerstrom fließt von $+U_B$ über R_4 , T_3 , die Diode D_1 zum Ausgang Z heraus. Wird der Ausgang Z stärker belastet, d.h., wird dem Ausgang Z ein größerer Steuerstrom entnommen, sinkt der Ausgangspegel nur um den an R_4 entstehenden zusätzlichen Spannungsabfall ab. An T_3 und D_1 entstehen bei Erhöhung des Stromes so gut wie keine zusätzlichen Spannungsabfälle.

Die Gegentakt-Ausgangsstufe kann einen verhältnismäßig großen Strom abgeben und einen verhältnismäßig großen Strom aufnehmen.

Beim Umschalten von einem Ausgangszustand in den anderen können die Transistoren T_3 und T_4 kurzzeitig beide leiten. Der Widerstand R_4 muß in diesem Fall den Strom begrenzen.

Die Diode D_1 dient der Pegelverschiebung. Man erkennt ihre Funktion am besten in der Gesamtschaltung Bild 6.46.

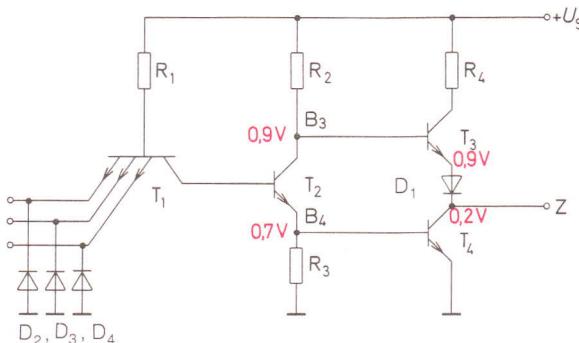


Bild 6.46 Typisches TTL-Glied mit Gegentakt-Ausgangsstufe

Ist der Transistor T_2 durchgesteuert, liegt am Punkt B_4 eine Spannung von etwa 0,7 V (Basis-Emitter-Spannung von T_4). Transistor T_4 wird voll durchgesteuert. An Z liegt etwa +0,2 V. Für T_2 gilt ebenfalls eine Kollektor-Emitter-Sättigungsspannung von 0,2 V, so daß an Punkt B_3 0,9 V gegen Masse liegen. Ohne die Diode D_1 würde sich für T_3 eine Spannung $U_{BE} \approx 0,7$ V ergeben (Emitter auf +0,2 V, Basis auf +0,9 V). Der Transistor T_3 würde ebenfalls durchsteuern.

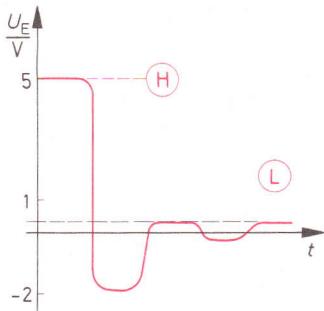


Bild 6.47 Überschwingen einer Eingangsspannung bei Übergang von H auf L

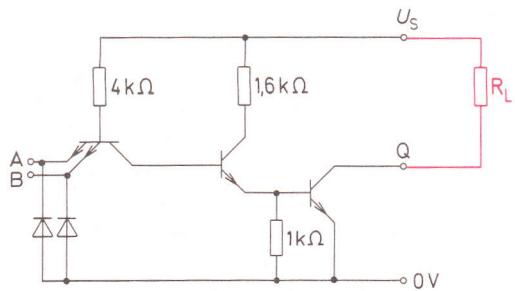


Bild 6.48 TTL-NAND-Glied mit offenem Kollektor

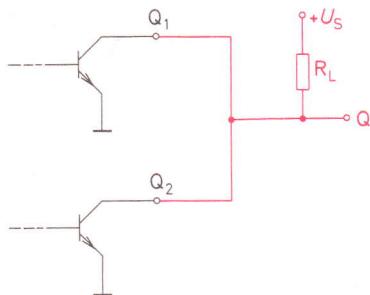


Bild 6.49 Zusammenschaltung von TTL-Gliedern mit offenem Kollektor

Da an der Diode D_1 etwa 0,7 V abfallen, wird der Emitter von T_3 auf einen Pegel von ungefähr 0,9 V angehoben. Damit wird U_{BE} von T_3 etwa 0 V, und T_3 sperrt sicher.

Beim Schalten von TTL-Gliedern ergeben sich an den Ausgängen recht steile Spannungsverläufe. Die Signal-Übergangszeiten (siehe Abschnitt 6.4.3) sind recht kurz – im Mittel etwa 5 ns. Dadurch kann es zum sogenannten „Überschwingen“ kommen. Wird der Eingang eines TTL-Gliedes von H auf L gesteuert, kann sich ein Spannungsverlauf gemäß Bild 6.47 ergeben. Am Eingang kann kurzeitig eine Spannung bis zu –2 V auftreten. Die Dioden D_2 , D_3 und D_4 in der Schaltung Bild 6.46 haben die Aufgabe, das Überschwingen zu bedämpfen und die negativen Spannungen abzuleiten. Sie werden Spannungs-Ableitdiode genannt.

In der TTL-Schaltkreisfamilie gibt es Glieder mit sogenanntem «offenem Kollektor». Bei diesen Gliedern fehlt der sonst übliche Kollektowiderstand. Der Kollektoranschlußpunkt des Ausgangstransistors ist an einen Anschlußpol des Gehäuses geführt (Bild 6.48).

Beim Aufbau von Schaltungen ist ein Kollektowiderstand der richtigen Größe vorzusehen. Verknüpfungsglieder mit offenem Kollektor sind für Phantom-Verknüpfungen (Wired-Verknüpfungen) geeignet.

Man kann die offenen Kollektoren mehrerer Glieder zusammenschalten und den Verbindungspunkt über einen gemeinsamen Kollektowiderstand an Speisespannung legen (Bild 6.49). Die Größe des gemeinsamen Kollektowiderstandes ist nach Herstelleran-

gaben zu wählen. Die Anzahl der zusammengeschalteten Kollektoranschlüsse spielt dabei eine wichtige Rolle.

Die in Bild 6.49 dargestellte Schaltung führt zu einer Phantom-UND-Verknüpfung (Wired-AND) bei positiver Logik. Liegt ein Ausgang auf L-Pegel, d.h., ist ein Ausgangstransistor durchgesteuert, wird der Verbindungspunkt Q stets auf L-Pegel liegen. Nur wenn alle Ausgangstransistoren gesperrt sind, also alle Ausgänge H-Pegel führen sollen, liegt der Verbindungspunkt auch auf H-Pegel.

Die TTL-Schaltkreisfamilie hat sich in verschiedene Familienzweige aufgespalten, die als Unterfamilien bezeichnet werden. Die Schaltkreise der einzelnen Unterfamilien unterscheiden sich vor allem durch die Leistungsaufnahme und durch die Schaltzeiten. Die Störsicherheit ist ein weiteres Unterscheidungsmerkmal.

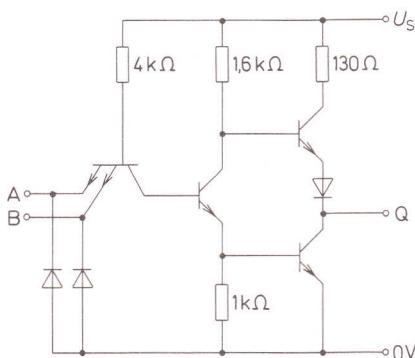


Bild 6.50 Standard-TTL-Glied der Schaltung FLH 101-7400 (NAND bei positiver Logik)

6.6.2 Standard-TTL

Die Unterfamilie «Standard TTL» hat eine große technische Bedeutung. Ein typisches Standard-TTL-Glied zeigt Bild 6.50. Das Glied erzeugt bei positiver Logik eine NAND-Verknüpfung.

6.6.2.1 Schaltungen

Bei einer integrierten Schaltung sind meist mehrere TTL-Glieder untergebracht. Die Schaltung FLH 101-7400 enthält z.B. vier NAND-Glieder, wie aus dem Anschlußschema Bild 6.51 ersichtlich ist. Verwendet wird fast ausschließlich das Dual-Inline-Gehäuse (Bild 6.52).

Für Phantom-UND-Verknüpfungen (Wired-AND) werden Glieder mit offenem Kollektor gebaut. Das Schaltbild eines NICHT-Gliedes mit offenem Kollektor zeigt Bild 6.53. Die integrierte Schaltung FLH 271-7405 enthält sechs solcher NICHT-Glieder (Bild 6.54).

NAND-Glieder mit zwei bis acht Eingängen sind in verschiedenen Versionen verfügbar, mit Gegentaktausgang, mit offenem Kollektor oder mit Leistungsausgang. Die Schal-

Bild 6.51 Anschlußschema der integrierten Schaltung FLH 101-7400

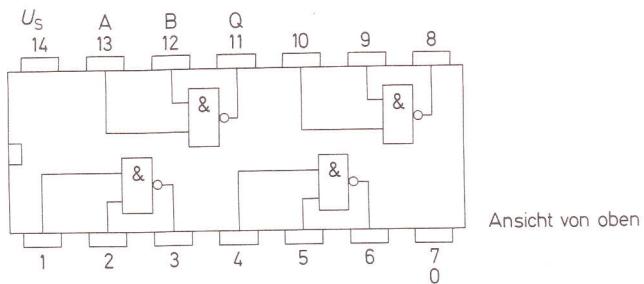


Bild 6.52 Dual-Inline-Gehäuse (DIL)

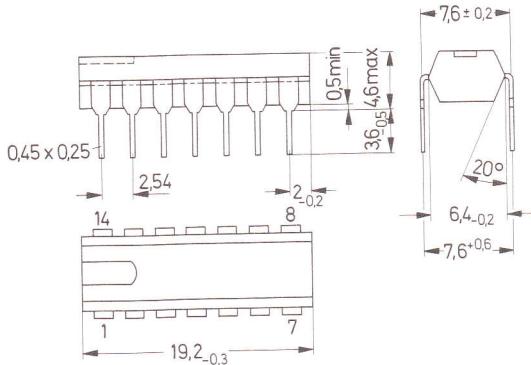


Bild 6.53 Schaltbild eines NICHT-Gliedes mit offenem Kollektor (Siemens)

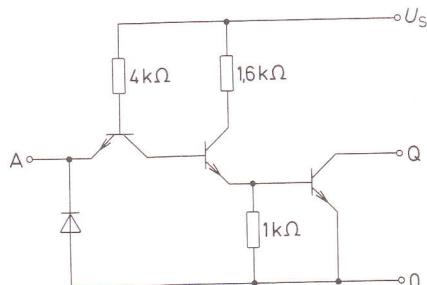


Bild 6.54 Anschlußschema der integrierten Schaltung FLH 271-7405 (Siemens)

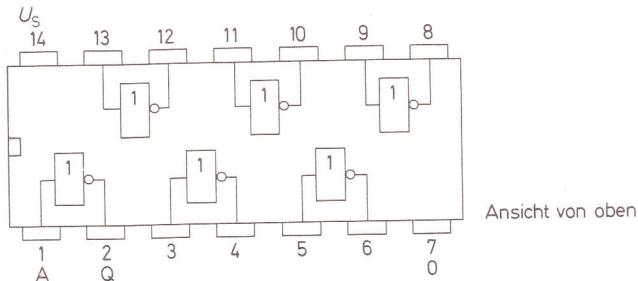


Bild 6.55 TTL-NAND-Glied mit 5 Eingängen und Anschlußschema der Schaltung FLH 331-4931

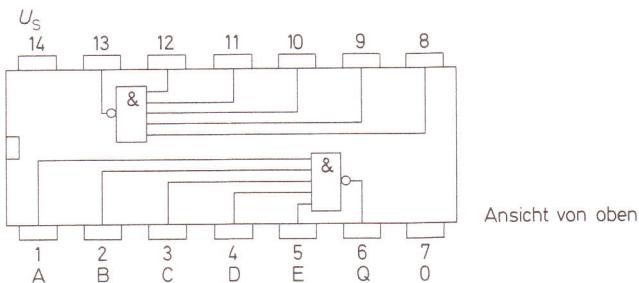
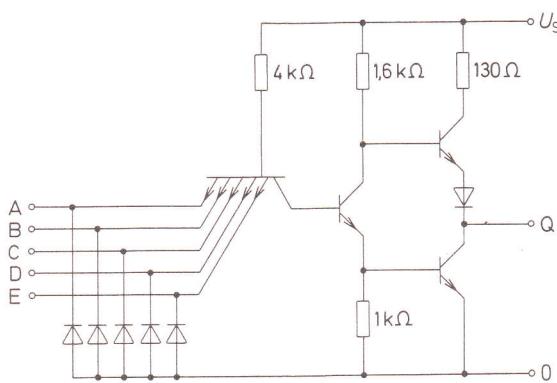
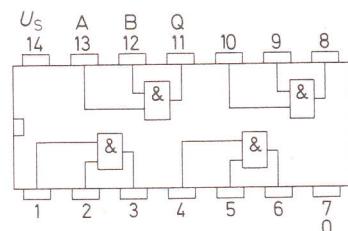
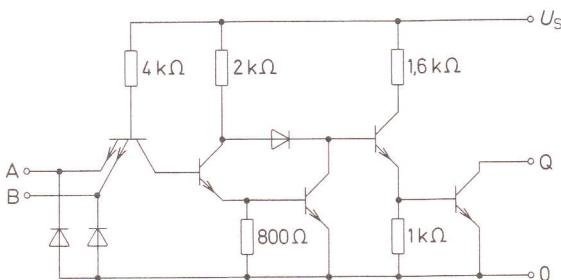


Bild 6.56 TTL-UND-Glied mit offenem Kollektor und Anschlußschema der Schaltung FLH 391-7409



tung eines NAND-Gliedes mit fünf Eingängen ist in Bild 6.55 dargestellt. Die integrierte Schaltung FLH 331-4931 enthält zwei solcher Glieder.

UND-Glieder werden seltener benötigt. Man kann sie leicht aus NAND-Gliedern herstellen. Für einen einfachen Schaltungsaufbau wird jedoch gern die Schaltung FLH 391-7409 verwendet. Sie enthält vier UND-Glieder mit offenem Kollektor (Bild 6.56) und ist für Phantom-UND-Verknüpfungen (Wired-AND) geeignet.

6.6.2.2 Grenzdaten und Kenndaten

Grenzdaten sind Daten, die in keinem Fall überschritten werden dürfen. Kommt es trotzdem einmal zu einer Überschreitung der Grenzdaten, muß mit einer Zerstörung des Bauteils gerechnet werden. Für Standard-TTL-Schaltungen werden allgemein folgende Grenzwerte angegeben:

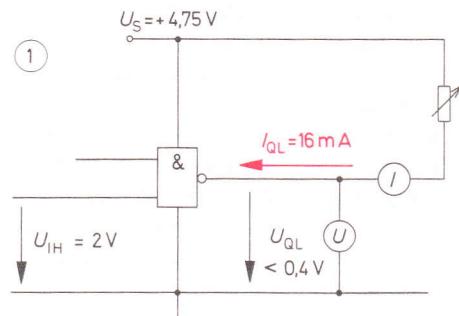
	untere Grenze	obere Grenze
Speisespannung U_S	- 0,5 V	7,0 V
Eingangsspannung U_I	- 1,5 V	5,5 V
Differenzspannung zwischen zwei Eingängen U_D		5,5 V
Ausgangsspannung U_Q	- 0,8 V	5,5 V
Betriebstemperatur T_U		
Bereich 1	0 °C	70 °C
Bereich 5	-25 °C	85 °C
Lagertemperatur T_S	-65 °C	150 °C

Bei den Kenndaten unterscheidet man statische Kenndaten, Schaltzeiten und logische Daten. Zu den Kenndaten gehört zunächst die Betriebsspannung. Sie darf zwischen 4,75 V und 5,25 V schwanken. Der typische Wert ist 5 V.

Für alle Verknüpfungsglieder wird eine untere Grenze der H-Eingangsspannung angegeben. Sie beträgt normalerweise 2 V. Bei der kleinsten H-Eingangsspannung U_{IH} von 2 V darf die - Ausgangsspannung U_{QL} ihren Höchstwert von 0,4 V nicht überschreiten – auch dann nicht, wenn der Ausgangsstrom I_Q seinen Höchstwert von 16 mA erreicht. Für die Ermittlung dieser Werte gelten Prüfbedingungen und die Prüfschaltung 1 Bild 6.57. Die Prüfbedingungen sind im Datenblattauszug Bild 6.58 angegeben.

Bei der höchsten L-Eingangsspannung U_{IL} von 0,8 V darf die H-Ausgangsspannung U_{QH} nicht unter 2,4 V absinken. Die Werte für die obere Grenze von U_{IL} und die untere Grenze von U_{QH} werden mit der Prüfschaltung 2 nach Bild 6.59 bestimmt. Alle weiteren Eingänge werden auf H-Pegel gelegt, da dies dem ungünstigsten Fall entspricht.

Bild 6.57 Prüfschaltung 1



Statische Kenndaten		Prüfbedingungen	Prüf-schal-tung	untere Grenze B	Typ	obere Grenze A	Ein-heit
H-Eingangsspannung	U_{IH}	$U_S = 4,75 \text{ V}$	1	2,0			V
L-Ausgangsspannung	U_{QL}	$U_S = 4,75 \text{ V}$ $U_{IH} = 2 \text{ V}$, $I_{QL} = 16 \text{ mA}$	1		0,22	0,4	V
L-Eingangsspannung	U_{IL}	$U_S = 4,75 \text{ V}$	2			0,8	V
H-Ausgangsspannung	U_{QH}	$U_S = 4,75 \text{ V}$ $U_{IL} = 0,8 \text{ V}$ $-I_{QH} = 400 \mu\text{A}$	2	2,4	3,3		V

Bild 6.58 Datenblattauszug

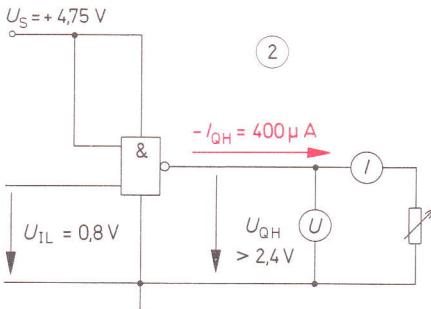


Bild 6.59 Prüfschaltung 2

Die Eingangsströme sind unterschiedlich, je nachdem, ob der Eingang H-Pegel oder L-Pegel führt. Der H-Eingangsstrom I_{IH} ist der Eingangsstrom je Eingang, der sich bei H-Pegel 2,4 V einstellt. Er darf maximal 40 μA sein. Gemessen wird er unter den Prüfbedingungen des Datenblattauszuges Bild 6.60 mit der in Bild 6.61 dargestellten Prüfschaltung 3. Bei der höchstzulässigen Eingangsspannung U_I von 5,5 V darf sich ein Eingangsstrom I_I von höchstens 1 mA ergeben.

Für die Ermittlung des L-Eingangsstroms gilt die Prüfschaltung 4. Bei U_{IL} von 0,4 V dürfen maximal 1,6 mA fließen (Bild 6.62).

Ein weiterer wichtiger Kennwert ist der Kurzschlußausgangsstrom. Er wird mit Prüfschaltung 5 ermittelt. Seine untere Grenze liegt bei 18 mA, die obere bei 55 mA (Bild 6.63). Alle Eingänge müssen auf L-Pegel liegen. Kurzgeschlossene Ausgänge sollten möglichst nicht auftreten. Bei einigen Verknüpfungsgliedern ist ein Kurzschluß des Ausgangs nicht erlaubt.

Statische Kenndaten		Prüfbedingungen	Prüf-schaltung	untere Grenze B	Typ	obere Grenze A	Einheit
H-Eingangsstrom pro Eingang I_{IH} I_I		$U_{IH} = 2,4 \text{ V}$ $U_I = 5,5 \text{ V}$ $U_S = 5,25 \text{ V}$	3 3			40 1	μA mA
L-Eingangsstrom	$-I_L$	$U_S = 5,25 \text{ V}$ $U_{IL} = 0,4 \text{ V}$	4			1,6	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = 5,25 \text{ V}$	5	18		55	mA
H-Speisestrom	I_{SH}	$U_S = 5,25 \text{ V}$ $U_I = 0 \text{ V}$	6		4	8	mA
L-Speisestrom	I_{SL}	$U_S = 5,25 \text{ V}$ $U_I = 5 \text{ V}$	6		12	22	mA

Bild 6.60 Datenblattauszug

Bild 6.61
Prüfschaltung 3

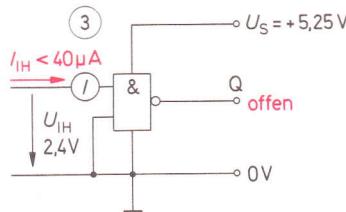


Bild 6.62
Prüfschaltung 4

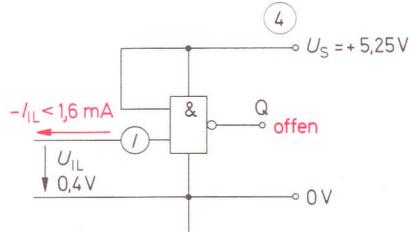
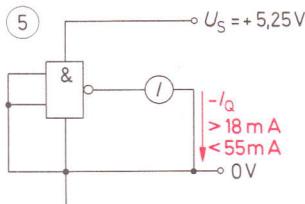


Bild 6.63
Prüfschaltung 5



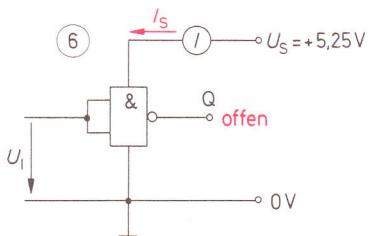


Bild 6.64 Prüfschaltung 6

Der Speisestrom, den ein Verknüpfungsglied aufnimmt, wird mit der Prüfschaltung 6 (Bild 6.64) gemessen. Er hat einen unterschiedlichen Wert, je nachdem, ob L-Pegel oder H-Pegel am Eingang liegt. Es wird die höchste zulässige Speisespannung von 5,25 V an das Glied gelegt. Im Datenblatt ist der gesamte Speisestrom der integrierten Schaltung angegeben und nicht der Speisestrom eines einzelnen Gliedes.

Die statische Störsicherheit ist ein weiterer Kennwert. Die Störsicherheiten sind in Abschnitt 6.4.5 näher erläutert. Für Standard-TTL-Glieder beträgt die statische Störsicherheit typisch 1 V – unter ungünstigsten Bedingungen aber mindestens 0,4 V.

Die Schaltzeiten wurden bereits in Abschnitt 6.4.3 besprochen. Sie sind im vollständigen Datenblatt Bild 6.65 angegeben.

Zu den logischen Daten gehören der Ausgangslastfaktor F_Q (Fan-out) und der Eingangslastfaktor F_I (Fan-in). Sie sind in Abschnitt 6.4.4 näher erläutert. Ebenfalls zu den logischen Daten gehört die sogenannte logische Funktion. Man versteht hierunter die schaltalgebraische Gleichung der Verknüpfung, die das Glied bei positiver Logik erzeugt.

In Bild 6.66 ist das Datenblatt der integrierten Schaltung FLH 201-7401 angegeben. Diese Schaltung enthält vier NAND-Glieder mit offenem Kollektor. Im Datenblatt sind die Gleichungen zur Berechnung des Kollektorwiderstandes und eine Widerstands-Wertetabelle enthalten.

6.6.2.3 Kennlinien

Für TTL-Glieder werden einige charakteristische Kennlinien angegeben, die über das Betriebsverhalten des Verknüpfungsgliedes Aufschluß geben. Besonders wichtig ist die Übertragungskennlinie. Typische Übertragungskennlinien für Standard-TTL-Glieder sind in Bild 6.67 dargestellt.

Die Übertragungskennlinie gibt an, welche Ausgangsspannung sich bei einer bestimmten Eingangsspannung einstellt.

Aus der Übertragungskennlinie können außerdem der H-Eingangsspannungsbereich, der L-Eingangsspannungsbereich, der H-Ausgangsspannungsbereich und der L-Ausgangsspannungsbereich abgelesen werden. Für verschiedene Betriebstemperaturen ergeben sich unterschiedliche Übertragungskennlinien.

Vier NAND-Glieder mit je zwei Eingängen

FLH 101-7400 FLH 105-8400

Statische Kenndaten im Temperaturbereich 1 und 5	Prüfbedingungen	Prüf- schal- tung	untere Grenze B	Typ	obere Grenze A	Ein- heit
Speisespannung U_S			4,75	5,0	5,25	V
H-Eingangsspannung U_{IH}	$U_S = 4,75 \text{ V}$	1	2,0			V
L-Eingangsspannung U_{IL}	$U_S = 4,75 \text{ V}$	2			0,8	V
Eingangsklemmspannung $-U_I$	$U_S = 4,75 \text{ V},$ $-I_I = 12 \text{ mA}$				1,5 V	
H-Ausgangsspannung U_{QH}	$U_S = 4,75 \text{ V}$ $U_{IL} = 0,8 \text{ V}$ $-I_{QH} = 400 \mu\text{A}$	2	2,4	3,4		V
L-Ausgangsspannung U_{QL}	$U_S = 4,75 \text{ V}$ $U_{IH} = 2 \text{ V}$ $I_{QL} = 16 \text{ mA}$	1		0,2	0,4	V
Statische Störsicherheit U_{ss}			0,4	1		V
H-Eingangsstrom pro Eing. I_{IH}	$U_{IH} = 2,4 \text{ V}$ $U_I = 5,5 \text{ V} = 5,25 \text{ V}$	3			40	μA
L-Eingangsstrom pro Eing. $-I_{IL}$	$U_S = 5,25 \text{ V}$ $U_{IL} = 0,4 \text{ V}$	4			1	mA
Kurzschlußausgangsstrom pro Ausgang $-I_Q$	$U_S = 5,25 \text{ V}$	5	18		1,6	mA
H-Speisestrom I_{SH}	$U_S = 5,25 \text{ V}$ $U_I = 0 \text{ V}$	6		4	55	mA
L-Speisestrom I_{SL}	$U_S = 5,25 \text{ V}$ $U_I = 5 \text{ V}$	6		12	8	mA
					22	mA

Schaltzeiten bei $U_S = 5 \text{ V}$, $T_U = 25^\circ\text{C}$

Signal-Laufzeit	t_{PHL}	$C_L = 15 \text{ pF}$	22	7	15	ns
	t_{PLH}	$R_L = 400 \Omega$		11	22	ns

Logische Daten

Ausgangslastfaktor pro Ausgang	F_Q	10
Eingangslastfaktor pro Eingang	F_I	1
Logische Funktion	$Q = \overline{A \wedge B}$	

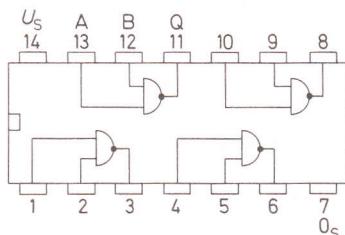
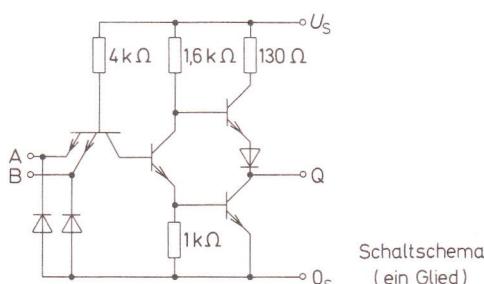


Bild 6.65 Vollständiges Datenblatt der integrierten Schaltung FLH 101-7400
(nach Unterlagen der Fa. Siemens)

FLH 201 — 7401
FLH 201 S—7401 S1
FLH 201 T—7401 S3

FLH 205 — 8401
FLH 205 S—8401 S1
FLH 205 T—8401 S3

Vier NAND-Glieder mit je zwei Eingängen und offenem Kollektor

Die Schaltglieder FLH 201/205 sind für Phantom-UND-Verknüpfungen vorgesehen (wired-AND).

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf-schalt-tung	untere Grenze B	Typ	obere Grenze A	Einheit
Speisespannung	U_S			4,75	5,0	5,25	V
H-Eingangsspannung	U_{IH}	$U_S = 4,75 \text{ V}$	1	2,0			V
L-Eingangsspannung	U_{IL}	$U_S = 4,75 \text{ V}$	14			0,8	V
Eingangsklemmspannung	$-U_I$	$U_S = 4,75 \text{ V},$ $-I_I = 12 \text{ mA}$				1,5	V
L-Ausgangsspannung	U_{QL}	$U_S = 4,75 \text{ V}$ $U_{IH} = 2 \text{ V},$ $I_{QH} = 16 \text{ mA}$	1		0,2	0,4	V
Statistische Störsicherheit	U_{ss}			0,4	1,0		V
H-Eingangsstrom pro Eingang	I_{IH}	$U_{IH} = 2,4 \text{ V}$	3			40	μA
	I_I	$U_I = 5,5 \text{ V}$	3			1	mA
		$U_S = 5,25 \text{ V}$					
L-Eingangsstrom, pro Eingang	$-I_{IL}$	$U_S = 5,25 \text{ V}$	4			1,6	mA
		$U_{IL} = 0,4 \text{ V}$					
H-Ausgangsstrom, pro Ausgang	I_{QH}	$U_S = 4,75 \text{ V}$	14			250	μA
		$U_{QH} = 5,5 \text{ V},$ $U_{IL} = 0,8 \text{ V}$					
H-Speisestrom	I_{SH}	$U_S = 5,25 \text{ V}$	6		4	8	mA
		$U_I = 0 \text{ V}$					
L-Speisestrom	I_{SL}	$U_S = 5,25 \text{ V}$	6		12	22	mA
$U_I = 5,0 \text{ V}$							
Schaltzeiten bei $U_S = 5 \text{ V},$ $T_U = 25^\circ\text{C}$							
Signal-Laufzeit	t_{PHL}	$R_L = 400 \Omega$	22		8	15	ns
	t_{PLH}	$R_L = 4 \text{ k}\Omega$			35	45	ns
		$C_L = 15 \text{ pF}$					
Logische Daten							
L-Ausgangslastfaktor pro Ausgang	F_{QL}					10	
Eingangslastfaktor pro Eingang	F_I					1	
Logische Funktion		$Q = \overline{A \wedge B}$					

FLH 201 S, FLH 205 S: wie FLH 201/205 jedoch Ausgang 15 V/250 µA

FLH 201 T, FLH 205 T: wie FLH 201/205 jedoch Ausgang 5,5 V/50 µA

Berechnung des Kollektorwiderstandes R_L

Die Berechnung erfolgt nach folgenden Formeln

H-Zustand

L-Zustand

$$R_{LA} = \frac{U_S - 2,4 \text{ V}}{n \cdot 250 \mu\text{A} + N \cdot 40 \mu\text{A}} \text{ (M}\Omega\text{)}$$

$$R_{LB} = \frac{U_S - 0,4 \text{ V}}{16 \text{ mA} - N \cdot 1,6 \text{ mA}} \text{ (k}\Omega\text{)}$$

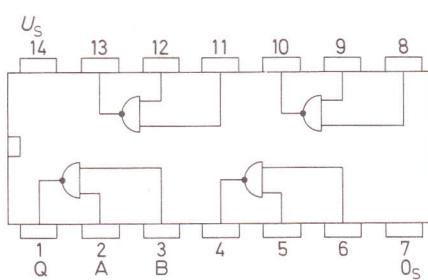
Wobei:

U_S = Speisespannung

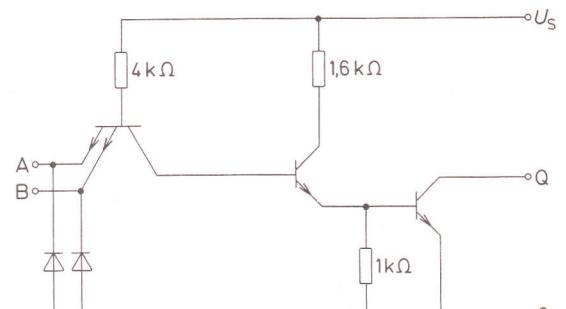
n = Anzahl der FLH 201 in UND-Verbindung
N = Anzahl der angeschlossenen Eingänge } (Werte siehe Tabelle)

Bei $U_S = 5 \text{ V}$ und entsprechender Variation der Werte für n und N ergeben sich nachfolgend aufgeführte Grenzen für R_L . Der tatsächlich in der Schaltung verwendete Widerstand muß zwischen diesen beiden Werten liegen.

N	n							n
	1	2	3	4	5	6	7	
	oberer Grenzwert R_{LA} in Ω							
1	8965	4814	3291	2500	2015	1688	1452	319
2	7878	4482	3132	2407	1954	1645	1420	359
3	7027	4193	2988	2321	1897	1604	1390	410
4	6341	3939	2857	2241	1843	1566	1361	479
5	5777	3714	2736	2166	1793	1529	1333	575
6	5306	3513	2626	2096	1744	1494	1306	718
7	4905	3333	2524	2031	1699	1460	1280	958
8	4561	3170	2419	1969	1656			1437
9	4262	3023						2875
10	4000							4000
	nicht zulässig							



Anschriftenanordnung
Ansicht von oben



Schaltschema
(ein Glied)

Bild 6.66 Vollständiges Datenblatt der integrierten Schaltung FLH 201-7401
(nach Unterlagen der Fa. Siemens)

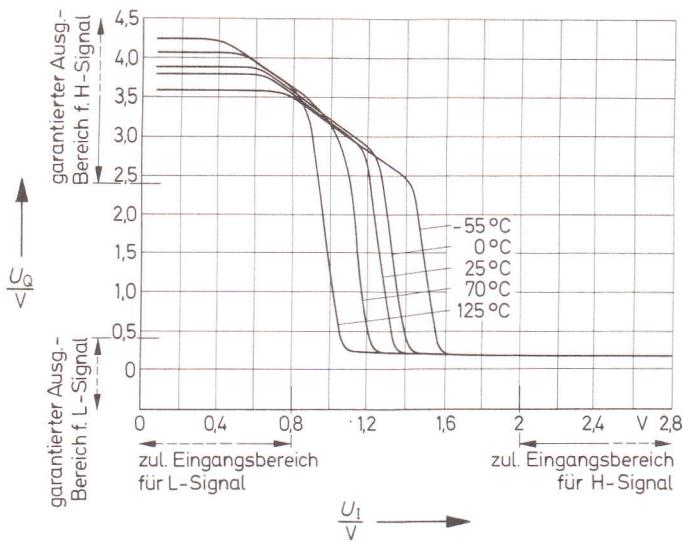


Bild 6.67 Übertragungskennlinien (bei $U_S = 5 \text{ V}$, $F_Q = 10 \text{ Siemens}$)

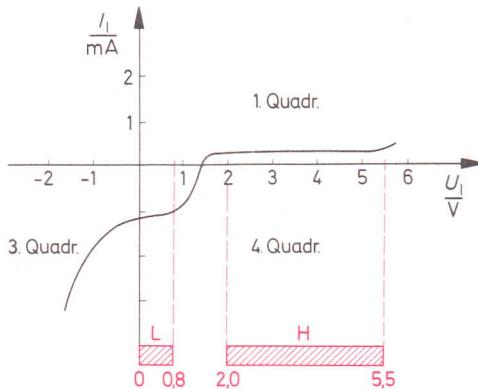


Bild 6.68 Eingangskennlinie (bei $U_S = 5 \text{ V}$, Siemens) für 25°C

Eine weitere wichtige Kennlinie ist die Eingangskennlinie (Bild 6.68).

Die Eingangskennlinie gibt den Zusammenhang zwischen Eingangsstrom und Eingangsspannung an.

Ist die Eingangsspannung U_I etwa 1,5 V, könnte sie schon als H-Eingangsspannung gelten. In den Eingang fließt ein Strom von etwa $40 \mu\text{A}$. Die Eingangsspannung gilt jedoch erst ab 2 V als H-Eingangsspannung.

Ist die Eingangsspannung kleiner als etwa 1,4 V, fließt ein Strom aus dem Eingang heraus. Dieser beträgt im Bereich der L-Eingangsspannung (0 V bis 0,8 V) etwa 1 mA. Er darf maximal 1,6 mA betragen. Die Eingangsspannung darf auch etwas negativ werden, und zwar bis $-1,5$ V. Bei $-1,5$ V liegt der untere Grenzwert für U_I . Die Eingangskennlinie Bild 6.68 gilt für eine Umgebungstemperatur von 25°C . Bei höheren und tieferen Temperaturen verschiebt sich die Kennlinie etwas.

Der Zusammenhang zwischen Ausgangsstrom und Ausgangsspannung wird durch zwei Ausgangskennlinien-Arten dargestellt. Eine Ausgangskennlinien-Art gilt für den Ausgangszustand H, die zweite für den Ausgangszustand L. Bild 6.69 zeigt Ausgangskennlinien für den H-Zustand, die für unterschiedliche Temperaturen gelten. Die Spannung U_{QH} darf die H-Grenze (2,4 V) nicht unterschreiten. Bei einer Umgebungstemperatur von 25°C dürfen dem Ausgang also maximal 8 mA entnommen werden.

Bild 6.70 zeigt Ausgangskennlinien für den L-Zustand. Der Strom I_{QL} fließt in den Ausgang hinein. Bei einer Umgebungstemperatur von 25°C dürfen etwa maximal 34 mA in den Ausgang hineinfließen. Fließt ein größerer Strom, so überschreitet U_{QL} den L-Ausgangsspannungsbereich (obere Grenze 0,4 V).

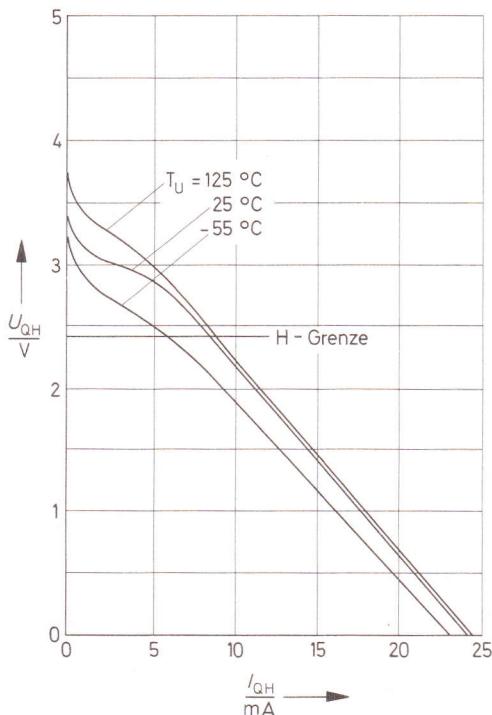


Bild 6.69 Ausgangskennlinie für H-Zustand bei $U_S = 5$ V und $U_I = 0,4$ V (Siemens)

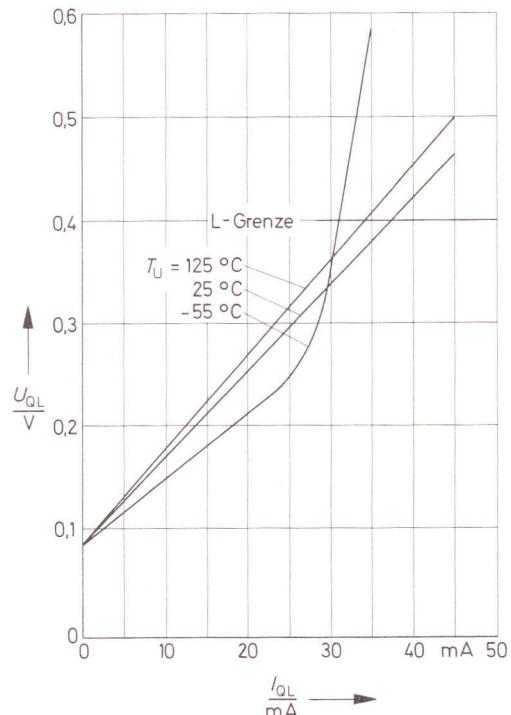


Bild 6.70 Ausgangskennlinien für L-Zustand bei $U_S = 5$ V, $U_I = 2,4$ V

6.6.2.4 Leistungsbedarf

Integrierte Schaltungen der Standard-TTL-Reihe nehmen verhältnismäßig viel elektrische Leistung auf. Die Schaltung FLH 101-7400 benötigt bei einer Speisespannung von 5,25 V einen mittleren Speisestrom von etwa 8 mA, was einer Leistung von 42 mW entspricht. Die Schaltung enthält vier NAND-Glieder. Jedes NAND-Glied benötigt also etwa 10 mW. Das ist für sich genommen keine große Leistung. Schaltungen mit 10 000 Gliedern benötigen jedoch eine Leistung von 100 W. An Batteriebetrieb ist bei einem solchen Leistungsbedarf nicht mehr zu denken.

Schaltungen mit Standard-TTL-Gliedern werden also vor allem ortsfest eingesetzt. Die Speisung erfolgt aus spannungsstabilisierten Netzteilen.

6.6.3 Low-Power-TTL (LTTL)

Die Bezeichnung «Low-Power» bedeutet «kleine Leistung». Low-Power-TTL-Glieder nehmen nur etwa $\frac{1}{10}$ der Leistung auf, die Standard-TTL-Glieder benötigen. Man erreicht die geringe Leistungsaufnahme durch eine Vergrößerung der Widerstände im Inneren der Schaltung. Ein typisches Low-Power-TTL-Glied ist in Bild 6.71 dargestellt. Man stellt fest, daß sich der Schaltungsaufbau von einem Standard-TTL-Glied praktisch nicht unterscheidet. Betrachtet man jedoch die einzelnen Widerstandswerte, wird der Unterschied klar. In Bild 6.71 sind die Widerstandswerte des Standard-TTL-Gliedes rot und in Klammern angegeben. Die Werte einiger wichtiger Widerstände des Low-Power-TTL-Gliedes sind zehn- bis zwölfmal so groß.

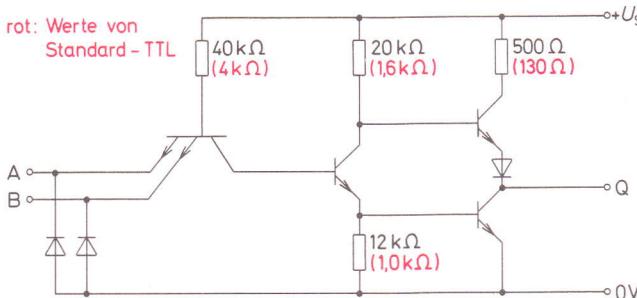


Bild 6.71 Typisches Low-Power-TTL-Glied (NAND bei pos. Logik)

Die Leistung, die ein NAND-Glied in Low-Power-Technik benötigt, ist etwa 1 mW. Die Schaltzeiten eines TTL-Gliedes werden hauptsächlich durch die Ladungs- und Entladungs-Vorgänge der Transistor-Kapazitäten bestimmt. Vergrößert man die Widerstandswerte in den Stromkreisen, dauern die Ladungs- und Entladungsvorgänge entsprechend länger. Low-Power-TTL-Glieder haben also größere Schaltzeiten als Standard-TTL-Glieder.

Low-Power-TTL-Glieder nehmen nur etwa 10% der Leistung der Standard-TTL-Glieder auf. Die Schaltzeiten sind jedoch etwa dreimal so groß.

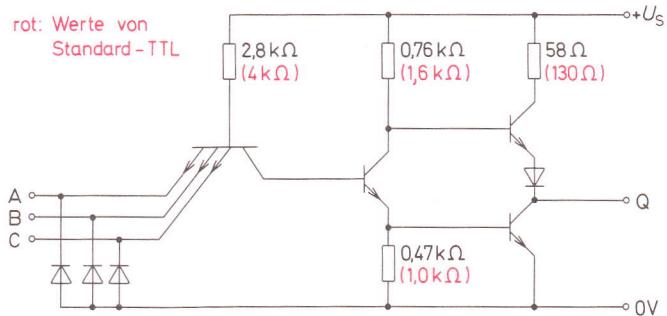
Die mittlere Impulsverzögerungszeit t_p – auch mittlere Signal-Laufzeit genannt – beträgt bei einem Low-Power-TTL-Glied etwa 33 ns.

6.6.4 High-Speed-TTL (HTTL)

Bei High-Speed-TTL-Gliedern kommt es vor allem auf möglichst kurze Schaltzeiten an (High-Speed, engl: hohe Geschwindigkeit). Bei dieser Unterfamilie wurde wie bei der Low-Power-TTL der grundsätzliche Schaltungsaufbau der Standard-TTL-Familie beibehalten. Die Widerstandswerte in den Stromkreisen wurden jedoch erheblich verringert (Bild 6.72). Die Ladungs- und Entladungs-Vorgänge der Transistor-Kapazitäten verlaufen nun wesentlich schneller. Man erreicht kurze Schaltzeiten. Die mittlere Signallaufzeit t_p beträgt etwa 5 ns.

Die geringen Widerstandswerte haben jedoch eine recht hohe Leistungsaufnahme zur Folge. Sie ist mehr als doppelt so hoch wie bei Standard-TTL-Gliedern. Ein NAND-Glied, wie in Bild 6.72 dargestellt, benötigt etwa 23 mW.

Bild 6.72 Typisches High-Speed-TTL-Glied (NAND bei positiver Logik)



High-Speed-TTL-Glieder schalten etwa doppelt so schnell wie Standard-TTL-Glieder. Sie benötigen aber mehr als das Doppelte an Leistung.

Ein Computer, der mit High-Speed-TTL-Gliedern aufgebaut ist, arbeitet also doppelt so schnell wie ein Computer mit Standard-TTL-Gliedern. Er kann somit in gleicher Zeit die doppelte Arbeitsmenge bewältigen. Das ist sehr erwünscht. Weniger erwünscht ist der große Leistungsbedarf.

6.6.5 Schottky-TTL (STTL)

In dem Bemühen, eine schnelle und doch leistungssparende Schaltkreisfamilie zu entwickeln, erinnerte man sich daran, daß Transistoren, die nicht in den Übersteuerungszustand geschaltet werden, die also nicht im gesättigten Zustand arbeiten, kürzere Schaltzeiten haben (siehe Beuth/Schmusch, Elektronik 3). Durch Zuschalten einer Diode

gemäß Bild 6.73 kann ein Transistor daran gehindert werden, weit in den Übersteuerungszustand zu schalten. Die Diode muß allerdings eine kurze Schaltzeit haben. Man verwendet daher Schottky-Dioden (siehe Beuth, Elektronik 2). Diese haben eine extrem kurze Schaltzeit und eine Schwellenspannung von etwa 0,35 V.

Der Transistor in der Schaltung Bild 6.73 kann nur soweit durchsteuern, bis U_{CE} auf etwa 0,4 V abgesunken ist. Dann verhindert die Schottky-Diode ein weiteres Durchsteuern. Sie wird leitend. Vom Basisanschluß fließt ein Strom über die Schottky-Diode und die Kollektor-Emitter-Strecke des Transistors zur Masse. Dieser Strom steht als Basisstrom nicht mehr zur Verfügung.

Der Anfang des Übersteuerungsbereichs eines Transistors wird erreicht, wenn U_{CE} auf den Wert von U_{BE} abgesunken ist. Bei $U_{CE} = 0,4$ V ist der Transistor schon leicht in den Übersteuerungsbereich hineingesteuert worden. Die Übersteuerung ist allerdings sehr schwach.

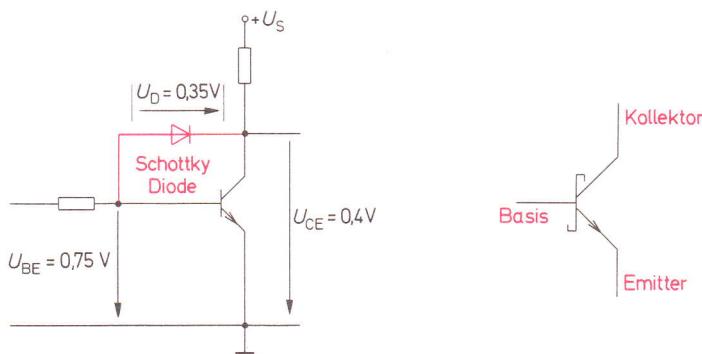


Bild 6.73 Transistor-Schalterstufe mit Schottky-Diode

Bild 6.74 Schaltzeichen eines Schottky-Transistors

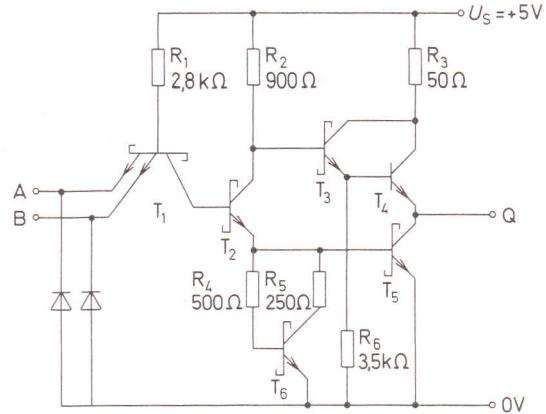
Die Schottky-Diode in Bild 6.73 wird «Antisättigungs-Diode» genannt. Für einen Transistor mit Schottky-Antisättigungs-Diode wurde die Bezeichnung Schottky-Transistor eingeführt. Für Schottky-Transistoren wird das in Bild 6.74 dargestellte Schaltzeichen verwendet. Das Zeichnen der Schottky-Dioden entfällt.

Die Schaltung eines typischen Schottky-TTL-Gliedes zeigt Bild 6.75. Das Glied ist ein NAND-Glied (bei positiver Logik).

Die Signallaufzeit t_p liegt zwischen 2,5 und 3 ns. Sie ist also nur halb so lang wie bei Gliedern der High-Speed-TTL-Unterfamilie.

Da die Schottky-Transistoren nur schwach durchsteuern, ist der L-Ausgangsspeigel höher als bei Standard-TTL-Gliedern. Der Abstand zwischen L-Pegelbereich und H-Pegelbereich wird dadurch geringer. Dies führt zu einer Verminderung der statischen Störsicherheit.

Bild 6.75 Schottky-TTL-Glied
74 S 00 (Texas Instruments)



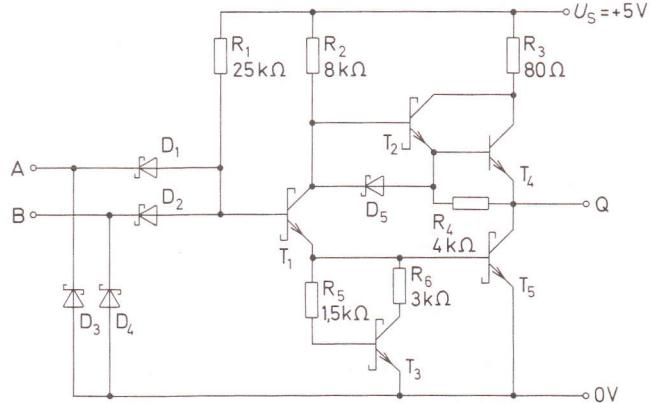
Schottky-TTL-Glieder haben sehr geringe Schaltzeiten und eine geringe statische Störsicherheit. Die Leistungsaufnahme ist recht groß.

Ein NAND-Glied nach Bild 6.75 benötigt eine Leistung von etwa 20 mW und damit doppelt so viel wie ein Standard-TTL-NAND-Glied.

6.6.6 Low-Power-Schottky-TTL (LSTTL)

Schottky-TTL-Glieder nehmen weniger Leistung auf, wenn die Widerstände in den Stromkreisen der Schaltungen hochohmiger sind. Wir haben diesen Zusammenhang bereits bei der Unterfamilie Low-Power-TTL (Abschnitt 6.6.3) näher betrachtet. Leider laufen bei höheren Widerstandswerten auch die Ladungs- und Entladungsvorgänge der Transistorkapazitäten langsamer ab, so daß sich größere Schaltzeiten ergeben.

Bild 6.76 Low-Power-Schottky-TTL-Glied 74 LS 00 (Texas Instruments)



Die größeren Schaltzeiten nimmt man bei der Unterfamilie «Low-Power-TTL» in Kauf.

Der Schaltungsaufbau der Low-Power-Schottky-TTL-Glieder entspricht dem Schaltungsaufbau der Schottky-TTL-Glieder. Nur die Widerstandswerte wurden größer gewählt. Bild 6.76 zeigt die Schaltung eines typischen Low-Power-Schottky-TTL-Gliedes. Für dieses Glied wird eine mittlere Signallaufzeit t_p , auch mittlere Impulsverzögerungszeit genannt, von 9,5 ns angegeben. Die Leistungsaufnahme beträgt aber nur 2 mW.

Low-Power-Schottky-TTL-Glieder haben praktisch die gleichen Schaltzeiten wie Standard-TTL-Glieder. Doch benötigen sie nur $\frac{1}{5}$ der Leistung.

Der Nachteil gegenüber Standard-TTL-Gliedern liegt in der geringeren statischen Störsicherheit, die die Low-Power-Schottky-TTL-Glieder ebenso wie die Schottky-TTL-Glieder haben.

6.6.7 Zusammenstellung wichtiger Eigenschaften

Ein ideales Verknüpfungsglied muß außerordentlich schnell schalten, d.h., seine Signallaufzeit sollte fast Null sein. Die Leistungsaufnahme sollte ebenfalls sehr klein und der Störabstand, d.h. die statische Störsicherheit, sollte sehr groß sein. Diese drei Forderungen lassen sich nicht gemeinsam möglichst weitgehend verwirklichen. Sie schließen einander aus. Wünscht man eine kurze Schaltzeit, so muß man eine größere Leistungsaufnahme und meist auch einen kleineren Störabstand in Kauf nehmen. Will man die Leistungsaufnahme klein halten, so muß man sich mit längeren Schaltzeiten abfinden.

In dem Bestreben, kurze Schaltzeiten, geringe Leistungsaufnahme und großen Störabstand zu erreichen, muß man einen Kompromiß schließen. Dieser Kompromiß wird für jeden ins Auge gefaßten Anwendungsfall anders aussehen.

Bei jeder TTL-Unterfamilie wurde zwischen den Forderungen nach kurzer Schaltzeit, geringer Leistungsaufnahme und großer Störsicherheit ein anderer Kompromiß geschlossen.

In neuerer Zeit wurden die TTL-Schaltkreise in kleinen Schritten weiter verbessert. Es werden nun „Advanced-Typen“ (advanced = engl.: fortgeschritten), also fortgeschritten bzw. verbesserte Typen angeboten, bei denen es gelungen ist, die Signallaufzeit und die Leistungsaufnahme weiter zu verringern und dabei den typischen Störabstand fast gleich zu lassen. Dies wurde möglich durch Ausnutzung aller Fortschritte bei der Herstellung integrierter Schaltungen. Zwei zunehmend wichtiger werdende TTL-Unterfamilien sind *Advanced-Schottky-TTL* (ASTTL) und *Advanced-Low-Power-Schottky-TTL* (ALSTTL). Die wichtigsten Daten dieser Unterfamilien sind in der folgenden Tabelle angegeben.

Die Ergebnisse dieser Kompromisse zeigt die Zusammenstellung der wichtigsten Eigenschaften der Glieder der TTL-Unterfamilien:

TTL-Unterfamilien	Standard-TTL	Low-Power-TTL	High-Speed TTL	Schottky-TTL	Low-Power-Schottky-TTL	Advanced Schottky-TTL	Advanced Low-Power-Schottky-TTL
Serienbezeichnung	74 00	74 L00	74 H00	74 S00	74 LS00	74 AS00	74 ALS00
Betriebsspannung	5 V	5 V	5 V	5 V	5 V	5 V	5 V
Leistungsaufnahme (je Glied)	10 mW	1 mW	23 mW	20 mW	2 mW	8 mW	1,2 mW
Signallaufzeit	10 ns	33 ns	5 ns	3 ns	9,5 ns	1,7 ns	4 ns
größte Schaltfrequenz	40 MHz	13 MHz	80 MHz	130 MHz	50 MHz	230 MHz	100 MHz
typischer Störabstand	1 V	1 V	1 V	0,5 V	0,6 V	0,4 V	0,5 V

6.7 ECL-Schaltungen

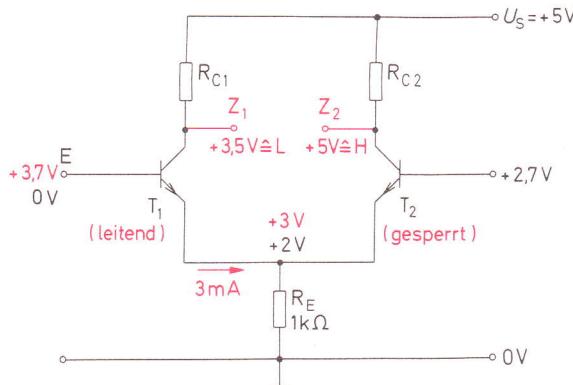
Die Bezeichnung «ECL» ist die Abkürzung der englischen Bezeichnung «Emitter Coupled Logic». Dies bedeutet «emittergekoppelte Logik». Andere Bezeichnungen für diese Schaltkreisfamilie lauten «Current Mode Logic (CML), «Emitter Emitter Coupled Logik» (E²CL) und «Emitter Coupled Transistor Logik» (ECTL). «Current Mode Logic» heißt auf deutsch «stromgesteuerte Logik».

Die ECL-Schaltungen sind als integrierte Schaltungen mit bipolaren Transistoren aufgebaut. Bei der Entwicklung der ECL-Schaltungen verfolgte man das Ziel, eine möglichst «schnelle Schaltkreisfamilie» zu schaffen, also eine Schaltkreisfamilie mit sehr kurzen Schaltzeiten. Sehr kurze Schaltzeiten lassen sich aber nur erreichen, wenn die Transistoren in Durchlaßrichtung nicht voll in den Übersteuerungszustand geschaltet werden. Die sogenannte Sättigung darf nicht auftreten (siehe Beuth/Schmusch, Elektronik 3, Abschnitt 5.3).

Es wäre nun möglich, Schaltkreise in reiner Verstärkertechnik aufzubauen. In diesen Schaltkreisen werden die Transistoren nie voll gesperrt und nie ganz durchgesteuert. Das Hin- und Herschalten zwischen zwei derartigen Arbeitspunkten erfolgt außerordentlich schnell. Die reine Verstärkertechnik bringt aber große Probleme hinsichtlich der Störsicherheit mit sich. Die Unterschiede der Pegelbereiche L und H sind gering, und die Pegelwerte werden nicht gut gehalten. Bei Temperaturänderungen wandern die Pegel weg. Ein selbsttätiger Übergang von H nach L und umgekehrt wäre möglich.

Mit Verstärkerstufen nach dem Differenzverstärkerprinzip (siehe Beuth/Schmusch, Elektronik 3, Abschnitt 3.7.2) ist es jedoch möglich, stets einen Transistor sicher zu sperren und den anderen aufzusteuern. Für den aufgesteuerten Transistor ergibt sich eine starke Stromgegenkopplung. Diese bewirkt, daß kleine Basisspannungsänderungen am aufgesteuerten Transistor so gut wie keine Änderung des Kollektorstroms erzeugen. Der Ausgangspegel bleibt daher stabil, obwohl der aufgesteuerte Transistor nicht im Sättigungszustand ist.

Bild 6.77 Differenzverstärkerschaltung



Betrachten wir die Schaltung in Bild 6.77. Sie stellt einen Differenzverstärker dar. Die Basis des Transistors T_2 liegt an einer festen Spannung, z.B. an $+2,7\text{ V}$. An der Basis von T_1 sollen zunächst auch $+2,7\text{ V}$ liegen. Beide Transistoren steuern soweit auf, wie es der gemeinsame Emitterwiderstand R_E erlaubt. Sie teilen sich den Emitterstrom von ca. 2 mA .

Wird die Spannung an der Basis von T_1 größer als $+2,7\text{ V}$, steuert T_1 weiter auf. Der Emitterstrom von T_1 wird größer. An R_E fällt eine größere Spannung ab. Der Transistor T_2 muß zusteuern.

Liegen $3,7\text{ V}$ an der Basis von T_1 , kann ein Emitterstrom von etwa 3 mA fließen. R_{C1} muß so bemessen sein, daß die Kollektorspannung von T_1 nicht zu tief absinkt. T_1 darf nur soweit durchsteuern, daß die Übersteuerungsgrenze erreicht oder höchstens ein klein wenig überschritten wird. Der Transistor T_2 sperrt. Er benötigt keinen Emitterstrom. Der Ausgang Z_2 des gesperrten Transistors T_2 wird auf $+5\text{ V}$ liegen. Diese Spannung soll zum H-Pegelbereich gehören. Der Ausgang Z_1 des leitenden Transistors T_1 hat eine Spannung, die sich aus dem Spannungsabfall an R_E und der Spannung U_{CE} des leitenden Transistors ergibt. Sie ist etwa $3,5\text{ V}$ und soll zum L-Pegelbereich gehören.

Sinkt die Spannung an der Basis von T_1 geringfügig ab oder steigt sie geringfügig an (z.B. um $\pm 0,1\text{ V}$), so ändern sich die Pegel am Z_1 und Z_2 praktisch nicht. Sie bleiben stabil. Sinkt die Spannung an der Basis von T_1 jedoch unter $2,7\text{ V}$ ab, erfolgt ein «Umkippen». Transistor T_2 beginnt aufzusteuren und zwingt Transistor T_1 zum Sperren. Der Ausgang Z_1 geht auf H-Pegel, der Ausgang Z_2 auf L-Pegel. Der Kollektorwiderstand R_{C2} muß so bemessen sein, daß T_2 nicht in die Sättigung durchsteuern kann.

Dem Transistor T_1 kann man weitere Transistoren parallel schalten (Bild 6.78). Die Parallelschaltung wirkt als Wired-OR-Verknüpfung. Die Schaltung erzeugt bei positiver Logik am Ausgang Z_1 eine NOR-Verknüpfung. Da der Ausgang Z_2 stets entgegengesetzten Zustand wie der Ausgang Z_1 hat, ist an Z_2 eine ODER-Verknüpfung vorhanden. Die H-Pegel und die L-Pegel der Ausgänge Z_1 und Z_2 eignen sich schlecht zum Ansteuern weiterer Verknüpfungsglieder. Man schaltet daher jedem der beiden Ausgänge eine Emitterfolgerstufe (Kollektorschaltung) nach. Man erhält dadurch eine Pegelverschiebung und die Möglichkeit, eine größere Anzahl nachgeschalteter Glieder zu steuern. Die

Bild 6.78 Grundschatzung eines ECL-Gliedes

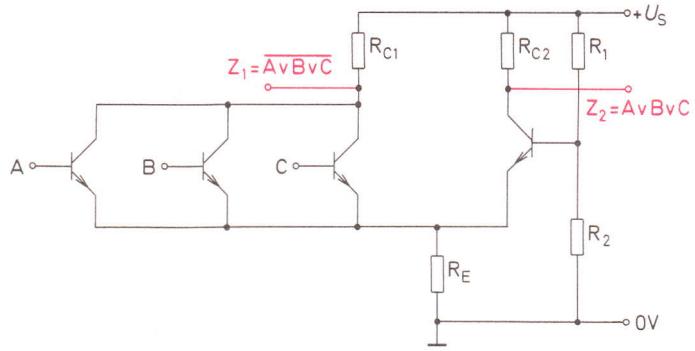
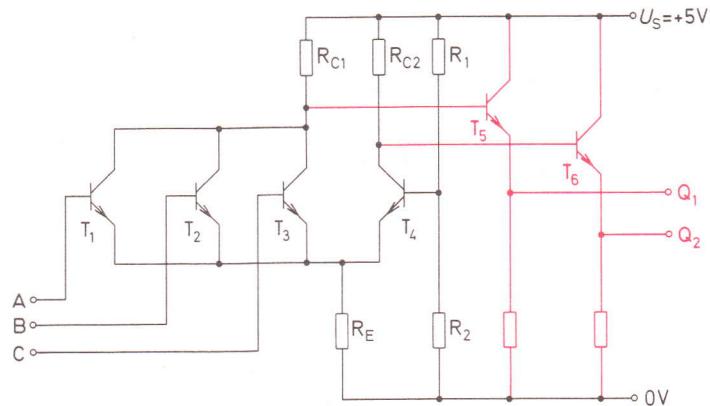


Bild 6.79 ECL-Glied mit Emitterfolgerstufe



üblichen Ausgangslastfaktoren (Fan-out) liegen zwischen 20 und 30. In Bild 6.79 ist die Schaltung eines ECL-Gliedes mit Emitterfolgerstufen dargestellt.

Die Festspannung für den Eingang des Transistors T₂ in Bild 6.77 kann mit Hilfe eines Spannungsteilers erzeugt werden. In der Schaltung FYH 124 (Bild 6.80) wird ein zusätzlicher Transistor verwendet, der dafür sorgt, daß die Festspannung besonders stabil bleibt. Durch die Festspannung wird die sogenannte Umschaltschwelle festgelegt.

Die Hersteller von ECL-Schaltungen verwenden meist eine negative Speisespannung von $-5,0$ V. Der positive Pol liegt an Masse. Für die H- und L-Pegel ergeben sich dann negative Spannungswerte. Die Pegelbereiche der Schaltung FYH 124 sind in Bild 6.81 angegeben. Die negative Speisespannung verbessert die Störsicherheit etwas. Die Eingangspegelbereiche für L und H liegen nur um 0,4 V auseinander. Die Störsicherheit ist dadurch gering. Die Hersteller geben in den Datenblättern eine statische Störsicherheit von 0,3 V an. Die Störsicherheiten sind in Abschnitt 6.4.5 näher erläutert.

Der besondere Vorteil der ECL-Schaltkreisfamilie ist durch die kurzen Schaltzeiten gegeben. Typische Signallaufzeiten liegen bei 2 ns. Eine verbesserte Technologie macht

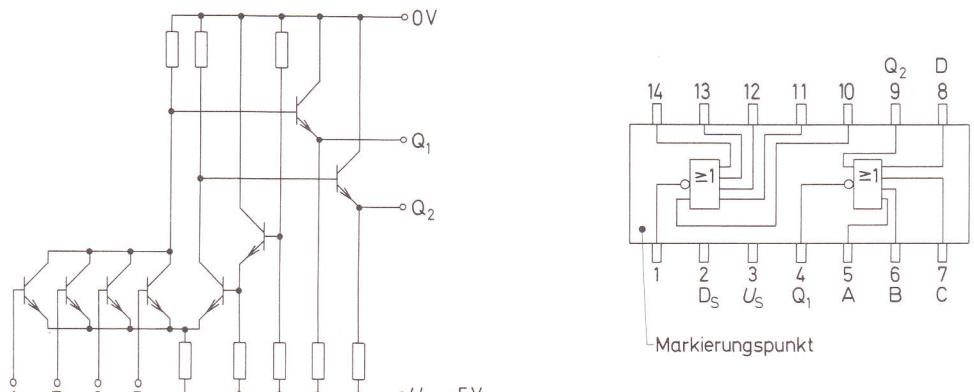


Bild 6.80 ECL-Glied FYH 124
(Siemens)

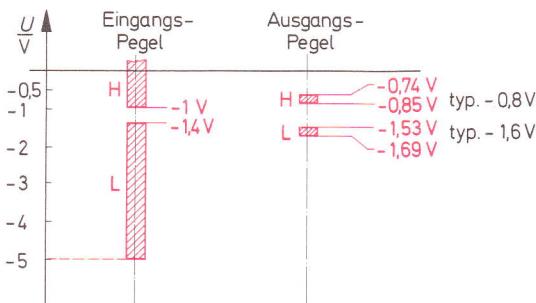


Bild 6.81 Pegelbereiche des ECL-Gliedes FYH 124

Signallaufzeiten von weniger als 1 ns möglich. An einer entsprechenden ECL-Unterfamilie wird gearbeitet.

Die Glieder der ECL-Schaltkreisfamilie sind die am schnellsten arbeitenden Verknüpfungsglieder, die es z.Z. überhaupt gibt.

Die sehr hohen Schaltgeschwindigkeiten verursachen Leitungsprobleme. Bei Schaltzeiten von 2 ns liegen wir bereits im oberen Megahertz-Bereich (ca. 250 MHz). Die Leitungen strahlen in erhöhtem Maße hochfrequente Energie ab. Es kommt zu sogenanntem «Übersprechen» zwischen benachbarten Leitungen, d.h., von einer Leitung wird Energie in die andere übertragen und umgekehrt. Die Schaltzeiten liegen in der Größenordnung der Laufzeiten auf den Leitungen. Es gibt Anpassungsprobleme und Reflexionen auf den Verbindungsleitungen zwischen den Gliedern. Die Wellenwiderstände der Leitungen müssen bei der Schaltungsauslegung beachtet werden.

Schaltungen mit ECL-Gliedern müssen wie Hochfrequenzschaltungen aufgebaut werden.

Es sind besondere Abschirmmaßnahmen erforderlich. Notwendige längere Leitungen sind als Koaxialleitungen auszuführen. Günstig ist ein besonders kleiner Aufbau der integrierten Schaltungen, also eine hohe Packungsdichte. Die Leitungsverbindungen zwischen den Gliedern sollten möglichst kurz sein.

Bei jedem Betriebszustand sind in den ECL-Gliedern stets mehrere Transistoren leitend. Sie benötigen entsprechende Ströme.

Glieder der ECL-Schaltkreisfamilie haben einen hohen Leistungsbedarf.

Je Verknüpfungsglied müssen etwa 60 mW angesetzt werden. Das ist ein sechsmal so hoher Leistungsbedarf wie bei Standard-TTL-Gliedern.

Die folgende Tabelle gibt eine Zusammenstellung der wichtigsten Eigenschaften von ECL-Gliedern:

ECL-Schaltkreisfamilie	
Betriebsspannung	-5 V
Leistungsaufnahme (je Glied)	60 mW
Signallaufzeit	0,5 ns
größte Schaltfrequenz	1 GHz (Gigahertz)
typischer Störabstand	0,3 V

Der Anwendungsbereich der ECL-Glieder liegt dort, wo höchste Arbeitsgeschwindigkeit absolute Priorität hat. Neben wenigen Anwendungsgebieten der industriellen Steuerungstechnik sind es vor allem militärische Bereiche, in denen die ECL-Technik angewendet wird.

6.8 MOS-Schaltungen

Verknüpfungsglieder der MOS-Schaltkreisfamilie und der Unterfamilien sind mit MOS-Feldeffekt-Transistoren aufgebaut. Die MOS-Feldeffekt-Transistoren benötigen fast keine Steuerleistung. Sie sind sehr klein und verhältnismäßig einfach herzustellen. Integrierte Schaltungen mit hoher Packungsdichte sind möglich. Leider sind die Schaltzeiten verhältnismäßig lang. Hierfür sind die Kapazitäten der MOS-FET verantwortlich.

6.8.1 Gefahr durch statische Aufladung

MOS-Feldeffekt-Transistoren sind besonders empfindlich gegen statische Aufladungen (siehe Beuth, Elektronik 2, Abschnitt 8.2). Diese Empfindlichkeit ist allgemein auch bei vollständigen integrierten Schaltungen vorhanden.

Bei der Verarbeitung von MOS-Schaltungen sind besondere Sicherheitsmaßnahmen gegen statische Aufladungen zu treffen.

Zur Sicherheit sollte im Verarbeitungsraum ein elektrisch leitfähiger Fußbodenbelag verwendet werden. Jeder Arbeitstisch muß mit einer leitfähigen und geerdeten Auflageplatte versehen sein. Die mit der Verarbeitung betrauten Kräfte sollten keine Kunststoffkleidung tragen, z.B. keine Nylonkittel. Zweckmäßig ist das Tragen einer elektrisch leitfähigen Manschette, die über eine flexible Leitung geerdet ist.

Ein weiterer Gefahrenpunkt ist das Löten. Lötkolben und Lötbäder haben zwischen Heizkörpern und Lötspitze bzw. Lötzinn im allgemeinen Übergangswiderstände von etwa $100\text{ k}\Omega$. Dieser Widerstand erscheint zunächst ausreichend hoch, ist aber sehr klein im Vergleich zu den Widerständen, die sich zwischen Gate und Substrat von MOS-Feldeffekt-Transistoren ergeben. Lötkolben und Lötbäder können Ladungsmengen liefern, durch die die MOS-Schaltungen beschädigt oder zerstört werden können.

Zum Einlöten und Auslöten von MOS-Schaltungen sind besondere Sicherheits-Lötkolben und Sicherheits-Lötbäder zu verwenden.

MOS-Schaltungen, die gefährlich hohen Spannungen ausgesetzt worden sind, dies aber überlebt haben, sind mit großer Wahrscheinlichkeit beschädigt worden. Man nennt diese Art Beschädigung «Halbleiter-Streß». Durch Halbleiter-Streß wird die Lebensdauer herabgesetzt und die Ausfallrate erhöht. Was beim Halbleiter-Streß tatsächlich im Inneren der Kristalle passiert, ist weitgehend unbekannt.

6.8.2 PMOS

In Verknüpfungsgliedern der PMOS-Unterfamilie werden selbstsperrende P-Kanal-MOS-Feldeffekt-Transistoren als Schaltelemente verwendet. Das Schaltbild eines einfachen PMOS-Gliedes zeigt Bild 6.82. Am Ausgang Z liegt immer dann der Pegel L, wenn wenigstens einer der Feldeffekt-Transistoren gesperrt ist. Z führt nur dann den Pegel H, wenn an den Eingängen A und B L-Pegel liegt, die beiden Feldeffekt-Transistoren also durchgesteuert sind. Die zugehörigen Arbeitstabellen sind in Bild 6.83 dargestellt. Für positive Logik ergibt sich eine NOR-Verknüpfung.

Die Herstellung des Widerstandes R im Halbleiterkristall erfordert zusätzlichen Aufwand. Man ersetzt daher den Widerstand R durch einen Feldeffekt-Transistor mit besonderen Eigenschaften. Den üblichen Schaltungsaufbau eines PMOS-Gliedes zeigt Bild 6.84.

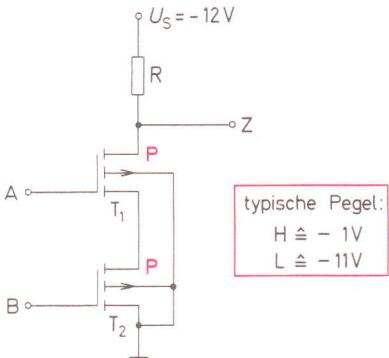


Bild 6.82 Einfaches PMOS-Glied
(NOR bei positiver Logik)

Fall	B	A	Z	Fall	B	A	Z
1	-11V	-11V	-1V	1	L	L	H
2	-11V	-1V	-11V	2	L	H	L
3	-1V	-11V	-11V	3	H	L	L
4	-1V	-1V	-11V	4	H	H	L

Bild 6.83 Arbeitstabellen zur Schaltung
Bild 6.82

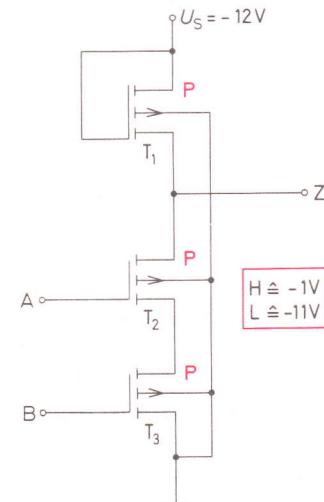


Bild 6.84 Übliche Schaltung eines PMOS-Gliedes (NOR bei positiver Logik)

Betrachten wir den Transistor T₁, der den Lastwiderstand ersetzt. Der Gateanschluß liegt auf Speisespannungs-Potential. Wenn die beiden Schalter-Transistoren T₂ und T₃ durchsteuern, liegt der Source-Anschluß von T₁ und damit der Ausgang Z auf etwa -1 V. Der Transistor T₁ steuert also ebenfalls durch ($U_{DS} = -11$ V). Jetzt könnte ein zu großer Strom fließen, durch den der Pegel des Ausganges Z erheblich angehoben würde. Damit dies nicht geschieht, wird der Transistor T₁ so hergestellt, daß sein Kanalwiderstand im durchgesteuerten Zustand nicht unter etwa 100 kΩ absinkt. Die Transistoren T₂ und T₃ haben Kanalwiderstände von etwa 1 kΩ bis 2 kΩ im durchgesteuerten Zustand. Im Sperrzustand ist der Kanalwiderstand von T₁ geringer als der von T₂ und T₃. Er beträgt bei T₁ etwa 1 MΩ, bei T₂ und T₃ etwa 10 MΩ. Sind also T₂ und T₃ gesperrt oder ist nur einer von ihnen gesperrt, so liegt am Ausgang Z eine Spannung von etwa -11 V, die zum L-Pegelbereich gehört.

Das PMOS-Glied Bild 6.85 erzeugt bei positiver Logik eine NAND-Verknüpfung. Liegt an Eingang A oder an Eingang B L-Pegel (z.B. -11 V), so wird der Ausgang Z auf H-Pegel (-1 V) gezogen. Das gleiche geschieht, wenn an beiden Eingängen L-Pegel liegen. Nur wenn an beiden Eingängen H-Pegel liegen, keiner der Transistoren T₂ und T₃ also durchsteuert, bleibt Z auf L-Pegel (Bild 6.86).

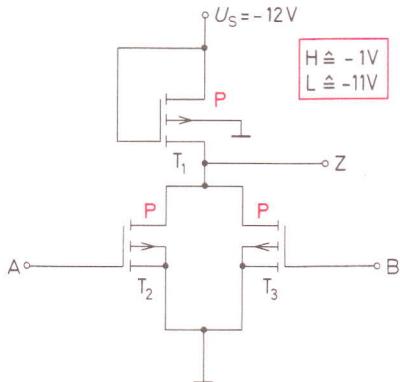


Bild 6.85 Übliche Schaltung eines PMOS-Gliedes (NAND bei positiver Logik)

Fall	B	A	Z
1	-11V	-11V	-1V
2	-11V	-1V	-1V
3	-1V	-11V	-1V
4	-1V	-1V	-11V

Fall	B	A	Z
1	L	L	H
2	L	H	H
3	H	L	H
4	H	H	L

Bild 6.86 Arbeitstabellen zur Schaltung Bild 6.85

In Bild 6.87 ist die Schaltung eines PMOS-NICHT-Gliedes dargestellt. Der Transistor T_1 ersetzt den Lastwiderstand. Der Transistor T_2 arbeitet als Schalter. Am Ausgang liegt stets der entgegengesetzte Pegel wie am Eingang.

PMOS-Schaltkreise benötigen eine geringe Leistung. Die Speisespannung kann in einem größeren Bereich schwanken (z.B. zwischen -9 V und -20 V). Je größer die Speisespannung gewählt wird, desto größer wird die statische Störsicherheit, da mit wachsender Speisespannung der Abstand von L-Pegelbereichen und H-Pegelbereichen größer wird. Für eine Speisespannung von -12 V ergeben sich Pegelbereiche gemäß Bild 6.88.

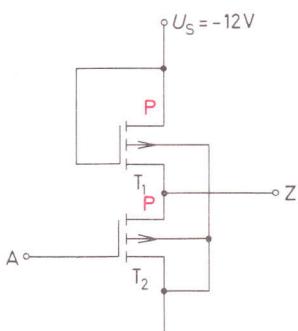


Bild 6.87 Schaltung eines PMOS-NICHT-Gliedes

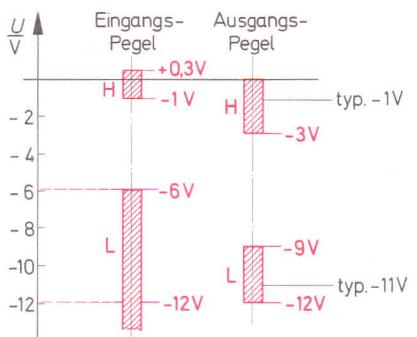


Bild 6.88 Pegelbereiche von PMOS-Gliedern ($U_S = -12\text{ V}$)

Die Grenzdaten und die Kenndaten sind den Datenblättern der Hersteller zu entnehmen. Die Herstellungstechnologien werden dauernd weiterentwickelt. Entsprechend ändern sich die Daten.

Wichtige ungefähre Daten von PMOS-Gliedern sind in folgender Tabelle zusammenge stellt:

Betriebsspannung	- 12 V (- 9 V bis - 20 V möglich)
Leistungsaufnahme je Glied	6 mW (bei Ausgangspegel H) 0 mW (bei Ausgangspegel L)
Signal-Laufzeit	40 ns
größte Schaltfrequenz	10 MHz
Störspannungsabstand	5 V

PMOS-Glieder arbeiten langsam und störsicher. Sie benötigen eine recht große Speisespannung.

PMOS-Glieder können überall dort eingesetzt werden, wo es auf hohe Schaltgeschwindigkeiten nicht ankommt. Integrierte Schaltungen können mit hoher Integrationsdichte hergestellt werden. Das verhältnismäßig einfache Herstellungsverfahren erlaubt eine wirtschaftliche Herstellung sogenannter kundenspezifischer integrierter Schaltungen. Das sind Schaltungen, die in kleinen Stückzahlen nach Kundenwünschen gefertigt werden.

6.8.3 NMOS

Verknüpfungsglieder der NMOS-Unterfamilie werden mit selbstsperrenden N-Kanal-MOS-Feldeffekt-Transistoren aufgebaut. Man verwendet eine andere Herstellungstechnologie, die noch kleinere Strukturen als bei der PMOS-Technik erlaubt. Es lassen sich wesentlich geringere Kanalwiderstände herstellen. Sie betragen etwa nur ein Drittel der Kanalwiderstände der PMOS-Technik. Die kleineren Kanalwiderstände und die geringeren Kapazitäten der in Mikrostruktur hergestellten Transistorstrukturen führen zu verhältnismäßig kurzen Schaltzeiten.

NMOS-Glieder arbeiten etwa so schnell wie Standard-TTL-Glieder. Signallaufzeit etwa 10 ns.

Die geringeren Kanalwiderstände erlauben eine Herabsetzung der Speisespannung auf 5 V. Damit wird es möglich, NMOS-Glieder zusammen mit TTL-Gliedern zu verwenden. Man sagt, sie sind kompatibel (verträglich).

NMOS-Glieder sind kompatibel zu TTL-Gliedern.

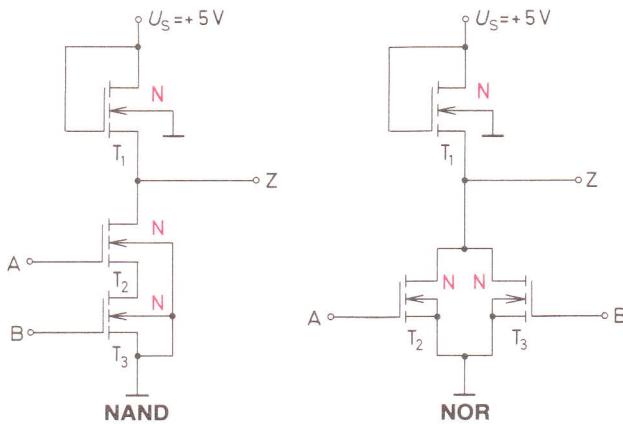


Bild 6.89 NMOS-Verknüpfungsglieder

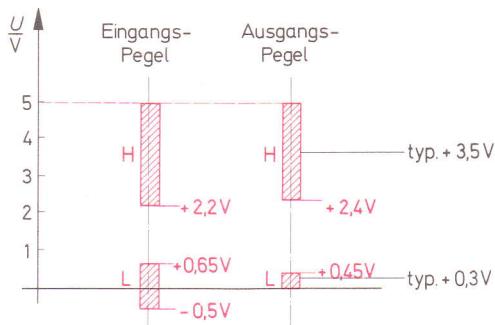


Bild 6.90 Pegelbereiche der NMOS-Verknüpfungsglieder in Bild 6.89

Die Schaltungen der NMOS-Glieder sind gleichartig aufgebaut wie die Schaltungen der PMOS-Glieder, nur werden eben N-Kanal-MOS-FET verwendet. In Bild 6.89 sind zwei typische Schaltungen angegeben. Die linke Schaltung erzeugt bei positiver Logik eine NAND-Verknüpfung, die rechte Schaltung eine NOR-Verknüpfung. Die zugehörigen Pegelbereiche zeigt Bild 6.90.

Einige wichtige Daten sind in der folgenden Tabelle angegeben:

Betriebsspannung	+ 5 V
Leistungsaufnahme je Glied	2 mW (bei Ausgangspegel L) 0 mW (bei Ausgangspegel H)
Signal-Laufzeit	5 ns
größte Schaltfrequenz	80 MHz
Störspannungsabstand	$\approx 2,0$ V

Integrierte Schaltungen mit Einzelgliedern werden kaum noch in N-Kanal-MOS-Technik hergestellt. Man faßt in einer integrierten Schaltung größere Einheiten zusammen, z.B. Addierstufen, Umkodierer, Zähler. Die Herstellung größerer Einheiten ist besonders wirtschaftlich.

6.8.4 CMOS (COS-MOS)

Die üblichen Bezeichnungen «CMOS» oder «COS-MOS» sind Abkürzungen von «Complementary Symmetry-Metal Oxide Semiconductor». Die deutsche Übersetzung lautet «komplementär-symmetrischer Metall-Oxid-Halbleiter». Schaltglieder dieser MOS-Unterfamilie sind sowohl mit N-Kanal-MOS-Feldeffekt-Transistoren als auch mit P-Kanal-MOS-Feldeffekt-Transistoren aufgebaut. Der Schaltungsaufbau zeigt eine starke Symmetrie. Verwendet werden ausschließlich selbstsperrende MOS-FET (siehe Beuth, Elektronik 2, Abschnitt 8.2, MOS-Feldeffekt-Transistoren).

Den symmetrischen Schaltungsaufbau erkennt man besonders gut an der Schaltung eines NICHT-Gliedes (Bild 6.91). Legt man an den Eingang A den H-Pegel von z.B. +5 V, so steuert der Transistor T_2 durch. Source und Substrat liegen auf 0 V. Die Gate-Source-Spannung U_{GS} beträgt also +5 V. Source und Substrat von Transistor T_1 liegen auf +5 V. Wenn das Gate auch +5 V hat, ist die Gate-Source-Spannung $U_{GS} = 0$ V. Der Transistor T_1 sperrt. Wenn T_1 sperrt und T_2 durchgesteuert ist, liegt am Ausgang Z L-Pegel (Bild 6.92).

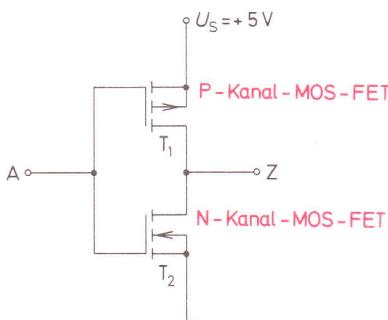


Bild 6.91 Schaltung eines CMOS-NICHT-Gliedes

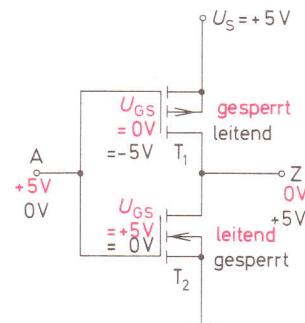


Bild 6.92 Arbeitsweise eines CMOS-NICHT-Gliedes

Legt man an den Eingang A den L-Pegel von 0 V, so muß T_2 sperren, denn U_{GS} ist jetzt 0 V. Für T_1 ergibt sich jedoch eine Gate-Source-Spannung von -5 V, da der Source-Anschluß auf +5 V und der Gate-Anschluß auf 0 V liegen. T_1 kann durchsteuern. Wenn T_1 durchgesteuert und T_2 gesperrt ist, liegt am Ausgang Z H-Pegel.

Beim CMOS-NICHT-Glied ist stets ein Transistor gesperrt und der andere durchgesteuert.

Führt das NICHT-Glied den Ausgangspiegel 0, fließt praktisch kein Strom, da T_1 gesperrt ist. Führt das NICHT-Glied den Ausgangspiegel H, fließt ebenfalls kein Strom, da jetzt T_2 gesperrt ist. Zum Ansteuern nachgeschalteter Glieder wird auch kein Strom benötigt, da

Feldeffekt-Transistoren leistungslos gesteuert werden. Nur während des Umschaltens von einem Zustand in den anderen muß die Speisespannungsquelle einen geringen Strom liefern, da beide Transistoren eine kurze Zeit gleichzeitig schwach aufgesteuert sind. Der eine Transistor geht vom leitenden in den gesperrten Zustand über und ist noch nicht vollständig gesperrt. Der andere Transistor geht vom gesperrten in den leitenden Zustand über und ist nicht mehr vollständig gesperrt. Auch müssen die Transistorkapazitäten umgeladen werden.

Auch andere CMOS-Glieder sind stets so aufgebaut, daß – vom Umschaltaugenblick abgesehen – in jedem Stromzweig ein Transistor stets sperrt, während der andere leitend ist. Der Leistungsbedarf der CMOS-Glieder ist also extrem niedrig. Er hängt wesentlich von der Anzahl der Umschaltungen pro Sekunde, also von der Umschalthäufigkeit ab.

CMOS-Glieder benötigen eine extrem geringe Leistung.

Die Schaltung Bild 6.93 ist eine weitere typische CMOS-Schaltung. Liegt an beiden Eingängen L-Pegel, so werden die Transistoren T_1 und T_2 durchgesteuert, die Transistoren T_3 und T_4 sperren (T_1 und T_2 haben bei 0 V an A und an B $U_{GS} = -5 \text{ V}$, T_3 und T_4 haben $U_{GS} = 0 \text{ V}$). Am Ausgang Z liegt der Pegel H.

Liegt an A der Pegel H (+5 V) und an B der Pegel L (0 V), so sperrt T_1 und T_2 und steuert durch. Der Weg vom Speisespannungspol zum Ausgang Z ist durch einen gesperrten Transistor blockiert. Außerdem steuert der Transistor T_3 durch und zieht Z auf ungefähr 0 V, also auf L-Pegel. T_4 ist gesperrt. Z liegt immer dann auf L-Pegel, wenn wenigstens ein Eingang H-Pegel führt. Für die Schaltung Bild 6.93 ergibt sich die in Bild 6.94 dargestellte Arbeitstabelle. Die Schaltung erzeugt bei positiver Logik eine NOR-Verknüpfung.

Welche Verknüpfung erzeugt nun die Schaltung Bild 6.95? Zunächst soll für diese Schaltung die Arbeitstabelle aufgestellt werden. Liegt an beiden Eingängen L (0 V),

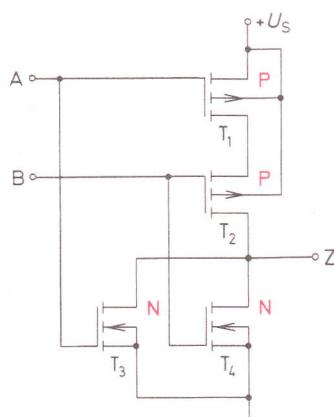


Bild 6.93 Schaltung eines CMOS-Gliedes (NOR bei positiver Logik)

Fall	B	A	Z
1	L	L	H
2	L	H	L
3	H	L	L
4	H	H	L

Bild 6.94 Arbeitstabelle der Schaltung Bild 6.93

werden die Transistoren T_1 und T_2 durchgesteuert ($U_{GS} = -5\text{ V}$). Die Transistoren T_3 und T_4 sperren ($U_{GS} = 0\text{ V}$). Am Ausgang liegt der H-Pegel.

Liegt an beiden Eingängen der H-Pegel (+5 V), steuern die Transistoren T_3 und T_4 durch. Die Transistoren T_1 und T_2 sperren. Der Ausgang Z wird auf L-Pegel gezogen.

Wenn ein Eingang H-Pegel führt und der andere Eingang L-Pegel, ist einer der oberen Transistoren in Bild 6.95 (T_1 oder T_2) durchgesteuert. Einer der unteren Transistoren (T_3 oder T_4) ist gesperrt. Über den durchgesteuerten Transistor wird der Ausgang an H-Pegel gelegt. Es ergibt sich die in Bild 6.96 dargestellte Wahrheitstabelle. Die Schaltung erzeugt bei positiver Logik eine NAND-Verknüpfung.

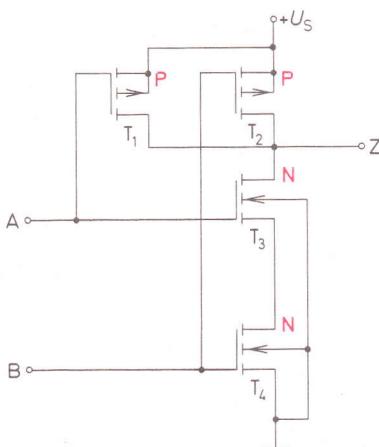


Bild 6.95 CMOS-Schaltung (NAND bei pos. Logik)

Fall	B	A	Z
1	L	L	H
2	L	H	H
3	H	L	H
4	H	H	L

Bild 6.96 Arbeits-tabelle der Schaltung
Bild 6.95

CMOS-Glieder werden vor allem als NAND- und NOR-Glieder hergestellt.

Ein Glied besonderer Art ist das Transmissionsglied. Es besteht aus der Parallelschaltung eines N-Kanal-MOS-FET und eines P-Kanal-MOS-FET (Bild 6.97).

Ein Transmissionsglied arbeitet wie ein Schalter.

Wird an G_1 der Pegel H (z.B. +5 V) und an G_2 der Pegel L (0 V) angelegt, sperren beide Transistoren. Beim P-Kanal-MOS-FET liegt zwischen Gate und Substrat die Spannung 0 V. Eine leitende Brücke zwischen Source und Drain kann sich nicht bilden. Auch beim N-Kanal-MOS-FET liegt zwischen Gate und Substrat die Spannung 0 V. Auch hier kann keine leitende Brücke entstehen. Zwischen den Punkten A und Z liegt ein Widerstand von einigen hundert $\text{M}\Omega$.

Wird jedoch an G_1 der Pegel L (0 V) angelegt und an G_2 der Pegel H (+5 V), so bedeutet das, daß der P-Kanal-MOS-FET eine Gatespannung von -5 V gegen Substrat hat. Der N-Kanal-MOS-FET hat eine Gatespannung von +5 V gegen Substrat. Bei diesen Spannungen bilden sich gut leitfähige Brücken zwischen Source und Drain. Die Strecke zwischen A und Z wird niederohmig (etwa 200 Ω bis 400 Ω). Die Arbeitstabelle ist in Bild 6.98 dargestellt.

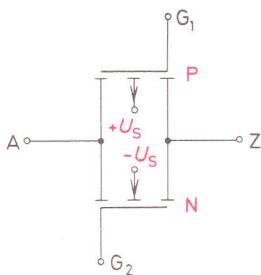


Bild 6.97 Schaltung eines Transmissionsgliedes

Fall	Gates		R_{AZ}	Zustand
	G_2	G_1		
1	L	H	R_{AZ}	hochohmig
2	H	L	R_{AZ}	niederohmig

$L \triangleq 0V$
 $H \triangleq +5V$

Bild 6.98 Arbeitstabelle des Transmissionsgliedes

Die Anschlüsse G_1 und G_2 eines Transmissionsgliedes werden stets mit entgegengesetzten Pegeln angesteuert. Die Ansteuerung kann mit Hilfe eines NICHT-Gliedes erfolgen (Bild 6.99). Man erhält dann einen Zweirichtungsschalter. Bei den Feldeffekt-Transistoren des Transmissionsgliedes können Source und Drain ihre Funktion vertauschen. Es ist daher üblich, den Gateanschluß in die Mitte der Gatelinie zu zeichnen (Bild 6.99). Integrierte CMOS-Schaltungen enthalten stets mehrere Verknüpfungsglieder, die einzeln einsetzbar sind oder bereits im Inneren zu großen Baugruppen zusammengefaßt wurden. Bild 6.100 zeigt den Aufbau der Schaltung CD 4000 A. Diese Schaltung enthält zwei NOR-Glieder mit je drei Eingängen und ein NICHT-Glied. Die Schaltung CD 4012 A (Bild 6.101) enthält zwei NAND-Glieder mit je vier Eingängen. Baugruppenschaltungen enthalten sehr viele CMOS-Glieder in einem IC. In Bild 6.102 ist die Schaltung eines 4-Bit-Schieberegisters wiedergegeben. Diese Schaltung wird in Kapitel 8 genauer besprochen. Für die Durchschaltung der Verbindungswege verwendet man Transmissionsglieder.

Die integrierte Schaltung CD 4008 A enthält einen 4-Bit-Volladdierer. Volladdierer werden in Kapitel 10 näher betrachtet. Die Schaltung soll hier als Beispiel für eine CMOS-Baugruppenschaltung angegeben werden (Bild 6.103).

Integrierte Schaltungen in CMOS-Technik können mit sehr großer Integrationsdichte hergestellt werden.

Es ist möglich, ganze Rechnerschaltungen in einem IC unterzubringen. Die weitere Vervollkommenung der Technologie führt zu einer Steigerung der möglichen Integrationsdichte.

Bild 6.99 Transmissionsglied mit NICHT-Glied zur Aussteuerung

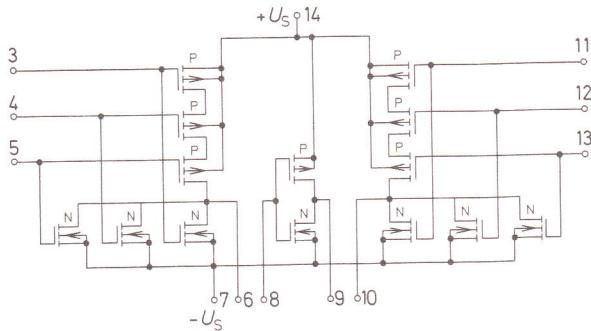
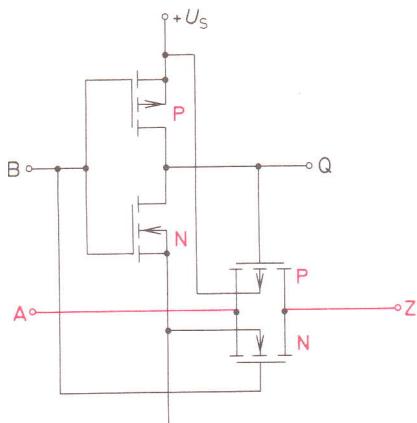
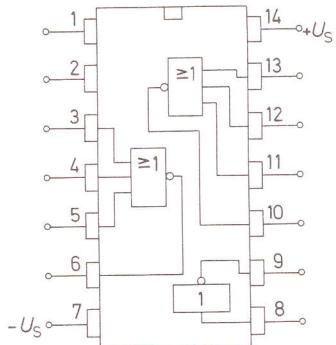


Bild 6.100 CMOS-Schaltung
CD 4000 A (RCA)

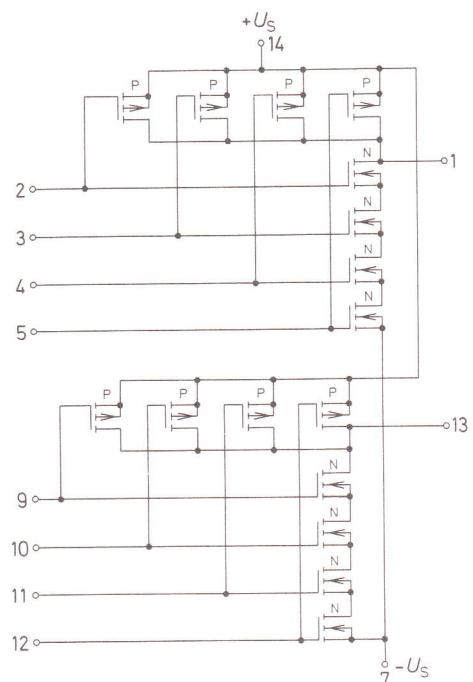
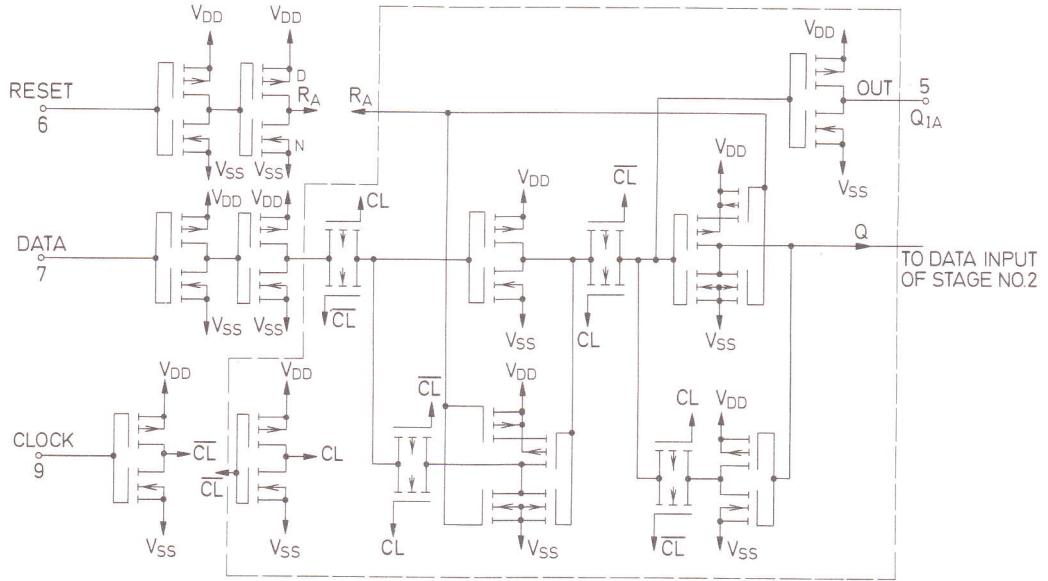
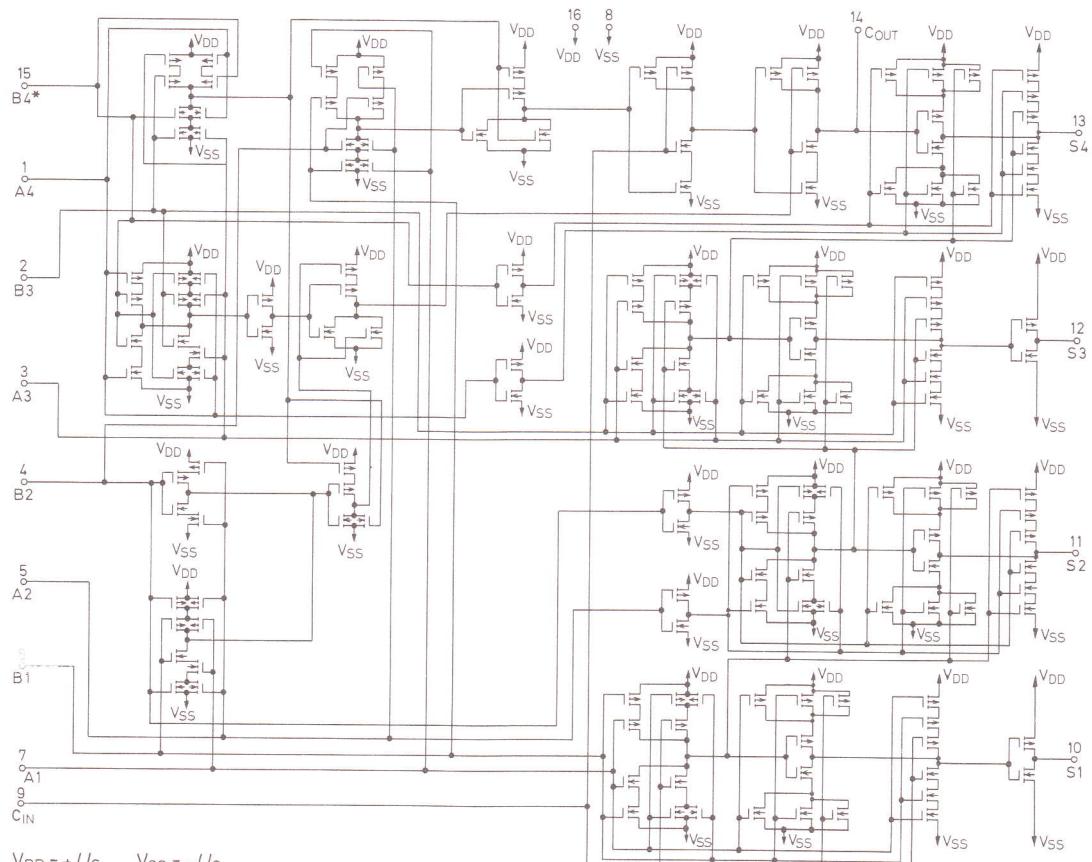


Bild 6.101 CMOS-Schaltung
CD 4012 A (RCA)



$V_{DD} = +U_S$ $V_{SS} = -U_S$ CL = Taktsignal \overline{CL} = negiertes Taktsignal



$V_{DD} = +U_S$ $V_{SS} = -U_S$

Alle Substrat-Anschlüsse der P-Kanal-MOS-FET liegen auf $+U_S$ bzw. V_{DD}
Alle Substrat-Anschlüsse der N-Kanal-MOS-FET liegen auf $-U_S$ bzw. V_{SS}

Bild 6.102 (links oben) Schaltung des CMOS-4-Bit-Schieberegisters CD 4015 A (RCA)

Bild 6.103 (links unten) Schaltung des CMOS-4-Bit-Volladdierers CD 4008 A (RCA)

Die Speisespannung kann bei CMOS-Gliedern in weiten Grenzen schwanken.

Für die CD-4000-A-Serie (Bilder 6.100 bis 6.103) gibt RCA einen Speisespannungsbe- reich von 3 V bis 15 V an. Die sich bei den einzelnen Speisespannungen ergebenden typischen Übertragungskennlinien zeigt Bild 6.104.

Häufig werden Speisespannungen von +5 V und +10 V verwendet. Für diese Speise- spannungen sind die Pegeldiagramme in den Bildern 6.105 und 6.106 angegeben. Für größere Speisespannungen ergeben sich größere Störsicherheiten.

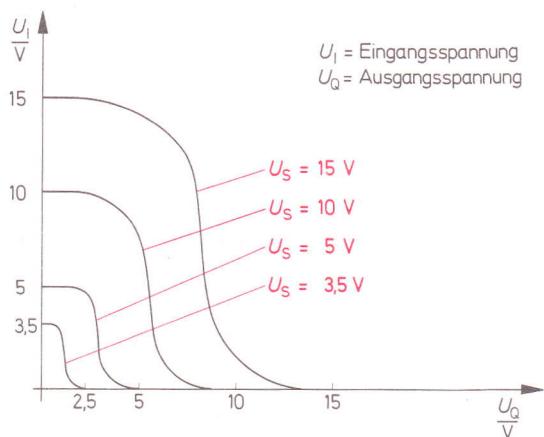


Bild 6.104 Übertragungskennlinien von CMOS-Gliedern für verschiedene Speisespannungen

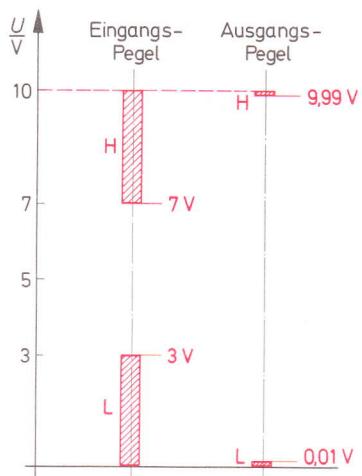
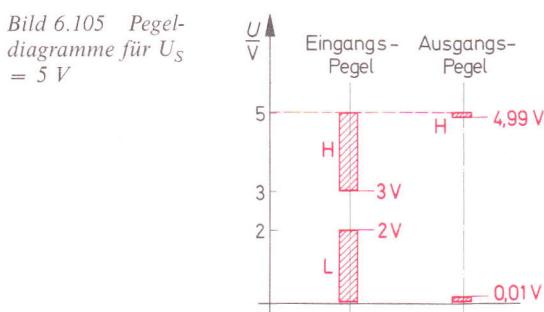


Bild 6.106 Pegeldiagramme für $U_S = 10 \text{ V}$

Die Störabstände von CMOS-Schaltungen liegen bei etwa 30% bis 40% der Speisespannung.

Die wichtigsten Daten von CMOS-Schaltungen sind in nachstehender Tabelle zusammengefaßt:

Betriebsspannung	z.B. + 5 V
Leistungsaufnahme je Glied	5 bis 10 nW (je nach Schalthäufigkeit)
Signallaufzeit	8 ns
größte Schaltfrequenz	50 MHz
typischer Störabstand	2 V
Eingangswiderstand	$10^{12} \Omega$
Ausgangswiderstand	
bei H-Pegel	500 Ω
bei L-Pegel	200 Ω
Ausgangslastfaktor (Fan-out)	> 50
Eingangsstrom	10 pA (maximal)

Die Eingänge moderner CMOS-Schaltungen sind heute überwiegend gegen statische Aufladungen geschützt. Man verwendet Diodenschaltungen nach Bild 6.107. Übersteigt die Eingangsspannung die Speisespannung um den Wert von etwa 0,7 V (Diodenschwellspannung), wird die Diode D_1 leitend und lässt die Ladungen vom Eingang zur Speisespannungsquelle abfließen. In der Schaltung Bild 6.107 geschieht das bei Eingangsspannungen ab +5,7 V. Bei negativen Eingangsspannungen öffnet die Diode D_2 ab -0,7 V.

Die Diodenkristallstrecken sind sehr schwach dotiert und haben hohe Bahnwiderstände.

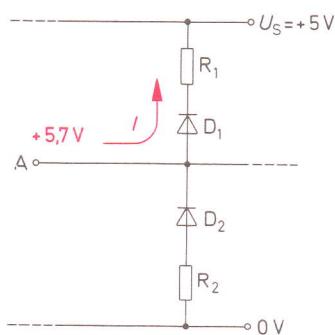


Bild 6.107 Schutzschaltung gegen statische Aufladung

Man erreicht dadurch, daß die sehr hohen Eingangswiderstände der CMOS-Schaltungen durch die Dioden nur geringfügig verringert werden. Bei geringen Bahnwiderständen würde überdies eine Falschpolung der Speisespannung zur sofortigen Zerstörung des Bauteils führen, da ein Kurzschlußstrom über D_1 und D_2 fließen würde.

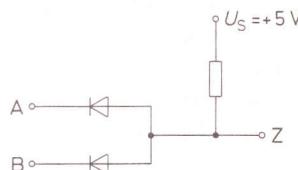
Wird auf einen Eingang eine große Ladungsmenge gebracht, kann der zugehörige Feldefekt-Transistor trotz der Schutzschaltung zerstört werden. Die Ladungen können wegen der großen Bahnwiderstände nicht schnell genug abfließen, so daß sich gefährlich hohe Spannungen aufbauen können. Die beim Arbeiten mit MOS-Schaltungen üblichen Vorsichtsmaßnahmen sollten in jedem Fall getroffen werden.

CMOS-Schaltungen haben sich ein großes Anwendungsgebiet erobert. Sie sind für viele Einsatzbereiche ausreichend schnell und benötigen nur eine geringe Leistung. Selbst sehr hochintegrierte Schaltungen lassen sich in großen Stückzahlen sehr preisgünstig herstellen.

6.9 Lernziel-Test

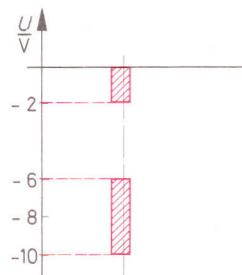
- Was versteht man unter einer Schaltkreisfamilie?
- Nennen Sie die Namen der wichtigsten Schaltkreisfamilien.
- Was sind binäre Spannungspegel?
- Was versteht man unter positiver Logik, was unter negativer Logik?
- Wodurch unterscheidet sich eine Arbeitstabelle von einer Wahrheitstabelle?
- Geben Sie für die Schaltung Bild 6.108 die Arbeitstabelle an.

Bild 6.108 Verknüpfungsschaltung

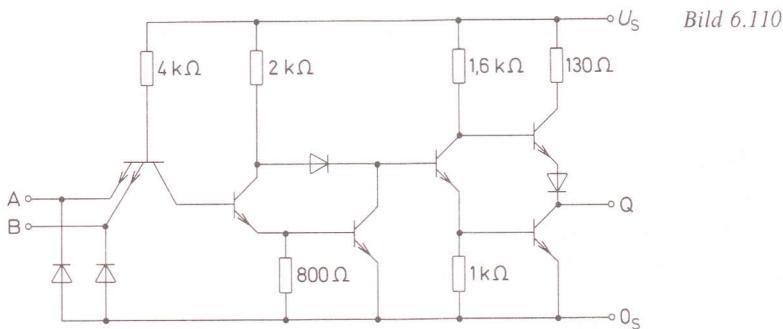


- Welche Verknüpfung erzeugt die Schaltung Bild 6.108 bei positiver und bei negativer Logik?
- Bild 6.109 zeigt zwei Pegelbereiche. Welches ist der H-Pegelbereich und welches der L-Pegelbereich?

Bild 6.109 Pegelbereiche



9. Was versteht man unter einer Übertragungskennlinie?
Skizzieren Sie eine mögliche Übertragungskennlinie.
10. Erläutern Sie die Begriffe «Signal-Laufzeiten» und «Signal-Übergangszeiten».
11. Was gibt der Eingangslastfaktor an?
12. Ein Verknüpfungsglied hat einen Ausgangslastfaktor $F_Q = 10$. Was bedeutet das?
13. Wie sind Verknüpfungsglieder der DTL-Schaltkreisfamilie im Prinzip aufgebaut?
14. Skizzieren Sie die Schaltung eines typischen TTL-Gliedes mit drei Eingängen und Gegentaktausgang.
15. Welche Verknüpfung erzeugt die Schaltung Bild 6.110 bei positiver Logik?



16. Man hört oft die Begriffe «gesättigte Schaltkreisfamilie» und «ungesättigte Schaltkreisfamilie». Was bedeuten diese Begriffe?
17. Welche Vorteile und welche Nachteile hat die Low-Power-TTL-Familie gegenüber der Standard-TTL-Familie?
18. Wie sind NMOS-Schaltglieder aufgebaut?
19. Ordnen Sie die Ihnen bekannten Schaltkreisfamilien
 - nach dem Leistungsbedarf,
 - nach den typischen Signal-Laufzeiten.
20. Skizzieren Sie die Schaltung eines CMOS-Gliedes mit zwei Eingängen, das bei positiver Logik eine NOR-Verknüpfung erzeugt, und erklären Sie die Arbeitsweise dieser Schaltung.