

# Übung 9: *Speicherbausteine und Speicherzugriff*

in  
„Digitaltechnik“  
WS 2008/09

## Aufgabe 1

Abbildung 1 zeigt einen 256 Byte Speicherbaustein (links: detailliert, rechts: vereinfacht).

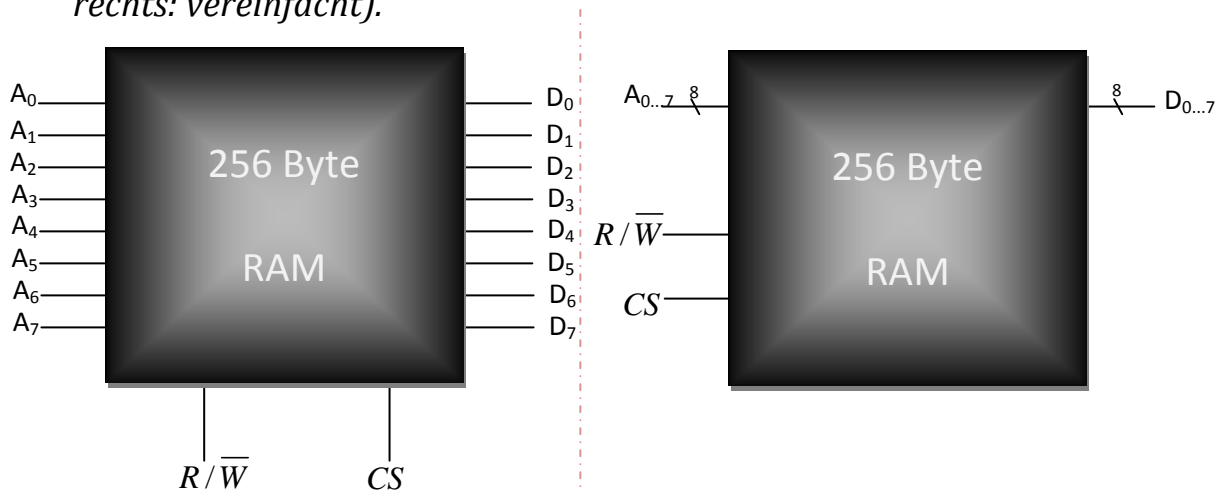


Abbildung 1: 256 Byte RAM – Speicherbaustein

a) Wie heißen die einzelnen Anschlüsse und welche Bedeutung haben sie?

- $CS \triangleq$  Chip – Select  $\triangleq$  Auswahl bzw. Aktivierung des Chips
- $R/\overline{W} \triangleq$  Read / Write  $\rightarrow$  "1": Lesen des Speichers  
"0": Beschreiben des Speichers
- $A_{0..7} \triangleq$  Adressleitungen  $\rightarrow$  8 Bit = 1 Byte = 256 Adressen
- $D_{0..7} \triangleq$  Datenleitungen  $\rightarrow$  8 Bit = 1 Byte Daten

b) Wieviele einzelne Speicherzellen befinden sich in dem Speicherbaustein aus Abbildung 1?

$$256 \text{ Byte} = 256(\text{Adressen}) \cdot 8 \text{ Bit (Daten)} = 2048 \text{ Bit} \triangleq 2048 \text{ Speicherzellen}$$

In Abbildung 2 sind zwei identische Speicherbausteine aus Abbildung 1 an ein Bussystem angeschlossen worden.

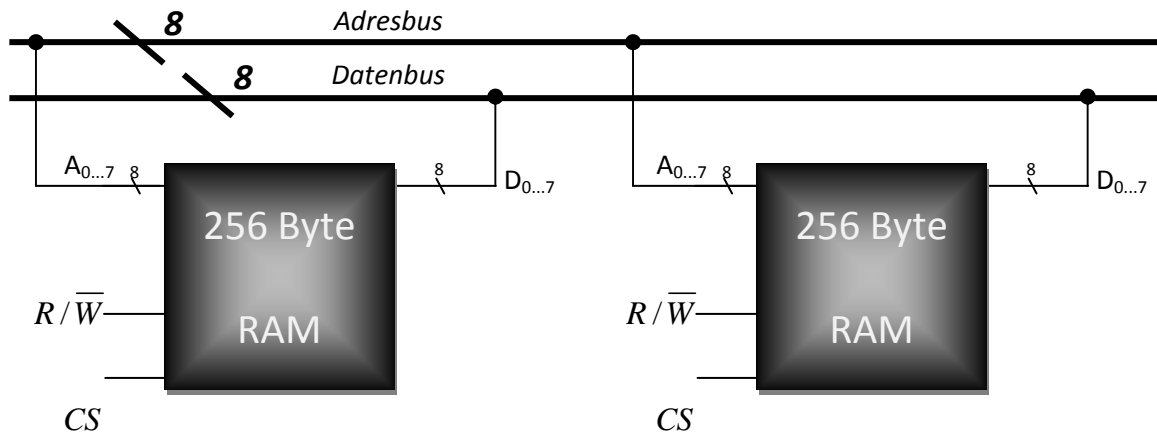


Abbildung 2:  $2 \times 256$  Byte an einem Bussystem

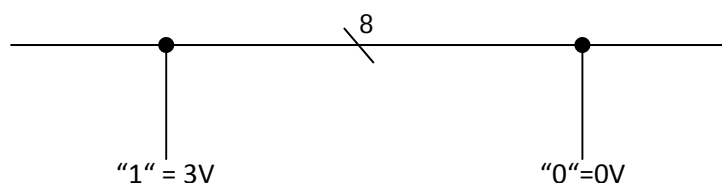
- c) Wie müssen die Ausgänge des Speichers prinzipiell beschaffen sein bzw. wie nennt man die spezielle Struktur, die dort vorhanden sein muss, damit es nicht zu Kurzschlüssen kommt?

Tri – State – Ausgänge (Tri – State – Inverter)

- 3 Zustände
  - 1) Logische "0"
  - 2) Logische "1"
  - 3) Hochohmig (z)

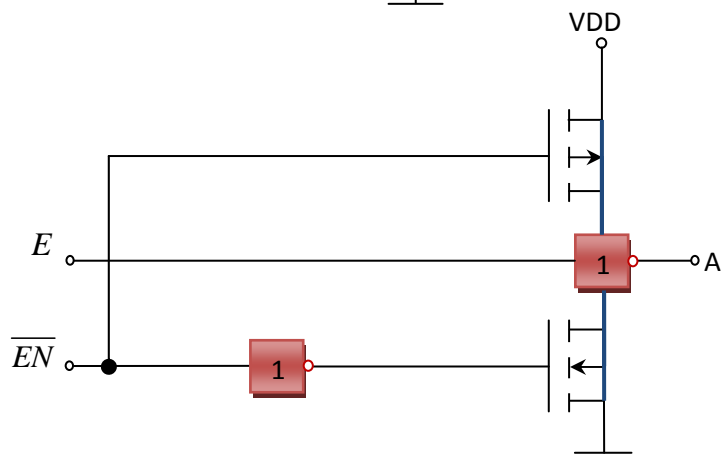
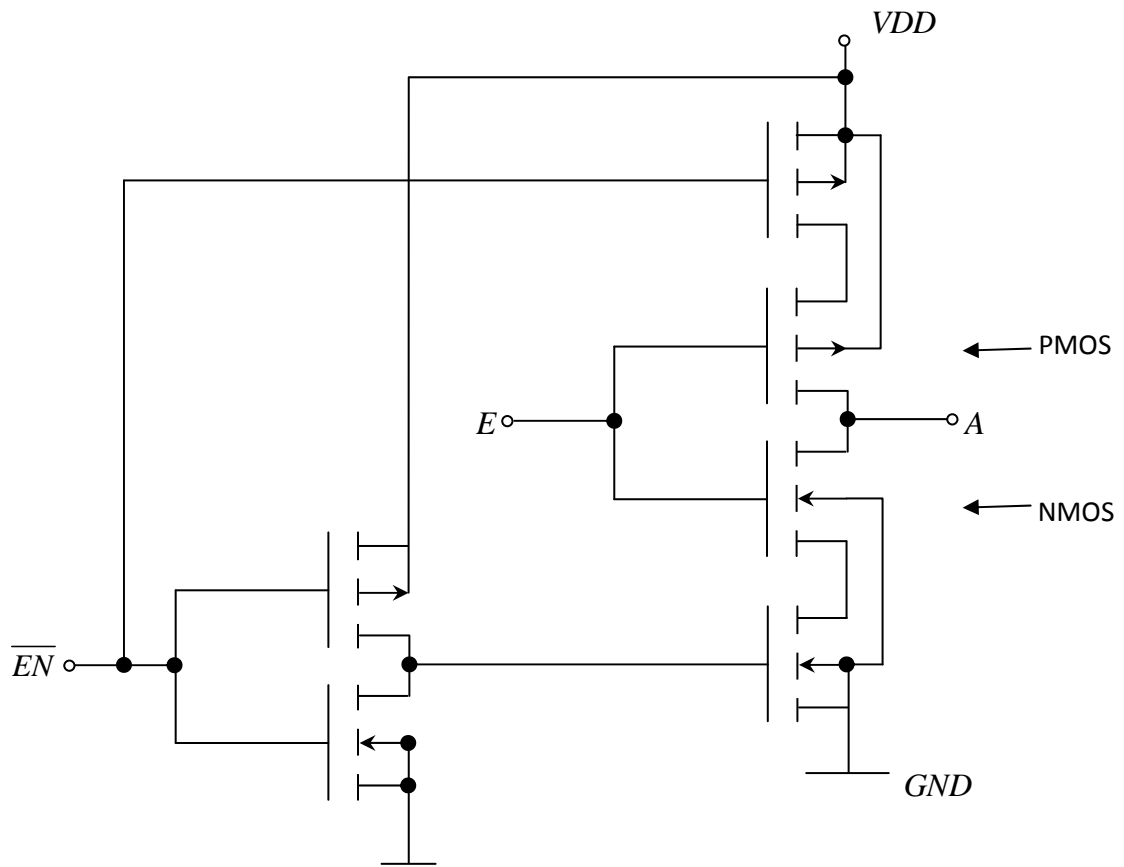
Nur einer darf Daten schicken. Andere sind physikalisch vorhanden, jedoch belasten nicht den Bus, damit der Bus nicht kaputt geht.

- Die Ausgangsleitungen werden nicht belastet.

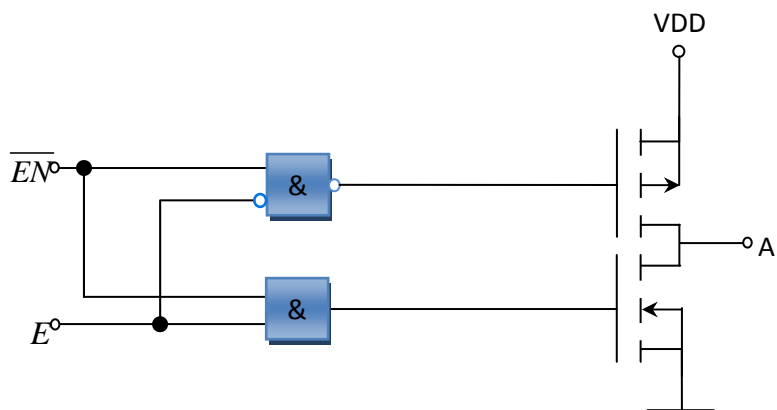


- d) Zeichnen Sie diese Struktur auf CMOS – Basis oder mit Hilfe von Logikelementen.

Siehe nächste Seite.



$\overline{EN}$	$E$	$A$
0	0	1
0	1	0
1	0	z
1	1	z



Es soll nun vier 256 Byte Speicherbausteinen ein 1 KiByte Speicherbaustein erstellt werden.

e) Wieviele Adressleitungen werden benötigt?

$$1024 = 2^{10} = 10 \text{ Adressleitungen}$$

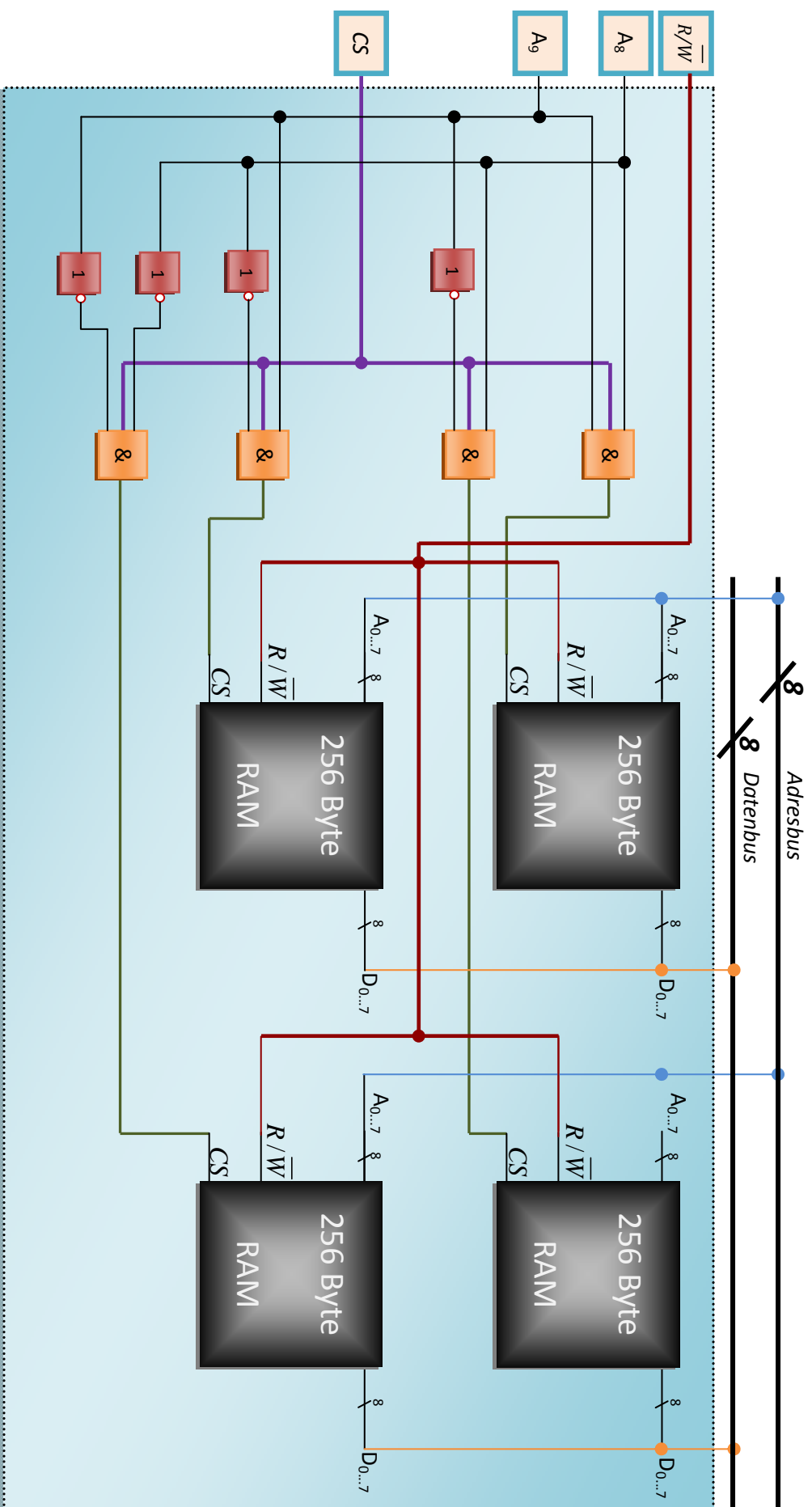
f) Wieviele „Chip – Select“ und „R /  $\overline{W}$ “ Anschlüsse werden gebraucht?

Jeweils 1 Anschluss!

CS wird durch die Adressierung realisiert.

g) Zeichnen Sie sämtliche Verbindungen und Logikelemente, die für eine korrekte Verschaltung nötig sind in Abbildung 3 ein.  
Kennzeichnen Sie die Anschlüsse, auch mögliche neue Anschlüsse, am Gehäuse (gepunktete Linie) des 1 KiByte - Speicherbausteins.

Siehe nächste Seite.



## Aufgabe 2

In Abbildung 3 sind zwei unvollständige Timingdiagramme, eins für einen Lesezugriff und eins für einen Schreibzugriff, für den Speicher aus Aufgabe 1g) gegeben. **D** steht hierbei für die Signale auf dem Datenbus.

a) Vervollständigen Sie die beiden Timingdiagramme.

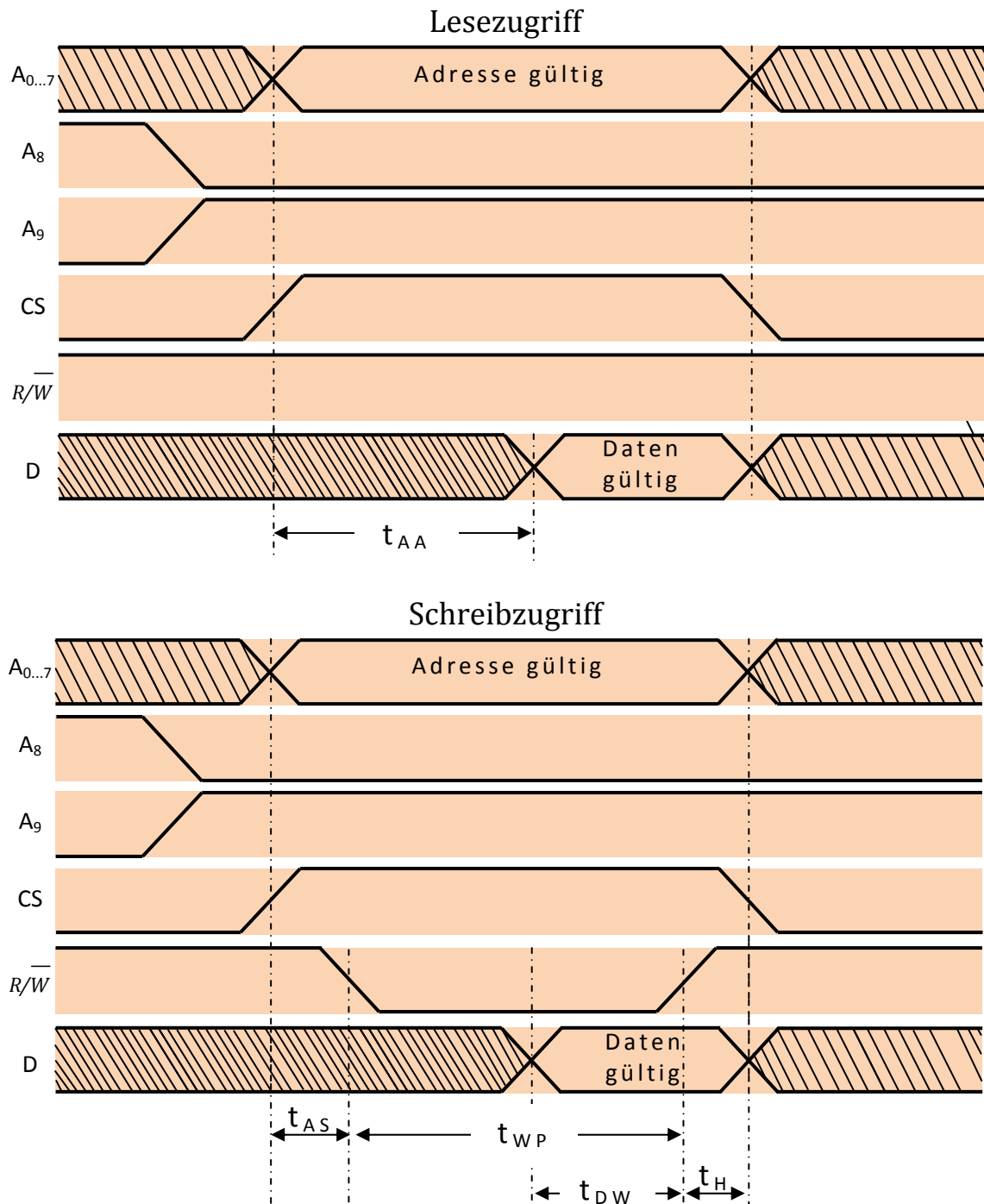


Abbildung 3: Timingdiagramme

$t_{AA}$  = Address Access Time  
 $t_{AS}$  = Address Setup  
 $t_{DW}$  = Data Valid to End of Write Time  
 $t_H$  = Hold Time  
 $t_{WP}$  = Write Pulse Width

b) Welcher 256 Byte Baustein wird gemäß ihrer Lösung aus Aufgabe **1g)** angesprochen.