

Hochschule für Angewandte Wissenschaften Hamburg
Hamburg University of Applied Sciences

Bachelorthesis

Stefan Riess

Untersuchung und Vergleich verschiedener
isolierter Gate-Treiberschaltungen zur
Ansteuerung von Leistungs-MOSFETs

Stefan Riess

Untersuchung und Vergleich verschiedener
isolierter Gate-Treiberschaltungen zur Ansteuerung
von Leistungs-MOSFETs

Bachelorthesis eingereicht im Rahmen der Bachelorprüfung
im Studiengang Mechatronik
an der Fakultät Technik und Informatik
der Hochschule für Angewandte Wissenschaften Hamburg

Betreuerender Prüfer : Prof. Dr. -Ing. Hans-Joachim Beyer
Zweitgutachter : Dipl. -Ing. Olaf Bartz

Abgegeben am 29. August 2017

Stefan Riess

Thema der Bachelorthesis

Untersuchung und Vergleich verschiedener isolierter Gate-Treiberschaltungen zur Ansteuerung von Leistungs-MOSFETs

Stichworte

Isolierte Gate-Treiber, Power MOSFETs-Treiber, Gate-Treiber-Transformator und Bootstrap

Kurzzusammenfassung

Moderne Leistungs-MOSFETs erhöhen die Anforderungen an Gate-Treiberschaltungen wie die steigende Betriebsspannung, Schaltfrequenz sowie Leistung und Effizienz. Dazu sollen in der Bachelorthesis verschiedene Schaltungen mit unterschiedlichen Eigenschaften untersucht werden.

Stefan Riess

Title of the paper

Investigation and comparison of different insulated gate driving circuits to control power MOSFETs

Keywords

Isolated gate driver, Power- MOSFET drivers, Gate drive transformer and Bootstrap

Abstract

State-of-the-art power MOSFETs increase the demands on gate driver circuits such as the rising operating voltage, switching frequency, power and efficiency. For this purpose various circuits with different characteristics are to be investigated in Bachelorthesis.

Bachelorthesis

Herr Stefan Riess

Matrikel-Nr. 2189798

Untersuchung und Vergleich verschiedener isolierter Gate-Treiberschaltungen zur Ansteuerung von Leistungs-MOSFETs

Die Firma Panasonic Industrial Devices GmbH hat ihren Hauptsitz in Lüneburg. Für die Branchen Automobil, Industrie und Energiemanagement werden System-Lösungen und Produkte erforscht und entwickelt. Für die Entwicklung neuer Produkte ist es wichtig, auf dem neuesten Stand der Technik zu bleiben. In den Produkten zum Beispiel in einem DC/DC-Wandlers, werden meist Hochleistung MOSFETS verbaut. Moderne Leistungs-MOSFETs erhöhen die Anforderungen an Gate-Treiberschaltungen wie die steigende Betriebsspannung, Schaltfrequenz sowie Leistung und Effizienz. Dazu sollen in der Bachelorthesis verschiedene Schaltungen mit unterschiedlichen Eigenschaften untersucht werden.

Aufgabenstellung

Die Bachelorthesis umfasst folgende Teilaufgaben:

1. Recherche Gate-Treiberschaltungen
2. Simulation verschiedener Schaltungen mit vorhandenen Simulationswerkzeugen und erster Vergleich
3. Entwurf geeigneter Schaltungen
4. Layout und Aufbau der Schaltungen
5. Messung und Vergleich der Schaltungen

Betreuer:

HAW Hamburg:

Prof. Dr.-Ing. Hans-Joachim Beyer
(Prof. für Konstruktion und Mechatronisches Design)

Firma Panasonic Industrial Devices Europe GmbH

Dipl. -Ing. Olaf Bartz
(PIDEU-TC Manager)

Beginn der Bachelorthesis: 30.05.2017

Ende der Bachelorthesis: 30.08.2017

25.05.2017
Datum

1. Prüfer: Prof. Dr.-Ing. Beyer

Vorwort

Ich möchte zunächst an dieser Stelle den Menschen danken, die mich nicht nur während meiner Bachelorthesis, sondern auch während meines kompletten Studiums unterstützt haben. Ein besonderer Dank geht an:

- Meiner Freundin Kathrin Polak für die liebevolle Unterstützung des gesamtes Studiums und vor allem besonders im letzten stressigen Abschnitt des Studiums.
- Meine Eltern Andreas und Ute Riess sowie meinem Bruder Sebastian Riess für das volle Vertrauen und das sie immer an mich geglaubt haben.
- Herrn Hieu Dang und Herrn Johannes Janssen für eine angenehme und erfolgreiche Zusammenarbeit während der gemeinsamen Studienzeit.

Darüber hinaus möchte ich mein Professor, meiner Deutschlehrerin und meinen Betreuern bei Panasonic besonderen Dank aussprechen:

- Herrn Prof. Dr.-Ing. Hans Joahim Beyer für die sehr gute Betreuung während der Bachelorthesis.
- Frau Heike Wahne, die mir bei der Rechtschreibung und der Grammatikkorrektur geholfen hat.
- Herrn Dipl. Ing. Olaf Bartz für die Rolle des Zweitgutachters und als sehr netten und Kompetenten Abteilungsleiter.
- Herrn Dipl.-Ing. Farid Yousif für die freundliche Unterstützung und Zusammenarbeit während der Praxisarbeit.

Inhaltsverzeichnis

Abkürzungsverzeichnis	VI
1 Einführung	1
1.1 Einleitung	1
1.2 Vorstellung des Unternehmens	1
2 Grundlagen	2
2.1 Galvanische Trennung	2
2.2 Leistungsschalter	3
2.2.1 Der MOSFET	3
2.2.2 Inversdiode	3
2.2.3 Ersatzschaltbild des MOSFET	4
2.2.4 Ausgangskennlinienfeld	4
2.2.5 Dynamischer Betrieb	6
2.3 High-side und Low-side MOSFET	8
2.4 Gate-Treiber ICs	9
2.4.1 Begriffserklärung	9
2.4.2 Schematischer Aufbau	12
2.5 Gate-Treiberschaltung	14
2.5.1 Treiberschaltung mit Bootstrap	14
2.5.2 Treiberschaltung mit Potentialtrennung	16
3 Vergleich verschiedener Treiber	17
4 Simulation	19
4.1 Einbindung unbekannter Bauteile in LTspice	19
4.2 UCC21520 Treiberschaltung mit Bootstrap	20
4.2.1 Schaltung	20
4.2.2 Auswahl der Bauteile für die UCC21520 Treiberschaltung	22
4.2.3 Auswertung	24

4.3 Gate Driver Transformer (GDT) Treiberschaltung	27
4.3.1 Schaltung	27
4.3.2 Auswahl der Bauteile für die GDT Treiberschaltung	29
4.3.3 Auswertung	30
5 Praktische Versuchsdurchführung	32
5.1 Schaltplan und Board-Erstellung in Eagle	32
5.1.1 Eagle	32
5.1.2 Schaltpläne	32
5.1.3 Richtlinien für die Erstellung der Leiterplatten	35
5.1.4 PCB Erstellung, Bestellung und Bestückung	36
5.2 Test des UCC21520-Treibers	38
5.2.1 Messergebnisse vom UCC21520-Treiber	38
5.3 Test des Gate Driver Transformers (GDTs)	42
5.3.1 Messergebnisse vom GDT	42
6 Zusammenfassung	45
Literaturverzeichnis	47
Abbildungsverzeichnis	49
Tabellenverzeichnis	50

Abkürzungsverzeichnis

CMTI	Common-mode transient immunity
DT	Dead-Time
EAGLE	Easily Applicable Graphical Layout Editor
EDA	Electronic Design Automation
EMV	Elektromagnetische Verträglichkeit
EUTC	European Technology Center
GDT	Gate Driver Transformer
IC	Integrated Circuits
IGBT	Insulated Gate Bipolar Transistor
MOSFET	Metal Oxide Semiconductor Field-Effect Transistor
PCB	Printed Circuit Board
PWM	Pulsweitenmodulation
SiC	Siliciumcarbid
SMD	Surface-Mounted Device
TI	Texas Instruments
UVLO	Under Voltage Lock Out

1 Einführung

1.1 Einleitung

Durch die Energiewende wächst die Elektroautomobilbranche von Jahr zu Jahr stark an. Bis 2025 sollen 15 bis 25 Prozent der Neuzulassungen elektrisch unterwegs sein. Um den Komfort zu steigern und Elektroautos noch interessanter für den Kunden zu machen, wollen die großen Automobilhersteller wie Daimler, BMW, Volkswagen und Ford, dass die Batteriespannung der Elektroautos von 400V auf 800V angehoben wird. Durch eine Erhöhung der Batteriespannung kann die Ladezeit der Batterien verkürzt werden und zusätzlich verringert sich das Gewicht der Kabel im Fahrzeug. Allerdings bedeutet dies, dass die Anforderungen an die Bordelektronik des Elektroautos steigen und angepasst werden müssen. Panasonic Industrial Devices Europe GmbH hat für die momentane 400V Spannung der Batterie eine Lösung für die Wandlung zur Bordnetzversorgungsspannung entwickelt. Um weiterhin gut für die Zukunft aufgestellt zu sein, soll diese Lösung weiterentwickelt werden. Dafür werden in der Bachelorthesis aktuelle MOSFET-Treiber, die für eine Arbeits-Spannung von mindestens 800V ausgelegt sind, untersucht und miteinander verglichen. Der zurzeit beste Treiber-IC wird mit LTspice simuliert und in der Praxis getestet. Des Weiteren wird ein diskreter Aufbau mit einer GDT Lösung untersucht und ebenfalls einem Praxistest unterzogen.

1.2 Vorstellung des Unternehmens

Weltweit arbeiten ungefähr 250 Tausend Mitarbeiter bei Panasonic. Das im März 1918 von Konosuke Matsushita gegründete Unternehmen wird momentan von Kazuhiro Tsuga geleitet und hat seinen Hauptfirmensitz in Kadoma (Osaka), Japan. Die Bearbeitung der Bachelorthesis wurde in der Hauptzentrale von Panasonic Industrial Devices Europe in Lüneburg, in der Abteilung European Technology Center (EUTC) durchgeführt. In Lüneburg sind ungefähr 230 Mitarbeiter angestellt, die hauptsächlich an Forschung und Entwicklung von neuen Produkten arbeiten. Weitere Firmensitze von Panasonic Industrial Devices in Europa liegen in Deutschland, Österreich, der Slowakei und in der Tschechischen Republik.[20]

2 Grundlagen

2.1 Galvanische Trennung

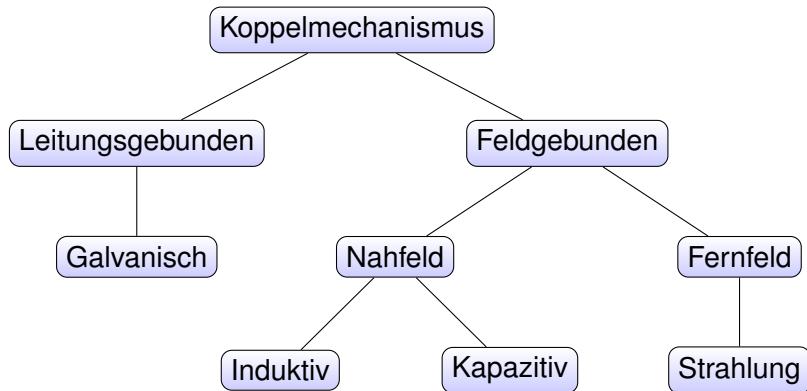


Abbildung 2.1: Koppelmechanismus

In Abb. 2.1 wird verdeutlicht, dass eine Kopplung durch eine galvanische Verbindung nur dann vorliegt wenn, zwei Stromkreise mit einer Leitung verbunden sind und Leistung oder Daten zueinander übertragen werden. Im Umkehrschluss bedeutet das, wenn zwei Stromkreise Daten oder Leistung ohne eine direkte Leitung übertragen, sind sie voneinander galvanisch getrennt. Galvanische Trennung kann induktiv (Magnetisches Feld), kapazitiv (Elektrisches Feld) oder mit elektromagnetischer Strahlung gewollt oder ungewollt (Elektromagnetische Verträglichkeit (EMV)) zwischen zwei Stromkreisen auftreten. Dabei sind die Potentiale der beiden Stromkreise voneinander getrennt und zueinander potentialfrei. Der Effekt des Potentialunterschieds durch galvanische Trennung kann zur Ansteuerung von high-side **Metal Oxide Semiconductor Field-Effect Transistor (MOSFET)** 2.3 oder **Insulated Gate Bipolar Transistor (IGBT)** genutzt werden und dient zusätzlich der Sicherheit vor Überspannung für die Logikbausteine. Eine galvanische Trennung kann zum Beispiel mit optischen Isolatoren (Optokopplern) realisiert werden. Der Nachteil von Optokopplern ist, dass sie bei hohen Frequenzen mit mehr Strom versorgt werden müssen, wodurch ihre Lebensdauer verkürzt wird und der Energieverbrauch ansteigt. Eine induktive Kopplung kann mit Gate Driver Transformer (GDT) umgesetzt werden. GDT haben gegenüber Optokopplern einen Geschwindigkeitsvorteil aufgrund kürzerer Verzögerungszeiten und genauem Timing der Ein- und Abschaltvorgänge der MOSFETs. Die kompakteste Lösung für MOSFET-Treiber sind digitale Isolatoren. Die Technik beruht auf kleinen Mikrotransformatoren oder auf Siliziumdioxid-(SiO₂-)Kondensatoren, diese können direkt in die Standard-Silizium-ICs integriert werden. [2][15]

2.2 Leistungsschalter

2.2.1 Der MOSFET

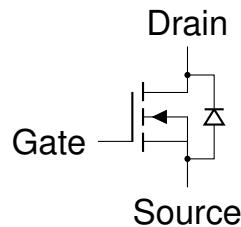


Abbildung 2.2: Schaltbild eines N-Kanal Leistungs-MOSFET

Ein Metal Oxide Semiconductor Field-Effect Transistor (MOSFET) ist ein aktives Bauelement mit mindestens drei Anschlüssen (Elektroden): G (gate, dt. Steuerelektrode), D (drain, dt. Abfluss), S (source, dt. Quelle) Abb. 2.2. Bei einigen Bauformen wird ein zusätzlicher Anschluss B (bulk, dt. Substrat) nach außen geführt, der mit der Chiprückseite verbunden ist. Meistens ist das Substrat intern mit der Quelle verbunden. Es gibt vier Grundtypen: selbstleitende und selbstsperrende in einer P-Kanal- oder N-Kanal-Ausführung. Vorwiegend wird der N-Kanal genutzt, aufgrund seiner kleineren Chip-Fläche bei annähernd gleichen Kenndaten und dem daraus resultierenden geringeren $R_{DS(on)}$ sowie einer Preisersparnis gegenüber dem P-Kanal MOSFET. Der MOSFET unterscheidet sich zum Bipolartransistor im Arbeitsprinzip, in Leistungsfähigkeit, in den Spezifikationen und der Robustheit. Er kann des Weiteren mit einer höheren Arbeitsfrequenz und mit weniger Leistung angesteuert werden.[19][22]

2.2.2 Inversdiode

In jedem Leistungs-MOSFET, in denen der Bulk kontakt mit dem Source kontakt verbunden ist, gibt es aufgrund des internen Aufbaus ein P-N-Übergang zwischen Drain und Source. Dieser P-N-Übergang wird Inversdiode genannt. Wenn in umgekehrter Richtung eine Spannung an den MOSFET angelegt wird, wird dieser leitfähig. Dieser Effekt des MOSFET kann in einigen Schaltungen genutzt werden, um Kosten zu sparen, allerdings ist es häufig sinnvoll, eine schnellere Diode mit besseren Eigenschaften zum MOSFET parallel zu schalten. Zusätzlich dient die Diode als Überspannungsschutz in Sperrrichtung. Dabei arbeitet der MOSFET in Sperrrichtung wie eine Zener-Diode, die ab der Durchbruchspannung leitet und nicht zerstört wird, solange nicht eine gewisse Energie überschritten wird. Diesen Effekt nennt man Avalanche -Effekt.

2.2.3 Ersatzschaltbild des MOSFET

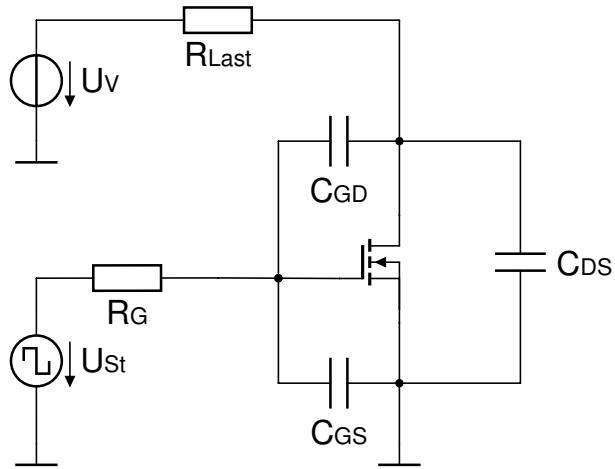


Abbildung 2.3: Ersatzschaltbild eines MOSFET

In dem in Abb. 2.3 gezeigten Ersatzschaltbild des MOSFET sind alle parasitären Kapazitäten eingezeichnet. Wird der MOSFET für den statischen Schaltvorgang verwendet, kann dieser nahezu leistungslos angesteuert werden, weil die Kapazitäten nur einmal geladen werden müssen, damit der MOSFET voll leitfähig ist. Bei einer Verwendung als schnellen Schalter treten hingegen nicht zu vernachlässigende Ladeströme auf, weil die Eingangskapazitäten bei jedem Schaltvorgang geladen und entladen werden müssen. Des Weiteren wurden ein Gate-Widerstand zur Strombegrenzung und ein Last-Widerstand eingezeichnet. Anhand dieses Schaltbildes kann das Schaltverhalten des MOSFET erklärt werden und die Schaltzeiten berechnet werden. [14]

2.2.4 Ausgangskennlinienfeld

In Abb. 2.4 ist das Ausgangskennlinienfeld eines N-Kanal-MOSFET dargestellt. Grundsätzlich wird der MOSFET in drei Bereiche eingeteilt: Sperrbereich, ohmscher Bereich (Anlaufbereich) und Abschnürbereich.

- **Sperrbereich** $U_{GS} < U_{th}$ Es fließt kein Strom
- **ohmscher Bereich** $U_{GS} > U_{th}$ und $U_{DS} < U_{GS} - U_{th}$
- **Abschnürbereich** $U_{GS} > U_{th}$ und $U_{DS} \geq U_{GS} - U_{th}$

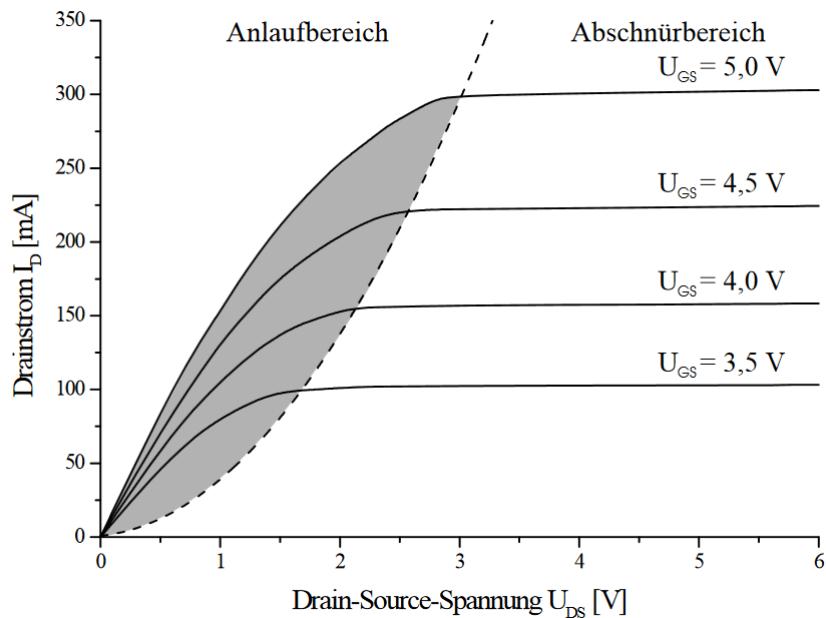


Abbildung 2.4: Ausgangskennlinienfeld eines MOSFET [8]

U_{th} ist die Schwellenspannung (threshold voltage), die am Gate überwunden werden muss, damit sich im MOSFET ein Kanal bildet und der MOSFET leitfähig wird. Im Sperrbereich ist der MOSFET ein Isolator. Im ohmschen Bereich kann der MOSFET als spannungsgesteuerter Widerstand genutzt werden. Wie man in Abb. 2.4 links von der gestrichelten Linie sieht, steigt der Drainstrom linear an, wenn die angelegte Drain-Source-Spannung (Lastspannung) bei einer gleich bleibenden Gate-Source-Spannung (Steuerspannung) am MOSFET erhöht wird. Das liegt daran, dass der Widerstand $R_{DS(on)}$ (Widerstandsstrecke von Drain zu Source) immer kleiner wird. Die gestrichelte Linie in der Abbildung nennt man Sättigungslinie, sie teilt den ohmschen Bereich und den Abschnürbereich. In diesem Bereich bewirkt eine weitere Erhöhung der Drain-Source-Spannung nur noch eine geringfügige Erhöhung des Drainstromes, weil $R_{DS(on)}$ annähernd gleich bleibt. In der Leistungselektronik versucht man im Abschnürbereich zu bleiben, um den kleinstmöglichen Widerstand ($R_{DS(on)}$) auf der Drain-Source-Strecke zu haben. Das hat den Hintergrund, dass im leitenden Zustand die Verlustleistung des MOSFETs vom $R_{DS(on)}$ abhängig ist und somit Einfluss auf die Erwärmung des MOSFET nimmt. [14]

2.2.5 Dynamischer Betrieb

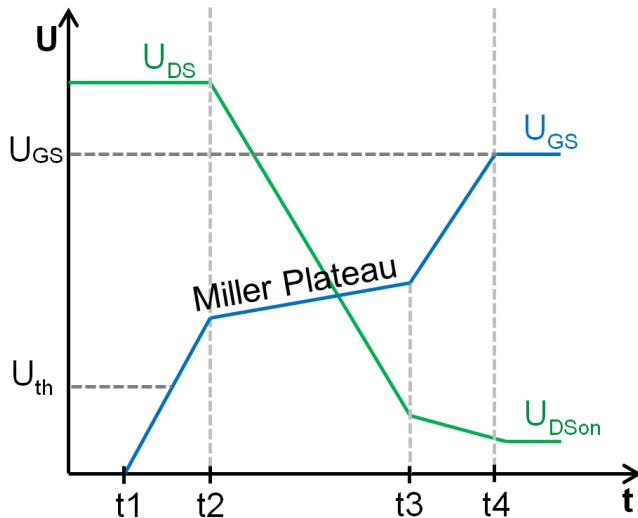


Abbildung 2.5: Einschaltverhalten eines MOSFETs[3]

Bei einem pulsgesteuerten MOSFET bestimmen die internen parasitären Kapazitäten (Abb.2.3) des MOSFETs das zeitliche Verhalten beim Ein- und Ausschalten. Dabei ist die sogenannte Miller Kapazität (C_{GD} zwischen Gate und Drain) die parasitäre Kapazität, die einen großen Einfluss auf das Schaltverhalten des MOSFET hat. Der Einschaltvorgang ist in Abb.2.5 zu sehen. Dabei können drei Zeitintervalle ausgemacht werden:

- $t_1 < t < t_2$ Kondensator C_{GS} wird bis zum Erreichen U_{th} geladen.
- $t_2 < t < t_3$ Kondensator C_{GD} wird umgeladen (Miller-Plateau)
- $t_3 < t < t_4$ Kondensator C_{GS} wird voll geladen.

In der ersten Phase sperrt der MOSFET und C_{GD} wird geladen. Wird eine Spannung am Gate angelegt (Phase zwei), lädt sich der Kondensator C_{GS} bis zum Erreichen der Schwellspannung U_{th} auf. Ab diesem Punkt beginnt die Drain-Source-Strecke durchzusteuern und der Kondensator C_{GD} wird umgeladen. Dabei fließt ein Entladestrom in umgekehrter Richtung vom Gate weg zum Treiber. Der Treiber muss den Entladestrom abführen, um nicht zerstört zu werden (Schutzbeschaltung). Dabei stellt sich ein Gleichgewicht ein, je höher U_{GS} steigt, desto schneller fällt U_{DS} und damit U_{DG} , wodurch ein höherer Entladestrom fließt. Die Gate-Source-Spannung bildet zeitlich ein Plateau (Miller-Plateau), weil die Drain-Gate-Spannung einem weiteren Anstieg entgegenarbeitet. Die Stärke des Miller-Effektes hängt direkt mit der Höhe der Versorgungsspannung zusammen. In der letzten Phase wird U_{GS} vollständig aufgeladen und der MOSFET schaltet vollständig durch. Ist dies erledigt, wird

der kleinstmögliche Drain-Source-Widerstand ($R_{DS(on)}$) des MOSFETs erreicht, die ohmschen Verluste verringern sich und ein hoher Wirkungsgrad wird erzielt. Die Schaltzeiten des MOSFETs hängen vom Miller-Plateau ab, dabei sollte das Plateau so kurz wie möglich sein, um schnell einen kleinen $R_{DS(on)}$ zu erzielen. Die Umladezeit wird mit der Ladung $Q = C_{GD} * U_{DS}$ und dem Einschaltstrom I_G berechnet.

$$t_{on} = \frac{Q}{I_G} = \frac{C_{GD} * U_{DS}}{I_G} \quad (2.1)$$

Wenn die Formel umgestellt wird, kann der benötigte Treiberstrom für eine bestimmte Einschaltzeit berechnet werden.

$$I_G = \frac{Q}{t_{on}} = \frac{C_{GD} * U_{DS}}{t_{on}} \quad (2.2)$$

Aufgrund dessen, dass der Ladestrom und Entladestrom unterschiedlich groß sind, läuft der Ausschaltvorgang umgekehrt zum Einschaltvorgang ab. Jedoch sind die Schaltzeiten nicht gleich. Der Abschaltvorgang dauert immer etwas länger als der Einschaltvorgang.

$$I_{Lad} = \frac{U_{GS} - U_{th}}{R_G} \quad (2.3)$$

$$I_{Entlad} = \frac{U_{th}}{R_G} \quad (2.4)$$

In Schaltungen (zum Beispiel Halbbrückenschaltungen), bei denen zwei MOSFETs abwechselnd ein- und ausgeschaltet werden, muss dieser Effekt berücksichtigt werden, damit ein gleichzeitiges Einschalten beider MOSFETs zur jeder Zeit verhindert wird (Kurzschluss). Es sollte eine Totzeit zwischen dem Einschalten des einen und dem Ausschalten des anderen berücksichtigt werden. [14]

2.3 High-side und Low-side MOSFET

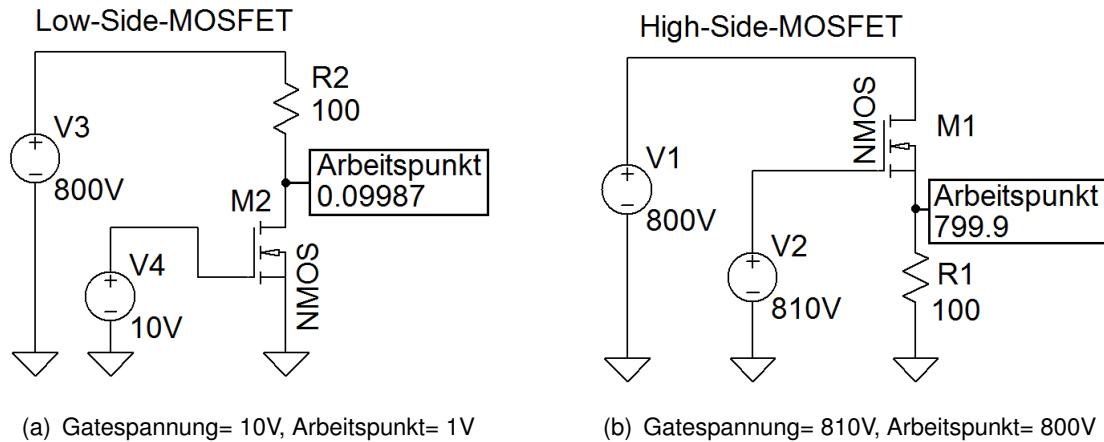


Abbildung 2.6: High-side und Low-side Switch

In der Abb. 2.6 sind zwei unterschiedliche MOSFET-Schaltungsarten zu sehen, jede Schaltungsart benötigte eine andere Treiber-Schaltung zur Ansteuerung aufgrund der unterschiedlichen Gatespannungen. Für ein "low-side-MOSFET" kann ein N-Kanal MOSFET mit einer normalen Drainschaltung (low-side-Driver) genommen werden. Der Gatetreiber muss eine Spannung in etwa von 10V liefern, damit der MOSFET voll leitfähig wird. Der Nachteil dieser Beschaltungsart liegt in der Tatsache, wenn der MOSFET zerstört wird, liegt die Lastspannung weiterhin am Verbraucher an und wird nicht unterbrochen. Des stellt ein Sicherheitsrisiko da, welches in vielen Anwendungen nicht erlaubt ist. Deswegen wird oft die "high-side-MOSFET" Schaltung eingesetzt, um bei einer Zerstörung des MOSFETs keine Spannung mehr an der Last anliegen zu haben. Das Problematische an dieser Schaltung ist, dass die Gatespannung des MOSFETs mit einer 10V höheren Gate-Spannung betrieben werden muss als die Schaltspannung. Man könnte einen P-Kanal MOSFET nehmen, um weiter mit einer niedrigen Gatespannung arbeiten zu können. Aber weil der P-Kanal MOSFET teurer ist und schlechtere Eigenschaften als ein N-Kanal MOSFET hat, wird oft weiterhin ein N-Kanal MOSFET benutzt, was einen Mehraufwand in der Beschaltung nach sich zieht. Der Grund für die hohe Spannung wie im Abb 2.6b ist, dass im ausgeschalteten Zustand am Source-Kontakt das Potential der Schaltspannung anliegt und um den MOSFET leitfähig zu machen, muss die Gatespannung ungefähr 10V höher sein als das Source-Potential. Abhilfen zur Problemlösung und zur Nutzung eines N-Kanal MOSFETs sind zum Beispiel Bootstrap-Treiberschaltungen (Kapitel: 2.5.1) oder eine Treiberschaltung mit Potentialtrennung (Kapitel: 2.5.2).

2.4 Gate-Treiber ICs

2.4.1 Begriffserklärung

VCC und VDD

Aufgrund der Potentialtrennung der Primär- und Sekundärseite werden zwei separate Spannungsquellen benötigt. VCC ist dabei für die primäre Spannungsversorgung zum Beispiel für die Spannungsversorgung des Treibers zuständig und VDD für die sekundäre Spannungsversorgung (Ladung Bootstrap Kondensator).

Level shifter

Der level shifter (dt. Pegelumsetzer) wird zur Spannungshebung der PWM vom Mikrocontroller benötigt, um besser mit dem Signal arbeiten zu können.

Under Voltage Lock Out (UVLO)

UVLO (dt. Unterspannung Abschaltung) ist eine Sicherheitssteuerung, die bewirkt, dass alle Ausgänge abgeschaltet werden, wenn eine der Gate-Spannungen mit zu wenig Spannung versorgt wird. Würde das nicht passieren, könnten die zu kleinen Spannungen dazu führen, dass der MOSFET im linearen Bereich arbeitet und somit der MOSFET einen zu hohen Einschaltwiderstand ($R_{DS(on)}$) hat. Dadurch erwärmt sich der MOSFET stärker als normal, dies kann zu einer thermischen Überlastung bis hin zur Zerstörung führen.[13]

Source and sink current

Source current (dt. Quellstrom) nennt man den Strom, den ein Treiber maximal liefern kann, um einen MOSFET anzusteuern. Sink current (dt. Senkstrom) nennt man den Strom, den der Treiber aufnehmen kann, wenn der MOSFET ausschaltet. Beide Ströme werden meistens als Spitzenströme in Datenblättern angegeben.

Dead-Time (DT)

Deadtime (dt. Totzeit) ist die Zeit zwischen zwei Signalen am Ausgang, wenn ein Signal abgeschaltet wird, bevor das andere eingeschaltet werden kann. Diese Zeit ist besonders wichtig bei Halbbrückenschaltungen, weil dort zu jeder Zeit sichergestellt werden muss, dass niemals beide MOSFET/IGBTs gleichzeitig eingeschaltet werden. Würde dies passieren, führt dies zu einem Kurzschluss der Schaltspannung. Die Totzeit kann entweder softwaremäßig mit der Pulsweitenmodulation (PWM) eingestellt werden oder einige Integrated Curciuts (IC) bieten durch eine externe Beschaltung eine Einstellung der Totzeit über ihre Hardware an.

Shoot-Through Protection

Mit einer Shoot-Through Protection (dt. Durchschuss Sicherheit) wird sichergestellt, dass beide Ausgänge ausgeschaltet werden, wenn an beiden Eingängen ein high-Signal anliegt. Erst sobald an einem Eingang ein low-Signal anliegt und die Totzeit verstrichen ist, kann ein Ausgang wieder eingeschaltet werden.

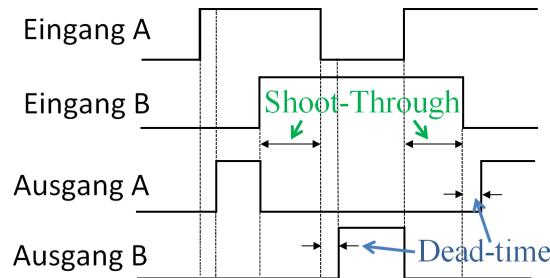


Abbildung 2.7: Shoot-Through-Protection

Propagation delay und Rising and Falling Time

Propagation delay (dt. Gatterlaufzeit) wird die interne Laufzeit des Treibers bezeichnet, wenn dieser ein Eingangssignal verzögert am Ausgang wieder abgibt. Oft wird die Zeit separat für beide Eingänge (PWMA und PWMB) angegeben und unterscheiden in Einschalt- und Ausschaltsignal. Die Bezeichnungen variieren von Hersteller zu Hersteller und sind zum Beispiel für das Einschaltsignal (t_{on} oder t_{PDLH}) und für das Ausschaltsignal (t_{off} oder t_{PDHL}). Rising time (dt. Anstiegzeit) und Falling time (dt. Abfallzeit) ist die Zeit, die ein Signal benötigt, den Wechsel von 10% seines alten Zustandes bis 90% seines neuen Zustandes zu vollziehen, siehe 2.8.

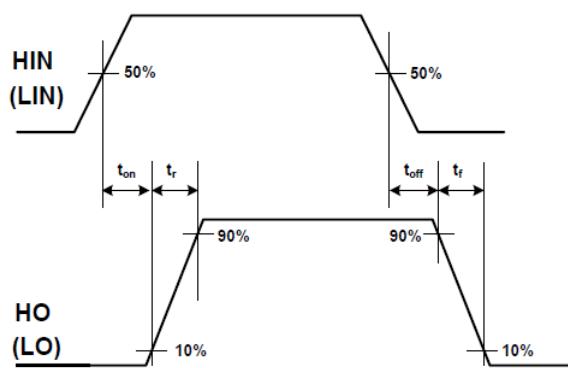


Abbildung 2.8: Propagation delay und An- und Abstiegszeit[11]

Common-mode transient immunity (CMTI)

CMTI ist ein wichtiger Kennwert für die Robustheit der Isolation des Treibers. Er gibt an, welche Spannungsdifferenz ($\Delta(V)/\Delta(t)$) der Treiber maximal toleriert und dabei einen konkreten Ausgangspegel hält, ohne dass dabei die Isolation durchbricht.

Active Miller Clamp

Die Active Miller Clamp (dt. aktive Miller-Klemme) ist eine interne Schutzmaßnahme, die beim Einschalten des high-side-MOSFETs verhindert, dass ungewollt der low-side-MOSFET eingeschaltet werden könnte. Das kann passieren, wenn durch eine Spannungsänderung dV_{DS}/dt am low-side-MOSFET ein Strom von der Miller-Kapazität zum Treiber über den Gate-Widerstand zurückfließt. Der Spannungsabfall am Gate-Widerstand könnte ausreichen, die Schwellspannung am low-side-MOSFET zu übersteigen und somit den MOSFET ungewollt wieder einzuschalten. Eine oft verwendete Lösung für dieses Problem, ist einen Transistor zwischen Gate und Source zu schalten, der beim Unterschreiten der threshold Spannung eingeschaltet wird und das Gate kurzschließt.[\[6\]](#)

2.4.2 Schematischer Aufbau

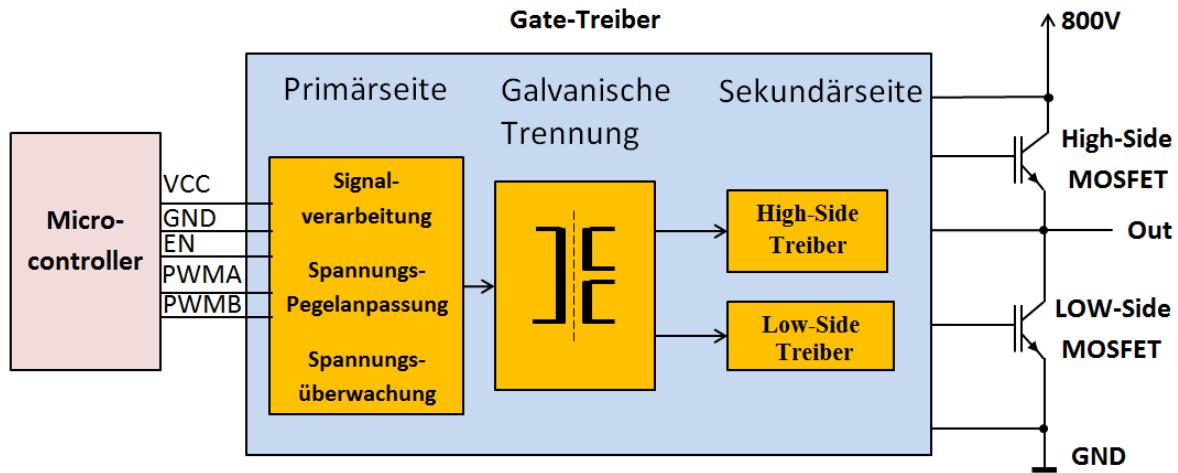


Abbildung 2.9: Interner Aufbau eines Treiber ICs

Der schematische Grundaufbau eines Isolierten Gate-Treibers ICs für ein high- und low-side MOSFET ist in Abb 2.9 zu sehen. Der Gate-Treiber ist in drei Bereiche unterteilt: Primärseite, Galvanische Trennung und Sekundärseite. Von Hersteller zu Hersteller können noch Unterschiede auftreten und Zusatzfunktionen eingebaut sein.

Auf der **Primärseite** des Gate-Treiber ICs ist zum Beispiel ein Pegelwandler verbaut, der die PWM- Spannung anhebt. Der Pegelwandler kann zum Beispiel mit einer Operationsverstärkerschaltung oder einer Open-collector (dt. offener Kollektor)- Schaltung umgesetzt sein. Zur Sicherheit und zur Vermeidung, dass zwei Ausgänge gleichzeitig eingeschaltet werden, ist oft eine interne Shoot-through-Schaltung aus Logik-Gattern umgesetzt. Zur weiteren Sicherheit, dass kein MOSFET mit zu wenig Spannung versorgt wird, ist eine UVLO Schaltung integriert, die auf der Primärseite die Ausgangssignale regelt. Wann ein Signal auf einem Ausgang auf der Sekundärseite übermittelt werden soll, wird über einen Controller geregelt, der auch meist die Totzeit steuert.

Die **Galvanische Trennung** zwischen Primärseite und Sekundärseite wird in Isolierten Gate-Treibern ICs mit Mikrotransformatoren oder Siliziumdioxid-(SiO₂)-Kondensatoren ausgeführt. Mikrotransformatoren und Siliziumdioxid-(SiO₂)-Kondensatoren sind kleiner als Optokoppler und können in ICs integriert werden. Dabei haben die mit Mikrotransformator-Technik verbauten Gate-Treibers den Nachteil, empfindlicher gegen elektrische und magnetische Felder zu sein. Grundsätzlich sind aber beide Lösungen klar im Vorteil gegenüber Optokopplern.

Auf der **Sekundärseite** wird meist das übertragene Signal nochmals aufbereitet und verstärkt. Direkt vom Ausgang des Treibers ist oft eine Push- und Pull-Stufe (auch Totempole genannt) verbaut, um einen großen Quellen- und Sinkstrom zu liefern beziehungsweise auf-

zunehmen. Dadurch wird allerdings eine zusätzliche Spannungsversorgung benötigt, die von der normalen Spannungsversorgung potentialfrei sein muss. Außerdem wird auf der Sekundärseite die Ausgangsspannung überwacht und über eine weitere Galvanische Trennung auf die Primärseite der UVLO-Regelung zurückgeführt. Des Weiteren ist der Transistor für die aktive Miller-Klemme auf der Sekundärseite verbaut.[4]

2.5 Gate-Treiberschaltung

2.5.1 Treiberschaltung mit Bootstrap

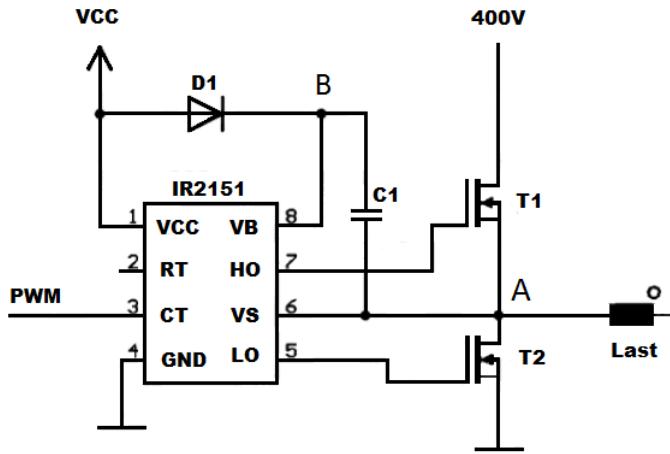


Abbildung 2.10: Treiberschaltung mit Bootstrap [14]

In der Abb 2.10 ist eine Halbbrücke von zwei N-Kanal MOSFETs zu sehen, die von einem Gate-Treiber (IR2151) versorgt wird. Zusätzlich ist für den high-side-MOSFET eine Ladungspumpe (Kondensator und Diode), auch Bootstrap genannt, für die Spannungsversorgung integriert. Bootstrap beschreibt den Effekt, der auftritt, wenn auf eine Seite des Kondensators eine schlagartige Potentialänderung stattfindet, diese auch auf die andere Seite des Kondensators übertragen wird. Diese Potentialänderung wird genutzt, um das Gate vom high-side-MOSFET mit einer höheren Versorgungsspannung (Schaltspannung plus die Kondensatorladespannung) zu versorgen als die Schaltspannung. Bei dieser Beschaltung vom Treiber-ICs kann das Tastverhältnis (engl. Duty-Cycle) nur kleiner 100% betragen, was bedeutet, dass ein kontinuierliches Einschalten der Last mit dieser Schaltung nicht realisiert werden kann. Der Grund dafür ist, dass zwar der MOSFET nur beim Einschalten Strom verbraucht, aber der Bootstrap-Kondensator über den Treiber ICs entladen wird, was dazu führt, dass die Gatespannung des MOSFETs zusammenbricht. Damit die Spannung nicht unter die Schwellspannung sinkt, muss der Kondensator durch einen Umschaltvorgang erneut geladen werden. Zur Steuerung der Gate-Treiber ICs wird meistens eine externe Pulsweitenmodulation (PWM) von einem Mikrocontroller genutzt, dies kann aber auch durch eine Oszillatoren-Beschaltung erfolgen, womit allerdings das Tastverhältnis fest eingestellt ist.[14][17]

Funktionsprinzip

Beim low-Pegel der PWM wird der low-side-MOSFET angesteuert und leitfähig. Dadurch liegt am Punkt A (Punkt zwischen den beiden MOSFETs) das GND-Potential der Schaltung.

Der Kondensator wird durch die leitende Diode auf Versorgungsspannung (VCC) geladen. Ändert sich nun der Spannungspegel der PWM, schaltet der low-side-MOSFET ab und der high-side-MOSFET wird leitfähig. Am Punkt A steigt die Spannung schlagartig auf Schaltspannung (hier 400V) an und der Bootstrapkondensator erfährt eine Potenialänderung. Am Punkt B (zwischen Diode und Kondensator) liegt jetzt eine Spannung von Versorgungsspannung + Schaltspannung. Diese gibt das Treiber-IC am Ausgang ab und versorgt das Gate vom MOSFET und der high-side-MOSFET bleibt leitfähig bis zum nächsten Pegelwechsel der PWM. Bei einem erneuten Wechsel der PWM wird der Kondensator wieder auf Versorgungsspannung aufgeladen, was wichtig ist, weil er durch das Treiber-IC entladen wird. Es ist drauf zu achten, dass die Bootstrapdiode mindestens eine Sperrspannung der Schaltspannung plus der Versorgungsspannung aufweist [17].

Bootstrapkondensator

Für die Auslegung des Bootstrapkondensators muss der Energiebedarf des MOSFETs berechnet werden.

$$C_B = \frac{(3\dots8) * Q_{gate}}{\Delta U} \quad (2.5)$$

Dabei ist Q_{gate} die gesamte Ladung des MOSFETs und ΔU der maximal zulässige Spannungsabfall am Gate des MOSFETs. Der errechnete Wert sollte aber etwa um den Wert drei bis acht erhöht werden, um eventuelle Leckströme und den Energieverbrauch des Treibers zu berücksichtigen. Zu groß sollte der Wert des Kondensators allerdings auch nicht gewählt werden, weil dieser nur während der Ausperiode des high-side-MOSFETs über die strombegrenzende Diode geladen wird. Somit wird durch die höhere Kapazität eine längere Zeit zum Laden benötigt.

Bootstrapdiode und Vorwiderstand

Wie oben schon beschrieben, muss die Diode eine höhere Spannungsfestigkeit aufweisen als die Maximalspannung des Lastkreises. Außerdem sollte die Recovery-Zeit der Diode mindestens um den Faktor 10 kürzer sein als die "on"-Zeit des low-side-MOSFETs. Die Recovery-Zeit sollte so klein wie möglich sein, weil sie im Umschaltvorgang bei beginnender Leitfähigkeit des high-side-MOSFETs verhindert, dass der Bootstrapkondensator ungewollt entladen wird, so lange die Diode noch nicht sperrt. Der Vorwiderstand dient zur Strombegrenzung, damit die Diode nicht zerstört wird. Mit dem Vorwiderstand (R_B), dem Bootstrapkondensator (C_B) und dem Tastverhältnis D kann die minimale "on"-Zeit des low-side-MOSFETs berechnet werden und wiederum daraus die maximal mögliche Schaltfrequenz der Bootstrapschaltung bestimmt werden.

$$t_{on} = \frac{R_B * C_B}{D} \quad f_{max} = \frac{1}{t_{on}} \quad (2.6)$$

2.5.2 Treiberschaltung mit Potentialtrennung

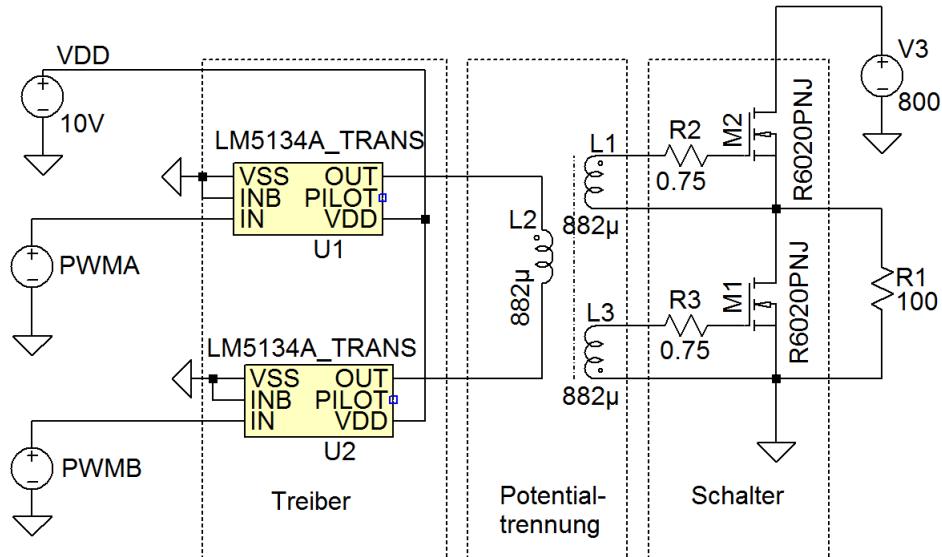


Abbildung 2.11: Treiberschaltung mit Potentialtrennung

In Abb. 2.11 ist dargestellt, wie alternativ eine Halbbrücke ohne Bootstrapschaltung angesteuert werden kann. Es können dazu, wie in der Abbildung gezeigt, als Treiber zwei kostengünstige low-side-Treiber wie der LM5134A benutzt werden und zur Potentialtrennung kann ein Gate Driver Transformer (GDT) verwendet werden. Für den low-side-MOSFET der Halbbrücke wird normalerweise keine galvanische Trennung benötigt, aber aus symmetrischen Gründen und um Laufzeitunterschiede zwischen den low- und high-side-MOSFETs zu vermeiden, wird dies meistens trotzdem umgesetzt.

Der Nachteil der Schaltung ist, dass der maximale Duty-Cycle $< 50\%$ betragen muss, weil nach jedem high-Signal das aufgebaute Magnetfeld sich komplett entmagnetisieren muss, bevor ein erneutes Aufmagnetisieren stattfinden kann. Wird das nicht eingehalten, kann der Transformator in Sättigung geraten, wodurch sein Wirkungsgrad und die übertragende Leistung verringert werden. Ein weiterer Nachteil ist die Baugröße, die diejenige des IC-Treiber bei Weitem übersteigt. Der Vorteil liegt im einfachen Aufbau der Schaltung und darin, dass eine weitere Spannungsversorgung auf der Sekundärseite, die ebenfalls Potential getrennt sein muss, nicht benötigt wird. Um die Primärseite vor Überspannungen zu schützen, muss die Isolationsfestigkeit des GDTs höher als die Schaltspannung auf der Sekundärseite sein. Wird ein Transformator mit einer primären- und zwei sekundären Wicklungen verwendet, müssen die beiden Sekundärwicklungen zueinander isolationsfest sein.

3 Vergleich verschiedener Treiber

In der nachfolgenden Tabelle 3.1 werden Gate-Treiber mit ihren Spezifikationen von verschiedenen Herstellern aufgelistet. Die Tabelle soll dazu dienen, den derzeit besten isolierten Gate-Treiber-IC auf dem Markt zu ermitteln. Dieser wird später in der Praxis untersucht und getestet. Der FAN7391 ist der aktuelle isolierte Gate-Treiber, der momentan oft in Schaltungen von Panasonic eingesetzt wird und als Referenzmodell dient. Der FAN7391 ist für eine Schaltspannung von maximal 600V geeignet, ohne dabei zerstört zu werden. Aufgrund der neuen Anforderung muss die Schaltspannung erhöht werden, darum weisen alle isolierten Gate-Treiber in der Tabelle eine Arbeitsspannung von 1200V auf und können mindestens einen low-side und einen high-side MOSFET ansteuern.

Die beiden Gate-Treiber IR2214SSPBF und IX2120 besitzen gegenüber dem Referenzmodell zu niedrige Quellenströme und Senkströme. Das hätte die Folge, dass die Eingangskapazitäten der MOSFETs bei hohen Frequenzen eine lange Ladezeit benötigen. Darum kommen die beiden Gate-Treiber nicht weiter in Betracht. Beim FAN73912 von Fairchild ist die Verzögerungszeit vom Eingangssignal zum Ausgangssignal (Propagation-delay) zu lang und der Quellenstrom sowie der Senkstrom sind zu gering gegenüber den beiden verbleibenden Gate-Treibern. Beim direkten Vergleich ist der UCC21520 Texas von Instrument besser als der BM60210FV-CE von Rohms. Bei der Auswahl sollte berücksichtigt werden, dass der UCC21520 Treiber mehr als doppelt so teuer ist, als der BM60210FV-CE Treiber. Eine Besonderheit des IC von Texas Instrument (UCC21520) ist, dass dieser entweder zwei low-side-MOSFETs, zwei high-side-MOSFETS oder eine Halbbrücke treiben kann, je nach externer Beschaltung des Treibers. Dieses macht ihn universell einsetzbar. Möglich gemacht wird es dadurch, dass beide internen Treiber auf der Sekundärseite kapazitiv-galvanisch getrennt von der Primärseite sind und zusätzlich zueinander funktional isoliert sind. Aufgrund der funktionalen Isolierung intern und den zwei nicht benutzten Ausgangspins zwischen den beiden Ausgängen kann der UCC21520 mit einer Betriebsspannung von bis zu $1500V_{dc}$ arbeiten. Ein weiterer Vorteil ist, dass man die Totzeit (DT) mit einer hardwaremäßig externen Beschaltung durch einen Kondensator und einen Widerstand einstellen kann, was den Vorteil bringt, dass man die Totzeit beim Einstellen der PWM nicht berücksichtigen muss. Der Eingangsspannungsbereich des Gate-Treibers erlaubt Spannungen von 3V bis 18V. Dies macht ihn auch in Anbindung von digitalen und analogen Controllern universell einsetzbar. Seine Ausgangsspannung kann mit bis zu 25V betrieben werden, was für jegliche Art an Gatespannung für MOSFETs ausreicht. Alle Spannungsversorgungspins besitzen eine Under Voltage Lock Out (UVLO) Schutzvorrichtung, die bewirkt, dass alle Ausgänge bei zu niedriger Spannung abgeschaltet werden.

Aufgrund der vielen Vorteile des UCC21520 und des guten Preisleistungsverhältnisses wird dieser Gate-Treiber weiter in der Bachelorthesis untersucht.

Schaltkreis	FAN7391	UCC21520	BM60210FV	FAN73912	IR2214SSPBF	IX2120
Hersteller	Fairchild	Texas Instruments	ROHM Semiconductor	Fairchild	Infineon	IXYS
Arbeitsspannung	600V	1500V	1200V	1200V	1200V	1200V
Ausgangsspannung	10V...20V	25V	24V	12V...20V	10,4V...20V	15V...20V
Versorgungsspannung	10V...20V	3V...18V	30V	3V...20V	-0,3V...20V	-0,3V...20V
Quellstrom	4,5A	4A	4,5A	2A	1A	2A
Senkstrom-ausgangsspitze	4,5A	6A	3,9A	3A	1,5A	2A
Anstiegszeit	25ns...50ns	6ns...16ns	50ns	25ns	24ns	9,4ns
Abfallzeit	20ns...45ns	7ns...12ns	50ns	15ns	7ns	9,7ns
Verzögerungsanpassung	15ns...50ns	5ns	25ns	50ns	75ns	60ns
Totzeit	-	8ns 15ns	-	200ns...450ns	330ns	-
Verzögerungszeit zw. Ein- und Ausgang beim Einschalten	150ns...220ns	19ns...30ns	35ns...75ns	500ns	220ns...660ns	254ns
Verzögerungszeit zw. Ein- und Ausgang beim Abschalten	150ns...220ns	19ns...30ns	35ns...75ns	550ns	220ns...660ns	213ns
Verlustleistung	1W	1,05W	-	1,3W	1,5W	1,3W

Tabelle 3.1: Vergleichstabelle von isolierten Gate-Treibern

4 Simulation

Um den Schaltungsaufbau und eine Vorab-Untersuchung des UCC21520 und des GDT durchzuführen, werden diese mit der Software LTspice von der Firma Linear Technology virtuell aufgebaut und simuliert. LTspice ist eine kostenlose und für jeden verfügbare Software, mit der verschiedene Schaltungen virtuell aufgebaut werden können. Dabei werden die Bauelemente durch Modelle physikalisch beschrieben oder können abstrakt programmiert werden. Beim abstrakten Aufbau eines Bauelementes ist das Bauelement nur mit Ein-/Ausgängen extern beschrieben und intern mit Gleichungen versehen. Durch Simulation können Fehler im Schaltungsaufbau frühzeitig erkannt und behoben werden. Das verkürzt den Entwicklungsprozess und spart Kosten ein. Des Weiteren ist eine Simulation gut bei der Auslegung von Schaltungen, um ohne Zerstörung von Bauteilen das Verhalten der Schaltungen zu testen.[10][21]

4.1 Einbindung unbekannter Bauteile in LTspice

Für eine Benutzung des UCC21520 in LTspice muss dieses erst in LTspice eingebunden werden. Die hierfür nötigen Schritte sind:

- PSpice-Model von der Texas Instrument-Webseite herunterladen
- Zip-Datei entpacken
- Lib-Datei in Bibliotheksordner verschieben und öffnen
- Rechtsklick auf der blauen Schrift .SUBCKT UCC21520_TRANS DISABLE DT GND INA INB OUTA OUTB VCCI_0 VCCI_1 VDDA VDBB
- Create Symbol auswählen, danach wird der Baustein automatisch mit allen Ein-/Ausgängen von LTspice erstellt.
- Den Baustein nach eigenem Belieben in Größe und Anordnung der Ein/Ausgänge manipulieren.
- Nach dem Speichern kann der Baustein unter AutoGenerated oder durch die Suchfunktion gefunden werden.
- Als letzter Schritt muss der Datei-Pfad mittels ".include C:\..." Befehl eingebunden werden.

Weil es keine passenden Bauteile in der Bibliothek für Halbbrücken Siliciumcarbid (sic)-MOSFETs und der Bootstrap-Diode für eine ausreichend hohe Spannung gibt, müssen diese ebenfalls von den Hersteller-Websites heruntergeladen und eingebunden werden.[10]

4.2 UCC21520 Treiberschaltung mit Bootstrap

4.2.1 Schaltung

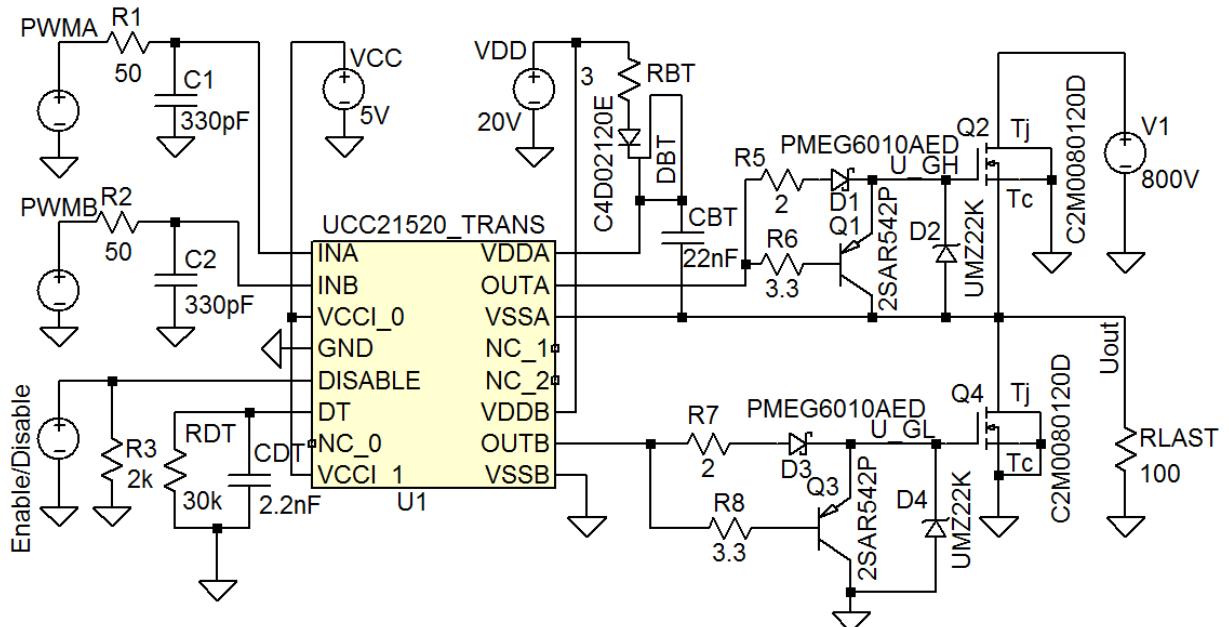


Abbildung 4.1: Simulation einer Bootstrap-Schaltung mit dem UCC21520 Treiber

Texas Instruments (TI) hat im Datenblatt des UCC21520 ein typisches Anwendungsbeispiel für eine Benutzung des IC als Halbrücken-Treiber abgebildet. Mit dieser Konfiguration des ICs gibt Texas Instrument an, den IC getestet zu haben und dass dieser mit der Konfiguration einwandfrei funktioniert.

Die simulierte Schaltung in Abb.4.1 wurde modifiziert und ist ähnlich der Vorgabe im Datenblatt von Texas Instruments. Die Parameter, wie die eingestellte Versorgungsspannung und Schaltfrequenz, können der Tabelle 4.1 entnommen werden. Nach der Einbindung des Treibers, waren die Ein-/Ausgänge nicht in ihrer normalen Pinbelegung angeordnet. Um nichts durcheinanderzubringen wurden die Ein-/Ausgänge der realen Pinbelegung in LTspice angepasst. Eingangsseitig wurde vor den Eingängen der PWMs jeweils ein Tiefpass geschaltet, um hochfrequente Störung zu filtern. Die Totzeit zwischen den Ausgangssignalen kann mittels Widerstandänderung am Widerstand "R3" am DT-Pin eingestellt werden. Über den Disable-Eingang können zusätzlich die Ausgänge bei einem high-Signal ausgeschaltet werden, beziehungsweise mit einem low-Signal freigegeben werden. Wird der Disable-Eingang nicht benutzt, sollte dieser auf Masse-Potential gezogen werden, damit eine bessere Störfestigkeit der Schaltung erreicht werden kann. Ausgangsseitig ist eine Bootstrapschaltung durch eine Diode, Widerstand und einen Kondensator für den high-side SiC-MOSFET verbaut. Das

eingebundene Modell vom Hersteller der Bootstrap-Diode hat zwei Kathoden-Ausgänge, die einfach zusammengeschlossen werden können. Für die Strombegrenzung im Einschaltmoment des SiC-MOSFETs sind die Widerstände R6 und R9 zuständig. Diese sollten für eine schnelle Ladung der Miller-Kapazität des SiC-MOSFETs nicht zu groß gewählt werden. Zu klein sollten die Widerstände allerdings auch nicht gewählt werden, um die Verlustleistung in den Widerständen geringzuhalten $P = U^2/R$. Die Dioden D1 und D3 hinter den Widerständen sperren im Abschaltmoment den Rückstrom des SiC-MOSFETs, damit dieser nicht auf den Treiber zurückgeführt wird, sondern über die beiden PNP-Transistoren Q1 und Q2 abgeleitet wird. Das vermindert die internen Treiberverluste und die Gateladung des SiC-MOSFETs kann schneller entladen werden. Dies hat zur Folge, dass der normalerweise etwas langsamere Ausschaltvorgang schneller wird als der Einschaltvorgang. Nebeneffekt der Dioden der berücksichtigt werden muss ist, dass ihre Durchlassspannung die Gatespannung des SiC-MOSFETs verringert. Die Zener-Dioden D2 und D4 sind zur Sicherheit vor Überspannung am Gate des SiC-MOSFETs geschaltet. Die verwendeten SiC-MOSFET-Modelle für die Halbbrücke besitzen fünf Pins statt wie gewohnt drei für Gate, Drain und Source. Mit den zwei zusätzlichen Pins T_j (junction temperature, dt. Stellentemperatur) und T_c (case temperature, dt. Gehäusetemperatur) kann zusätzlich das thermische Verhalten simuliert werden. Wird keine thermische Analyse benötigt, müssen diese auf Massen-Potential gezogen, werden weil sonst die Simulation in LTspice nicht funktioniert.

Tabelle 4.1: Parameter für die Simulation der UCC21520 Treiberschaltung

Parameter	Wert	Einheit
VCC	5	V
VDD	20	V
Enable/Disable	0-5	V
PWMA / PWMB	5	V
Duty-Cycle	50	%
Schaltfrequenz	100	kHz
Schaltspannung	800	V

4.2.2 Auswahl der Bauteile für die UCC21520 Treiberschaltung

Totzeit (DT)

Für eine Einstellung der Totzeit t_{DT} ist der Widerstand R_{DT} zuständig. Sie ist unabhängig von der Totzeit, die über der PWM eingestellt wird. Das bedeutet, dass nach jedem Flankenwechsel am Eingang mindestens diese Zeit gewartet wird, bis der Flankenwechsel am Ausgang geschieht. Wird der DT-PIN nicht beschaltet, beträgt die Totzeit <15ns. Für eine bessere Störfestigkeit bei Totzeiten größer 300ns, sollte ein Kondensator C_{DT} parallel hinzugefügt werden.

$$t_{DT}[ns] \approx 10 * R_{DT}[k\Omega] \quad (4.1)$$

INA/INB Eingangsfilter

Vor den Eingängen von INA/INB befindet sich jeweils ein Tiefpass, der so ausgelegt werden muss, dass die Eingangssignale nicht verzerrt werden. Die Grenzfrequenz f_G des Tiefpasses sollte um einiges größer sein als die Schaltfrequenz.

$$f_G = \frac{1}{2 * pi * R * C} \quad (4.2)$$

Mit $R = 50\Omega$ und $C = 330pF$ ist $f_G \approx 10MHz$

Halbbrücken N-Kanal SiC-MOSFETs

Für die Halbbrücken wurden zwei N-Kanal SiC-MOSFETs C2M008012D von Wolfspeed ausgewählt. Die maximale Drain-Source Spannung ist mit 1200V ausreichend groß und der R_{DSon} Widerstand ist mit 80mΩ klein. Von normal MOSFETs geht die Drain-Source Spannung bis etwa 700V und deswegen wurde SiC-MOSFETs verwendet.

Bootstrap(BT) Diode und Vorwiderstand

Wie in Kapitel 2.5.1 beschrieben, muss die Diode eine höhere Sperrspannung als die Schaltspannung aufweisen und eine kleine Durchlassspannung besitzen. Dadurch wird der Bootstrap-Kondensator nahezu auf VDD-Spannungspegel aufgeladen. Darum wurde die Diode (C4D02120E) von Wolfspeed ausgewählt. Diese hat eine hohe Sperrspannung von 1200V und der Hersteller stellt ein Ltspice-Model bereit. Um die Diode vor Überstrom zu

schützen, braucht diese einen Vorwiderstand. Weil der Spitzenstrom der Diode $8,4A$ beträgt wurde ein Widerstandswert von 3Ω ausgewählt. In der Simulation lag die Wirkleistung mit dem gewählten Bauelementen bei $P = 5,32mA$.

$$R_{BT} = \frac{V_{DD}}{I_{peak}} = \frac{20V}{8,4A} = 2,38\Omega \Rightarrow 3\Omega \quad (4.3)$$

Bootstrap Kondensator

Der Bootstrap Kondensator kann mit der Formel 2.5 berechnet werden. Die totale Gate Ladung des SiC-MOSFETs (C2M008012D) beträgt $62nC$ laut Datenblatt. Der Korrekturfaktor wurde mit 8 ausgewählt, weil die Ausperiode lang genug ist, um den Kondensator jedes Mal voll zu laden. Der Kondensatorwert von $22nF$ wurde ausgewählt, bei einer Nennspannung von $25V$.

$$C_{BT} = \frac{8 * 62nC}{20V} = 24,8nF \Rightarrow 22nF \quad (4.4)$$

Ein- und Ausschaltung der SiC-MOSFETs

Für den Einschaltvorgang ist ein kleiner Widerstand mit 2Ω und eine schnelle Schottkydiode (PMEG6010CEH, 115) ausgewählt worden. Die Schottkydiode hat eine Sperrspannung von $60V$. Beim Abschaltvorgang wird der Strom über den ausgewählten PNP-Transistor FZT790ATA geleitet, der geeignet ist für den hohen Spitzenstrom.

Tabelle 4.2: Verwendeten Bauteile für die UCC21520 Treiberschaltung

Referenz	Wert	Beschreibung	Bezeichnung
U1	-	High/low-side-Treiber	UCC21520
R1 & R2	50Ω	Eingangsfilter-Widerstand	-
C1 & C2	$330pF$	Eingangsfilter-Kondensator	-
R3	0 bis $100k\Omega$	Potenziometer für Totzeit	-
R4 & R6	2Ω	Vorwiderstand Einschalten	-
R5 & R7	$3,3\Omega$	Vorwiderstand PNP-Transistor	-
D1 & D3	-	Sperrdiode bei Abschaltung	PMEG6010AED
Q1 & Q3	-	PNP-Transistor	FZT790ATA
Q2 & Q4	-	Halbbrücken SiC-MOSFETs	C2M0080120D
RBT	3Ω	Bootstrap-Widerstand	-
DBT	-	Bootstrap-Diode	C4D02120E
CBT	$22nF$	Bootstrap-Kondensator	-

4.2.3 Auswertung

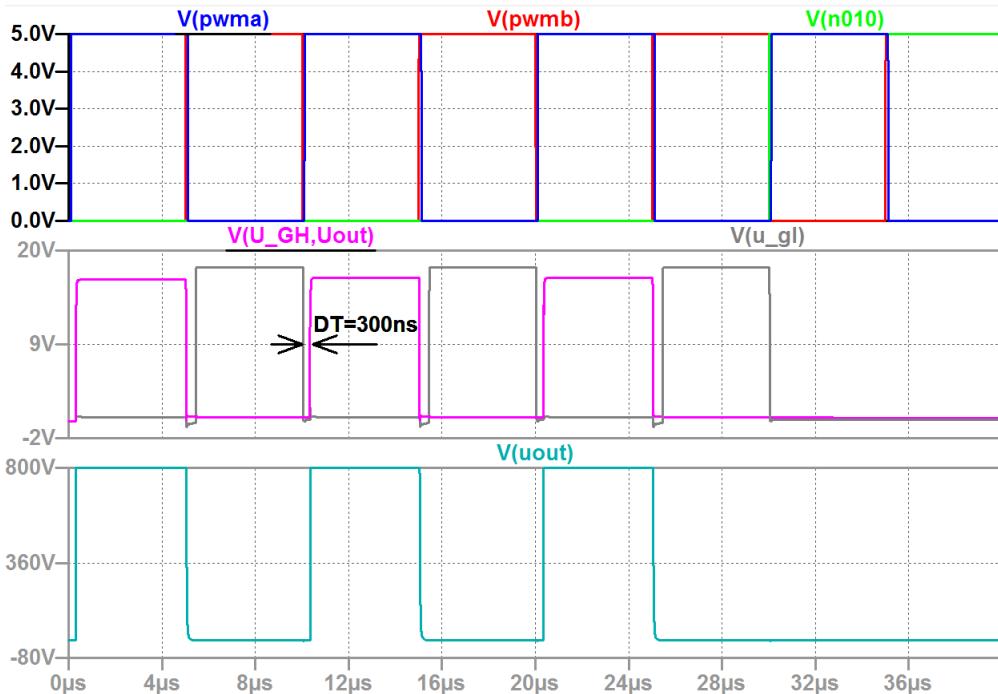


Abbildung 4.2: Eingangssignale und Ausgangssignale der UCC21520 Treiberschaltung

Der UCC21520 funktioniert in der Simulation mit LTspice einwandfrei. Leichte Probleme gab es mit der Einbindung der weiteren, nicht in der Standardbibliothek vorhandenen, Bauteile (SiC-MOSFET und Bootstrap-Diode). Durch diese Bauteile wurde die Simulationsgeschwindigkeit erheblich verlängert und die Einbindung selbst ins Programm klappte nicht auf Anhieb. In der Abb.4.2 sind Eingangs- und Ausgangssignale des UCC21520 zu sehen über eine Simulationszeit von $40\mu\text{s}$. Im oberen Drittel der Abbildung sind die Eingangssignale PWMA (blaue Signalfarbe) und PWMB (rote Signalfarbe) zu sehen, die beiden Signale wechseln sich alle $5\mu\text{s}$ ab (50% Duty-Cycle dt. Ein-/Ausschaltverhältnis), mit einer Periode von $10\mu\text{s}$, was einer Frequenz von 100kHz entspricht. Das Disable-Signal (grüne Signalfarbe) wird bei $30\mu\text{s}$ bis $40\mu\text{s}$ eingeschaltet, damit die Ausgänge aktiv ausgeschaltet werden.

In der Mitte der Abbildung sind die Ausgangssignale U_{GH} (rosa Signalfarbe) und U_{GL} (graue Signalfarbe) des Treibers, die mit dem Gate des SiC-MOSFETs verbunden sind, abgebildet. Zwischen den Ausgangssignalen ist eine Totzeit von 300ns eingestellt, die mit dem Widerstand R_4 von $30\text{k}\Omega$ eingestellt wurde (Formel 4.1). Bei einer Veränderung des Widerstandswertes ändert sich stets das Ergebnis auf die erwartete Totzeit. Somit kann die Totzeit zur Sicherheit der SiC-MOSFETs gut über den Widerstandswert von R_4 eingestellt werden, damit ein gleichzeitiges Einschalten zu jeder Zeit vermieden wird. Außerdem gut zu sehen ist, dass die Ausgangssignale des Treibers einen unterschiedlichen Spannungs-

pegel besitzen. Der Unterschied kommt von der Schwellenspannung (Vorwärstsspannung) der Bootstrap-Diode für den high-side SiC-MOSFET. Je größer die Schwellenspannung der Diode ist, desto kleiner ist die Gatespannung und der Drainstrom I_D der durch den high-side SiC-MOSFET fließt, was den Wirkungsgrad der Schaltung verschlechtert (2.4). Die verwendete Bootstrap-Diode ist eine SiC-Diode und besitzt eine Schwellenspannung von 1,4V bis 1,9V, dieser Spannungsunterschied wurde auch in der Simulation gemessen. Um die internen Verzögerungszeiten des Treibers zu messen, wurde eine PWM angeschlossen und der DT-Pin plus der Enable-Pin auf Massepotential gezogen. Die Messung erfolgte direkt am Treiberausgang. Dabei wurde eine Zeit von 17ns gemessen, wenn das Eingangssignal von low-Pegel zu einem high-Pegel gewechselt hat. Die Änderung von high-Pegel zu low-Pegel dauerte in der Simulation etwas länger mit 26ns. Durch diese kurze Verzögerungszeit kann sehr präzise ein- und ausgeschaltet werden.

Im Unterteil der Abbildung ist die Schaltspannung zwischen den Halbbrücken zu sehen. Die Einschaltzeit der Schaltspannung ist ungefähr so lang wie eine halbe Periode der PWMA minus der Totzeit (4,7μs). Der Spannungsspegel wechselt von 0V auf 800V und ist rechteckig, weil der Miller-Effekt, durch den kleinen Vorwiderstand, kaum Auswirkung auf das Signal hat. Um die Auswirkung des Miller-Effekts zu zeigen, wurde der Gate-Vorwiderstand von 2Ω auf 10Ω, 100Ω und 200Ω erhöht, damit der Strom zum Gate begrenzt wird (Abb.4.3). Zu erkennen ist, dass je höher der Vorwiderstand ist, desto kleiner ist der Gatestrom und umso mehr Zeit wird benötigt, die Miller-Kapazität umzuladen. Dadurch wird das Miller-Plateau größer und die erwünschte Einschaltzeit kleiner. Dieser Effekt sollte vermieden werden, weil das Ausgangssignal verändert wird und Schaltverluste ansteigen. Die erhöhten Schaltverluste kommen dadurch zustande, dass der SiC-MOSFET länger braucht, bis er in seinem Abschnürbereich arbeitet (kleinster R_{DSon}). Deswegen ist es essentiell wichtig, dass der Treiber einen hohen Quellenstrom liefert, sonst würde dieser den Strom begrenzen und ein schnelles Laden der Eingangskapazität verhindern.

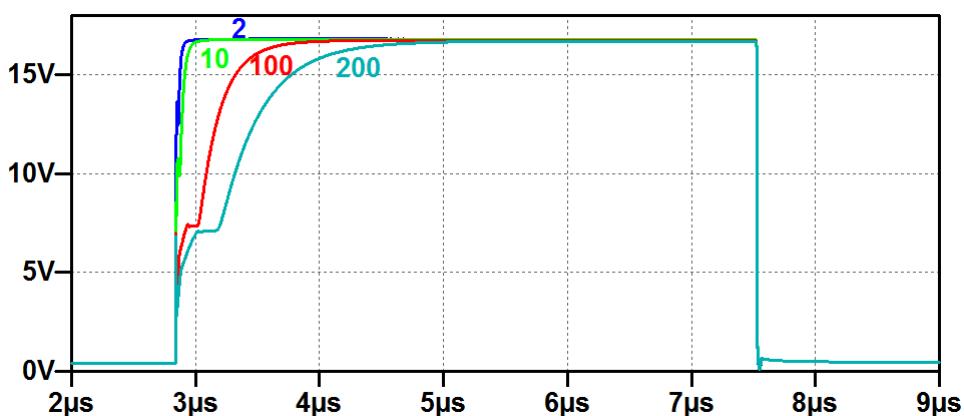


Abbildung 4.3: Miller-Effekt

Die Under Voltage Lock Out (UVLO)-Abschaltung kann durch eine Erhöhung des Duty-Cycle auf 100% (PWMA kontinuierlich angeschaltet und PWMB ausgeschaltet) getestet werden. Der Bootstrap-Kondensator wird zu Beginn, wenn der high-side SiC-MOSFET noch ausgeschaltet ist, aufgeladen. Sobald der high-side SiC-MOSFET eingeschaltet wird, entlädt sich der Kondensator stetig über den Treiber. Durch die Entladung des Kondensators sinkt die Gatespannung unter die UVLO-Sicherheitsspannung von 8,5V. Bei Erreichen dieser Spannung schaltet der Treiber alle Ausgänge aus und der Bootstrap-Kondensator wird wieder geladen. Das ist auch gleichzeitig die Erklärung, warum mit einer normalen Bootstrap-Schaltung kein 100% Duty-Cycle umgesetzt werden kann. Mit dieser Schaltung ist es immer nötig den high-side SiC-MOSFET abzuschalten und eine Mindesteinschaltzeit des low-side SiC-MOSFET einzuplanen, um den Kondensator erneut aufzuladen.

Der Plot aus Abb.4.4 wurde mit der folgenden Bootstrap Konfiguration durchgeführt:

- Bootstrap-Widerstand 3Ω
- Bootstrap-Kondensator 22nF
- Schaltfrequenz 100kHz

Zu sehen sind die Spannungen am Bootstrap-Kondensator und am Ausgang des Treibers. Ist der high-side SiC-MOSFET ausgeschaltet, ist die Spannung am Ausgang des Treibers gleich null und der Kondensator lädt sich auf eine Spannung von 19,12V auf. Im Einschaltmoment benötigt der high-side SiC-MOSFET einen großen Strom und die Spannung vom Kondensator sinkt schlagartig auf 16,5V. Nachdem der high-side SiC-MOSFET eingeschaltet ist, benötigt dieser nahezu keinen Strom mehr, aber durch Verluste vom Treiber entlädt sich der Kondensator linear weiter auf 8,5V. Bei Erreichen der Spannung tritt die Sicherheitsabschaltung ein und die Spannung fällt auf null. In dieser Zeit wird der Kondensator erneut geladen auf 19,12V und alles fängt von vorn an. Eine Erhöhung des Kondensatorwertes würde zwar die Einschaltzeit verlängern, allerdings auch die benötigte minimale Abschaltzeit verlängern.

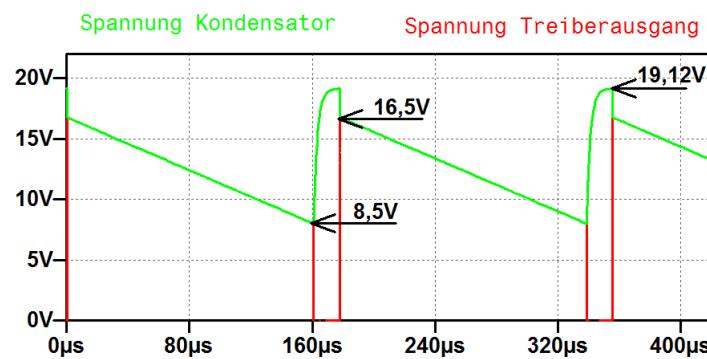


Abbildung 4.4: UVLO Abschaltungstest

4.3 Gate Driver Transformer (GDT) Treiberschaltung

4.3.1 Schaltung

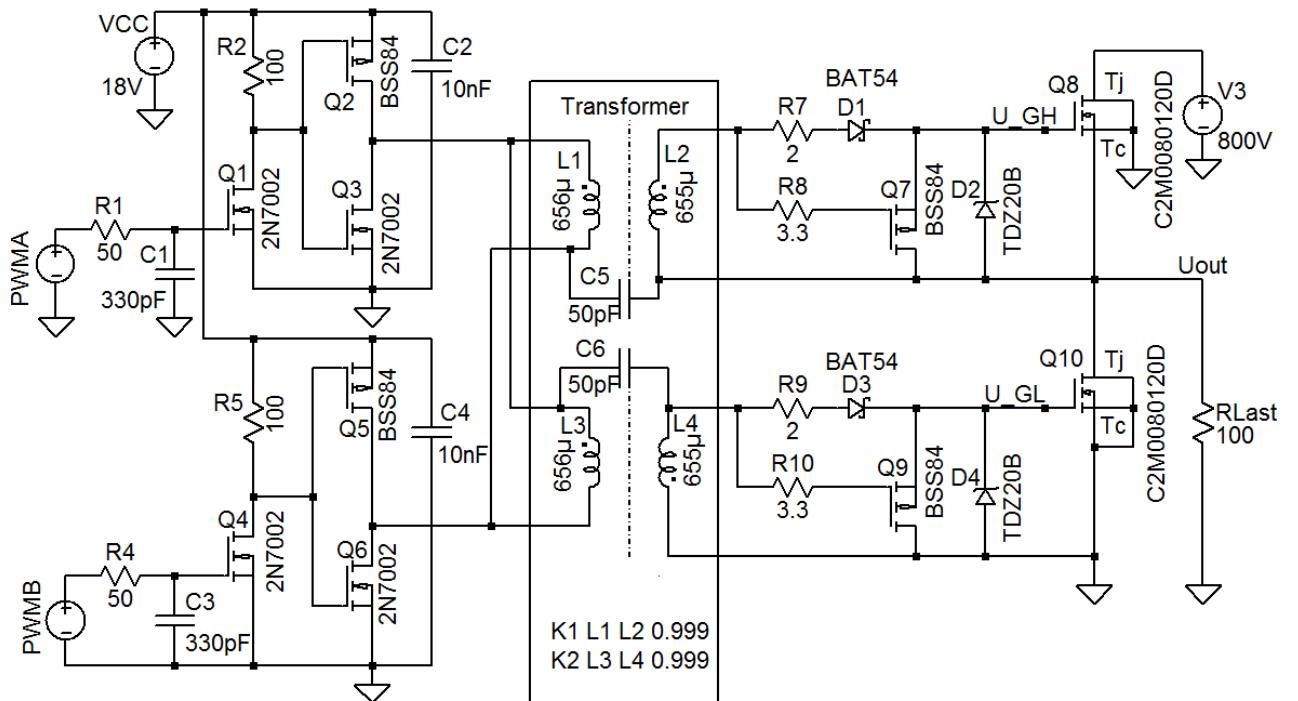


Abbildung 4.5: Aufbau eines GDT mit diskreten Bauteilen

Die Schaltung in Abb.4.5 wurde ebenfalls mit LTspice simuliert und so, bevor es in der Praxis aufgebaut wurde, getestet. Die Schaltung ist mit zwei einzelnen Gate Driver Transformer (GDT) aufgebaut. Der Abstand zwischen low-side-Schaltung und high-side-Schaltung kann individuell gewählt werden. Dadurch kann eine hohe Spannungsfestigkeit erreicht werden. Bei einem Trafo zum Beispiel mit einer Primärwicklung und zwei Sekundärwicklungen müssen die Sekundärwicklungen eine hohe Isolierung zueinander aufweisen, um interne Spannungsüberschläge im Transformator zu vermeiden. Der Grundaufbau der Schaltung ist so einfach wie möglich gehalten worden, um eine preisgünstige Alternative zu einer fertigen Chiplösung zu zeigen. Allerdings sind bei der Schaltung keine UVLO-Sicherheitsabschaltung und Shoot-Through Protection.

Als Betriebsspannung wurde auf der Primärseite 18V ausgewählt, aufgrund dessen, dass die eingesetzten Transformatoren ein Übersetzungsverhältnis von $\dot{u} = 1 : 1$ besitzen. Damit liegt die Betriebsspannung minus der Schwellspannung ($= 0,7V$) einer Diode (D1 oder D3) an den Gates der SiC-MOSFETs an ($U_{GATE} \approx 17,3V$). Die Spannung ist ausreichend, um

die SiC-MOSFETs im Abschnürbereich zu betreiben und die maximal zulässige Gatespannung wird dabei nicht überschritten. Zur Sicherheit, falls die Spannung über 20V an einem der Gates ansteigt, sind die Zenerdiode (D2 und D4) verbaut worden. Am Eingang der PWMs sind einfache RC-Tiefpassfilter vorgesehen, um hochfrequente Störungen auf den Eingangssignalen herauszufiltern. Hinter den Tiefpässen befinden sich die Pegelwandler (MOSFET Q1 und Q4) die die Signale der PWMs auf Betriebsspannungspegel anheben. Dadurch, dass es heutzutage MOSFETs mit einer sehr kleinen Schwellspannung gibt, ist es möglich, dass PWMs mit einer Spannung von 3,3V angeschlossen werden können, um die GDTs zu steuern. Durch die Pegelanhebung gibt es den Nebeneffekt, dass das Eingangssignal invertiert wird. Die MOSFETs Q2/Q3 und Q5/Q6 bilden Push- und Pullstufen. Diese haben die Aufgaben, das Spannungssignal zurück zu invertieren und den Strom für die GDTs zu verstärken. Der maximal zulässige Spitzenstrom für die GDTs hängt von den MOSFETs der Push-Pullstufe ab. Er kann in etwa dem doppelten Wert des maximal zulässigen Drainsstrom, der im Datenblatt steht, betragen, weil der Stromfluss sehr kurz ist und zur keiner Überlastung der MOSFETs führt.

Die Schaltung der Sekundärseite ist, bis auf zwei Unterschiede, identisch der Schaltung des UCC21520 Treibers (Kap.[4.2](#)). Der PNP-Transistor wurde durch ein P-Kanal MOSFET ersetzt und die Bootstrap-Stufe wurde entfernt. Beide Gatespannungen haben den gleichen Spannungspegel und es kann individuell zwei high-side, zwei low-side oder eine Halbbrücke angesteuert werden. Beim Anschluss der Transformatoren muss die Wicklungsrichtung beachtet werden. Dafür muss für den unteren Transformator die Sekundärwicklung gedreht werden.[\[1\]](#)

Tabelle 4.3: Parameter für die Simulation des GDT Treiberschaltung

Parameter	Wert	Einheit
VCC	15	V
PWMA / PWMB	5	V
Duty-Cycle	45	%
Schaltfrequenz	100	kHz
Schaltspannung	800	V

4.3.2 Auswahl der Bauteile für die GDT Treiberschaltung

Bei der Auswahl der Bauteile der Schaltung wurden auf der Sekundärseite (Ein- und Abschaltnetzwerk der Halbbrücken SiC-MOSFETS und die Halbbrücke SiC-MOSFETs selbst) nahezu die gleichen Bauteile genutzt wie beim UCC21520 Treiber (Kapitel 4.2.2). Bei einem Vergleich der beiden Schaltungen liegt der Unterschied, nicht an den bereits verwendeten Bauelementen und kann besser eingegrenzt werden.

Transformator

Wie oben in der Schaltung beschrieben, reicht es aus, einen Transformator mit einem Übertragungsverhältnis von $\tilde{u} = 1 : 1$ zu wählen, damit die Gatespannung für die Halbbrücken SiC-MOSFETs ausreichend groß ist. Die Isolationsspannung des Transformatoren zwischen Primär- und Sekundärseite muss größer sein als die Schaltspannung. Aufgrund des niedrigen Stroms können die Leitungsquerschnitte dünn gewählt werden. Dies lässt eine kleine Baugröße zu. Der hoch isolierte Leistungstransformator PH9185.011NL von der Firma Pulse Electronics erfüllt alle Anforderungen.

N-Kanal-MOSFET (2N7002) und P-Kanal-MOSFET (BSS84)

Die verwendeten MOSFETs wurden ausgewählt aufgrund ihrer niedrigen Schwellenspannung (typischerweise 2V), der ausreichend hohen zulässigen Drain-Source-Spannung, sowie des maximal zulässigen spitzen Drain-Stroms und ihrer Schaltgeschwindigkeit f_{max} . Das Gehäuse für beide MOSFETs ist ein SOT23, welches sehr klein und kompakt ist.

Tabelle 4.4: Verwendeten Bauteile für die GDT Treiberschaltung

Referenz	Wert	Bezeichnung	Beschreibung
R1/R4	50Ω	-	Eingangsfilter-Widerstand
C1/C3	33pF	-	Eingangsfilter-Kondensator
C2/C4	10nF	-	Koppelkondensator
R2/R5	500Ω	-	Drain-Widerstand
Q1/Q3/Q4/Q6	-	2N7002	N-Kanal
Q2/Q5/Q7/Q9	-	BSS84	P-Kanal
R5/R7	2Ω	-	Vorwiderstand Einschalten
R6/R8	3,3Ω	-	Vorwiderstand P-Kanal
D1/D3	-	PMEG6010AED	Sperrdiode bei Abschaltung
D2/D4	-	SMBZ5932B-E3/52	Zener-Dioden
L1-L2 & L3-L4	1:1	PH9185.011NL	Gate-Driver-Transformer
Q8/Q10	-	C2M0080120E	Halbbrücken SiC-MOSFETs

4.3.3 Auswertung

Tabelle 4.5: Messergebnis GDT

	Messwert	Datenblatt		Messwert	Datenblatt
Pri. Induktivität	$656\mu H$	$750\mu H$	Pri. Widerstand	0.419Ω	0.5Ω
Sek. Induktivität	$655\mu H$	$750\mu H$	Sek. Widerstand	0.465Ω	0.55Ω
Leakage	$0,718\mu H$	-			

Bei der GDT-Simulation wurden wie zuvor die Halbbrücken SiC-MOSFETs in LTspice eingebunden. Für den Transformator fehlte die Angabe des Leakage (dt. Streuinduktivität) im Datenblatt, darum wurden zunächst mit den im Datenblatt angebenden Werten simuliert. Nach der Lieferung wurden die Transformatoren mit ein LCR Messgerät durchgemessen und die gemessenen Werte in die Simulation eingearbeitet und verbessert. Dabei wichen die Induktivitäten und der Gleichstromwiderstand der Primär- und Sekundärwicklung von den Datenblattwerten ab (Tabelle:4.5).

Die Ein- und Ausgangssignale in Abb.4.6 sind mit den eingearbeiteten Transformatorwerten simuliert worden. Im oberen Drittel sind die Eingangssignale der PWMs zu sehen, welche eine Periode von $10\mu s$ besitzen und jedes Signal ist für $4,7\mu s$ Eingeschaltet. Dadurch ist eine Totzeit von $0,3\mu s$ zwischen den eingangssignalen als softwaremäßiger Schutz für die Halbbrücken SiC-MOSFETs vorgesehen.

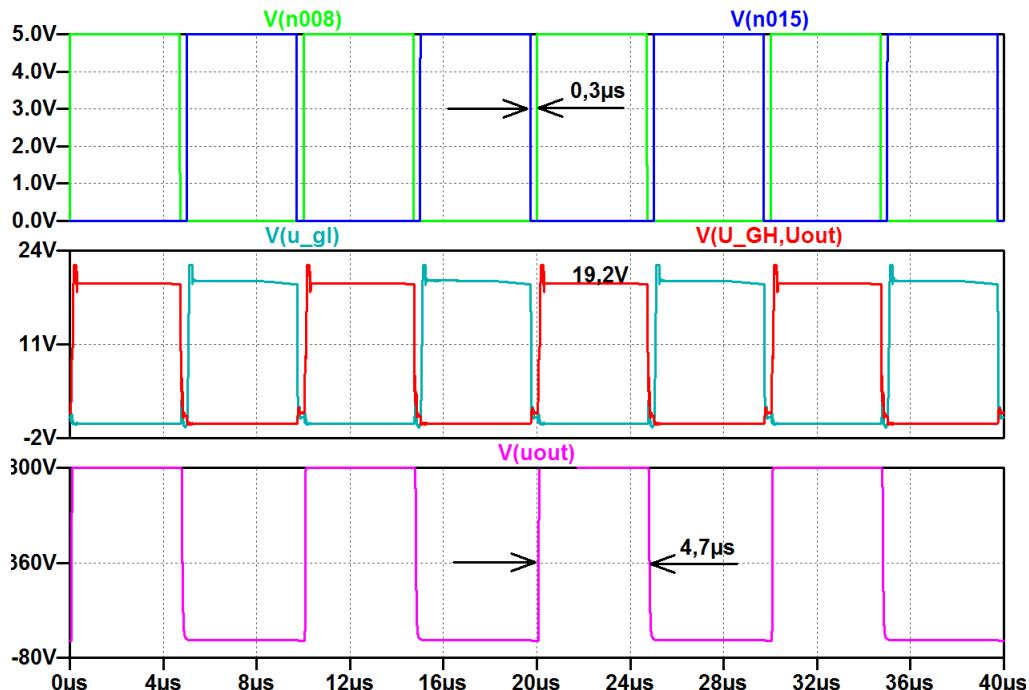


Abbildung 4.6: Eingangssignale und Ausgangssignale der GDT Treiberschaltung

Im mittleren Drittel sind die Eingangssignale der Gates von den Halbbrücken SiC-MOSFETs zu sehen. Die Amplitude ist mit 19,2V etwas höher als die Betriebsspannung auf der Primärseite. Die Verzögerungszeit von PWM-Ausgang bis zum Gate-Eingang der SiC-MOSFETs war bei beiden Signalen in etwa identisch, mit der Einschaltzeit von 90ns und der Abschaltzeit von 40ns. Auswirkung auf die Schaltzeiten haben die Widerstände R_2 und R_5 . Diese sind für die Pegelwandlung der PWMs nötig, aber begrenzen auch den Strom für die Eingänge der Push- und Pullstufen. Wird der Widerstand zu groß gewählt, dauert das Laden der Eingangskapazitäten zu lang und das Ein- und Abschaltverhalten des GDT verändert sich (Unterer Plot in der Abb.4.7). Wird er zu klein gewählt, kann der Widerstand zerstört werden, weil die Leistung im Widerstand zu groß ist. Bei 500Ω sieht das Signal korrekt aus und die Leistung im Widerstand beträgt 203,5mW und ist nicht zu hoch.

Im unteren Drittel ist der Ausgang der Halbbrücke zu sehen, dabei ist das Schaltsignal für 4,7μs eingeschaltet und für 5,3μs ausgeschaltet. Das Signal ist rechteckig, was für eine gut dimensionierte Treiberschaltung spricht.

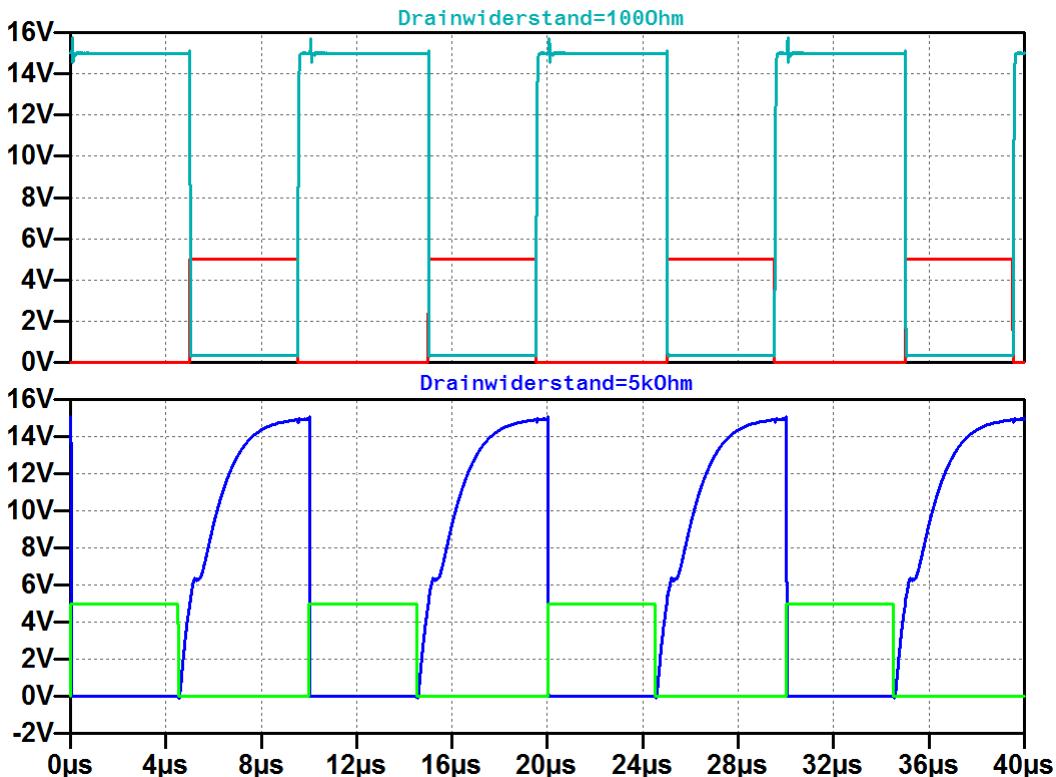


Abbildung 4.7: Miller-Plateau der Push- und Pullstufe

5 Praktische Versuchsdurchführung

5.1 Schaltplan und Board-Erstellung in Eagle

5.1.1 Eagle

Für die Erstellung des Schaltplans und der Leiterplatte wurde Easily Applicable Graphical Layout Editor (EAGLE) verwendet. EAGLE ist ein Electronic Design Automation (EDA) Software-Paket aus dem Hause CADSoft. Für die Erstellung von Printed Circuit Board (PCB) (dt. gedruckte Schaltung) müssen zunächst die Schaltpläne der beiden Schaltungen erstellt werden. Dafür stellt Eagle eine große Bauteilbibliothek zur Verfügung, in der die Symbole der Bauteile für den Schaltplan mit deren dazu gehörigen package (dt. Gehäuseform) fürs Layout der Platine vorhanden sind. Bauteile, die nicht in der Bibliothek sind, können eigenständig in EAGLE erstellt und in die Bibliothek eingefügt werden.[18]

5.1.2 Schaltpläne

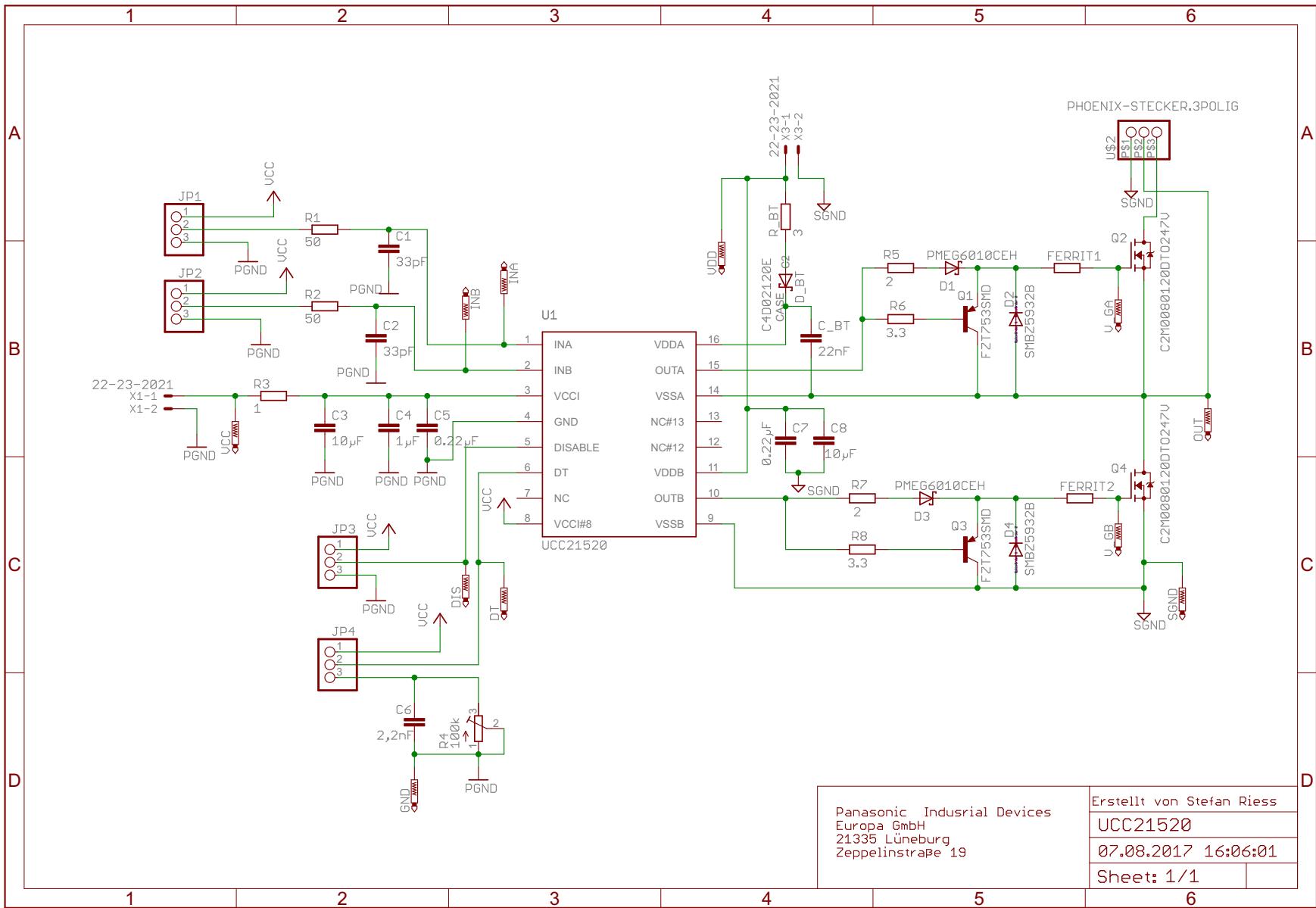
Für die Erstellung der Schaltpläne müssen zunächst die benötigten Bauteile bekannt und richtig dimensioniert sein. Dafür wurde in der Simulation überprüft, wie viel Leistung zum Beispiel ein Widerstand verbraucht und so seine Baugröße bestimmt. Für die weitere Dimensionierung wurden die Datenblätter der einzelnen Bauteile analysiert und überprüft, ob diese die nötigen Voraussetzungen der Schaltung erfüllen. Des Weiteren musste vorab die Verfügbarkeit der Bauteile überprüft werden, weil für die Prototypen nur eine kleine Stückzahl benötigt wird und es bei manchen Herstellern nur große Mengen zu kaufen gibt. Bauteile wie die Bootstrap-Diode oder der UCC21520-Chip wurden in die Bibliothek eingepflegt. Dafür konnte zum Beispiel für die Bootstrap-Diode das herkömmliche Schaltsymbol einer anderen Diode, die bereits in der Bibliothek vorhanden ist, verwendet werden. Bei Bauteilen wie dem UCC21520-Chip, musste zusätzlich das Symbol erstellt werden. Aus den Datenblättern der Bauteile kann ein vorgeschlagenes Lötpadlayout von den Herstellern für das Package verwendet werden.

Auf Seite 33 ist der Schaltplan des UCC21520 Treibers mit Bootstrap zu sehen. In die Schaltung wurden zusätzliche Entkoppelkondensatoren für die Spannungsversorgung VCC und VDD gegenüber der Simulation eingefügt. Die Entkoppelkondensatoren sollten im Layout so dicht wie möglich am Treiber positioniert werden.

Auf Seite 34 ist der Schaltplan des GDT zu sehen. Dort wurden noch Tiefpassfilter für die beiden PWMs eingearbeitet. Für beide Schaltungen wurden direkt vor den Leistungs SiC-MOSFETs am Gate noch Ferritperlen eingeplant, um weitere hochfrequente Störungen auf den Leitungen des Gates zu dämpfen und Schwingungen zu unterdrücken.

5 Praktische Versuchsdurchführung

33

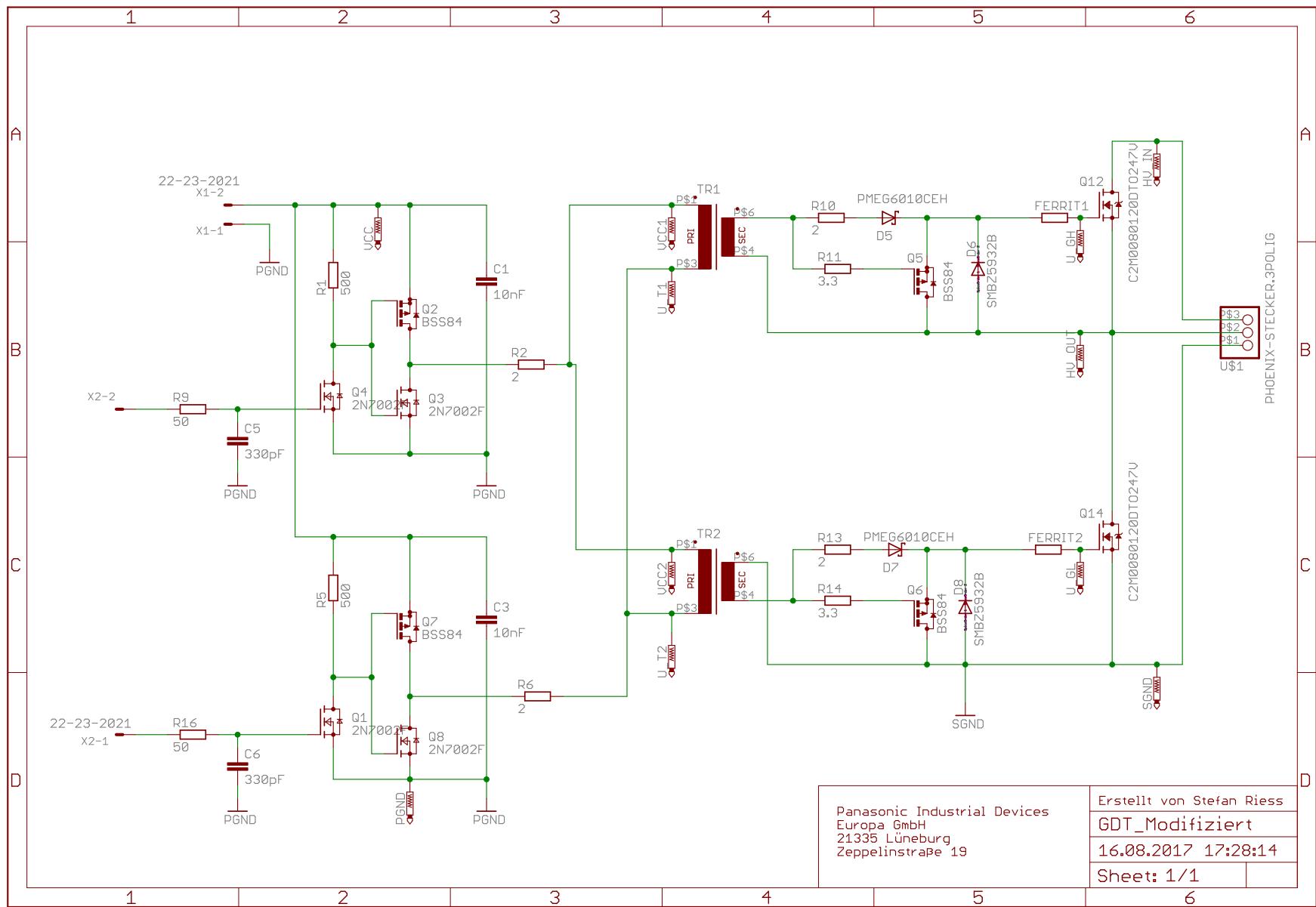


Panasonic Industrial Devices
Europa GmbH
21335 Lüneburg
Zeppelinstraße 19

Erstellt von Stefan Riess
UCC21520
07.08.2017 16:06:01
Sheet: 1/1

5 Praktische Versuchsdurchführung

34



Panasonic Industrial Devices
Europa GmbH
21335 Lüneburg
Zeppelinstraße 19

Erstellt von Stefan Riess
GDT_Modifiziert
16.08.2017 17:28:14
Sheet: 1/1

5.1.3 Richtlinien für die Erstellung der Leiterplatten

Für die Erstellung der beiden Platinenlayouts wurde nach den folgenden Richtlinien vorgegangen und die Vorschriften eingehalten:

1. Puffer-/Entkoppelkondensatoren zur Stabilisierung der Versorgungsspannung einplanen und so dicht wie möglich an das IC positionieren, um Störimpulse zu dämpfen, die durch Umschaltvorgänge hervorgerufen werden.
2. Alle Winkel von Leiterbahnen sollten 45° betragen, um die Stromdichte in Eckpunkten gering zu halten.
3. Spitze Winkel an Lötpads sind zu vermeiden, da es sein könnte, dass der Lötstopplack sich in den spitzen Ecken sammelt und nach Abnahme der Lötstopmaske das Lötpad überschwemmt. Somit würde das Pad überdeckt werden und ein Löten unmöglich machen.
4. Nicht gewollte Einflüsse durch kapazitive Kopplung können verringert werden:
 - durch Verkürzung der Länge der störenden und gestörten Leitungen
 - durch großen Abstand zwischen den sich störenden Leitungen
 - durch Schirmung der betroffenen Leitungen
 - durch Vermeidung, dass sich störende Leitungen parallel verlegt werden
5. Nicht gewollte Einflüsse durch induktive Kopplung können verringert werden:
 - durch Vergrößerung des Abstandes zwischen den sich störenden Maschen
 - durch Verkleinerung der Schleifenfläche
 - durch räumlich benachbarte Verlegung von Hin- und Rückleitern oder Verkürzung der Leitungen
 - durch eine Orientierung der Schleifen so zueinander, dass jeweils das Feld der einen Schleife die andere Schleife nicht durchsetzt
6. Der Abstand zwischen Niederspannung und Hochspannung sollte ausreichend groß sein, um Gleichtaktrauchen zu unterdrücken.[\[24\]](#)
7. Die Leitung (Miller Lade-/Entladeschleife) für die Ansteuerung der Halbbrücken SiC-FETs sollten so kurz wie möglich gehalten werden. Damit saubere Schaltimpulse an den Gates der SiC-FETs ankommen.[\[24\]](#)
8. Zur Vermeidung des Versagens durch Kriechwegbildung, muss für 1000V nach DIN EN 60664-1 für Verschmutzungsgrad zwei 5mm betragen.

5.1.4 PCB Erstellung, Bestellung und Bestückung

Erstellung

Nach dem die Schaltpläne fertig erstellt waren, wurden die Abmaße der Platine festgelegt. Dafür wurde bei der GDT-Platine eine Länge von 20mm mehr beaufschlagt als bei der UCC21520-Platine, weil für die GDT-Platine mehr Bauteile auf der Primärseite positioniert werden müssen. Grundsätzlich könnten die Abmaße der Platinen groß gewählt werden, weil diese für einen Testaufbau erstellt werden. Das hat den Vorteil, dass für ein späteres Messen jeder Kontakt gut zu erreichen ist, ohne einen Kurzschluss zu verursachen. Die einzige Vorgabe an die Dimensionierung war, dass die Maße einer Europlatine von 160mm x 100mm nicht überschritten werden, um Kosten bei der Bestellung zu sparen. Damit das Messen noch leichter und ohne Risiko ablaufen kann, wurden spezielle Messpins für die wichtigen Signale in die Schaltung eingebracht. Die Bohrungen in den Ecken sind für Abstandshalter vorgesehen, damit die Kontakte der Platine den Boden nicht berühren. Im Grundaufbau beider Platinen befindet sich links die Primärseite und rechts die Sekundärseite. Der Abstand zueinander ist so groß wie möglich, um gegenseitige Störungen zu vermeiden. Außerdem wurden die Hochspannungsanschlüsse für die Platinen an der Oberseiten positioniert, um mehr Bewegungsfreiheit und einen besseren Überblick direkt vor den Platinen zu haben. Für beide Platinen wurde der gleiche Kühlkörperotyp (graues großes Rechteck auf der Topseite) ausgewählt, um die Leistungs SiC-MOSFETs zu kühlen. Die Befestigung der Kühlkörper kann mit jeweils drei Schrauben an der rechten Seite durchgeführt werden. Für mehr Sicherheit vor Spannungsüberschlägen wurde das mittlere Bein der SiC-MOSFETs nach vorne gebogen und um die Kriechstrecke weiter zu erhöhen, wurde zwischen den Beinen und unter dem UCC21520-Treiber Schlitte (kleine graue Rechtecke) ausgefräst. Die fertigen Platinenlayouts sind in der Abb. 5.1 (UCC21520 Treiber Platinen-Layout) und 5.2 (GDT Platinen-Layout) zu sehen.

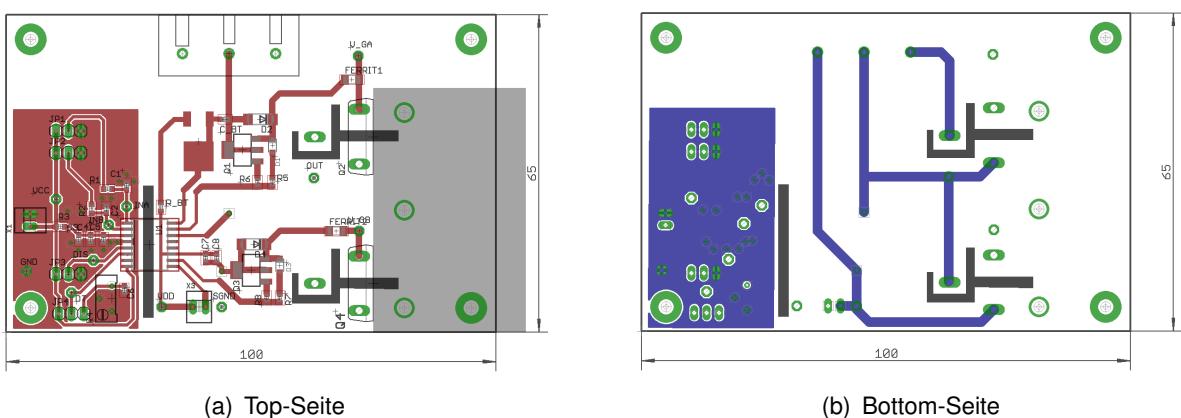


Abbildung 5.1: UCC21520 Platinen-Layout

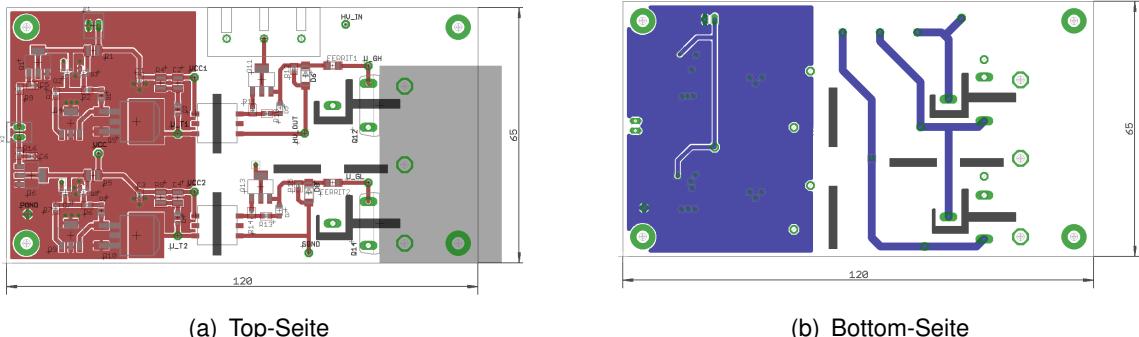


Abbildung 5.2: GDT Platinen-Layout

Bestellung

Die Platten wurden beim Leiterplatten Hersteller Leiton mit den folgenden Eigenschaften aus Tabelle 5.1 angefertigt.

Tabelle 5.1: Platten Eigenschaften

	UCC21520	GDT
Art der Platine	Prototypen(starr)	Prototypen(starr)
Lagenzahl	2-lagig	2-lagig
Maße	100x65 mm	120x65 mm
Materialstärke	1, 55 mm	1, 55 mm
Oberfläche	RoHS-konform	RoHS-konform
Kupferstärke	35 µm	35 µm
Lötstopp	Beidseitig (grün)	Beidseitig (grün)
Bestückungsdruck	Top nur tName	Top nur tName
E-Test	Ja	Ja

Bestückung der Platten

Um die Surface-Mounted Device (SMD) Bauteil zu verlöten, wurde zunächst eine Lötpaste auf allen Kupferpads mittels Spritze aufgetragen. Danach wurden die Bauteile per Hand positioniert. Durch die Lötpaste behielten diese ihre Position bei, ohne zu verrutschen. Im nächsten Schritt wurde durch einen Heißluftfön die Lötpaste erhitzt, dadurch bildete sich eine gute elektrische Lötverbindung zwischen Bauelement und Lötpad. Die Bauteile, die eine Durchkontaktierung zur anderen Seite der Platine haben, wurden herkömmlich mit einem Lötkolben gelötet. Allerdings wurden die SiC-MOSFETs erst am Kühlkörper befestigt und danach gelötet, um mechanische Spannungen in den Lötverbindungen zu senken.

5.2 Test des UCC21520-Treibers

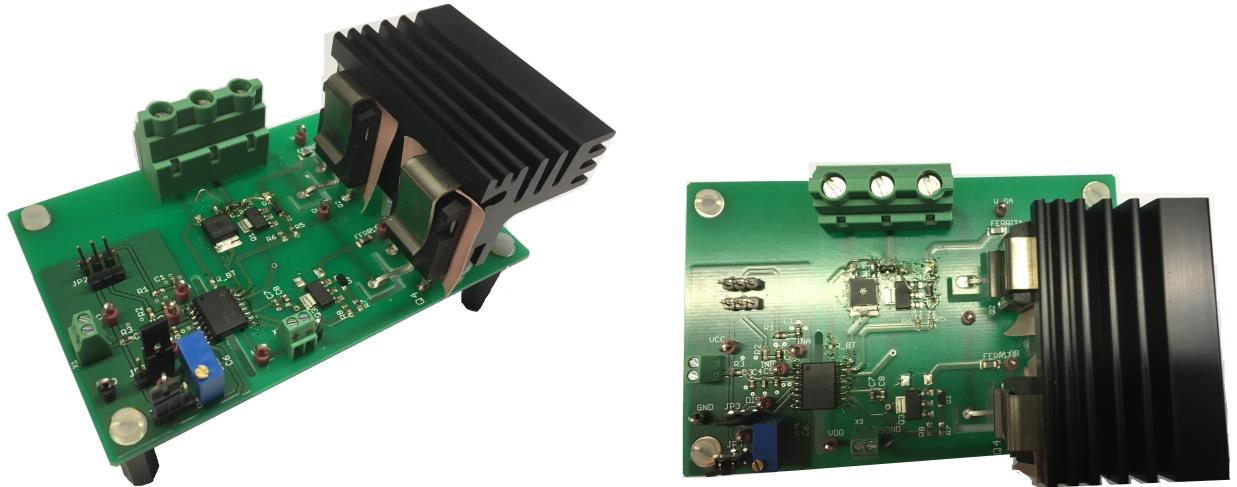


Abbildung 5.3: Bestückte UCC21520 Treiberplatine

5.2.1 Messergebnisse vom UCC21520-Treiber

Verzögerungszeiten

Die Verzögerungszeiten wurden direkt am Eingang und Ausgang des Treibers gemessen, um ein genaues Messergebnis zu erzielen, ohne dass weitere Verzögerungen und Störungen durch andere Bauteile hervorgerufen werden können. Für die Messung wurde der DT-Pin mit dem Massenpotential verbunden und der Treiber mit Versorgungsspannung (VCC und VDD) versorgt. Im Anschluss wurden die PWMs eingeschaltet, die Verzögerungszeiten mit einem Oszilloskop gemessen und in die Tabelle 5.2 eingetragen. Die Zeit der steigenden Flanke von INA war etwas länger als die vom Hersteller angegeben Zeit im Datenblatt. Die anderen Zeiten waren im angegebenen Zeitbereich vom Hersteller und konnten nachgewiesen werden.

Tabelle 5.2: Verzögerungszeiten des UCC21520

	INA	INB	Datenblatt
steigende Flanke	32,1ns	21,2ns	19...30ns
fallende Flanke	27,6ns	24,8ns	19...30ns

Totzeit

Die Totzeit des UCC21520-Treibers wurde ohne Hochspannung getestet, um ohne Gefahr durch Spannung beim Einstellen des Potentiometer zu arbeiten. Für den Test wurde die Versorgungsspannung (VCC und VDD) an den Treiber angelegt. Am INA-Eingang wurde eine PWM mit einer Spannung 5V, Frequenz 100kHz und Tastverhältnis 50% angelegt. Der INB-Eingang wurde mit dem invertierten PWM-Signal von INA betrieben und der Enable-Eingang wurde mit einer Brücke auf Masse Potential gezogen.

Tabelle 5.3: Messergebnis Totzeit

Totzeit	Poti R4
100ns	9,75k
200ns	19,98
300ns	31,2k
400ns	41,4k
500ns	53,5k

Die Testergebnisse für die Totzeit sind in Tabelle 5.3 aufgelistet. Für den Test wurde zuerst die gewünschte Zeit von zum Beispiel 300ns durch den Abstand der Horizontalen-Cursor am Oszilloskop eingestellt. Im Anschluss wurde das Potentiometer eingestellt, bis circa 50% des Signals der Gatespannungen die Cursors Linien kreuzen (Abb. 5.4). Zum Schluss wurde der Widerstandswert vom Potentiometer (R_{DT}) mit einem Multimeter gemessen. Dabei zeigt das Ergebnis der Messung, dass die Formel 4.1, um die Totzeit zu bestimmen, sehr gut mit der Praxis übereinstimmt.

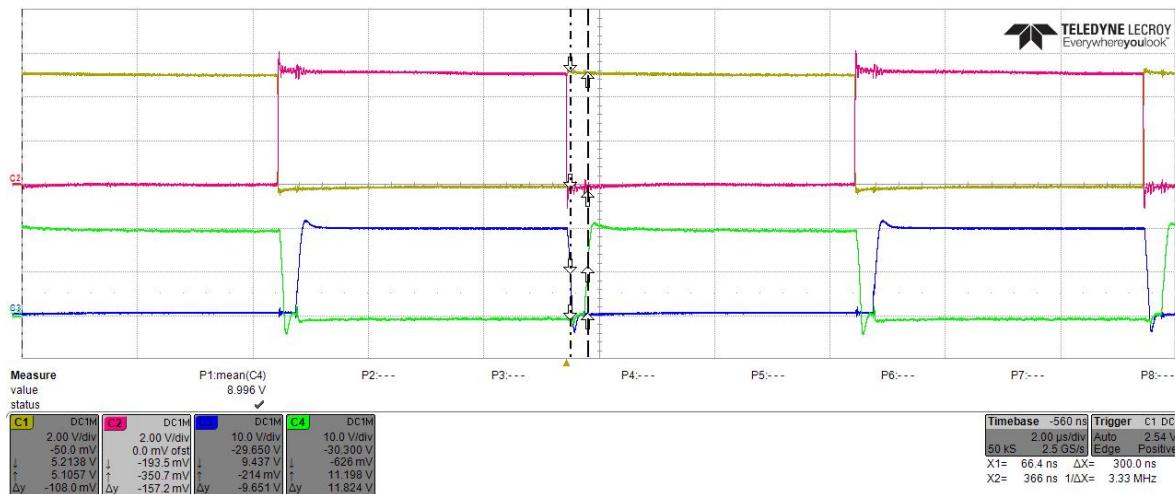


Abbildung 5.4: UCC21520-Treiber Totzeit

Under Voltage Lock Out (UVLO)

Der UVLO Test muss mit Schaltspannung (Hochspannung) durchgeführt werden. Zu erkennen ist, dass im Abb. 5.5 der Treiber abschaltet, wenn der Ausgang 5V erreicht. Der Grund dafür, dass im Praxisversuch der Treiber bei 5V abschaltet und in der Simulation (Kap. 4.2.3) bei 8.5V besteht darin, dass es zwei verschiedene Versionen vom UCC21520 Treibern gibt. Weil die Halbbrücken SiC-MOSFETs (C2M0080120D Rev.C) eine Gate Schwellspannung von typischerweise 2,6V besitzen, reicht eine Sicherheitsabschaltung bei 5V aus. Bei einer höheren Schwellspannung sollte auf die 8.5V Variante zurückgegriffen werden. Die Messung bestätigte das gleiche Verhalten des Treibers, wie in der Simulation. Der Kondensator lädt sich auf dem Spannungspegel von 19,27V auf und sinkt schlagartig auf 17,2V beim Einschalten des high-side SiC-MOSFETs. Danach wird der Kondensator linear über den Treiber entladen, bis er seine UVLO-Spannung erreicht hat und abschaltet.

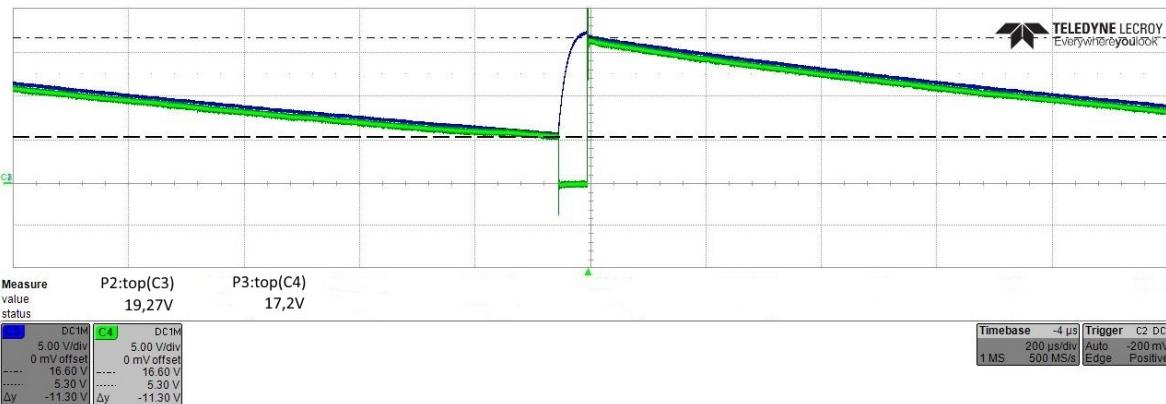


Abbildung 5.5: UCC21520 UVLO Abschaltung Test

Abschlusstest des UCC21520 Treibers

Im Abschlusstest wurde das Schaltverhalten der Halbbrücken SiC-MOSFETs getestet und welche Verluste dabei auftreten, untersucht. Dazu wurde ein Lastwiderstand von $75,5\Omega$ angeschlossen und die Schaltspannung wurde von 150V auf 400V in 50V Schritten erhöht. Die Versorgungsspannungen betrugen $V_{CC} = 5V$ und $V_{DD} = 18V$ und die PWMs waren gleich eingestellt, wie beim Totzeit-Test. Die Totzeit betrug 300 ns und könnte für spätere Anwendungen noch präziser angepasst werden. Für diesen Tests wurde sie recht hoch gewählt, um zu jeder Zeit sicherzustellen, dass ein gleichzeitiges Einschalten beider SiC-MOSFETs nicht im Testversuch vorkommen kann. Dadurch, dass Panasonic zur Zeit keine passenden Last und Spannungsquelle für 800V Anwendungen bereitstellen konnte, musste die Schaltspannung für den Test auf 400V begrenzt werden. Für den Funktionstest der Schaltung ändert sich nichts, bis auf die Tatsache, dass die Isolationsfestigkeit bei 800V nicht überprüft werden konnte. Die Messergebnisse sind in Tabelle 5.4 eingetragen und ein Plot von der

Messung ist in Abb.5.6 zu sehen. Die Tabelle zeigt, dass bei einer Erhöhung der Schaltspannung der benötigte Strom für den Treiber erhöht wird (I_{VDD} und I_{VCC}). Das bedeutet, je höher die Schaltspannung, desto größer sind die internen Verluste des Treibers. P_{IN} ist die Eingangsleistung der Schaltspannung. Diese wurde direkt von der Spannungsquelle abgelesen. V_{OUT} ist der Effektivwert der Ausgangsspannung und wurde mit dem Oszilloskop gemessen. Um den Effektivwert des Ausgangstroms zu messen wurde eine Stromzange benutzt. Die Ausgangsleistung wurde aus den beiden Effektivwerten errechnet und im Anschluss der Wirkungsgrad bestimmt. Weil beide SiC-MOSFETs schnell im Abschnürbereich arbeiten und so sehr schnell ein kleiner Einschaltwiderstand R_{DSon} wirkt, wird ein sehr hoher Wirkungsgrad von im Durchschnitt 98% erzielt. Das zeigt, dass der Treiber die Halbbrücken SiC-MOSFETs sehr gut ansteuert und somit wenig Schaltverluste entstehen. Dies wurde auch durch eine thermische Messung mit einem IR Pyrometer (Strahlungsthermometer) sichtbar. Die Halbbrücken SiC-MOSFETs mit dem recht kleinen Kühlkörper erwärmen sich auf 43.0°C.

Tabelle 5.4: Messung der Ausgangsleistung des UCC21520 Treibers

Eingang				Ausgang			
V_{IN}	P_{IN}	I_{VDD}	I_{VCC}	V_{OUT}	I_{OUT}	P_{OUT}	Wirkungsgrad η
150V	146,6W	5mA	12mA	102V	1,4A	142,8W	0,974
200V	260W	5mA	13mA	137V	1,87A	256,19W	0,985
250V	406W	5mA	13mA	171V	2,35A	401,85W	0,990
300V	584W	10mA	14mA	202,3V	2,82A	570,486W	0,977
350V	805W	10mA	14mA	244V	3,21A	783,24W	0,973
400V	1073W	20mA	15mA	276V	3,77A	1040,52W	0,970

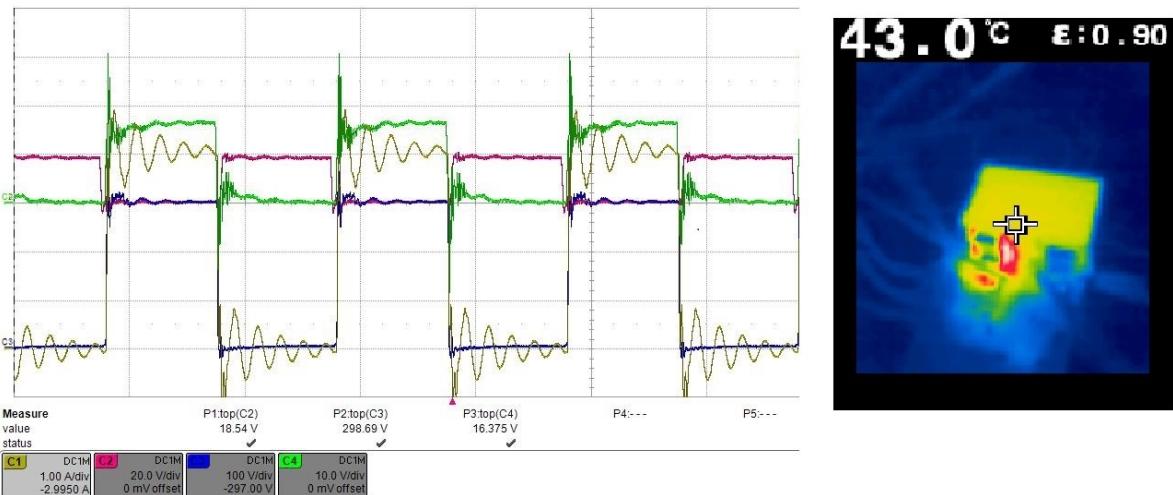


Abbildung 5.6: UCC2152 Treiber Test

5.3 Test des Gate Driver Transformers (GDTs)

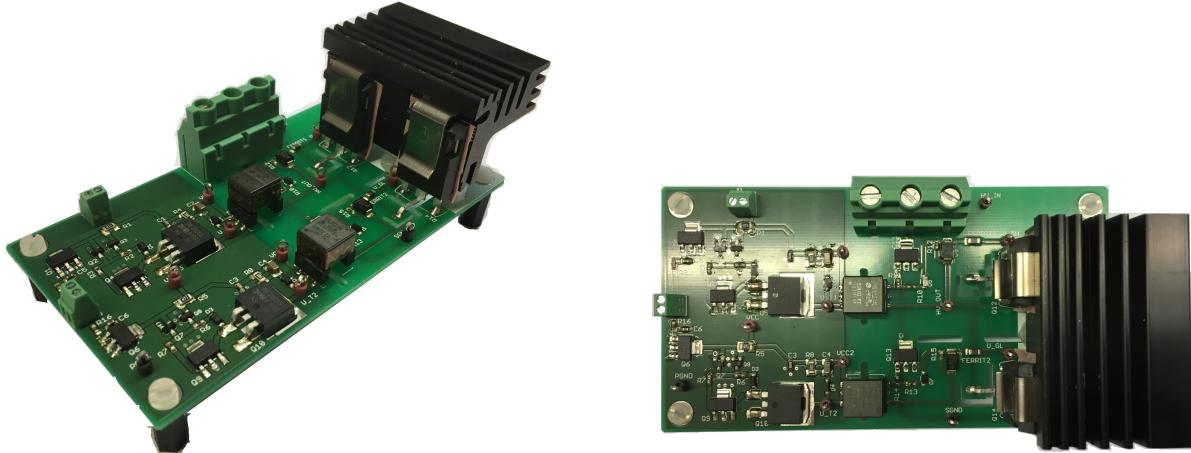


Abbildung 5.7: Bestückte GDT Platine

5.3.1 Messergebnisse vom GDT

Verzögerungszeiten

Die Verzögerungszeiten des GDTs (Tabelle 5.5) sind um den Faktor vier bis fünf größer als die vom UCC21520 Treiber. Dennoch sind die Zeiten sehr schnell und um einiges schneller als die meisten Optokoppler-Lösungen.

Tabelle 5.5: Verzögerungszeiten des GDT Treiber

	INA	INB
steigende Flanke	113,1ns	128,2ns
fallende Flanke	116,3ns	125,7ns

Abschlusstest der GDT Treiberschaltung

Der Abschlusstest für den GDT, um das Schaltverhalten und die Verluste zu untersuchen, wurde identisch wie beim UCC21520 Treiber durchgeführt. Dazu wurde ebenfalls der gleiche Lastwiderstand von $75,5\Omega$ verwendet und die Lastspannung gleichmäßig in 50V Schritten erhöht, bis zu einer Spannung von 400V. Die Versorgungsspannung (V_{CC}) betrug 15V und die PWMs wurden einzeln eingestellt. Für die PWMA wurde ein Tastverhältnis von 47%

gewählt bei einer Frequenz von 100kHz. Das bedeutet, dass eine Periode der PWM $10\mu s$ dauerte und das Signal für $4,7\mu s$ eingeschaltet war. PWMB hatte die gleiche Einstellung, aber mit einer Eingangsverzögerung von $5\mu s$, somit ist zwischen den Signalen eine Totzeit von 300ns. Die gewählte Totzeit war ausreichend groß, wie in der Abb.5.8 zu sehen ist. Dabei entspricht der PWMA das gelbe Signal und der PWMB das rote Signal. Das grüne Signale ist die Gatespannung für den high-side SiC-MOSFET und das blaue für den low-side SiC-MOSFET. Zu erkennen ist, dass zwischen den Gatespannungssignalen eine ausreichende Zeitspanne vorliegt, ohne das beide gleichzeitig eingeschaltet sind.

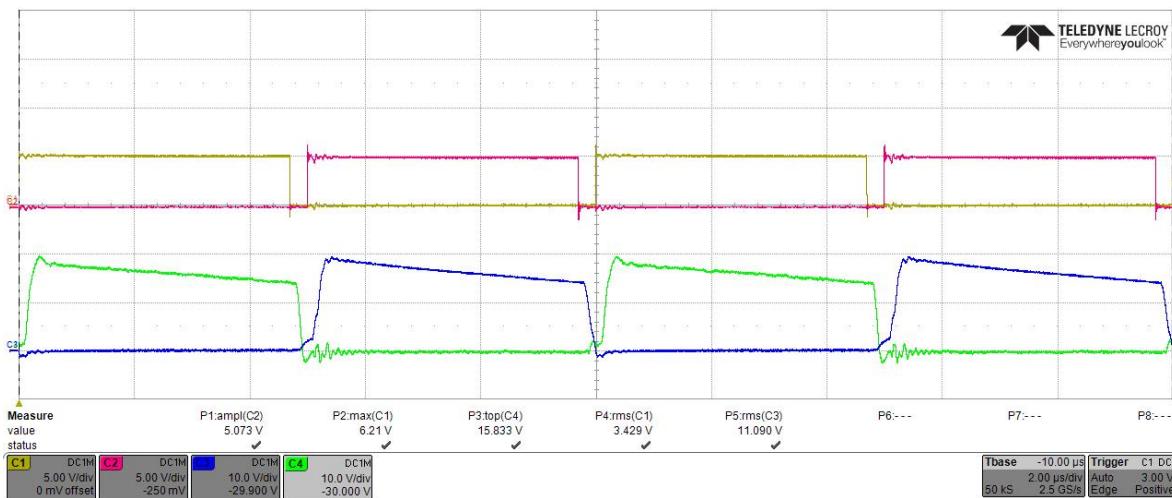


Abbildung 5.8: PWMA, PWMB und Gatespannungen für high/low-side SiC-MOSFETs

Die Messergebnisse für den GDT Treiber sind in Tabelle 5.6 eingetragen. Zu sehen ist, dass der Strom I_{VCC} konstant auf einem Niveau bleibt, egal, wie sich die Schaltspannung änderte. Der benötigte Strom ist höher als der beim UCC21520 Treiber, dafür wurde nur eine Spannungsquelle benötigt. Erstaunlich ist der sehr hohe Wirkungsgrad der Schaltung, der auf eine sehr gute Ansteuerung der Halbbrücken SiC-MOSFETs zurückzuführen ist.

Tabelle 5.6: Messung der Ausgangsleistung des GDT

Eingang			Ausgang			
V_{IN}	P_{IN}	I_{VCC}	V_{OUT}	I_{OUT}	P_{OUT}	Wirkungsgrad η
100V	65,2W	0,074A	69,1V	0,94A	64,954W	0,9962
150V	146,6W	0,074A	103,7V	1,413A	146,5281W	0,9995
200V	260,3W	0,074A	138,2V	1,876A	259,2632W	0,9960
250V	406,3W	0,074A	172,9V	2,34A	404,586W	0,9958
300V	585,1W	0,074A	207,1V	2,81A	581,951W	0,9946
350V	801W	0,074A	241V	3,3A	795,3W	0,9929
400V	1051W	0,074A	275V	3,79A	1042,25W	0,9917

Im Vergleich zum UCC21520 Treiber ist der Wirkungsgrad um 1% höher. Dadurch, dass nahezu keine Verluste in den Halbbrücke SiC-MOSFETs entstanden sind, spiegelte sich das auch in der thermischen Messung wider und diese fiel etwas geringer aus als die beim UCC21520 Treiber.

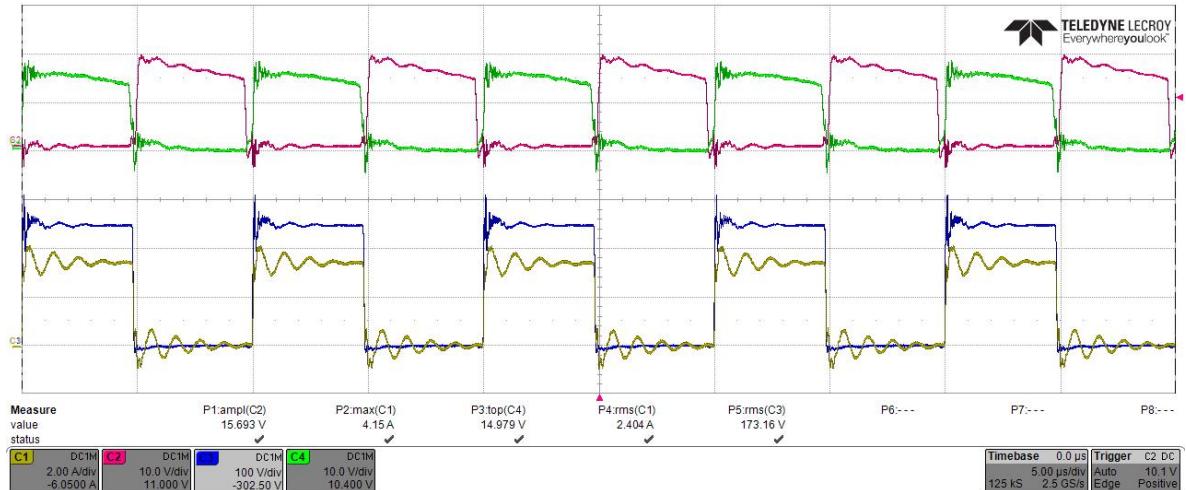


Abbildung 5.9: GDT Treiber Test

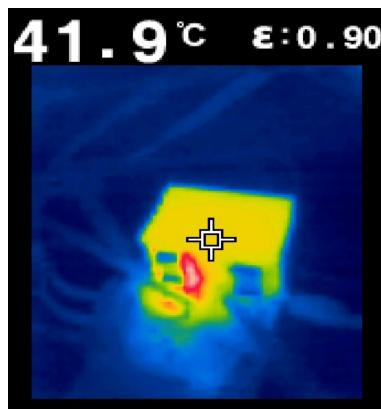


Abbildung 5.10: Thermische Messung des GDT

6 Zusammenfassung

Im Rahmen dieser Arbeit wurden zwei unterschiedliche Konzepte der Ansteuerung von Leistungs SiC-MOSFETs untersucht. Dabei war gefordert, dass die Leistungs SiC-MOSFETs eine Hochspannung von mindestens 800V schalten können. Die Konzepte basieren auf:

- einer Treiberschaltung durch einen IC mit Bootstrap
- einer Treiberschaltung mit einem Gate Driver Transformer (GDT)

Dafür wurden zunächst die benötigten Grundlagen erläutert, die notwendig sind, um den Aufbau der Schaltungen und deren Schaltungsprozesse zu verstehen. Im ersten Kapitel der Grundlagen wurden verschiedene Koppelmechanismen und die Nachteile von Optokopplern erklärt. Nachteile des Optokopplers bestehen in einem hohen Stromverbrauch, eine begrenzte Lebensdauer und eine zu niedrige Geschwindigkeit, gegenüber den anderen Koppelmechanismen. Im Kapitel MOSFET wurde der zu treibende MOSFET erläutert, um die Eigenschaften von MOSFETs als Leistungsschalter zu verstehen. Hierzu wurde das Ersatzschaltbild mit parasitären Kapazitäten gezeigt, welches für eine schnelle dynamischen Ansteuerung eine wichtige Rolle spielt. Insbesondere wurde dabei auf den Miller-Effekt eingegangen und wie groß der benötigte Treiberstrom sein muss, damit eine bestimmte Einschaltzeit des MOSFETs erreicht wird. Das Problem beim Einsatz eines N-Kanal MOSFET als high-side MOSFET wurde ebenfalls dargestellt. Will man dennoch ein N-Kanal MOSFET verwenden, kann dieser mit den oben genannten Treiberschaltungen angesteuert werden. Für ein besseres Verständnis, wurden die verschiedenen Begriffe von Treiber-ICs erklärt. Zum Schluss dieses Kapitels, wurde genauer auf die Schaltungskonzepte eingegangen und deren Funktionsprinzip erläutert. Unter anderem wurde bei beiden Schaltungen darauf eingegangen, dass kein Tastverhältnis von 100% möglich ist.

Im nächsten Kapitel wurden verschiedene Treiber-ICs verglichen, um den geeigneten isolierten Gate-Treiber-IC zu ermitteln. Mit dem Ergebnis, dass der UCC21520 Treiber-IC von Texas Instruments der beste Treiber aufgrund seiner Spezifikation ist. Er ist universell Einsatzbar, seine funktionale Trennung der beiden Sekundärtreiber erlaubt Arbeitsspannungen von bis zu 1500V, die Ausgänge können über einen separaten Eingang deaktiviert werden und die Totzeit kann extern eingestellt werden.

Um den Schaltungsaufbau zu testen und eine Vorab-Untersuchung der beiden Treiberkonzepte durchzuführen, wurden diese im darauf folgenden Kapitel simuliert. Durch die Simulationen konnte das Verhalten der Schaltungen getestet und die benötigten Bauteile für den Praxisaufbau richtig dimensioniert werden. Die Auswirkung des Miller-Effekt konnte mit der Simulation untersucht werden. Des Weiteren wurde nachgewiesen, dass der UCC21520 Treiber bei Unterschreitung einer bestimmten Ausgangsspannung die Ausgänge aktiv abschaltet. In der Simulation für die Treiberschaltung mit dem GDT konnte experimentell untersucht werden, wie eine preisgünstige Alternative zum fertigen Treiber-IC aufgebaut sein kann.

Als Resultat der Simulation wurden für beide Treiberschaltungen Platinen-Layouts erstellt. Für den Praxistest wurden die angefertigten Platinen mit den nötigen Bauteilen bestückt und verlötet. Die Praxistests ergaben für beide Treiberschaltungen einen sehr hohen Wirkungsgrad, weil die Schaltverluste, durch die gute Ansteuerung der Halbbrücken SiC-MOSFETs, gering sind.

Die Praxistests bestätigten, dass der UCC21520 Treiber für die in Zukunft erforderlichen 800V in der Elektroautomobilbranche geeignet ist. Durch seine Parameter, wie kurze Verzögerungszeiten, hohe Ausgangsströme und universellen Einsetzbarkeit, bei einer Arbeitsspannung von 1500V, ist er sehr gut geeignet für die Ansteuerung von Leistungs SiC-MOSFETs geeignet. Sein großer Nachteil ist die Notwendigkeit einer weiteren Spannungsquelle auf der Sekundärseite, welche galvanisch getrennt von der primären Spannungsquelle sein muss.

Die in der Arbeit behandelte Treiberschaltung durch einen GDT bietet eine kosten günstige Alternative unter folgenden Bedingungen:

- Es wird keine weitere Logikschaltung benötigt.
- Es kann auf Sicherheitsschaltungen verzichten werden.
- Der Bauraum muss ausreichend groß sein.

Dabei wird nur eine Spannungsquelle auf der Primärseite benötigt und um weitere Kosten einzusparen, kann ein Trafo mit zwei Sekundärwicklungen verwendet werden. Die Erweiterung um eine Sicherheitsabschaltung ist möglich.

Literaturverzeichnis

- [1] Ausgangsstufen logik-ics. *Mikrocontroller.net*, 2017. [Online; Stand 24. August 2017].
- [2] Ronn Klinger und Paul Löser Baoxing Chen. Digitaler isolator. *Elektroniknet.de*.
- [3] Vrej Barkhordarian. *Power MOSFET Basics*.
- [4] Dr. Baoxing Chen. Potentialtrennung für daten, impulse und stromversorgung. [Online; Stand 23. Mai 2017].
- [5] Pulse Electronics. *Switch Mode Transformers*.
- [6] Fairchild. Active miller clamp technology.
- [7] Stefan Gossner. *Grundlagen der Elektronik*. Shaker Verlag, 2016.
- [8] Prof. Dr. habil. Jörg Schulze. Halbleitertechnik- der mosfet.
- [9] Gert Hagmann. *Grundlagen der Elektrotechnik*. Aula-Verlag GmbH, 2017.
- [10] Hanspeter Hochreutener. Ltspice einfuehrung.
- [11] Texas Instruments. *UCC21520 4-A, 6-A, 5.7-kV RMS Isolated Dual-Channel Gate Driver*, 2016.
- [12] on Semiconductor. *Half-Bridge Drivers A Transformer or an All-Silicon Drive?*, 2017.
- [13] Lim Shiun Pin. Gate-treiber-optokoppler per simulation in igtb-endstufen integrieren.
- [14] Ulrich Schlienz. *Schaltnetzteile und ihre Peripherie*. Vieweg+Teubner Verlag, 2015.
- [15] Servotechnik.de. Koppelmechanismen, 2017.
- [16] Ulrich Tietze, Christoph Schenk, and Eberhard Gamm. *Halbleiter-Schaltungstechnik*. Springer-Verlag GmbH, 2016.
- [17] George Yu und Tom Gross. Verwendung von bootstrap-schaltungen. *elektronik industrie*, 2008.
- [18] Wikipedia. Eagle (software) — wikipedia, die freie enzyklopädie, 2017. [Online; Stand 24. August 2017].
- [19] Wikipedia. Metall-oxid-halbleiter-feldeffekttransistor — wikipedia, die freie enzyklopädie, 2017. [Online; Stand 23. Mai 2017].
- [20] Wikipedia. Panasonic corporation — wikipedia, die freie enzyklopädie, 2017. [Online; Stand 21. Juni 2017].
- [21] Wikipedia. Spice (software) — wikipedia, die freie enzyklopädie, 2017. [Online; Stand 24. August 2017].

- [22] Franz Zach. *Leistungselektronik: Ein Handbuch Band 1 / Band 2 (German Edition)*. Springer, 2009.
- [23] Dieter Zastrow. *Elektronik*. Vieweg+Teubner Verlag, 2014.
- [24] Choo Mei Zhen. Isolierte gate-treiber. *all-electronics*.

Abbildungsverzeichnis

2.1	Koppelmechanismus	2
2.2	Schaltbild eines N-Kanal Leistungs-MOSFET	3
2.3	Ersatzschaltbild eines MOSFET	4
2.4	Ausgangskennlinienfeld eines MOSFET [8]	5
2.5	Einschaltverhalten eines MOSFETs[3]	6
2.6	High-side und Low-side Switch	8
2.7	Shoot-Through-Protection	10
2.8	Propagation delay und An- und Abstiegszeit[11]	10
2.9	Interner Aufbau eines Treiber ICs	12
2.10	Treiberschaltung mit Bootstrap [14]	14
2.11	Treiberschaltung mit Potentialtrennung	16
4.1	Simulation einer Bootstrap-Schaltung mit dem UCC21520 Treiber	20
4.2	Eingangssignale und Ausgangssignale der UCC21520 Treiberschaltung	24
4.3	Miller-Effekt	25
4.4	UVLO Abschaltungstest	26
4.5	Aufbau eines GDT mit diskreten Bauteilen	27
4.6	Eingangssignale und Ausgangssignale der GDT Treiberschaltung	30
4.7	Miller-Plateau der Push- und Pullstufe	31
5.1	UCC21520 Platinen-Layout	36
5.2	GDT Platinen-Layout	37
5.3	Bestückte UCC21520 Treiberplatine	38
5.4	UCC21520-Treiber Totzeit	39
5.5	UCC21520 UVLO Abschaltung Test	40
5.6	UCC2152 Treiber Test	41
5.7	Bestückte GDT Platine	42
5.8	PWMA, PWMB und Gatespannungen für high/low-side SiC-MOSFETs	43
5.9	GDT Treiber Test	44
5.10	Thermische Messung des GDT	44

Tabellenverzeichnis

3.1	Vergleichstabelle von isolierten Gate-Treibern	18
4.1	Parameter für die Simulation der UCC21520 Treiberschaltung	21
4.2	Verwendeten Bauteile für die UCC21520 Treiberschaltung	23
4.3	Parameter für die Simulation des GDT Treiberschaltung	28
4.4	Verwendeten Bauteile für die GDT Treiberschaltung	29
4.5	Messergebnis GDT	30
5.1	Platinen Eigenschaften	37
5.2	Verzögerungszeiten des UCC21520	38
5.3	Messergebnis Totzeit	39
5.4	Messung der Ausgangsleistung des UCC21520 Treibers	41
5.5	Verzögerungszeiten des GDT Treiber	42
5.6	Messung der Ausgangsleistung des GDT	43

Versicherung über die Selbstständigkeit

Hiermit versichere ich, dass ich die vorliegende Arbeit im Sinne der Prüfungsordnung nach §16(5) APSO-TI-BM ohne fremde Hilfe selbstständig verfasst und nur die angegebenen Hilfsmittel benutzt habe. Wörtlich oder dem Sinn nach aus anderen Werken entnommene Stellen habe ich unter Angabe der Quellen kenntlich gemacht.

Hamburg, 29. August 2017

Ort, Datum

Unterschrift