

7 Zeitabhängige binäre Schaltungen

7.1 Allgemeines

Flipflops sind bistabile Kippstufen. Sie haben eine Speicherwirkung. Der Schaltungsaufbau bistabiler Kippstufen ist in Band Elektronik 3, Kapitel 7, näher beschrieben.

Flipflops werden heutzutage überwiegend als integrierte Schaltungen hergestellt.

Für ein einfaches Flipflop gilt das Schaltzeichen Bild 7.1. Die Seitenverhältnisse des Rechteckes können in weiten Grenzen beliebig gewählt werden (Bild 7.2).

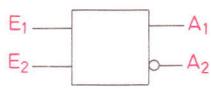


Bild 7.1 Schaltzeichen eines einfachen Flipflops

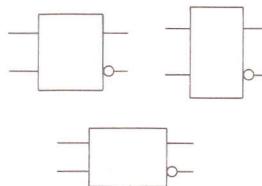


Bild 7.2 Schaltzeichen von Flipflops mit verschiedenen Seitenverhältnissen

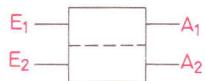


Bild 7.2a Schaltzeichen eines einfachen Flipflops mit Mittellinie

Die Darstellung entspricht DIN 40900 Teil 12. Hauptausgang ist der Ausgang A_1 , der selbstverständlich beliebig benannt werden darf. Der Ausgang A_2 , der das negierte Signal des Ausganges A_1 führt, wird durch einen Negationskreis gekennzeichnet. Für eine mehrjährige Übergangszeit ist die bisher übliche Darstellungsart mit Mittellinie (Bild 7.2a) nach DIN 40700 Teil 14 zulässig.

Es gelten folgende Vereinbarungen:

1. Anschlüsse für Speisespannungen werden grundsätzlich nicht gezeichnet.
2. An den beiden Ausgängen eines Flipflops liegen normalerweise entgegengesetzte Zustände.
3. Zur Beschreibung der Arbeitsweise eines Flipflops werden die logischen Zustände 0 und 1 verwendet. Es dürfen auch die Pegelangaben L und H benutzt werden. Wenn keine besonderen Angaben gemacht werden, gelten stets die Zuordnungen der positiven Logik ($H \cong 1$, $L \cong 0$).
4. Zustand 1 an E_1 schaltet das Flipflop auf $A_1 = 1$. Diesen Vorgang nennt man Setzvorgang. Hat das Flipflop bereits den Zustand $A_1 = 1$, so bewirkt die 1 am Eingang E_1 nichts. Es erfolgt dann keine Umschaltung des Flipflops.
5. Zustand 1 an E_2 schaltet das Flipflop auf $A_2 = 1$. Diesen Vorgang nennt man Rücksetzvorgang. Hat das Flipflop bereits den Zustand $A_2 = 1$, so bewirkt die 1 am Eingang E_2 nichts.
6. Zustände 0 haben normalerweise keine steuernde Wirkung.
7. Der Zustand von A_1 kennzeichnet den Speicherzustand des Flipflops. Ist $A_1 = 1$, so hat das Flipflop den Wert 1 gespeichert.

Selbstverständlich kann man auch Flipflops bauen, die durch 0-Zustände gesteuert werden. Diese Flipflops haben besondere, durch einen Negationskreis gekennzeichnete Eingänge (Bild 7.3) und werden nur in geringem Umfang eingesetzt.

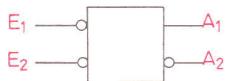


Bild 7.3 Schaltzeichen eines Flipflops, das durch 0-Zustände gesteuert wird

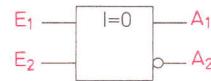


Bild 7.4 Schaltzeichen eines Flipflops mit festgelegter Grundstellung

Man verwendet häufig Flipflops mit einer festgelegten Grundstellung. Das Schaltzeichen eines solchen Flipflops zeigt Bild 7.4. Nach Anlegen der Speisespannung stellt sich dieses Flipflop stets auf den Zustand $A_1 = 0, A_2 = 1$ ein. Dieser Schaltzustand wird Ruhezustand, Ruhelage oder Rücksetzzustand genannt. Der Ausgang, der bei Ruhelage den Wert 1 hat, wurde früher durch einen dicken Balken gekennzeichnet.

Die Kennzeichnung der Grundstellung kann entfallen, wenn keine Unklarheiten entstehen.

Der Zustand $A_1 = 1$ und $A_2 = 0$ wird Arbeitszustand oder Setzzustand genannt. Man kann Flipflops so bauen, daß sie nach Einschalten der Versorgungsspannung den Arbeitszustand ($A_1 = 1, A_2 = 0$) annehmen. Ein solches Flipflop wird durch die Angabe $I = 1$ gekennzeichnet (Bild 7.5).

Neuerdings gibt es Flipflops, die nach Einschalten der Versorgungsspannung den Zustand haben, den sie beim Ausschalten der Versorgungsspannung hatten. Sie verlieren also bei Spannungsverlust die gespeicherte Information nicht. Bei Flipflops dieser Art ist im Schaltzeichen NV einzutragen (non volatile, nullspannungsgesichert). Ein solches Flipflop zeigt Bild 7.6.

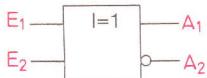


Bild 7.5 Schaltzeichen eines Flipflops, das nach Einschalten der Versorgungsspannung gesetzt ist

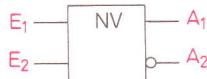


Bild 7.6 Schaltzeichen eines Flipflops, das nach Einschalten der Versorgungsspannung den Logik-Zustand hat, den es beim Abschalten der Versorgungsspannung hatte

Man unterscheidet statische und dynamische Eingänge. Die bisher betrachteten Eingänge sind statische Eingänge.

Statische Eingänge sprechen auf Eingangszustände an.

Dynamische Eingänge sprechen auf Eingangszustands-Änderungen an.

Es gibt nun zwei Arten dynamischer Eingänge. Die eine Art spricht an, wenn der Eingangszustand von 0 auf 1 ändert. Ein solcher Eingang heißt *dynamischer Eingang für die ansteigende Flanke* (Bild 7.7). Ein dynamischer Eingang der zweiten Art spricht an, wenn der Eingangszustand sich von 1 auf 0 ändert. Er wird *dynamischer Eingang für die abfallende Flanke* genannt (Bild 7.8).

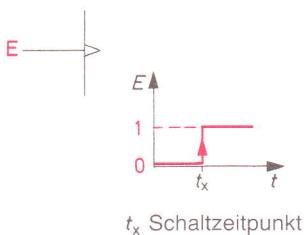


Bild 7.7 Darstellung eines dynamischen Eingangs für die ansteigende Flanke ($0 \rightarrow 1$)

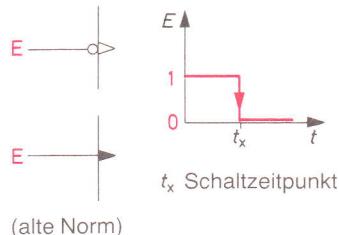
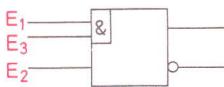


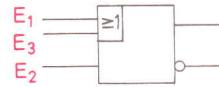
Bild 7.8 Darstellung eines dynamischen Eingangs für die abfallende Flanke ($1 \rightarrow 0$)

Flipflops können mehrere Eingänge haben, die miteinander verknüpft sind.

Das Flipflop in Bild 7.9 hat die Eingänge E_1 und E_3 , die durch UND verknüpft sind. Sind Eingänge durch ODER verknüpft, so ist die Angabe des ODER-Verknüpfungszeichens erforderlich (Bild 7.10).



$E_1 \wedge E_3$



$E_1 \vee E_3$

Bild 7.9 Schaltzeichen eines Flipflops, dessen Eingänge E_1 und E_3 durch UND verknüpft sind

Bild 7.10 Schaltzeichen eines Flipflops, dessen Eingänge E_1 und E_3 durch ODER verknüpft sind

Die Verknüpfung von Eingängen kann durch eine sogenannte *Abhängigkeits-Notation* kenntlich gemacht werden. Es werden folgende Buchstaben für die Eingänge verwendet:

$G \Rightarrow$ UND-Abhängigkeit
 $V \Rightarrow$ ODER-Abhängigkeit
 $C \Rightarrow$ Steuer-Abhängigkeit
 $S \Rightarrow$ Setz-Abhängigkeit
 $R \Rightarrow$ Rücksetz-Abhängigkeit

Die verknüpften Eingänge werden durch Zählnummern, durch sogenannte Kennzahlen gekennzeichnet.

Bei steuernden Eingängen steht die Kennzahl nach dem Buchstaben.

Bei gesteuerten Eingängen steht die Kennzahl vor dem Buchstaben.

Das soll an einem Beispiel erläutert werden. Ein Flipflop hat die Eingänge S und R , die mit einem dritten Eingang, wie in Bild 7.12 dargestellt, UND-verknüpft sind. Die UND-Glieder dürfen an das Flipflop-Rechteck direkt angesetzt oder in das Flipflop-Rechteck einbezogen werden. Das ist die bisher übliche Darstellung von Eingangsverknüpfungen.

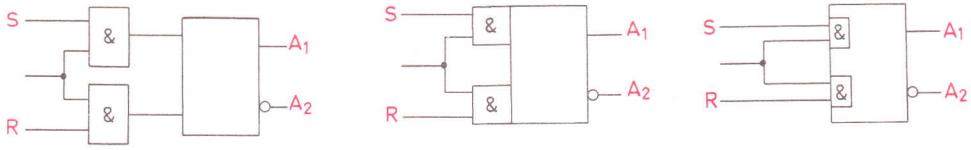
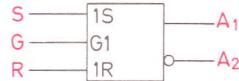


Bild 7.12 Übliche Darstellungen von Eingangsverknüpfungen

Bild 7.13 Darstellung von Eingangsverknüpfungen durch Abhängigkeitsnotation



Mit Hilfe der Abhängigkeits-Notation wird die Darstellung wesentlich vereinfacht. Der dritte Eingang wird wegen der UND-Abhängigkeit G genannt. Da er mit den beiden anderen Eingängen verknüpft ist, wird er als der steuernde Eingang aufgefaßt.

Er erhält die Kennzahl 1 nachgestellt. Die gleiche Kennzahl – in diesem Fall 1 – erhalten die Eingänge S und R (Bild 7.13). Sie wird vor die Buchstaben geschrieben.

S ist der Setzeingang. Zustand 1 an S und Zustand 1 an G setzen das Flipflop (Schalten in die Arbeitsstellung). R ist der Rücksetzeingang. Zustand 1 an R und Zustand 1 an G setzen das Flipflop zurück (Schalten in die Ruhestellung).

Wenn nun gleichzeitig an den Eingängen S und R Zustand 1 anliegt, und der Eingang G auch Zustand 1 hat, wie schaltet das Flipflop dann? Bei den meisten Flipflops ist diese Zustands-Kombination verboten und führt zu unbestimmtem Schaltverhalten. Es gibt jedoch Flipflops, bei denen entweder der S-Eingang oder der R-Eingang bevorrechtigt (dominierend) ist.

Bild 7.13a zeigt ein Flipflop mit dominierendem S-Eingang. Eine steuernde UND-Abhängigkeit besteht nicht. Der G-Eingang fehlt. Bei $S = 1$ und $R = 1$ wird das Flipflop gesetzt. Die Kennzahl 1 gibt die sogenannte *S-Abhängigkeit* an. Statt der Kennzahl 1 könnte auch eine 2 oder eine andere Zahl stehen, wenn die 1 für eine andere Abhängigkeit verbraucht wäre.



Bild 7.13a Flipflop mit dominierendem S-Eingang

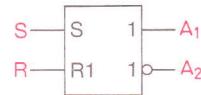


Bild 7.13b Flipflop mit dominierendem R-Eingang

In Bild 7.13b ist ein Flipflop mit dominierendem R-Eingang dargestellt. Bei $S = 1$ und $R = 1$ wird zurückgesetzt. Die Kennzahl 1 bei R und bei den Ausgängen drückt die *R-Abhängigkeit* aus.

Die *C-Abhängigkeit* ist die Steuerabhängigkeit. Sie wird insbesondere bei der Taktflankensteuerung von Flipflops angewendet. Siehe hierzu Abschnitt 7.5.2.

7.2 Klassifizierung der Flipflop-Arten

Man kann eine sehr große Anzahl verschiedenartiger Flipflops bauen. Zwar ist allen gemeinsam, daß sie zwei stabile Zustände haben. Die Bedingungen aber, unter denen sie von einem stabilen Zustand in den anderen schalten und wieder zurück, sind sehr vielfältig. Bisher ist eine so große Zahl von Flipflop-Arten bekanntgeworden, daß eine Einteilung in Gruppen nach bestimmten anwendungstechnischen Gesichtspunkten erforderlich ist.

Zunächst lassen sich zwei große Gruppen bilden. Die eine Gruppe umfaßt alle Flipflops, die nicht taktgesteuert sind. Alle taktgesteuerten Flipflops gehören zu der zweiten Gruppe. Was versteht man nun unter Taktsteuerung? Betrachten wir Bild 7.14. Ein Zustand 1 an E_1 kann nur wirksam werden, wenn auch an T Zustand 1 anliegt. Das wird durch die UND-Verknüpfung der Eingänge E_1 und T erreicht. Ebenfalls kann der Zustand 1 an E_2 nur wirksam werden, wenn gleichzeitig $T = 1$ ist. T ist das Takt-Signal.

Das Flipflop nach Bild 7.14 kann also nur gesetzt oder zurückgesetzt werden, wenn das Takt-Signal vorhanden ist. Man nennt die Eingänge E_1 und E_2 auch vorbereitende Eingänge. Zustand 1 an E_1 bereitet das Setzen vor. Das Setzen erfolgt aber erst, wenn der Takt kommt. Man kann so eine größere Zahl von Flipflops mit einem gemeinsamen Takt ungefähr gleichzeitig schalten. Diese Art der Taktsteuerung nennt man Taktzustandssteuerung. Die Takteingänge sind statische Eingänge.

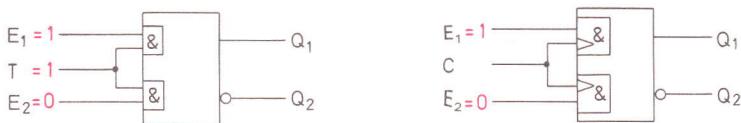
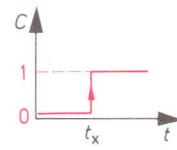


Bild 7.14 Taktzustandsgesteuertes
Flipflop

Bild 7.15 Taktflankengesteuertes
Flipflop ($0 \rightarrow 1$)



Das Flipflop in Bild 7.15 hat zwei dynamische Takteingänge, die zu einem Eingang C zusammengeschaltet sind. Diese dynamischen Takteingänge sprechen auf die ansteigende Flanke des Taktsignals an. Zustand 1 an E_1 kann nur wirksam werden, wenn das am Eingang C liegende Signal von 0 auf 1 ansteigt. Entsprechendes gilt für den Zustand 1 an E_2 . Ein solches Flipflop ist taktflankengesteuert. Takteingänge, die auf beide Felder eines Flipflops wirken, werden üblicherweise in die Mitte zwischen beiden Feldern gezeichnet (Bild 7.16). Die Angabe der UND-Verknüpfung kann dann entfallen. Taktflankengesteuerte Flipflops lassen sich sehr genau gleichzeitig schalten.

Die taktflankengesteuerten Flipflops können als *Einspeicher-Flipflops* und als *Zweispeicher-Flipflops* aufgebaut werden. Einspeicher-Flipflops haben den Nachteil, daß Signale, z.B. 1-Werte, «durchrutschen» können.

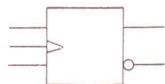


Bild 7.16 Taktflankengesteuertes Flipflop ($0 \rightarrow 1$)

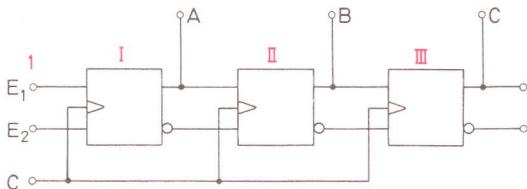


Bild 7.17 Zusammengeschaltete Einspeicher-Flipflops

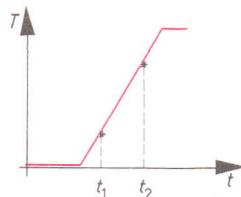
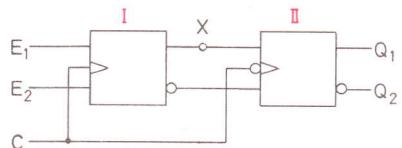


Bild 7.18 Taktsignal mit verhältnismäßig flachem Anstieg

Betrachten wir Bild 7.17. An E_1 liegt der Zustand 1. Kommt jetzt ein Taktsignal gemäß Bild 7.18, so schaltet das Flipflop I zum Zeitpunkt t_1 . Einige Nanosekunden später liegt am Ausgang A der Zustand 1, z.B. zum Zeitpunkt t_2 . Der Anstieg des Taktsignals ist aber noch nicht beendet. Das Flipflop II wird ebenfalls gesetzt ($B = 1$). Dies sollte jedoch nicht geschehen. Um ein solches Durchrutschen zu verhindern, muß man bei Einspeicher-Flipflops Taktsignale mit sehr steilen Flanken verwenden.

Zweispeicher-Flipflops bestehen im Prinzip aus zwei Speichergliedern. Es gibt Zweispeicher-Flipflops, die aus dem eigentlichen Flipflop und einem dynamischen Zwischen speicher bestehen. Diese werden nur mit einer Taktflanke gesteuert, gehören also zu den einflankengesteuerten Flipflops.

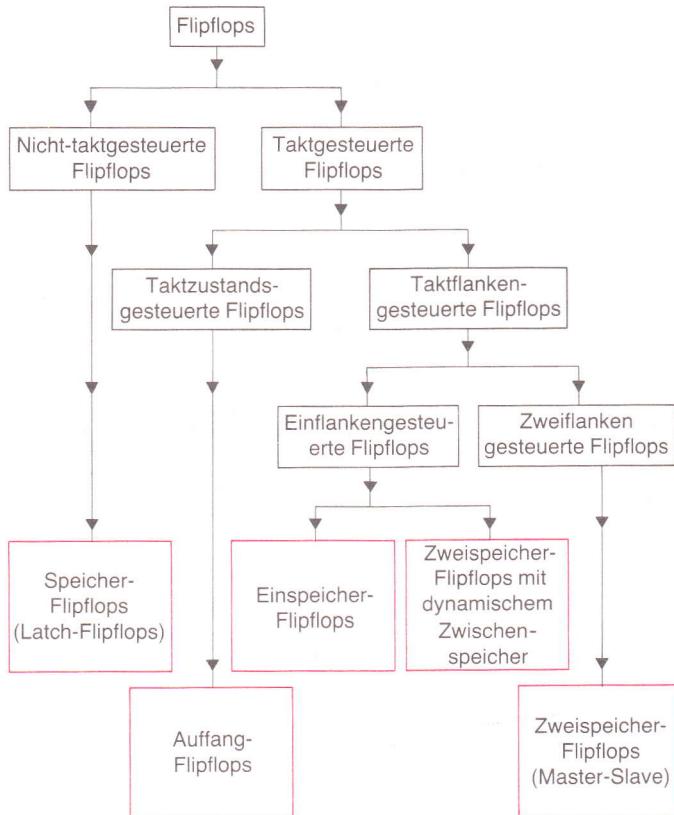
Bild 7.19 Aufbau eines Zweispeicher-Flipflops



Die andere Gruppe der Zweispeicher-Flipflops besteht aus zwei zusammengeschalteten Flipflops (Bild 7.19). Das Flipflop I hat einen Takteingang, der auf die ansteigende Flanke des Taktsignals anspricht. Der Takteingang des Flipflops II spricht auf die abfallende Flanke des Taktsignals an. Flipflops dieser Art sind also zweiflankengesteuert. Sie werden Master-Slave-Flipflops genannt.

Am häufigsten werden einflankengesteuerte und zweiflankengesteuerte Flipflops verwendet. Bild 7.20 zeigt eine schematische Übersicht über die verschiedenen Flipflop-Gruppen.

Bild 7.20 Schematische Übersicht über die Flipflop-Gruppen



7.3 Nicht-taktgesteuerte Flipflops

7.3.1 NOR-Flipflop (NOR-Latch)

Ein einfaches nicht-taktgesteuertes Flipflop kann aus zwei NOR-Gliedern aufgebaut werden (Bild 7.21). Es wird NOR-Latch genannt (latch, engl.: Klinke, einrasten). Am Ausgang eines NOR-Gliedes liegt immer dann 0, wenn an mindestens einem Eingang 1 anliegt (Bild 7.22). Wird also auf E_1 der Wert 1 gegeben, muß A_1 auf 0 gehen. Der Eingang E_2 soll 0 führen. An beiden Eingängen des NOR-Gliedes II liegt dann 0. Der Ausgang A_2 wird auf 1 gehen (Fall 2 der Wahrheitstabelle in Bild 7.21).

Für Fall 3 der Wahrheitstabelle ($E_1 = 0, E_2 = 1$) wird entsprechend A_2 auf 0 und A_1 auf 1 gehen.

Liegt an beiden Eingängen 0, bleibt der vorher vorhandene Zustand der Ausgänge erhalten. Man kann von Fall 2 nach Fall 1 oder von Fall 3 nach Fall 1 gehen. Die Signalzustände von Fall 2 sind in der Schaltung Bild 7.21 rot eingetragen. Ändert man E_1 auf 0, so ändert sich an den Ausgangszuständen nichts. Ein solcher Fall wird Speicherfall genannt.

Wenn an beiden Eingängen jedoch 1 liegt, müssen beide Ausgänge auf 0 gehen. Jetzt haben die Ausgänge keine entgegengesetzten Zustände mehr. Der Fall $E_1 = 1$ und $E_2 = 1$ ist irregulär, ein sogenannter verbotener Fall. Er sollte vermieden werden.

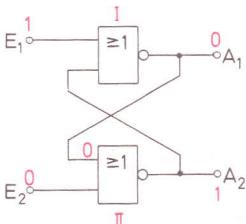
Nach den allgemeinen Regeln für Flipflops soll eine 1 an E_1 den Ausgang des gleichen Feldes auf 1 setzen. Eine 1 an E_2 soll entsprechend den Ausgang des gleichen Feldes, also hier des unteren Feldes, auf 1 setzen. Dies erreicht man durch Vertauschen der Ausgänge gemäß Bild 7.23. Daß A_2 zum oberen und A_1 zum unteren Feld gehören, ist ein kleiner Schönheitsfehler. Die Ausgänge werden daher wie folgt umbenannt:

$$A_2 = Q_1, A_1 = Q_2.$$

Der Eingang E_1 ist der Setzeingang. Er wird meist mit S bezeichnet. Der Eingang E_2 ist der Rücksetzeingang. Für ihn wird oft der Buchstabe R verwendet. Das Flipflop Bild 7.23 wird *SR-Speicher-Flipflop* genannt. Die Bezeichnung *RS-Speicher-Flipflop* ist ebenfalls gebräuchlich.

7.3.2 NAND-Flipflops (NAND-Latch)

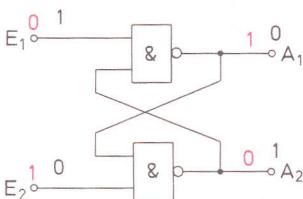
Schaltet man zwei NAND-Glieder wie in Bild 7.24 zusammen, erhält man ebenfalls ein Flipflop. Wir wollen untersuchen, wie dieses Flipflop arbeitet. Zur Erleichterung ist in Bild 7.25 die Wahrheitstabelle eines NAND-Gliedes dargestellt. Führt mindestens ein Eingang eines NAND-Gliedes 0-Signal, so hat der Ausgang 1-Signal.



Fall	E_2	E_1	A_1	A_2
1	0	0	X	X
2	0	1	0	1
3	1	0	1	0
4	1	1	0	0

irregulär Speicherfall

Bild 7.21 Flipflops aus zwei NOR-Gliedern (NOR-Latch) mit Wahrheitstabelle



Fall	E_2	E_1	A_1	A_2
1	0	0	1	1
2	0	1	0	1
3	1	0	1	0
4	1	1	X	X

irregulär Rücksetzen
Setzen Speichern

Bild 7.24 Flipflop aus zwei NAND-Gliedern (NAND-Latch) mit Wahrheitstabelle

Fall	B	A	$Z = \overline{A \vee B}$
1	0	0	1
2	0	1	0
3	1	0	0
4	1	1	0

A ————— ≥ 1 ————— Z
 B

Bild 7.22 Wahrheitstabelle eines NOR-Gliedes

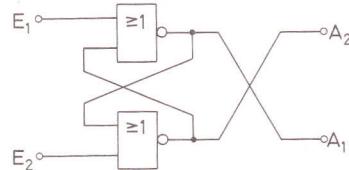


Bild 7.23 SR-Speicherflipflop aus zwei NOR-Gliedern

Fall	B	A	$Z = \overline{A \wedge B}$
1	0	0	0
2	0	1	0
3	1	0	0
4	1	1	1

A ————— $\&$ ————— Z
 B

Bild 7.25 Wahrheitstabelle eines NAND-Gliedes

Bei $E_1 = 0$ und $E_2 = 1$ wird $A_1 = 1$ und $A_2 = 0$. Dies ist der Setzfall. Bei $E_1 = 1$ und $E_2 = 0$ wird $A_2 = 1$ und $A_1 = 0$. Dies ist der Rücksetzfall.

Führen beide Eingänge 1, so bleiben die vorher vorhandenen Ausgangszustände erhalten. Dieser Fall ist der Speicherfall.

Der Fall $E_1 = 0$ und $E_2 = 0$ sollte vermieden werden. In diesem Fall müssen beide Ausgänge auf 1 gehen. Das Flipflop aus zwei NAND-Gliedern wird durch 0-Signale geschaltet. Es ergibt sich das in Bild 7.26 dargestellte Schaltzeichen. Schaltet man vor jeden Eingang ein NICHT-Glied, erhält man ein SR-Speicherflipflop (Bild 7.27). Die

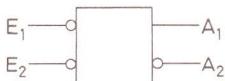


Bild 7.26 Schaltzeichen des Flipflops aus zwei NAND-Gliedern

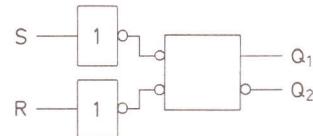


Bild 7.27 SR-Speicherflipflop

Fall	R	S	Q_{1m}	Q_{2m}	
1	0	0	$Q_{1(m-1)}$	$Q_{2(m-1)}$	Speichern
2	0	1	1	0	Setzen
3	1	0	0	1	Rücksetzen
4	1	1	1	1	verbotener Fall

Bild 7.28 Wahrheitstabelle des SR-Speicherflipflops Bild 7.27

zugehörige Wahrheitstabelle zeigt Bild 7.28. Sie ist gegenüber den bisher verwendeten Wahrheitstabellen etwas erweitert worden. Die Angabe im Fall 1, dem sogenannten Speicherfall, ist $Q_{1(m-1)}$ und $Q_{2(m-1)}$. Der Index $m - 1$ kennzeichnet die vorher vorhandenen Zustände der Ausgänge. Ist $Q_{1m} = Q_{1(m-1)}$ und $Q_{2m} = Q_{2(m-1)}$ so bedeutet dies, daß die jetzt vorhandenen Ausgangszustände (Q_{1m} , Q_{2m}) die gleichen sind wie die vorher vorhandenen Ausgangszustände ($Q_{1(m-1)}$, $Q_{2(m-1)}$). Der Speicherfall wird so exakt angegeben.

Die Flipflops Bild 7.21 und Bild 7.24 sind die einfachst möglichen Flipflops. Sie werden daher auch Basis-Flipflops genannt.

7.4 Taktzustandsgesteuerte Flipflops

Beim nichtgetakteten Flipflop ändert sich der Ausgangszustand einige Nanosekunden nach der Änderung des Eingangszustandes. Das ist in vielen Fällen unerwünscht. Man möchte die Änderung des Ausangszustandes durch einen besonderen Befehl auslösen. Um dies zu erreichen, hat man taktzustandsgesteuerte Flipflops entwickelt. Diese Flipflops werden auch Auffang-Flipflops genannt, da sie vorwiegend zum Auffangen von Informationen verwendet werden.

7.4.1 SR-Flipflop

Schaltet man den Eingängen eines SR-Speicher-Flipflops je ein UND-Glied vor, erhält man ein taktzustandsgesteuertes SR-Flipflop (Bild 7.29). Ein Signal 1 an E_1 kann nur wirksam werden, wenn auch am Steuereingang T das Signal 1 liegt. Legt man Signal 1 an E_1 , so bereitet man das Setzen lediglich vor. Das Setzen erfolgt erst, wenn das Taktsignal T kommt. Entsprechendes gilt für das Rücksetzen.

Die Schaltzeichen des taktzustandsgesteuerten SR-Flipflops sind in Bild 7.30 angegeben. Das obere Schaltzeichen ist das häufiger verwendete. Die UND-Glieder der Schaltung Bild 7.29 sind in das Flipflop-Rechteck integriert.

Das untere Schaltzeichen wurde mit Hilfe der Abhängigkeitsnotation (siehe Abschnitt 7.1.1) gebildet. Der Buchstabe G steht für die UND-Verknüpfung. Die Zählnummer 1 gibt an, welche Eingänge miteinander durch UND verknüpft sind.

Das taktzustandsgesteuerte SR-Flipflop (Bild 7.29) kann mit vier NAND-Gliedern aufgebaut werden. Das SR-Speicherflipflop wurde gemäß Bild 7.24 aus zwei NAND-Gliedern aufgebaut, denen zwei NICHT-Glieder vorgeschaltet wurden (Bild 7.27). Die beiden NICHT-Glieder und die beiden UND-Glieder für die Taktzustandssteuerung werden zu NAND-Gliedern zusammengefaßt (Bild 7.31).

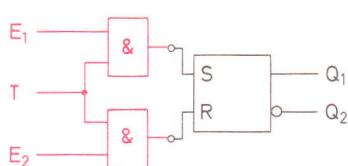


Bild 7.29 Taktzustandsgesteuertes SR-Flipflop

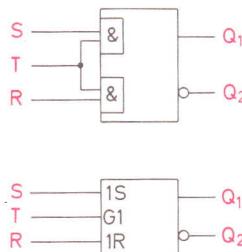


Bild 7.30 Schaltzeichen des taktzustandsgesteuerten SR-Flipflops

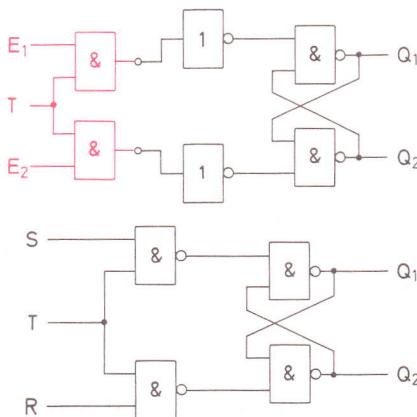


Bild 7.31 Aufbau eines taktzustandsgesteuerten SR-Flipflops mit vier NAND-Gliedern

Fall	T	R	S	Q_1	Q_2
1	0	0	0		
2	0	0	1		
3	0	1	0		
4	0	1	1		
5	1	0	0		
6	1	0	1	1	0
7	1	1	0	0	1
8	1	1	1	=	=

keine
Signaländerung,
Speicherfälle

Setzen
Rücksetzen
verbotener Fall

Bild 7.32 Mögliche Wahrheitstabelle eines taktzustandsgesteuerten SR-Flipflops

Eine mögliche Wahrheitstabelle des taktzustandsgesteuerten SR-Flipflops zeigt Bild 7.32. In den Fällen 1 bis 5 ändert sich der Ausgangszustand nicht. Es sind Speicherfälle. In den Fällen 1 bis 4 ist das Taktsignal 0. Daher kann sich am Ausgang nichts ändern. Im Fall 5 ist $S = 0$ und $R = 0$. Das Taktsignal ist zwar 1, doch wird weder gesetzt noch rückgesetzt.

Fall 6 ist der Setzfall, Fall 7 der Rücksetzfall. Der Fall 8 ist irregulär und sollte nicht auftreten.

Die Wahrheitstabelle wird jedoch meist ohne Taktsignal angegeben. Man führt statt dessen zwei Zeiten ein. Die Zeit t_n ist die Zeit nach dem n -ten Taktimpuls. Die Zeit t_{n+1} ist die Zeit nach dem folgenden Taktimpuls. Betrachtet man einen bestimmten Taktimpuls, so kann man auch sagen:

t_n ist ein Zeitpunkt vor einem bestimmten Taktimpuls, t_{n+1} ist ein Zeitpunkt nach einem bestimmten Taktimpuls.

Die Wahrheitstabelle wird in die Bereiche t_n und t_{n+1} aufgeteilt (Bild 7.33). Die Spalte für Q_2 kann wegfallen, da Q_2 immer entgegengesetzten Zustand hat wie Q_1 . Diese Wahrheitstabelle ist allgemein üblich.

Für schaltalgebraische Berechnungen benötigt man jedoch eine Wahrheitstabelle, die über den tatsächlichen Zustand von Q_{1n} Auskunft gibt. Aus der Wahrheitstabelle Bild 7.33 erfahren wir nur, daß im Fall 1 der Ausgangszustand Q_1 so bleibt wie er war. Aber wie war er? Er kann 1 oder 0 gewesen sein. In der ausführlichen Wahrheitstabelle wird Q_{1n} als Variable hinzugenommen (Bild 7.34). Der Index n bei Q_{1n} kann entfallen, denn der Bereich t_n drückt aus, daß dieses Q_1 zu t_n gehört.

Fall			t_n	t_{n+1}	
	R	S		Q_1	
1	0	0		Q_{1n}	
2	0	1		1	
3	1	0		0	
4	1	1		=	

Bild 7.33 Übliche Wahrheitstabelle eines taktzustandsgesteuerten SR-Flipflops

Fall	t_n			t_{n+1}	
	R	S	Q_{1n}	Q_1	
1	0	0	0	0	
2	0	0	1	1	
3	0	1	0	1	
4	0	1	1	1	
5	1	0	0	0	
6	1	0	1	0	
7	1	1	0	=	
8	1	1	1	=	

Bild 7.34 Ausführliche Wahrheitstabelle eines taktzustandsgesteuerten SR-Flipflops

Im Fall 1 war Q_1 vor dem betrachteten Takt 0. Es ist auch nach diesem Takt 0. Im Fall 2 war Q_1 vor dem betrachteten Takt 1. Es ist auch nach dem betrachteten Takt 1. Die Fälle 1 und 2 sind die Speicherfälle.

Im Fall 3 war $Q_1 = 0$. Nach dem Takt ist Q_1 auf 1 gesetzt worden. Im Fall 4 war $Q_1 = 1$. Nach dem betrachteten Takt ist Q_1 auf 1 geblieben. Die Fälle 3 und 4 sind die Setzfälle. Welchen Zustand Q_1 auch vor dem Takt hatte, nach dem Takt ist Q_1 immer 1.

Die Fälle 5 und 6 sind die *Rücksetzfälle*. Hatte Q_1 den Zustand 0, so hat es den Zustand 0 auch nach dem Takt. Hatte Q_1 den Zustand 1, so wird auf $Q_1 = 0$ zurückgesetzt. Nach dem Takt ist Q_1 immer 0.

Die verbotenen Fälle 7 und 8 brauchen wir nicht näher zu betrachten. Sie dürfen bei diesem Flipflop nicht auftreten, da dann unbestimmt ist, welche Ausgangszustände auftreten würden.

7.4.2 SR-Flipflop mit dominierendem R-Eingang

Die verbotenen Fälle des taktzustandsgesteuerten SR-Flipflops geben Anlaß zu einigen Überlegungen. Könnte man nicht ein Flipflop bauen, das bei $S = 1$ und $R = 1$ grundsätzlich Q_1 auf 0 zurücksetzt, wenn der Takt kommt? Durch eine besondere Eingangsbeschaltung ist das möglich.

Bild 7.35 zeigt diese Eingangsbeschaltung. Bei $S = 1$ und $R = 1$ kann das 1-Signal von S nicht wirksam werden, denn am Ausgang des NICHT-Gliedes liegt 0. Das UND-Glied sperrt. Das 1-Signal an R löst ein Rücksetzen aus. Der normale Setzvorgang bei $S = 1$ und $R = 0$ wird nicht behindert, da jetzt am Ausgang des NICHT-Gliedes 1 liegt und das UND-Glied am Ausgang 1 hat. Ein solches Flipflop heißt *SR-Flipflop mit dominierendem R-Eingang*. Es wird auch R-Flipflop genannt. Das besondere Schaltverhalten wird durch das Schaltzeichen Bild 7.36 ausgedrückt (siehe auch Abschnitt 7.1). Es besagt: Haben bei diesem Flipflop die beiden Eingänge S und R und der Eingang T Signale 1, so stellt sich bei Taktsignal 1 Q_1 auf 0 und Q_2 auf 1 ein.

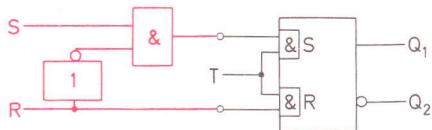


Bild 7.35 Taktzustandsgesteuertes SR-Flipflop mit dominierendem R-Eingang

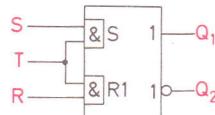


Bild 7.36 Schaltzeichen eines taktzustandsgesteuerten SR-Flipflops mit dominierendem R-Eingang

Fall	t_n		t_{n+1}
	R	S	Q_1
1	0	0	Q_{1n}
2	0	1	1
3	1	0	0
4	1	1	0

Bild 7.37 Wahrheitstabelle eines taktzustandsgesteuerten SR-Flipflops mit dominierendem R-Eingang

Die Wahrheitstabelle eines taktzustandsgesteuerten SR-Flipflops mit dominierendem R-Eingang ist in Bild 7.37 dargestellt. Selbstverständlich gibt es auch ein taktzustandsgesteuertes SR-Flipflop mit dominierendem S-Eingang (siehe Lernziel-Test).

7.4.3 E-Flipflop

Ein seltener verwendetes Flipflop ist das sogenannte taktzustandsgesteuerte E-Flipflop. Für dieses Flipflop wird die Wahrheitstabelle Bild 7.38 angegeben. Für $E_1 = 1$ und $E_2 = 1$ ergibt sich ein Speicherfall. Das E-Flipflop kann durch Zusatzbeschaltung der Eingänge aus dem SR-Flipflop abgeleitet werden. Die Zusatzbeschaltung muß für $E_1 = 1$ und $E_2 = 1$ den Eingängen S und R die Signale 0 zuführen. Sie darf aber den Setzfall (Fall 2) und den Rücksetzfall (Fall 3) nicht behindern.

Fall	t_n		t_{n+1}	Q_1
	E_2	E_1		
1	0	0		Q_{1n}
2	0	1	1	Setzen
3	1	0	0	Rücksetzen
4	1	1		Q_{1n}

Bild 7.38 Wahrheitstabelle eines taktzustandsgesteuerten E-Flipflops

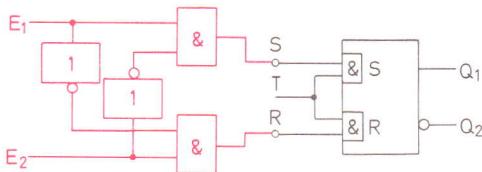


Bild 7.39 Entstehung eines taktzustandsgesteuerten E-Flipflops durch Zusatzbeschaltung

Das SR-Flipflop mit der erforderlichen Zusatzbeschaltung ist in Bild 7.39 dargestellt. Bei $E_1 = 1$ und $E_2 = 1$ sperren beide UND-Glieder, da an den Ausgängen der NICHT-Glieder 0 liegt. Bei $E_1 = 1$ und $E_2 = 0$ erhält der S-Eingang 1-Signal. Das Setzen kann also stattfinden. Bei $E_1 = 0$ und $E_2 = 1$ erhält der R-Eingang 1-Signal. Das Rücksetzen kann auch erfolgen.

7.4.4 D-Flipflop

Häufiger als das E-Flipflop wird das D-Flipflop verwendet. Das taktzustandsgesteuerte D-Flipflop kann ebenfalls aus dem SR-Flipflop abgeleitet werden. Das am S-Eingang anliegende Signal wird über ein NICHT-Glied dem R-Eingang zugeführt (Bild 7.41). Der R-Eingang wird nicht mehr von außen angesteuert.

Das D-Flipflop heißt auch Delay-Flipflop und Verzögerungs-Flipflop (delay, engl.: Verzögerung). Es dient dazu, ein Eingangssignal so lange zu verzögern, bis das Taktsignal kommt. Dann wird das Eingangssignal an den Ausgang Q_1 weitergegeben. Ein 1-Signal am D-Eingang setzt Q_1 auf 1. Ein 0-Signal am D-Eingang setzt Q_1 auf 0. Die Wahrheitstabelle des D-Flipflops ist in Bild 7.42 wiedergegeben. Da nur ein Eingang vorhanden ist, enthält die Wahrheitstabelle nur zwei Fälle.

Das Schaltzeichen des taktzustandsgesteuerten D-Flipflops zeigt Bild 7.43. Der Buchstabe G deutet auf die UND-Verknüpfung hin. Die Ziffer 1 ist die Kennzahl der durch UND verknüpften Eingänge.

Bild 7.41 Entstehung eines taktzustandsgesteuerten D-Flipflops durch Zusatzbeschaltung

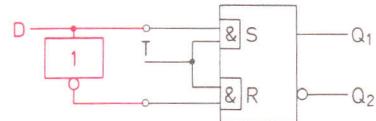


Bild 7.42 Wahrheitstabelle eines taktzustandsgesteuerten D-Flipflops

Fall	D	t_n		t_{n+1}	
		Q1	Q2	Q1	Q2
1	0	0		0	
2	1		1	1	

Bild 7.43 Schaltzeichen eines taktzustandsgesteuerten D-Flipflops



7.4.5 Datenblätter

Die Hersteller von Flipflop-Schaltungen geben ausführliche Datenblätter heraus, aus denen alle interessierenden Daten entnommen werden können. Im Rahmen dieses Buches können nur einige wenige Datenblätter als Beispiele vorgestellt werden.

Von den taktzustandsgesteuerten Flipflops werden zur Zeit überwiegend D-Flipflops eingesetzt. Die integrierte Schaltung FLJ 151-7475 ist eine TTL-Schaltung (siehe Schaltkreisfamilien, Abschnitt 6.6). Sie enthält vier D-Flipflops (Bild 7.44). Anschlußanordnung, innerer Aufbau und Wahrheitstabelle können Bild 7.45 entnommen werden.

Das Datenblatt Bild 7.44 enthält die üblichen statischen Kenndaten der TTL-Schaltkreisfamilie, die in Abschnitt 6.6.2 näher erläutert sind. Von den Schaltzeiten dürfen die Signallaufzeiten bekannt sein (Abschnitt 6.4.3). Die Speisespannung beträgt 5 V. Mit t_V bezeichnet man die sogenannte Vorbereitungszeit am Eingang D. Dies ist die Zeit, die ein Signal mindestens vor Eintreffen des Taktsignals an D anliegen muß. Sie beträgt 20 ns. Liegt das Signal weniger als 20 ns am Eingang D an, ist die Übernahme in den Speicher nicht gewährleistet.

Der Taktimpuls muß weiterhin mindestens 20 ns lang anliegen. Diese Zeit wird mit t_{pT} bezeichnet. Die Schaltzeiten sind verhältnismäßig kurz. Die Flipflops arbeiten schnell.

Die integrierte Schaltung FZJ 131 enthält ebenfalls vier taktzustandsgesteuerte D-Flipflops. Diese integrierte Schaltung gehört zur DTL-Schaltkreisfamilie und zur Unterfamilie «langsame störsichere Logik» (LSL). Dem Datenblatt Bild 7.46 kann man entnehmen, daß die Schaltzeiten wesentlich länger sind als bei der Schaltung FLJ 151-7475. Die statische Störsicherheit ist besonders groß. Das läßt auch die erforderliche Speisespannung von 12 V vermuten. Der innere Aufbau (Bild 7.47) der D-Flipflops ist besonders typisch für die DTL-Schaltkreisfamilie.

Das Flipflop FLJ 151 bzw. FLJ 155 hat zwei stabile Zustände, die mit dem Takt gesteuert werden können. Solange der Taktimpuls anliegt, wird jede am D-Eingang eingespeiste Information nach dem Q-Ausgang übertragen. Sie bleibt dort erhalten, auch wenn der Taktimpuls abfällt. Die Information wird gelöscht, wenn der Taktimpuls wiederkehrt.

Statische Kenndaten
im Temperaturbereich 1 und 5

		Prüfbedingungen	Prüf-schal-tung	untere Grenze B	typ.	obere Grenze A	Ein-heit
Speisespannung	U_S			4,75	5,0	5,25	V
H-Eingangsspannung	U_{IH}	$U_S = 4,75 \text{ V}$	36	2,0			V
L-Eingangsspannung	U_{IL}		37			0,8	V
Eingangsklemmspannung	$-U_I$	$U_S = 4,75 \text{ V}, -I_I = 12 \text{ mA}$				1,5	V
H-Ausgangsspannung	U_{QH}	$-I_{QH} = 400 \mu\text{A}$	$U_S =$	36,37	2,4	3,4	V
L-Ausgangsspannung	U_{QL}	$I_{QL} = 16 \text{ mA}$	$U_S =$	36,37		0,2	V
Statische Störsicherheit	U_{ss}			0,4		1,0	V
Eingangsstrom							
pro Eingang	I_I	$U_I = 5,5 \text{ V}$	38			1	mA
H-Eingangsstrom an D, an T	I_{IH}	$U_{IH} = 2,4 \text{ V}$	$U_S =$	38		80	μA
L-Eingangsstrom an D, an T	I_{IL}	$U_{IL} = 5,5 \text{ V}$	5,25	38		160	μA
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = 0,4 \text{ V}$		38		3,2	mA
Speisestrom	I_S	$U_S = 0,4 \text{ V}$		39	18	6,4	mA
		$U_S = 5,25 \text{ V}$				57	mA
		$U_S = 5,25 \text{ V}$	40		32	53	mA

Schaltzeiten bei $U_S=5 \text{ V}$, $T_U=25^\circ\text{C}$

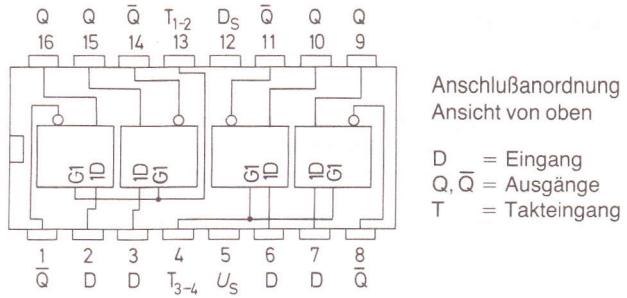
Taktimpulsdauer	t_{pT}		20				ns
Vorbereitungszeit an D	t_v		20				ns
Signal-Laufzeit von D nach Q	t_{PHL}	$C_L = 15 \text{ pF}, R_L = 400 \Omega$		14	25		ns
von D nach \bar{Q}	t_{PLH}			16	30		ns
von T nach Q	t_{PLH}			7	15		ns
von T nach \bar{Q}	t_{PHL}			24	40		ns
	t_{PHL}			7	15		ns
	t_{PLH}			16	30		ns
	t_{PLH}			7	15		ns
	t_{PLH}			16	30		ns

Logische Daten

Ausgangslastfaktor pro Ausgang	F_Q		10				
Eingangslastfaktor an D	F_I		2				
Eingangslastfaktor an T	F_I		4				

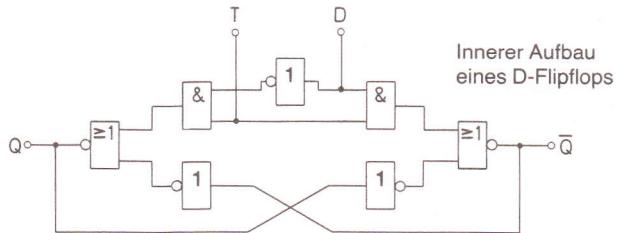
Bild 7.44 Datenblatt der integrierten Schaltung FLJ 151-7475 (Siemens)

Bild 7.45 Anlage zum Datenblatt der integrierten Schaltung FLJ 151-7475 (Siemens)



Anschlußanordnung
Ansicht von oben

D = Eingang
Q, \bar{Q} = Ausgänge
T = Takteingang



Innerer Aufbau
eines D-Flipflops

t_n	t_{n+1}	
D	Q	\bar{Q}
H	H	L
L	L	H

t_n = Zeitpunkt vor dem Taktimpuls
 t_{n+1} = Zeitpunkt nach dem Taktimpuls

7.5 Taktflankengesteuerte Flipflops

Mit der Taktflankensteuerung erreicht man ein sehr genaues gleichzeitiges Schalten vieler Flipflops. Selbst bei größeren Fertigungstoleranzen ergeben sich fast keine Abweichungen vom Soll-Schaltzeitpunkt.

Mit Taktflankensteuerung werden Flipflops synchron geschaltet.

Ein weiterer Vorteil der Taktflankensteuerung ist die Verminderung der Störanfälligkeit. Störsignale an den Eingängen können nur dann Störungen verursachen, wenn sie in dem sehr kurzen Zeitraum des Schaltens gerade anliegen. Vor und nach diesem Zeitraum haben Störsignale keinen Einfluß.

Durch Taktflankensteuerung wird eine größere Störsicherheit erreicht.

Der Baustein FZJ 131/135 enthält vier taktzustandsgesteuerte D-Flipflop. Informationen an D werden bei T = H nach Q übernommen. Bei T = L ist der D-Eingang gesperrt.

Typische Anwendung: 4-Bit-Zwischenspeicher.

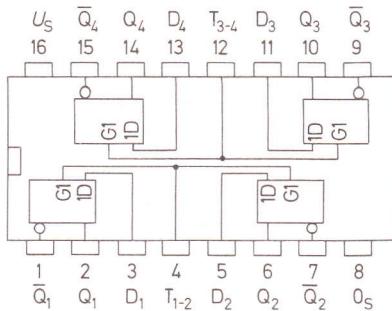
Statische Kenndaten im 12-V-Bereich im Temperaturbereich 1 und 5

		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		11,4	12	13,5	V
H-Eingangsspannung	U_{IH}	$U_S = U_{SB}$	7,5			V
L-Eingangsspannung	U_{IL}	$U_S = U_{SB}$ und U_{SA}			4,5	V
H-Ausgangsspannung	U_{QH}	$U_S = U_{SB}, -I_{QH} = 0,1 \text{ mA}, U_{IH} = 7,5 \text{ V}$	10,0	11,3		V
L-Ausgangsspannung	U_{QL}	$U_S = U_{SB}, I_{QL} = 15 \text{ mA}$ $U_{ID} = 4,5 \text{ V}, U_{IT} = 7,5 \text{ V}$		0,9	1,7	V
Statische Störsicherheit	U_{ssH}		2,5	5		V
	U_{ssL}		2,8	5		V
H-Eingangsstrom pro Eingang	I_{IH}	$I_I = U_{IHA}, U_S = U_{SA}$			1	μA
L-Eingangsstrom an D	$-I_{IL}$	$U_S = U_{SA}, U_{IL} = 1,7 \text{ V}$			3	mA
L-Eingangsstrom an T	$-I_{IT}$	$U_S = U_{SA}, U_{IL} = 1,7 \text{ V}$			6	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = U_{SA}, I_I = U_Q = 0 \text{ V}$	9	15	25	mA
Speisestrom	I_S	$U_S = U_{SA}, U_I = 0 \text{ V}$		22	32	mA
Leistungsverbrauch	P	$U_S = U_{SA}, U_I = 0 \text{ V}$		264	432	mW

Schaltzeiten bei $U_S = 12 \text{ V}$, $F_Q = 1$, $T_U = 25^\circ\text{C}$

Maximale Zählfrequenz	f_Z	Taktverhältnis 1:1	0,5		MHz
Taktimpulsdauer	t_{pT}		0,5		μs
Vorbereitungszeit an D					
H-Signal	t_s		300		ns
L-Signal	t_s	4,5 V über Masse	500		ns
Haltezeit an D					
H-Signal	t_H		150		ns
L-Signal	t_H		50		ns
Signal-Laufzeit von D nach Q	t_{PLH}		90	175	310
	t_{PHL}		30	70	150
von D nach \bar{Q}	t_{PLH}	$C_L = 10 \text{ pF}$ bei 4,5 V	30	70	150
	t_{PHL}	über Masse	70	130	290
von T nach Q	t_{PLH}		90	160	310
	t_{PHL}		70	120	210
von T nach \bar{Q}	t_{PLH}		90	150	310
	t_{PHL}		70	120	210
Signal-Übergangszeit an Q	t_{TLH}	$C_L = 10 \text{ pF}$	50	90	170
	t_{THL}		15	35	60

Bild 7.46 Datenblatt der integrierten Schaltung FZJ 131 (Siemens)



Anschlußanordnung
Ansicht von oben

D = Informationseingang
Q, \bar{Q} = Ausgänge
T = Takteingang

Schaltschema (ein Flipflop)

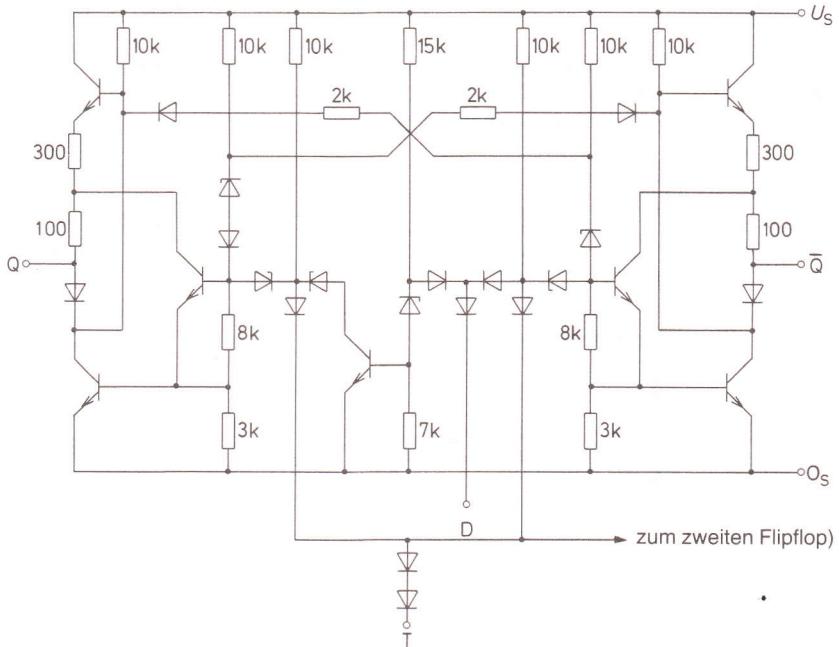


Bild 7.47 Anlage zum Datenblatt der integrierten Schaltung FZJ 131 (Siemens)

7.5.1 Impulsglieder

Für die Taktflankensteuerung werden Impulsglieder benötigt. Diese Glieder haben einen statischen und einen dynamischen Eingang und arbeiten im Prinzip wie UND-Glieder. Das Impulsglied nach Bild 7.48 liefert einen negativen Ausgangsimpuls nur dann, wenn $A = 1$ ist und das T-Signal von 1 nach 0 abfällt.

Eine mögliche innere Schaltung eines Impulsgliedes nach Bild 7.48 ist in Bild 7.49 dargestellt. Am Eingang A soll das Signal 1 liegen. Am Punkt X liegt dann das Signal 0, das 0 V entspricht. Am T-Eingang soll ebenfalls das Signal 1 ($\cong +5\text{ V}$) anliegen. Der Kondensator C wird jetzt auf 5 V aufgeladen. Springt das T-Signal auf 0 V zurück, hat der negative Pol des Kondensators im ersten Augenblick ein Potential von -5 V . Die Diode wird durchlässig. Am Ausgang Z liegt nach Abzug der Diodenschwellspannung eine Spannung von $-4,3\text{ V}$. Diese Spannung fällt mit der Entladung des Kondensators auf 0 ab.

Impulsglieder der zweiten Art liefern positive Ausgangsimpulse. Das Impulsglied nach Bild 7.50 liefert nur dann einen positiven Impuls, wenn am Eingang A das Signal 1 liegt und das Taktsignal T von 0 auf 1 springt.

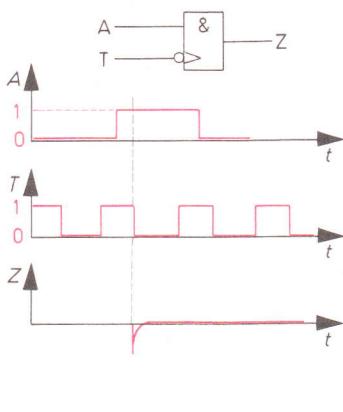


Bild 7.48 Schaltzeichen und Impulsdiaagramm eines Impulsgliedes für negative Ausgangsimpulse

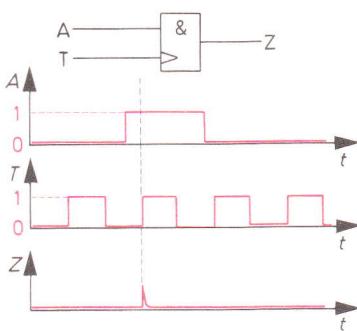
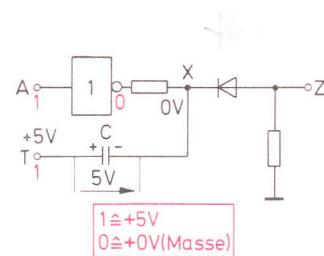


Bild 7.49 Innere Schaltung eines Impulsgliedes

Bild 7.50 Schaltzeichen und Impulsdiaagramm eines Impulsgliedes für positive Ausgangsimpulse

7.5.2 Einflankengesteuerte SR-Flipflops

Aus dem nicht-taktgesteuerten SR-Flipflop (Bild 7.27) wurde durch Vorschalten von zwei UND-Gliedern vor die Eingänge gemäß Bild 7.29 ein taktzustandsgesteuertes SR-Flipflop. Ersetzt man diese beiden UND-Glieder durch Impulsglieder, erhält man ein taktflankengesteuertes SR-Flipflop (Bild 7.51). Das Flipflop schaltet beim Übergang des Takt-Signals von 0 auf 1, also mit der ansteigenden Flanke. Für dieses Flipflop gilt das Schaltzeichen Bild 7.52. Für den Takteingang wird üblicherweise der Buchstabe C gewählt (C von «clock», engl.: Uhr, Taktgeber). Der C-Eingang wirkt auf beide Flipflop-Felder und wird daher in die Mitte gezeichnet.

Verwendet man Impulsglieder der anderen Art, erhält man ein SR-Flipflop, das mit abfallender Flanke schaltet (Bild 7.53). Man benötigt zwei zusätzliche NICHT-Glieder oder kann auch ein NAND-Latch gemäß Bild 7.26 verwenden.

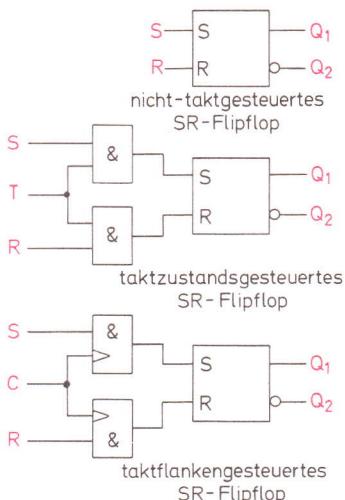


Bild 7.51 Entstehung eines taktflankengesteuerten SR-Flipflops

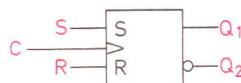


Bild 7.52 Schaltzeichen eines taktflankengesteuerten SR-Flipflops, das bei ansteigender Taktflanke schaltet

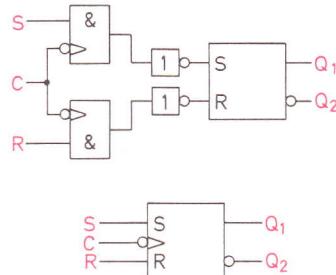
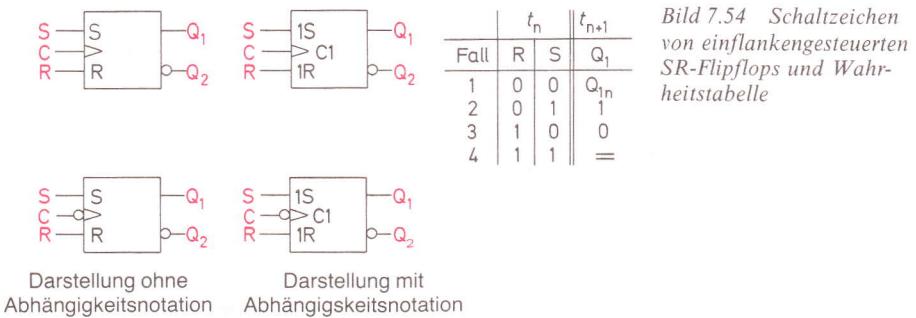


Bild 7.53 Aufbau und Schaltzeichen eines taktflankengesteuerten SR-Flipflops, das mit abfallender Flanke schaltet

Die im Bereich der integrierten Schaltungstechnik verwendeten Schaltungen sind meist komplizierter aufgebaut. Man ist bemüht, Störeinflüsse weitgehend auszuschalten und eine möglichst hohe Arbeitsgeschwindigkeit zu erreichen. Ein zusätzlicher Schaltungsaufwand erhöht die Kosten integrierter Schaltungen nur geringfügig. Für den Anwender spielt der interne Schaltungsaufbau eine untergeordnete Rolle. Wichtig sind gute Eigenschaften und Daten der angebotenen Flipflops.

Das betrachtete taktflankengesteuerte SR-Flipflop wird auch *einflankengesteuertes SR-Flipflop* genannt. Man will es damit von dem später zu besprechenden zweiflankengesteuerten SR-Flipflop unterscheiden.

Für das einflankengesteuerte SR-Flipflop gilt die gleiche Wahrheitstabelle wie für das taktzustandsgesteuerte SR-Flipflop, da in der Wahrheitstabelle die Art der Taktsteuerung nicht zum Ausdruck gebracht wird. Diese Wahrheitstabelle (Bild 7.54) ist daher sowohl für SR-Flipflops, die mit ansteigender Flanke gesteuert werden, als auch für SR-Flipflops, die mit abfallender Flanke gesteuert werden, gültig. Es können Schaltzeichen mit oder ohne Abhängigkeitsnotation verwendet werden (Bild 7.54).



Es ist im allgemeinen nicht erforderlich, die Grundstellung der SR-Flipflops besonders zu kennzeichnen. Einflankengesteuerte SR-Flipflops werden überwiegend mit festgelegter Grundstellung hergestellt. Diese ist $Q_1 = 0, Q_2 = 1$. Ist die Kennzeichnung der Grundstellung erwünscht, so sind die Zusatzangaben nach Abschnitt 7.1 zu verwenden (Bild 7.55). Für viele Anwendungszwecke werden SR-Flipflops gewünscht, die zusätzlich taktunabhängig gesetzt und rückgesetzt werden können. Hierfür sind zusätzliche Eingänge erforderlich. Das Flipflop in Bild 7.56 hat einen taktunabhängigen Setzeingang S^* und einen taktunabhängigen Rücksetzeingang R^* . Die Negationsringe vor den Eingängen geben an, daß die Steuerung mit 0-Signalen erfolgt. 1-Signale sind unwirksam. Ein Signal 0 an R^* setzt das Flipflop in die Grundstellung zurück. Der Takt ist hierzu nicht erforderlich. Entsprechend setzt ein 0-Signal an S^* das Flipflop in die Arbeitsstellung ($Q_1 = 1, Q_2 = 0$).

Zur Kennzeichnung der gesteuerten Eingänge ist die Abhängigkeitsnotation erforderlich. Die taktflankengesteuerten Eingänge sind außer durch S und R durch die gleiche Kennzahl gekennzeichnet, die auch der steuernde Eingang C trägt. In Bild 7.56 ist die Kennzahl die 1. Die taktunabhängigen Eingänge sind im Flipflop-Rechteck nur mit S und R bezeichnet. Alle SR-Flipflops haben einen wesentlichen Nachteil. Die Eingangssignal-Kombination $S = 1$ und $R = 1$ ist irregulär. Sie führt bei den einzelnen Schaltungen zu nichtdefinierten Ausgangszuständen und ist daher verboten.

Bild 7.55 Schaltzeichen eines einflankengesteuerten SR-Flipflops mit Kennzeichnung der Grundstellung $Q_1 = 0, Q_2 = 1$

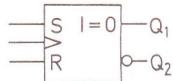


Bild 7.56 Schaltzeichen eines einflankengesteuerten SR-Flipflops mit taktunabhängigen Setz- und Rücksetzeingängen S^* und R^*

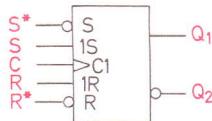
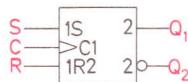


Bild 7.57 Schaltzeichen eines einflankengesteuerten SR-Flipflops mit dominierendem R-Eingang



Eine Schaltungsvariante, das SR-Flipflop mit dominierendem R-Eingang, wurde bei den taktzustandsgesteuerten Flipflops bereits besprochen. Ein solches SR-Flipflop kann auch mit Einflankensteuerung gebaut werden. Das entsprechende Schaltzeichen ist in Bild 7.57 dargestellt. Zur Kennzeichnung der R-Abhängigkeit wurde die Kennzahl 2 verwendet.

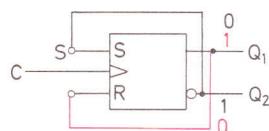
7.5.3 Einflankengesteuerte T-Flipflops

Sehr häufig benötigt man ein Flipflop, das bei jeder steuernden Taktflanke in den anderen Zustand kippt. Als steuernde Taktflanke soll zunächst einmal die ansteigende Taktflanke ($0 \rightarrow 1$) angenommen werden. Steht das Flipflop z.B. auf $Q_1 = 1$, so soll es bei der kommenden ansteigenden Taktflanke auf $Q_1 = 0$ schalten, bei der nächsten ansteigenden Taktflanke dann auf $Q_1 = 1$ und bei der danach folgenden ansteigenden Taktflanke wieder auf $Q_1 = 0$ usw. Ein solches Flipflop wird Trigger-Flipflop oder kurz *T-Flipflop* genannt. Es kann aus dem einflankengesteuerten SR-Flipflop abgeleitet werden.

Betrachten wir das SR-Flipflop in Bild 7.58. Es steht auf $Q_1 = 0, Q_2 = 1$ und soll bei der nächsten ansteigenden Taktflanke kippen. Das ist aber nur möglich, wenn am Eingang S ein 1-Signal liegt. Das 1-Signal kann vom Ausgang Q_2 geholt werden (schwarze Verbindung). Bei der ansteigenden Flanke des Taktsignals kippt das Flipflop jetzt.

Jetzt steht das SR-Flipflop auf $Q_1 = 1, Q_2 = 0$ (rote Eintragung in Bild 7.58). Es ist also jetzt gesetzt, d.h., es steht in Arbeitsstellung. Bei der nächsten ansteigenden Taktflanke

Bild 7.58 Einflankengesteuertes SR-Flipflop mit Zusatzbeschaltung



soll das Flipflop wieder in die Grundstellung $Q_1 = 0$, $Q_2 = 1$ zurückkippen. Hierzu ist ein 1-Signal an R erforderlich. Dieses Signal kann von Q_1 geholt werden (rote Verbindung). Jetzt kippt das Flipflop wunschgemäß in die Grundstellung. Damit führt Q_2 1-Signal. Dieses liegt jetzt auch an S. Bei der nächsten ansteigenden Taktflanke kippt das Flipflop wieder in den Arbeitszustand. Wir haben also das gewünschte T-Flipflop gefunden.

Für ein T-Flipflop, das jeweils bei ansteigender Taktflanke kippt, gilt das Schaltzeichen Bild 7.59. Eine zweite Art von T-Flipflops schaltet bei abfallender Taktflanke. Das zugehörige Schaltzeichen zeigt Bild 7.60. Da nur ein Eingang vorhanden ist, wird die Wahrheitstabelle für diese T-Flipflops recht einfach (Bild 7.61).

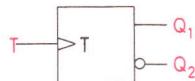


Bild 7.59 Schaltzeichen eines einflankengesteuerten T-Flipflops, das bei ansteigender Taktflanke schaltet



Bild 7.60 Schaltzeichen eines einflankengesteuerten T-Flipflops, das bei abfallender Taktflanke schaltet

Fall	t_n		t_{n+1}	
	Q_1	Q_2	Q_1	Q_2
1	0	1	1	0
2	1	0	0	1

Bild 7.61 Wahrheitstabelle der T-Flipflops Bild 7.59 und Bild 7.60

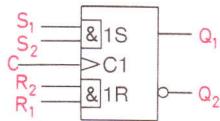


Bild 7.62 Einflankengesteuertes SR-Flipflop mit je zwei durch UND verknüpften S- und R-Eingängen

Gelegentlich werden T-Flipflops benötigt, die über einen zusätzlichen Eingang gesperrt oder freigegeben werden können. Ein solches Flipflop kann ebenfalls aus einem einflankengesteuerten SR-Flipflop abgeleitet werden. Das SR-Flipflop muß jedoch zwei S-Eingänge und zwei R-Eingänge haben, die jeweils durch UND verknüpft sind (Bild 7.62).

Ein S- und ein R-Eingang werden wie in Bild 7.58 mit den Ausgängen Q_1 und Q_2 verbunden. Der freie S-Eingang und der freie R-Eingang werden miteinander verknüpft. Sie bilden den neuen T-Eingang (Bild 7.63). Der Takteingang bekommt die Bezeichnung C. Diese Bezeichnungen sind bei diesem T-Flipflop üblich. Das T-Flipflop kippt nun mit dem C-Signal (hier mit der ansteigenden Flanke des C-Signals), wenn an T Signal 1

Bild 7.63 Bildung eines T-Flipflops mit T-Eingang und C-Eingang aus einem SR-Flipflop

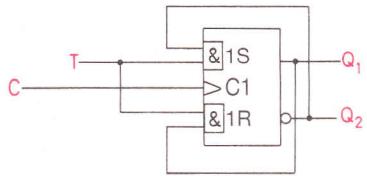
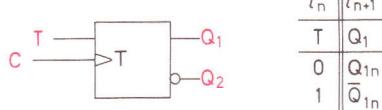


Bild 7.63a Schaltzeichen eines T-Flipflops mit T-Eingang und C-Eingang mit Wahrheitstabelle



anliegt. Bei $T = 0$ ist das Flipflop gesperrt. Die Ausgangszustände ändern sich dann trotz weiterlaufendem C-Signal nicht mehr.

In Bild 7.63a sind das Schaltzeichen eines solchen T-Flipflops und die zugehörige Wahrheitstabelle angegeben. Bei $T = 0$ ist das Q_1 nach dem betrachteten Takt gleich dem Q_1 vor dem betrachteten Takt, nämlich gleich Q_{1n} . Bei $T = 1$ ist das Q_1 nach dem betrachteten Takt entgegengesetzt wie das Q_1 vor dem betrachteten Takt, nämlich \overline{Q}_{1n} .

7.5.4 Einflankengesteuerte JK-Flipflops

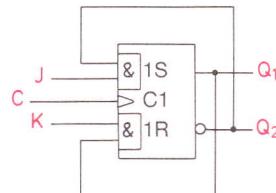
Bei der Suche nach einem möglichst vielseitig einsetzbaren Flipflop ist man vom einflankengesteuerten SR-Flipflop ausgegangen. Das Universal-Flipflop sollte den Speicherfall, den Setzfall und den Rücksetzfall des SR-Flipflops haben (siehe Wahrheitstabelle Bild 7.54). Der verbotene Fall 4 mit $S = 1$ und $R = 1$ sollte das Flipflop wie ein T-Flipflop zum Kippen bringen.

Das gesuchte Universal-Flipflop haben wir mit der Schaltung in Bild 7.63 bereits gefunden. Wir müssen nur die Verbindung von S-Eingang und R-Eingang zum T-Eingang wieder auflösen (Bild 7.64). Die neuen Eingänge werden J und K genannt.

Bei $J = 0$ und $K = 0$ ist der Speicherfall gegeben. Bei $J = 1$ wird das Setzen ausgelöst, wenn $Q_1 = 0$ und $Q_2 = 1$ ist. Das Rücksetzen erfolgt bei $K = 1$, wenn $Q_1 = 1$ und $Q_2 = 0$ ist, selbstverständlich alles taktflankengesteuert. Und bei $J = 1$ und $K = 1$ kippt das Flipflop wie ein T-Flipflop.

Die Bezeichnungen J und K sind weitgehend willkürlich dem Alphabet entnommen worden. Hinter ihnen steckt keine besondere Bedeutung. Die Schaltzeichen eines ein-

Bild 7.64 Bildung eines JK-Flipflops aus einem SR-Flipflop



flankengesteuerten JK-Flipflops sind zusammen mit der zugehörigen Wahrheitstabelle in Bild 7.65 angegeben.

Selbstverständlich gibt es auch JK-Flipflops, die bei abfallender Flanke schalten. Meist haben die JK-Flipflops mehrere J-Eingänge und mehrere K-Eingänge, die durch UND verknüpft sind.

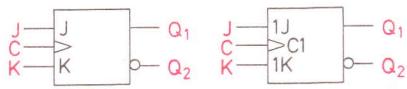


Bild 7.65 Schaltzeichen und Wahrheitstabelle eines einflankengesteuerten JK-Flipflops (Steuerung mit ansteigender Taktflanke)

Fall	t_n		t_{n+1}	
	K	J	Q_1	Q_2
1	0	0	Q_{1n}	
2	0	1	1	
3	1	0	0	
4	1	1	\bar{Q}_{1n}	

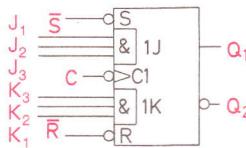


Bild 7.66 Schaltzeichen eines einflankengesteuerten JK-Flipflops mit 3 J- und 3 K-Eingängen, einem taktunabhängigen Setzeingang und einem taktunabhängigen Rücksetzeingang

Taktunabhängige Setz- und Rücksetzeingänge sind ebenfalls oft vorhanden. Bild 7.66 zeigt das Schaltzeichen eines solchen JK-Flipflops. Die taktunabhängigen Setz- und Rücksetzeingänge werden mit 0-Signalen geschaltet, daher wurden sie mit \bar{S} und \bar{R} bezeichnet.

In Bild 7.67 ist das Datenblatt der integrierten Schaltung FLJ 101-7470 wiedergegeben. Dieses IC enthält ein JK-Flipflop mit 3 J- und 3 K-Eingängen, einem taktunabhängigen Setzeingang und einem taktunabhängigen Rücksetzeingang. Die Anschlußanordnung Bild 7.68 zeigt, daß die Eingänge K_1 und J_1 mit 0-Signalen gesteuert werden.

Die integrierte Schaltung FLJ 101-7470 gehört zur TTL-Schaltkreisfamilie. Die Daten dieser Schaltkreisfamilie sind in Abschnitt 6.6.2 näher beschrieben. Zusätzlich spielt hier die sogenannte *Haltezeit* eine Rolle. Nach Erreichen des Schaltzeitpunktes der Taktflanke (1,5 V typisch bei TTL-Schaltkreisen) müssen die Eingangssignale eine bestimmte Zeit erhalten bleiben. Diese Zeit wird *Haltezeit* genannt. Nach der Haltezeit (typisch 5 ns) sind Eingangssignal-Änderungen wirkungslos. Störsignale können also nur während der Haltezeit Störungen verursachen. Je kürzer die Haltezeit einer Schaltung ist, desto geringer ist ihre Störmöglichkeit.

Als Anhang zum Datenblatt werden ein Blockschaltbild und eine Pegeltabelle angegeben (Bild 7.69). In der Pegeltabelle entspricht L dem 0-Signal und H dem 1-Signal. Die taktunabhängigen Setz- und Rücksetzeingänge haben die Bezeichnungen \bar{S} und \bar{R} erhalten. Dadurch soll ausgedrückt werden, daß diese Eingänge mit 0-Signalen gesteuert werden.

Der Baustein FLJ 101/105 ist flankengetriggert

Statische Kenndaten
im Temperaturbereich 1 und 5

		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		4,75	5,0	5,25	V
H-Eingangsspannung	U_{IH}	$U_S = 4,75 \text{ V}$	2,0			V
L-Eingangsspannung	U_{IL}	$U_S = 4,75 \text{ V}$			0,8	V
Eingangsklemmspannung	$-U_I$	$U_S = 4,75 \text{ V}, -I_I = 12 \text{ mA}$			1,5	V
H-Ausgangsspannung	U_{QH}	$U_S = 4,75 \text{ V}, -I_{QH} = 400 \mu\text{A}$	2,4	3,4		V
L-Ausgangsspannung	U_{QL}	$U_S = 4,75 \text{ V}, I_{QL} = 16 \text{ mA}$ $U_{IL} = 0,8 \text{ V}, U_{IH} = 2,0 \text{ V}$		0,2	0,4	V
Statische Störsicherheit	U_{ss}		0,4	1,0		V
Eingangsstrom pro Eingang	I_I	$U_S = 5,25 \text{ V}, U_I = 5,5 \text{ V}$			1	mA
H-Eingangsstrom an \bar{R} oder \bar{S}	I_{IH}	$U_S = 5,25 \text{ V}, U_{IH} = 2,4 \text{ V}$			80	μA
an T, J oder K	I_{IH}				40	μA
L-Eingangsstrom an \bar{R} oder \bar{S}	$-I_{IL}$	$U_S = 5,25 \text{ V}, U_{IL} = 0,4 \text{ V}$			3,2	mA
an T, J oder K	$-I_{IL}$				1,6	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = 5,25 \text{ V}$	18		57	mA
Speisestrom	I_S	$U_S = 5,25 \text{ V}$		13	26	mA

Schaltzeiten bei $U_S = 5 \text{ V}$, $T_U = 25^\circ\text{C}$

Haltezeit	t_H	$C_L = 15 \text{ pF}$ $R_L = 400 \Omega$	5	20	50	ns
Taktfrequenz	f_T		15			
Signal-Laufzeit von \bar{R} oder \bar{S} nach Q	t_{PHL}				50	ns
Signal-Laufzeit von T nach Q	t_{PLH}				50	ns
			10	18	50	ns
			10	27	50	ns

Logische Daten

Ausgangslastfaktor pro Ausg.	F_Q		10	
------------------------------	-------	--	----	--

Bild 7.67 Datenblatt der integrierten Schaltung FLJ 101-7470 (nach Siemens-Unterlagen)

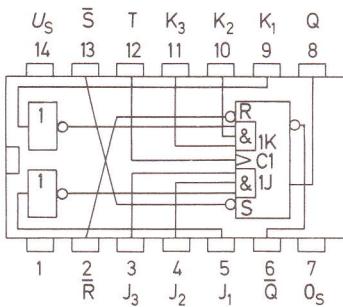


Bild 7.68 Anschlußanordnung der integrierten Schaltung FLJ 101-7470

Anschlußanordnung

Ansicht von oben

Q, \bar{Q} = Ausgänge ($Q \doteq Q_1, \bar{Q} \doteq Q_2$)

S = Stelleingang

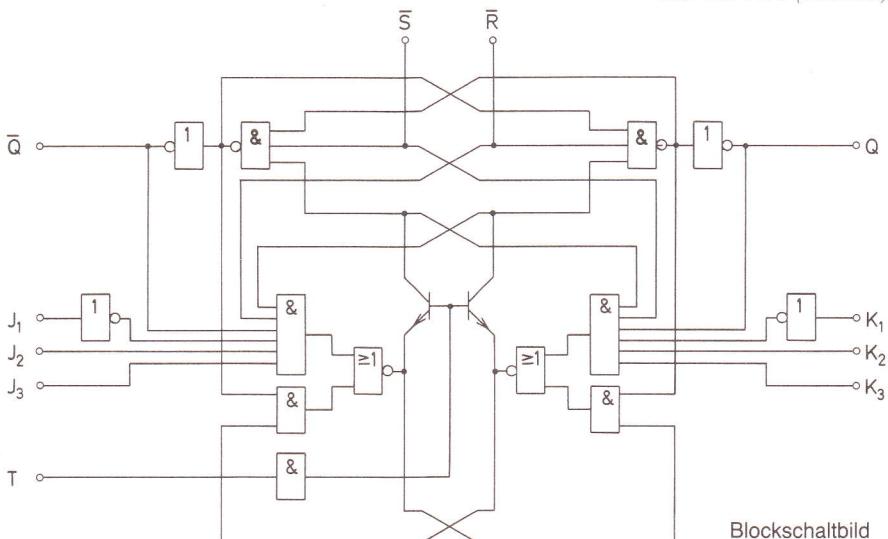
\bar{R} = Rückstelleingang

T = Takteingang

U_S = Speisespannung pos. Pol

O_S = Speisespannung neg. Pol, Masse

Bild 7.69 Anhang zum Datenblatt der integrierten Schaltung FLJ 101-7470 (Siemens)



Blockschaltbild

Logisches Verhalten

t_n		t_{n+1}
J	K	Q
L	L	Q_n
L	H	L
H	L	H
H	H	\bar{Q}_n

$$J = \bar{J}_1 \wedge J_2 \wedge J_3$$

$$K = \bar{K}_1 \wedge K_2 \wedge K_3$$

t_n = Zeitpunkt vor dem Taktimpuls

t_{n+1} = Zeitpunkt nach dem Taktimpuls

L-Potential an R bringt Q auf L-Signal
L-Potential an S bringt Q auf H-Signal
R und S arbeiten unabhängig von T

Einflankengesteuerte JK-Flipflops haben oft einen sogenannten *dynamischen Zwischenspeicher*. Dieser vergrößert die Signallaufzeit und verhindert, daß sich die gewünschten Ausgangszustände noch während der Anstiegsflanke des Taktsignals bzw. während der Haltezeit einstellen. Dies könnte zu einem ungewollten Schalten führen. Betrachten wir ein einflankengesteuertes JK-Flipflop, das mit ansteigender Taktflanke schaltet. Bei $J = 1$ und $K = 1$ wird dieses Flipflop dann kippen, wenn die Taktflanke den Schwellwert (z.B. +1,5 V) erreicht hat. Wenn sich jetzt die gewünschten Ausgangszustände (z.B. $Q_1 = 1$, $Q_2 = 0$) sehr schnell an den Ausgängen zeigen, könnte es zu einem zweiten Kippen (z.B. auf $Q_1 = 0$ und $Q_2 = 1$) kommen. Der dynamische Zwischenspeicher besteht aus einer oder mehreren kleineren Kapazitäten, die umzuladen sind. Kapazitäten von Halbleitersperrschichten reichen dazu aus. Diese Flipflops muß man genaugenommen zu den Zweispeicher-Flipflops zählen.

7.5.5 Einflankengesteuerte D-Flipflops

Das einflankengesteuerte D-Flipflop ist sehr ähnlich aufgebaut wie das taktzustandsgesteuerte D-Flipflop. Die beiden Flipflop-Arten unterscheiden sich nur durch die Steuerung. Bei den einflankengesteuerten D-Flipflops gibt es solche, die bei ansteigender Flanke des Taktsignals schalten, und solche, die bei abfallender Flanke des Taktsignals schalten (Bild 7.70). Die zugehörige Wahrheitstabelle zeigt Bild 7.71.

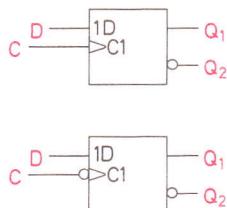


Bild 7.70 Schaltzeichen von einflankengesteuerten D-Flipflops

Fall	t _n	t _{n+1}	
		D	Q ₁
1	0	0	0
2	1	1	1

Bild 7.71 Wahrheitstabelle eines einflankengesteuerten D-Flipflops

Das Signal, das am D-Eingang liegt, wird bei Eintreffen der steuernden Taktflanke in den Flipflop-Speicher übernommen und ist dann am Ausgang Q_1 in normaler und am Ausgang Q_2 in negierter Form verfügbar.

Einflankengesteuerte D-Flipflops werden vor allem für Schieberegister verwendet (siehe Abschnitt 12). In Bild 7.72 ist das Datenblatt der integrierten Schaltung FLJ 141-7474 dargestellt. Dieses IC enthält zwei D-Flipflops mit Einflankensteuerung. Das Schalten erfolgt mit der ansteigenden (positiven) Taktflanke.

Die Anschlußanordnung und das Blockschaltbild eines der beiden D-Flipflops zeigt Bild 7.73.

Das Flipflop FLJ 141 bzw. FLJ 145 besitzt taktunabhängige Stell- und Rückstelleingänge. Die Weiterleitung einer Information am D-Eingang zum Q-Ausgang erfolgt während der positiven Taktflanke, sobald der Schwellwert des Eingangstransistors erreicht ist. Anschließend ist der D-Eingang wieder gesperrt.

Statische Kenndaten
im Temperaturbereich 1 und 5

		Prüfbedingungen	Prüf-schal-tung	untere Grenze B	typ.	obere Grenze A	Ein-heit
Speisespannung	U_S			4,75	5,0	5,25	V
H-Eingangsspannung	U_{IH}	$U_S=4,75 \text{ V}$	31	2,0			V
L-Eingangsspannung	U_{IL}	$U_S=4,75 \text{ V}, -I_l=12 \text{ mA}$				0,8	V
Eingangsklemmspannung	$-U_I$	$-I_{QH}=400 \mu\text{A}$	31	2,4	3,4	1,5	V
H-Ausgangsspannung	U_{QH}	$I_{QH}=16 \text{ mA}$	$U_S=4,75 \text{ V}$	31	0,2	0,4	V
L-Ausgangsspannung	U_{QL}			31			V
Statische Störsicherheit	U_{ss}			0,4	1,0		V
Eingangsstrom							
pro Eingang	I_I	$U_I=5,5 \text{ V}$	32			1	mA
H-Eingangsstrom an D, an \bar{S} oder T	I_{IH}	$U_{IH}=2,4 \text{ V}$	$U_S=5,25 \text{ V}$	32		40	μA
an \bar{R}	I_I	$U_I=2,4 \text{ V}$	32			80	μA
L-Eingangsstrom				32		120	μA
an D oder \bar{S}	$-I_{IL}$	$U_{IL}=0,4 \text{ V}$	33			1,6	mA
an \bar{R} oder T	$-I_{IL}$	$U_{IL}=0,4 \text{ V}$	33			3,2	mA
Kurzschlußausgangsstrom pro Ausgang	$-I_{QH}$	$U_S=5,25 \text{ V}$		34	18	57	mA
Speisestrom	I_S	$U_I=5 \text{ V}$	32		17	30	mA

Schaltzeiten bei $U_S=5 \text{ V}$, $T_U=25^\circ\text{C}$

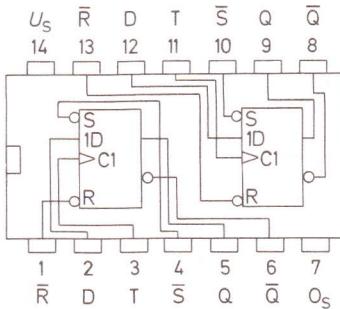
Taktempulsdauer	t_{pT}		30				ns
Stellimpulsdauer	t_{ps}		30				ns
Rückstellimpulsdauer	t_{pR}		30				ns
Maximale Zählfrequenz	f_Z		30a	15	25		MHz
Minimale Vorbereitungszeit	t_V		30a		15	20	ns
Minimale Haltezeit	t_H		30a		2	5	ns
Signal-Laufzeit von T nach Q	t_{PHL}	$C_L = 15 \text{ pF}, R_L = 400 \Omega$	30	10	20	40	ns
von \bar{R} oder T nach Q	t_{PLH}		30a	10	14	25	ns
	t_{PHL}		30			40	ns
	t_{PLH}		30a			25	ns

Logische Daten

Ausgangslastfaktor pro Ausgang	F_Q		10	
Eingangslastfaktor an D	F_I		1	
an \bar{S} oder T	F_I		2	
an \bar{R}	F_I		3	

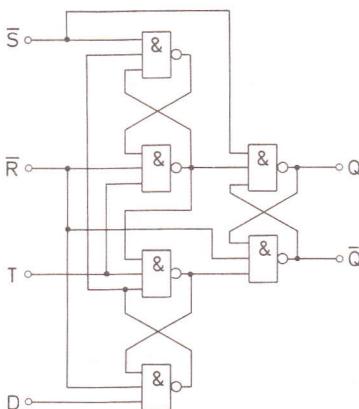
Bild 7.72 Datenblatt der integrierten Schaltung FLJ 141-7474 (Siemens)

Bild 7.73 Anschlußanordnung und Blockschaltbild zum Datenblatt der integrierten Schaltung FLJ 141-7474



Anschlußanordnung
Ansicht von oben

D = Informationseingang
Q, Q-bar = Ausgänge
R = Rückstelleingang
S = Stelleingang
T = Takteingang



Blockschaltbild (ein Flipflop)

7.5.6 Zweiflankengesteuerte SR-Flipflops

Die zweiflankengesteuerten Flipflops nehmen bei der ansteigenden Taktflanke das Eingangssignal auf. Dieses wird zwischengespeichert und erscheint zunächst noch nicht am Ausgang. Erst wenn die Taktflanke wieder abfällt, wird das Signal zum Ausgang durchgeschaltet und ist dann dort verfügbar.

Man benötigt für dieses Verfahren zwei Speicher, also zwei zusammengeschaltete Flipflops. Das Flipflop, das die von außen kommende Information aufnimmt, wird *Master-Flipflop* oder kurz *Master* genannt (master, engl.: Herr). Das zweite Flipflop, das die Information vom Master übernimmt, heißt *Slave-Flipflop* oder kurz *Slave* (slave, engl.: Sklave) (Bild 7.74). Das Master-Flipflop schaltet mit ansteigender Taktflanke. Das Slave-Flipflop schaltet mit abfallender Taktflanke. Flipflops dieser Art werden *Master-Slave-Flipflops* genannt.

Master-Slave-Flipflops arbeiten besonders sicher. Ihre Ausgänge sind «retardiert». Man versteht darunter, daß die Ausgangsinformation erst dann verfügbar ist, wenn das Takt signal wieder auf seinen ursprünglichen Zustand zurückgekehrt ist. In Bild 7.75 ist das

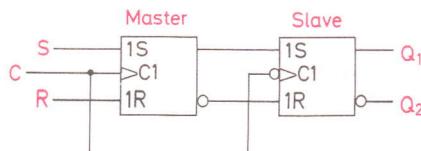


Bild 7.74 Aufbau eines SR-Master-Slave-Flipflops (Zweiflankensteuerung)

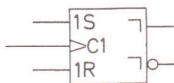


Bild 7.75 Schaltzeichen eines SR-Master-Slave-Flipflops

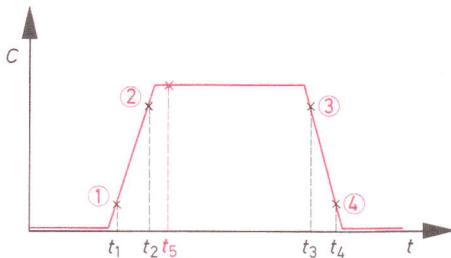


Bild 7.76 Schaltzeitpunkte bei Zweiflankensteuerung (Master-Slave-Flipflops). Bei Vorhandensein einer Eingangssperre werden die Eingänge zum Zeitpunkt t_5 gesperrt

Schaltzeichen eines SR-Master-Slave-Flipflops angegeben. Der gezeichnete C-Eingang ist der C-Eingang des Master-Flipflops (Steuerung mit ansteigender Taktflanke). Der C-Eingang des Slave-Flipflops wird nicht gezeichnet. Um zu kennzeichnen, daß die Information erst nach abgefallener Taktflanke an den Ausgängen verfügbar ist, verwendet man zwei Winkelzeichen, die vor die Ausgänge gesetzt werden.

Bei der ansteigenden Taktflanke gibt es zwei Schaltzeitpunkte, bei der abfallenden Taktflanke ebenfalls (Bild 7.76). In diesen Schaltzeitpunkten geschieht folgendes:

- t_1 : Slave-Flipflop wird vom Master-Flipflop getrennt.
- t_2 : Eingangsinformation wird vom Master-Flipflop aufgenommen.
- t_3 : Eingänge S und R werden gesperrt.
- t_4 : Information wird vom Master-Flipflop auf das Slave-Flipflop übertragen und ist an Q_1 und Q_2 verfügbar.

Zwischen den Zeitpunkten t_2 und t_3 kann das Master-Flipflop Störsignale aufnehmen und zwischenspeichern. Diese werden dann später an das Slave-Flipflop weitergegeben. Der Zeitraum zwischen t_2 und t_3 sollte also möglichst kurz sein, um die Störmöglichkeiten klein zu halten.

Durch einen besonderen Schaltungsaufwand kann man erreichen, daß das Sperren der Eingänge S und R zum Zeitpunkt t_5 (Bild 7.76) erfolgt. Dieser Zeitpunkt liegt etwa 5 ns nach t_2 . Master-Slave-Flipflops, deren Eingänge frühzeitig zum Zeitpunkt t_5 gesperrt werden, heißen *Master-Slave-Flipflops mit Eingangssperre*.

Für das zweiflankengesteuerte SR-Flipflop gilt die gleiche Wahrheitstabelle wie für das einflankengesteuerte SR-Flipflop (Bild 7.54).

7.5.7 Zweiflankengesteuerte JK-Flipflops

Das zweiflankengesteuerte JK-Flipflop ist ebenso wie das zweiflankengesteuerte SR-Flipflop ein Master-Slave-Flipflop. Das Master-Flipflop muß ein JK-Flipflop sein, denn es muß bei $J = 1$ und $K = 1$ kippen. Als Slave-Flipflop genügt ein SR-Flipflop (Bild 7.77). Es kann ja nicht vorkommen, daß beide Ausgänge des JK-Flipflops gleichzeitig Zustand 1 haben. Das Schaltzeichen dieses JK-Master-Slave-Flipflops ist in Bild 7.78 dargestellt. Es unterscheidet sich vom Schaltzeichen des einflankengesteuerten JK-Flipflops nur durch die Winkelzeichen vor den Ausgängen. Die Wahrheitstabelle ist die gleiche wie beim einflankengesteuerten JK-Flipflop (Bild 7.65). Es gibt aber auch zweiflankengesteuerte JK-Flipflops, die mit der abfallenden Taktflanke das Master-Flipflop schalten. Dann schaltet die ansteigende Taktflanke das Slave-Flipflop (Bild 7.79).

Bild 7.77 Aufbau eines JK-Master-Slave-Flipflops

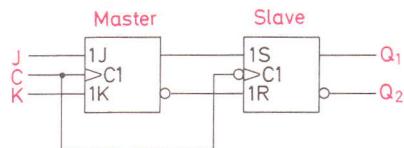


Bild 7.78 Schaltzeichen für JK-Master-Slave-Flipflops

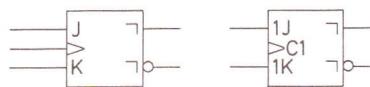
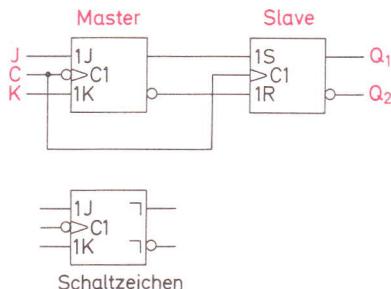


Bild 7.79 Aufbau und Schaltzeichen eines JK-Master-Slave-Flipflops, das bei abfallender Taktflanke die Information aufnimmt



In den Schaltzeichen zweiflankengesteuerter Flipflops (Master-Slave-Flipflops) wird stets die Taktflanke angegeben, mit der die Information aufgenommen wird. Die Weitergabe der Information an den Ausgang erfolgt dann mit der anderen Taktflanke (DIN 40900 Teil 12).

In Bild 7.80 ist das Datenblatt der integrierten Schaltung FLJ 131-7476 dargestellt. Diese integrierte Schaltung enthält zwei JK-Master-Slave-Flipflops mit taktunabhängigem Stell- und Rückstelleingang. Sie gehört zur TTL-Schaltkreisfamilie. Die Anschlußanordnung mit dem Blockschaltbild vom Innenaufbau eines Flipflops zeigt Bild 7.81.

Statische Kenndaten
im Temperaturbereich 1 und 5

		Prüfbedingungen	Prüf-schal-tung	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S			4,75	5,0	5,25	V
H-Eingangsspannung	U_{IH}		24	2,0			V
L-Eingangsspannung	U_{IL}	$U_S = 4,75 \text{ V}$				0,8	V
Eingangsklemmspannung	$-U_I$	$U_S = 4,75 \text{ V}, -I_I = 12 \text{ mA}$				1,5	V
H-Ausgangsspannung	U_{QH}	$-I_{QH} = 400 \mu\text{A}$	24	2,4	3,4		V
L-Ausgangsspannung	U_{QL}	$I_{QL} = 16 \text{ mA}$	24		0,2	0,4	V
Statische Störsicherheit	U_{ss}			0,4	1,0		V
Eingangsstrom an J oder K	I_{IH}	$U_{IH} = 2,4 \text{ V}$	25			40	μA
H-Eingangsstrom an R, S oder T	I_{IH}	$U_I = 5,5 \text{ V}$	25			1	mA
L-Eingangsstrom an J, K, an R, S oder T	$-I_{IL}$	$U_{IH} = 2,4 \text{ V}$ $= 5,25 \text{ V}$	25			80	μA
Kurzschlußausgangsstrom pro Ausgang	$-I_{QH}$	$U_I = 5,5 \text{ V}$	25			1	mA
Speisestrom	I_S	$U_S = 5,25 \text{ V}$	26			1,6	mA
		$U_I = 5,0 \text{ V}$	26			3,2	mA
			27	18		57	mA
					20	40	mA

Schaltzeiten bei $U_S = 5 \text{ V}$, $T_U = 25^\circ\text{C}$

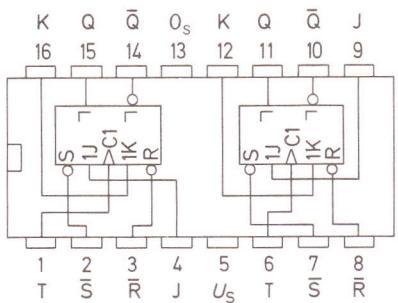
Taktempulsdauer	t_{pT}			20			ns
Stellimpulsdauer	t_{pS}			25			ns
Rückstellimpulsdauer	t_{pR}			25			ns
Vorbereitungszeit	t_V		29	t_{pT}			
Haltezeit	t_H			0			
Maximale Zählfrequenz	f_Z		29	15	20		MHz
Signal-Laufzeit von T nach Q	f_{PHL}	$C_L = 15 \text{ pF}$	29	10	25	40	ns
Signal-Laufzeit von R oder S nach Q	f_{PLH}	$R_L = 400 \Omega$	29	10	16	25	ns
	t_{PHL}		30		25	40	ns
	t_{PLH}		30		16	25	ns

Logische Daten

Ausgangslastfaktor pro Ausgang	F_Q				10	
Eingangslastfaktor an J oder K	F_I				1	
an R, S oder T	F_I				2	

Bild 7.80 Datenblatt der integrierten Schaltung FLJ 131-7476 (Siemens)

Anschlußanordnung, Ansicht von oben



Taktempuls



- (1) Slave von Master trennen
- (2) Signal von J und K in Master eingeben
- (3) J- und K-Eingänge sperren
- (4) Information von Master nach Slave übertragen

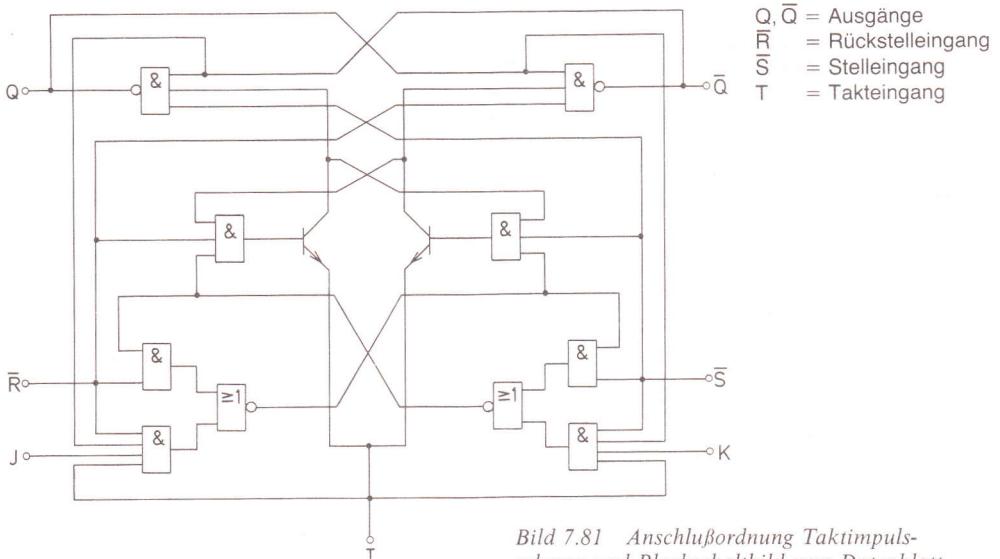


Bild 7.81 Anschlußordnung Taktempuls-schema und Blockschaltbild zum Datenblatt der integrierten Schaltung FLJ 131-7476

Die integrierte Schaltung FLJ 341-74110 enthält ein JK-Master-Slave-Flipflop mit Eingangssperre (Bild 7.82). Die Funktion der Eingangssperre wurde beim zweiflankensteuerten SR-Flipflop näher erläutert. Sie bewirkt, daß die Eingänge eine bestimmte Zeit nach Erreichen des Signaleingabezeitpunkts auf der ansteigenden Flanke gesperrt werden. Diese sogenannte Haltezeit beträgt bei der Schaltung FLJ 341-74110 nur 5 ns. Störsignale können also nur während dieser kurzen Zeit zu Fehlschaltungen führen. Das Flipflop ist daher sehr störsicher.

Die drei durch UND verknüpften J-Eingänge und die drei ebenfalls durch UND verknüpften K-Eingänge erlauben einen wirtschaftlichen Aufbau von Synchronzählern (siehe Kapitel 11).

Der Baustein FLJ 341/345 hat eine Haltezeit t_H von nur 5 ns bezogen auf die ansteigende Taktflanke. Dies bedeutet, daß die JK-Signale bereits während des Taktimpulses wechseln dürfen, ohne Fehlinformationen hervorzurufen. Der FLJ 341/345 ist mit FLJ 111/115 austauschbar.

Statische Kenndaten
im Temperaturbereich 1 und 5

		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	U_S		4,75	5,0	5,25	V
H-Eingangsspannung	U_{IH}	$U_S = 4,75 \text{ V}$	2			V
L-Eingangsspannung	U_{IL}	$U_S = 4,75 \text{ V}, -I_L = 12 \text{ mA}$			0,8	V
Eingangsklemmspannung	$-U_I$	$U_S = 4,75 \text{ V}, -I_I = 12 \text{ mA}$			1,5	V
H-Ausgangsspannung	U_{QH}	$U_S = 4,75 \text{ V}, U_{IH} = 2,0 \text{ V}$ $-I_{QH} = 800 \mu\text{A}$	2,4	3,4		V
L-Ausgangsspannung	U_{QL}	$U_S = 4,75 \text{ V}, U_{IL} = 0,8 \text{ V}$ $I_{QL} = 16 \text{ mA}$		0,2	0,4	V
Eingangsstrom pro Eingang	I_I	$U_S = 5,25 \text{ V}, U_{IL} = 5,5 \text{ V}$			1	mA
H-Eingangsstrom an J, K oder T an \bar{R} oder \bar{S}	I_{IH}	$U_S = 5,25 \text{ V}, U_{IH} = 2,4 \text{ V}$			40	μA
L-Eingangsstrom an J, K oder T an \bar{R} oder \bar{S}	$-I_{IL}$	$U_S = 5,25 \text{ V}, U_{IL} = 0,4 \text{ V}$			160	μA
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = 5,25 \text{ V}$	18		1,6	mA
Speisestrom	I_S	$U_S = 5,25 \text{ V}$		20	3,2	mA
					57	mA
					34	mA

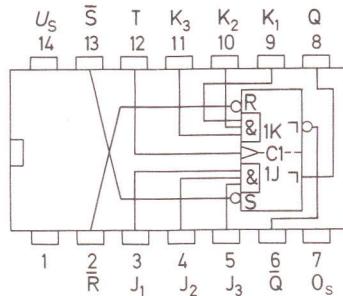
Schaltzeiten bei $U_S=5 \text{ V}, T_U=25^\circ\text{C}$

Taktimpulsdauer	t_{pT}	25				ns
Stellimpulsdauer	t_{pS}	25				ns
Rückstellimpulsdauer	t_{pR}	25				ns
Vorbereitungszeit	t_V	20				ns
Haltezeit	t_H	5				ns
Maximale Zählfrequenz	f_Z	20	25			MHz
Signal-Laufzeit von \bar{S} oder \bar{R} nach Q	t_{PLH}		12	20		ns
Signal-Laufzeit von T nach Q	t_{PLH}	$C_L = 15 \text{ pF}, R_L = 400 \Omega$	18	25		ns
	t_{PLH}		10	20	30	ns
	t_{PHL}		6	13	20	ns

Logische Daten

H-Ausgangslastfaktor pro Ausgang	F_{QH}			20	
L-Ausgangslastfaktor pro Ausgang	F_{QL}			10	
Eingangslastfaktor an JK	F_I			1	
an \bar{R} und \bar{S}	F_I			2	
an T	F_I			3	

Bild 7.82 Datenblatt der integrierten Schaltung FLJ 341-74110 (Siemens)



Anschlußanordnung
Ansicht von oben
J, K = Informationseingänge
Q, \bar{Q} = Ausgänge
 \bar{R} = Rückstelleingang
 \bar{S} = Stelleingang
T = Takteingang

7.5.8 Weitere Flipflop-Schaltungen

Die Zahl der möglichen Flipflop-Schaltungen ist außerordentlich groß. Die schon besprochenen D-Flipflops und T-Flipflops werden auch als Master-Slave-Flipflops, also als zweiflankengesteuerte Flipflops, hergestellt. Man kann ihre Schaltungen von der Schaltung des JK-Master-Slave-Flipflops ableiten.

Die Eingänge des JK-Master-Slave-Flipflops in Bild 7.83 werden an 1 bzw. an Speise- spannung gelegt. Bei jedem Takt wird das Flipflop jetzt kippen. Es stellt ein T-Master- Slave-Flipflop dar und ist für den Aufbau von Asynchronzählern (Kapitel 11) sehr gut geeignet.

Ein D-Master-Slave-Flipflop ist ebenfalls sehr leicht aus einem JK-Master-Slave-Flipflop zu entwickeln (Bild 7.84).

Ein weiteres interessantes Flipflop ist das DV-Flipflop. Für das DV-Flipflop gilt die Wahrheitstabelle Bild 7.85. Das Flipflop arbeitet als D-Flipflop, wenn am Vorbereitungs-

Bild 7.83 Entstehung eines T-Master-Slave-Flipflops aus einem JK-Master-Slave-Flipflop

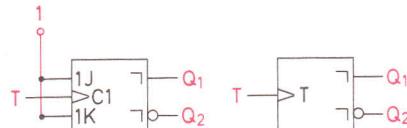


Bild 7.84 Entstehung eines D-Master-Slave-Flipflops aus einem JK-Master-Slave-Flipflop

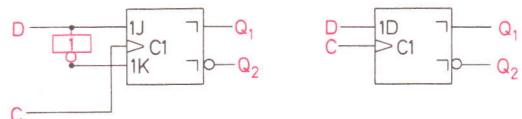


Bild 7.85 Wahrheitstabelle eines DV-Flipflops

Fall	t_n		t_{n+1}
	D	V	Q ₁
1	0	0	Q _{1n}
2	0	1	0
3	1	0	Q _{1n}
4	1	1	1

Speichern
Rücksetzen
Speichern
Setzen

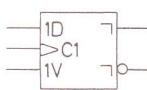
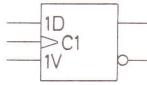
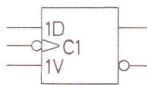


Bild 7.86 Schaltzeichen des DV-Flipflops

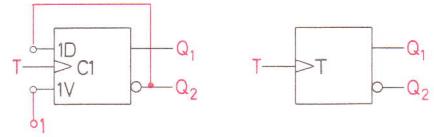


Bild 7.87 Umwandlung eines DV-Flipflops in ein T-Flipflop

eingang V ein 1-Signal liegt. Es ist gesperrt, d.h., es ergeben sich keine Ausgangszustandsänderungen, wenn an V das Signal 0 liegt.

Die Schaltzeichen des DV-Flipflops sind in Bild 7.86 angegeben. Das DV-Flipflop ist als einflankengesteuertes Flipflop und als zweiflankengesteuertes sogenanntes Master-Slave-Flipflop verfügbar. Es kann durch eine einfache Zusatzbeschaltung in ein T-Flipflop umgewandelt werden (Bild 7.87).

7.6 Zeitablauf-Diagramme

Zeitablauf-Diagramme, auch Impulsdiagramme genannt, sind Hilfsmittel, um die Funktion einzelner Flipflops oder ganzer Schaltungen einsichtig zu machen.

Die Eingangssignale eines Zeitablauf-Diagramms sind vorgegeben oder können beliebig gewählt werden. Die Ausgangssignale ergeben sich dann in Abhängigkeit von den Eingangssignalen.

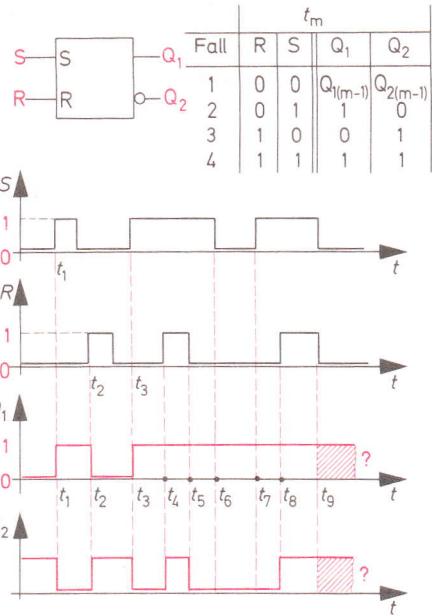
Ein einfaches Beispiel soll dies verdeutlichen. Bild 7.88 zeigt ein nicht-taktgesteuertes SR-Flipflop, ein sogenanntes SR-Speicherflipflop, mit Wahrheitstabelle und Zeitablauf-Diagramm. Die Wahrheitstabelle gilt für einen Zeitpunkt t_m .

Zum Zeitpunkt t_1 wird das Flipflop gesetzt, da an S das Signal 1 anliegt. Zum Zeitpunkt t_2 wird das Flipflop zurückgesetzt. Der Eingang R führt jetzt das Signal 1. Zum Zeitpunkt t_3 kommt es zu einem erneuten Setzen.

Besonders interessant ist der Zeitpunkt t_4 . Von diesem Zeitpunkt an liegt an beiden Eingängen 1. Dieser Fall ist irregulär. Beide Ausgänge gehen jetzt auf 1. Wenn im Zeitpunkt t_5 der R-Eingang auf 0 geht, geht auch Q_2 auf 0.

Im Zeitpunkt t_6 geht das S-Signal auf 0. Das Flipflop bleibt gesetzt. Ein Rücksetzen ist nur mit $R = 1$ möglich. Zum Zeitpunkt t_7 könnte ein erneutes Setzen stattfinden. Das Flipflop ist aber noch gesetzt. Somit ändern sich die Ausgangszustände nicht.

Bild 7.88 SR-Speicherflipflop mit Wahrheitstabelle für den Zeitpunkt t_m und Zeitallauf-Diagramm



Zum Zeitpunkt t_8 geht das R-Signal auf 1. Das S-Signal bleibt aber auf 1. Jetzt haben wir wieder den irregulären Zustand $Q_1 = 1$ und $Q_2 = 1$. Besonders kritisch ist der Zeitpunkt t_9 , in dem S-Signal und R-Signal gleichzeitig auf 0 abfallen. Jetzt bleibt es völlig offen, wie sich das Flipflop einstellt. Der irreguläre Fall sollte also vermieden werden.

Betrachten wir Bild 7.89. Die Eingangssignale S und R sind gegeben, ebenfalls das Taktsignal T. Zum Zeitpunkt t_1 ist zwar $S = 1$, aber T führt noch 0-Signal. Ein Setzen kann nicht stattfinden. Erst zum Zeitpunkt t_2 wird das Flipflop gesetzt. Zum Zeitpunkt t_3 erfolgt ein Rücksetzen.

Im Augenblick t_4 wird $S = 1$. Im Augenblick t_5 wird $R = 1$.

Da kein Takt vorhanden ist, können diese Signale nicht wirksam werden. Ein Wirk-samwerden ist erst zum Zeitpunkt t_6 möglich. Jetzt müßte das Flipflop zurückgesetzt werden. Es ist aber schon zurückgesetzt, und somit erfolgt keine Änderung der Ausgangszustände.

Im Zeitpunkt t_7 wird das Flipflop gesetzt. Das Rücksetzen erfolgt im Zeitpunkt t_8 , da jetzt der S-Eingang und der T-Eingang 1-Signal führen, der R-Eingang aber dominierend ist. Der Ausgang Q_2 hat immer den entgegengesetzten Zustand von Q_1 .

Welcher zeitliche Verlauf würde sich bei gleichen Eingangssignalen für Q_1 und Q_2 ergeben, wenn das SR-Flipflop mit dominierendem R-Eingang eine Einflankensteuerung mit ansteigender Taktflanke hätte? Das zugehörige Zeitallauf-Diagramm ist in Bild 7.90 dargestellt. Schalten kann das Flipflop nur zu den Zeiten t_1 , t_2 und t_3 . Im Zeitpunkt t_1 wird das Flipflop gesetzt, da $S = 1$ ist. Im Zeitpunkt t_2 wird das Flipflop zurückgesetzt, da $S = 1$ und $R = 1$ ist. Im Zeitpunkt t_3 wird das Flipflop wieder gesetzt ($S = 1$). Für Q_1 und Q_2 ergibt sich ein ganz anderer zeitlicher Verlauf als in Bild 7.89.

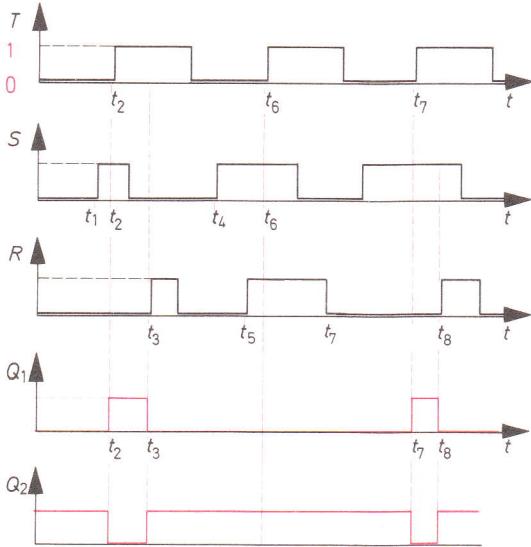
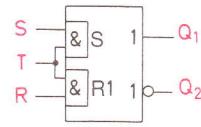


Bild 7.89 Taktzustandgesteuertes SR-Flipflop mit dominierendem R-Eingang, Wahrheitstabelle und Zeitablauf-Diagramm



Fall	t_n		t_{n+1}	
	R	S	Q_1	Q_2
1	0	0	Q_{1n}	Q_{2n}
2	0	1	1	0
3	1	0	0	1
4	1	1	0	1

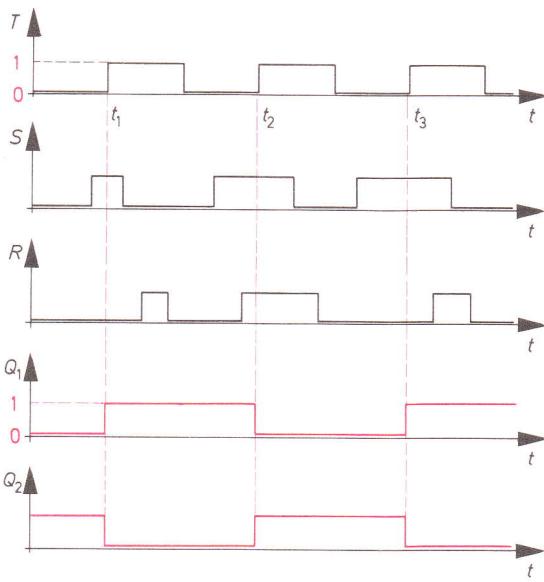
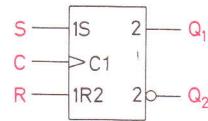
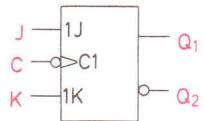


Bild 7.90 Einflankengesteuertes SR-Flipflop (ansteigende Taktflanke mit dominierendem R-Eingang, Wahrheitstabelle und Zeitablauf-Diagramm)

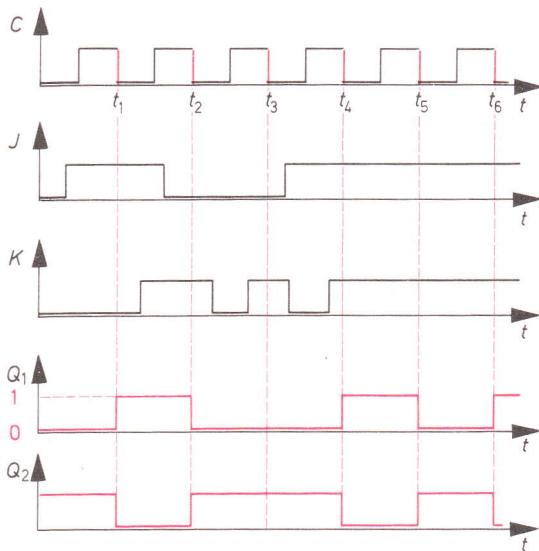


Fall	t_n		t_{n+1}	
	R	S	Q_1	Q_2
1	0	0	Q_{1n}	Q_{2n}
2	0	1	1	0
3	1	0	0	1
4	1	1	0	1

Bild 7.91 Einflankengesteuertes JK-Flipflop (abfallende Taktflanke) mit Wahrheitstabelle und Zeitablauf-Diagramm



Fall	t_n			t_{n+1}	
	K	J	C	Q_1	Q_2
1	0	0	0	Q_{1n}	Q_{2n}
2	0	1	0	1	0
3	1	0	0	0	1
4	1	1	0	\overline{Q}_{1n}	\overline{Q}_{2n}



Für das einflankengesteuerte JK-Flipflop in Bild 7.91 ergibt sich das folgende Zeitablauf-Diagramm. Das Flipflop kann nur zu den Zeitpunkten t_1, t_2, t_3, t_4, t_5 und t_6 schalten. Nur zu diesen Zeitpunkten gibt es abfallende Flanken des C-Signals.

Im Zeitpunkt t_1 wird das Flipflop gesetzt, da $J = 1$. Im Zeitpunkt t_2 wird das Flipflop rückgesetzt, da $K = 1$. Im Zeitpunkt t_3 sollte das Flipflop rückgesetzt werden. Da es aber schon rückgesetzt ist, ergibt sich keine Änderung für Q_1 und Q_2 .

Im Zeitpunkt t_4 ist $J = 1$ und $K = 1$. Das Flipflop kippt. Da vor dem Zeitpunkt t_4 $Q_1 = 0$ war, ist nach dem Zeitpunkt t_4 $Q_1 = 1$. In den Zeitpunkten t_5 und t_6 kippt das Flipflop in den jeweils entgegengesetzten Zustand. Q_2 ist immer \overline{Q}_1 .

Als weiteres Beispiel soll das Zeitablauf-Diagramm eines zweiflankengesteuerten JK-Flipflops betrachtet werden (Bild 7.92). Im Zeitpunkt t_1 wird das Eingangssignal $J = 1$ in das Master-Flipflop übernommen. Erst im Zeitpunkt t_2 (also mit abfallender Taktflanke) erscheinen an den Ausgängen die zum Setzzustand gehörenden Signale $Q_1 = 1$ und $Q_2 = 0$.

Im Zeitpunkt t_3 ist $J = 0$ und $K = 0$. Das ist der Speicherfall. Im Zeitpunkt t_4 ergibt sich daher keine Änderung der Ausgangszustände.

Das Signal $K = 1$ wird im Zeitpunkt t_5 in den Masterspeicher übernommen. Erst zum Zeitpunkt t_6 erscheinen die zum Rücksetzzustand gehörenden Signale $Q_1 = 0$ und $Q_2 = 1$ an den Ausgängen.

Im Zeitpunkt t_7 ist $J = 1$ und $K = 1$. Durch diese Signale wird der Kippvorgang ausgelöst. Das Kippen erfolgt an den Ausgängen aber erst zum Zeitpunkt t_8 .

Im Zeitpunkt t_9 wird $K = 1$ aufgenommen. Das Rücksetzen der Ausgangssignale erfolgt im Zeitpunkt t_{10} .

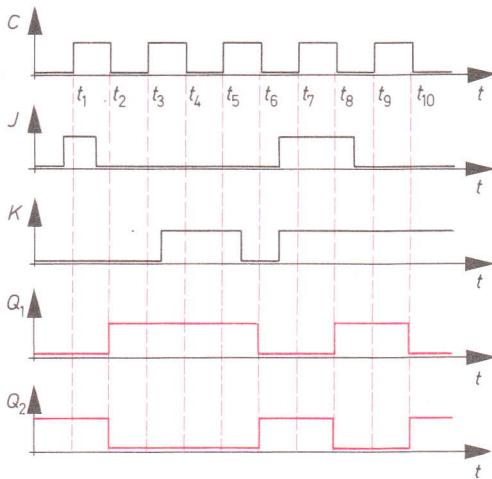
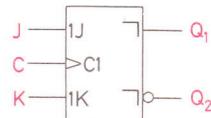


Bild 7.92 Zweiflankengesteuertes JK-Flipflop (Master-Slave-Flipflop) mit Wahrheitstabelle und Zeitablauf-Diagramm



Fall	t_n			t_{n+1}	
	K	J	C	Q_1	Q_2
1	0	0	0	Q_{1n}	Q_{2n}
2	0	1	1	1	0
3	1	0	0	0	1
4	1	1	1	\bar{Q}_{1n}	\bar{Q}_{2n}

7.7 Charakteristische Gleichungen

Die Arbeitsweise von Flipflops wurde bisher in Worten erläutert und mit Wahrheitstabellen und Zeitablauf-Diagrammen beschrieben. Schaltungen, in denen Flipflops enthalten sind, sollten jedoch auch berechenbar sein. Es ist erwünscht, Flipflops mit Hilfe der Schaltalgebra zu erfassen. Da die Wahrheitstabellen von Flipflops bekannt sind, sollen aus diesen schaltalgebraische Gleichungen abgeleitet werden. Diese Gleichungen heißen *charakteristische Gleichungen*.

Eine charakteristische Gleichung beschreibt die Arbeitsweise eines Flipflops in schaltalgebraischer Form.

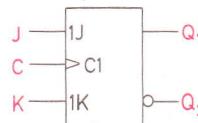
Für jede Flipflop-Art lassen sich zugehörige charakteristische Gleichungen ableiten. Sie enthalten neben den Eingangsvariablen und der Ausgangsvariablen zwei Zeitangaben, die Zeitpunkte t_n und t_{n+1} .

t_n ist ein Zeitpunkt vor einem betrachteten Takt.

t_{n+1} ist ein Zeitpunkt nach einem betrachteten Takt.

Zunächst soll die charakteristische Gleichung eines taktfleckengesteuerten JK-Flipflops abgeleitet werden. Die Wahrheitstabelle eines JK-Flipflops ist in Bild 7.93 dargestellt.

Bild 7.93 Schaltzeichen und Wahrheitstabelle eines taktflankengesteuerten JK-Flipflops



Fall	t_n		t_{n+1}	
	K	J	Q_1	Q_1
1	0	0	Q_{1n}	
2	0	1	1	
3	1	0	0	
4	1	1	\bar{Q}_{1n}	

Bild 7.94 Ausführliche Wahrheitstabelle eines taktflankengesteuerten JK-Flipflops

Fall	t_n			t_{n+1}	
	K	J	Q_1	Q_1	Q_1
1	0	0	0	0	
2	0	0	1	1	
3	0	1	0	1	
4	0	1	1	1	
5	1	0	0	0	
6	1	0	1	0	
7	1	1	0	1	
8	1	1	1	0	

Diese Wahrheitstabelle ist in eine *ausführliche Wahrheitstabelle* umzuformen. Ausführliche Wahrheitstabellen wurden in Abschnitt 7.4 näher erläutert. Sie enthalten die Variable Q_1 zur Zeit t_n . Es ergeben sich acht mögliche Fälle (Bild 7.94), die etwas näher betrachtet werden sollen.

Im Fall 1 ($J = 0, K = 0$) ist Q_1 vor dem Takt 0. Q_1 ist auch nach dem Takt 0. Im Fall 2 ($J = 0, K = 0$) ist Q_1 vor dem Takt 1. Q_1 ist auch nach dem Takt 1. Die Fälle Q_1 und Q_2 sind die *Speicherfälle*. Die Ausgangszustände ändern sich nicht.

Im Fall 3 ($J = 1, K = 0$) ist Q_1 vor dem Takt 0. Es wird mit der steuernden Taktflanke auf 1 gesetzt. Nach dem Takt ist also $Q_1 = 1$. Im Fall 4 ($J = 1, K = 0$) ist Q_1 vor dem Takt 1. Das Flipflop ist also schon gesetzt. Die steuernde Taktflanke bewirkt keine Änderung. Q_1 bleibt auf 1. Die Fälle 3 und 4 sind die *Setzfälle*. Welches Signal Q_1 vor dem Takt auch geführt hat, nach dem Takt führt Q_1 stets 1-Signal. Das Flipflop ist also gesetzt.

Im Fall 5 ($J = 0, K = 1$) ist Q_1 vor dem Takt 0. Das Flipflop sollte rückgesetzt werden. Da es schon rückgesetzt ist, ändert sich mit der steuernden Taktflanke das Ausgangssignal von Q_1 nicht. Im Fall 6 ($J = 0, K = 1$) ist $Q_1 = 1$. Das Flipflop ist vor dem Takt gesetzt. Es wird mit der steuernden Taktflanke auf $Q_1 = 0$ rückgesetzt. Die Fälle 5 und 6 sind die *Rücksetzfälle*. Welches Signal Q_1 vor dem Takt auch geführt hat, nach dem Takt führt Q_1 stets 0-Signal. Das Flipflop ist also rückgesetzt.

Im Fall 7 ($J = 1, K = 1$) ist Q_1 vor dem Takt 0. Mit der steuernden Taktflanke wird der Ausgang jetzt in den entgegengesetzten Zustand geschaltet (Kippen). Nach dem Takt ist also $Q_1 = 1$. Im Fall 8 ($J = 1, K = 1$) ist Q_1 vor dem Takt 1. Mit der steuernden

Taktflanke wird das Flipflop gekippt. Nach dem Takt ist Q_1 also 0. Die Fälle 7 und 8 sind die *Kippfälle*.

Aus der ausführlichen Wahrheitstabelle wird nun die ODER-Normalform gebildet (siehe auch Abschnitt 5.2.1). In den Fällen 2, 3, 4 und 7 ist zu der Zeit t_{n+1} $Q_1 = 1$. Es ergeben sich vier Vollkonjunktionen (Bild 7.94). Die ODER-Normalform lautet:

$$Q_{l(n+1)} = [(Q_1 \wedge \bar{J} \wedge \bar{K}) \vee (\bar{Q}_1 \wedge J \wedge \bar{K}) \vee (Q_1 \wedge J \wedge \bar{K}) \vee (\bar{Q}_1 \wedge J \wedge K)]_n$$

Die Variablen K, J und Q_1 vor dem betrachteten Takt bekommen den Index n. Die Variable Q_1 nach dem betrachteten Takt bekommt den Index $n + 1$. Sie lautet also $Q_{l(n+1)}$.

Die gefundene ODER-Normalform kann nun mit Hilfe der Schaltalgebra oder mit KV-Diagramm vereinfacht werden (siehe auch Abschnitt 5.4). Das zugehörige KV-Diagramm zeigt Bild 7.95. Aus dem KV-Diagramm kann die vereinfachte Gleichung entnommen werden:

$$Q_{l(n+1)} = [J \wedge \bar{Q}_1] \vee [\bar{K} \wedge Q_1]_n \quad (\text{JK-Flipflop})$$

Die vorstehende Gleichung ist die charakteristische Gleichung eines taktflankengesteuerten JK-Flipflops. Für die Gleichung ist es nicht von Bedeutung, ob das Flipflop mit der ansteigenden oder mit der abfallenden Flanke schaltet. Die charakteristische Gleichung gilt also für beide taktflankengesteuerten JK-Flipflop-Arten. Sie gilt ebenfalls für zwei-flankengesteuerte JK-Flipflops, da die Zeitpunkte t_n und t_{n+1} Zeitpunkte vor und nach einem betrachteten Takt und nicht Zeitpunkte vor und nach einer betrachteten Taktflanke sind.

Leiten wir nun die charakteristische Gleichung eines taktflankengesteuerten SR-Flipflops ab. Die Wahrheitstabelle in üblicher Form zeigt Bild 7.96. Die Wahrheitstabelle wird zur ausführlichen Wahrheitstabelle umgeformt (Bild 7.97).

Aus der ausführlichen Wahrheitstabelle wird die ODER-Normalform entnommen. Sie lautet:

$$Q_{l(n+1)} = [(Q_1 \wedge \bar{S} \wedge \bar{R}) \vee (\bar{Q}_1 \wedge S \wedge \bar{R}) \vee (Q_1 \wedge S \wedge \bar{R})]_n$$

Die ODER-Normalform wird mit Hilfe eines KV-Diagramms vereinfacht (Bild 7.98). Man erhält die folgende charakteristische Gleichung:

$$Q_{l(n+1)} = [S \wedge \bar{R}] \vee [Q_1 \wedge \bar{R}]_n$$

$$Q_{l(n+1)} = [\bar{R} \wedge (S \vee Q_1)]_n \quad (\text{SR-Flipflop})$$

Die verbotenen Fälle 7 und 8 in Bild 7.97 haben wir bei der Ableitung der charakteristischen Gleichung weggelassen. Wir können diese Fälle jedoch im KV-Diagramm berücksichtigen.

Bild 7.95 KV-Diagramm der ODER-Normalform eines taktflankengesteuerten JK-Flipflops

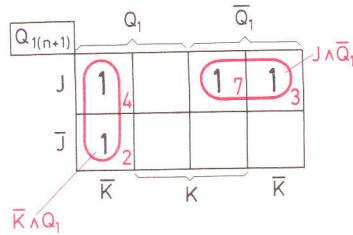
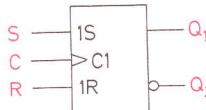


Bild 7.96 Schaltzeichen und Wahrheitstabelle eines taktflankengesteuerten SR-Flipflops



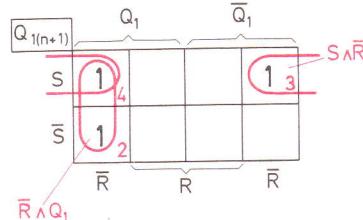
	t_n			t_{n+1}
Fall	R	S	Q_1	
1	0	0	Q_{1n}	
2	0	1	1	
3	1	0	0	
4	1	1	=	=

Bild 7.97 Ausführliche Wahrheitstabelle eines taktflankengesteuerten SR-Flipflops

	t_n				t_{n+1}
Fall	R	S	Q_1	\bar{Q}_1	
1	0	0	0	0	
2	0	0	1	1	
3	0	1	0	1	
4	0	1	1	1	
5	1	0	0	0	
6	1	0	1	0	
7	1	1	0	=	
8	1	1	1	=	

} Speichern $Q_1 \wedge \bar{S} \wedge \bar{R}$
 } Setzen $\bar{Q}_1 \wedge S \wedge \bar{R}$
 } Rücksetzen $Q_1 \wedge S \wedge \bar{R}$
 } verboten

Bild 7.98 KV-Diagramm der ODER-Normalform eines taktflankengesteuerten SR-Flipflops



	Q_1		\bar{Q}_1	
S	41	X 8	X 7	13
\bar{S}	21			
	\bar{R}	R	\bar{R}	
	$R \wedge Q_1$			

Bild 7.99 KV-Diagramm der ODER-Normalform eines taktflankengesteuerten SR-Flipflops mit Kennzeichnung der Felder, die nach Wunsch 0 oder 1 sein dürfen

Wenn sie ohnehin nicht auftreten dürfen, kann man sie so behandeln, als ob in diesen Fällen $Q_{1(n+1)}$ 0 oder 1 sein könnte.

Die Plätze der den Fällen 7 und 8 entsprechenden Vollkonjunktionen im KV-Diagramm werden mit einem Kreuz gekennzeichnet (Bild 7.99). Für Fall 7 würde sich die Vollkonjunktion $(\bar{Q}_1 \wedge S \wedge R)$ ergeben. Der zugehörige Platz erhält ein Kreuz. Die Vollkonjunktion für Fall 8 lautet $(Q_1 \wedge S \wedge R)$. Auch ihr Platz erhält ein Kreuz.

Plätze im KV-Diagramm, die durch ein Kreuz gekennzeichnet sind, dürfen nach Wunsch so behandelt werden, als enthielten sie eine 1 oder auch eine 0.

Mit den Plätzen, die ein Kreuz enthalten, lassen sich größere «Päckchen» bilden. Die Gleichungen werden dadurch einfacher. Für das KV-Diagramm Bild 7.79 ergibt sich die charakteristische Gleichung:

$$Q_{1(n+1)} = [S \vee (\bar{R} \wedge Q_1)]_n \quad (\text{SR-Flipflop})$$

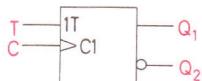
Wie sieht nun die charakteristische Gleichung eines taktflankengesteuerten T-Flipflops aus, das einen T-Eingang und einen C-Eingang hat? In Bild 7.100 sind die Wahrheitstabelle und das Schaltzeichen angegeben. Aus der Wahrheitstabelle kann die ausführliche Wahrheitstabelle abgeleitet werden (Bild 7.101).

Die ODER-Normalform lautet:

$$Q_{1(n+1)} = [(Q_1 \wedge \bar{T}) \vee (\bar{Q}_1 \wedge T)]_n$$

Das KV-Diagramm in Bild 7.102 zeigt, daß eine Vereinfachung dieser ODER-Normalform nicht mehr möglich ist. Die charakteristische Gleichung des taktflankengesteuerten T-Flipflops lautet also:

$$Q_{1(n+1)} = [(Q_1 \wedge \bar{T}) \vee (\bar{Q}_1 \wedge T)]_n \quad (\text{T-Flipflop})$$



t_n	t_{n+1}
T	Q_1
0	Q_{1n}
1	\bar{Q}_{1n}

Fall	T	Q	Q_1	t_n	t_{n+1}
1	0	0	0		
2	0	1	1		
3	1	0	1		
4	1	1	0		

Bild 7.101 Ausführliche Wahrheitstabelle eines taktflankengesteuerten T-Flipflops

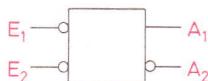
Bild 7.100 Schaltzeichen und Wahrheitstabelle eines taktflankengesteuerten T-Flipflops mit T-Eingang und C-Eingang

Bild 7.102 KV-Diagramm der ODER-Normalform eines taktflankengesteuerten T-Flipflops

$Q_{1(n+1)}$	Q_1	\bar{Q}_1
T		1
\bar{T}	1	

Für taktzustandsgesteuerte Flipflops lassen sich auch charakteristische Gleichungen angeben. Leitet man eine charakteristische Gleichung für einen taktzustandsgesteuerten SR-Flipflop ab, erhält man dieselbe Gleichung wie für ein taktflankengesteuertes SR-Flipflop. Das liegt daran, daß die Zeitpunkte t_n und t_{n+1} als Zeitpunkte vor und nach einem betrachteten Taktimpuls definiert sind. Der eigentliche Schaltzeitpunkt, wie er im Zeitablauf-Diagramm auftritt, wird mit der charakteristischen Gleichung nicht erfaßt.

Die für taktflankengesteuerte Flipflops gefundenen charakteristischen Gleichungen gelten auch für entsprechende taktzustandsgesteuerte Flipflops.



Fall	E_2	E_1	A_{1m}	t_m
1	0	0	1	
2	0	1	0	
3	1	0	1	
4	1	1	$A_{1(m-1)}$	

Bild 7.103 Schaltzeichen und Wahrheitstabelle eines nichttaktgesteuerten NAND-Flipflops

Bild 7.104 Ausführliche Wahrheitstabelle und KV-Diagramm eines nichttaktgesteuerten NAND-Flipflops

Fall	E_2	E_1	A_1	A_{1m}
1	0	0	0	1
2	0	0	1	1
3	0	1	0	0
4	0	1	1	0
5	1	0	0	1
6	1	0	1	1
7	1	1	0	0
8	1	1	1	1

A_{1m}	A_1	\bar{A}_1
E_1	1	
\bar{E}_1	1 1 1 1	

\bar{E}_1

$A_1 \wedge E_2$

Die Arbeitsweise nicht-taktgesteuerter Flipflops kann auch durch charakteristische Gleichungen beschrieben werden. Die Zeitpunkte sind nur anders festzulegen. Der Zeitpunkt t_m ist der betrachtete Zeitpunkt, in dem Eingänge und Ausgänge die in der Wahrheitstabelle angegebenen Signale führen. Der Zeitpunkt t_{m-1} ist ein vorher liegender Zeitpunkt, in dem andere Eingangssignale vorhanden waren.

Für ein Flipflop aus zwei NAND-Gliedern gilt das Schaltzeichen und die Wahrheitstabelle in Bild 7.103. Die ausführliche Wahrheitstabelle und das KV-Diagramm zeigt Bild 7.104. Es ergibt sich folgende charakteristische Gleichung:

$$A_{1m} = [\bar{E}_1 \vee (A_1 \wedge E_2)]_{m-1}$$

Mit Hilfe von charakteristischen Gleichungen lassen sich Schaltungen, die Flipflops und Verknüpfungsglieder enthalten, berechnen (siehe Kapitel 11).

7.8 Monostabile Kippstufen

Monostabile Kippstufen haben zwei Schaltzustände. Der eine Schaltzustand wird *stabiler Zustand* genannt.

Im stabilen Zustand führt der Hauptausgang Q einer monostabilen Kippstufe 0-Signal.

Der stabile Zustand stellt sich nach Anlegen der Speisespannung ein. Er bleibt so lange erhalten, bis durch ein Steuersignal am Eingang die Kippstufe in den zweiten Schaltzustand, den sogenannten *nichtstabilen Zustand*, gekippt wird.

Im nichtstabilen Zustand führt der Hauptausgang Q einer monostabilen Kippstufe 1-Signal.

Die Dauer des nichtstabilen Zustandes wird durch extern anzuschließende Bauteile bestimmt. Meist verwendet man einen Kondensator (C_T) und einen Widerstand (R_T). Die Verweildauer oder Verweilzeit im nichtstabilen Zustand ergibt sich durch die Gleichung:

$$t_Q = 0,69 \cdot R_T \cdot C_T$$

(t_Q Verweilzeit)

Der innere Aufbau bistabiler Kippstufen ist in Beuth/Schmusch, Elektronik 3, Abschnitt 7.2, näher erläutert. Bistabile Kippstufen werden in großem Umfang als integrierte Schaltungen hergestellt. Die integrierten Schaltungen gehören meist zur TTL-Schaltkreisfamilie. Bild 7.105 zeigt das Schaltzeichen und das Zeitablauf-Diagramm einer monostabilen Kippstufe. Zum Zeitpunkt t_x erscheint ein 1-Signal am Eingang. Die Kippstufe kippt auf $Q = 1$. Nach Ablauf der Zeit t_Q kippt sie selbsttätig in den stabilen Zustand ($Q = 0$) zurück.

Eine Änderung des Eingangssignals während der Zeit t_Q bleibt ohne Wirkung auf den Schaltzustand der monostabilen Kippstufe.

Ändert sich während der Zeit t_Q das Eingangssignal erneut von 0 auf 1, so führt das bei normalen bistabilen Kippstufen auch nicht zu einer Verlängerung der Zeit t_Q .

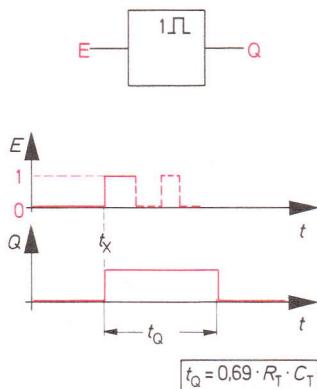


Bild 7.105 Schaltzeichen und Impulsdia gramm einer monostabilen Kippstufe (Zu standssteuerung)

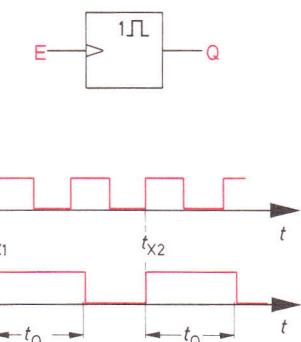


Bild 7.106 Schaltzeichen und Zeitablauf-Diagramm einer flankengesteuerten monostabilen Kippstufe (Steuerung mit ansteigender Flanke)

Monostabile Kippstufen werden auch mit Taktflankensteuerung gebaut. Sie kippen entweder mit der ansteigenden oder mit der abfallenden Flanke des Eingangssignals. In Bild 7.106 sind Schaltzeichen und Zeitablauf-Diagramm einer monostabilen Kippstufe dargestellt, die mit der ansteigenden Flanke des Eingangssignals schaltet. Die Kippstufe kippt im Zeitpunkt t_{x1} . Sie verharrt während der Zeit t_Q im nichtstabilen Zustand. Eingangssignaländerungen wirken sich während dieser Zeit nicht aus. Das Rückkippen in den stabilen Zustand erfolgt auch, während der Eingang 1-Signal führt. Die monostabile Kippstufe kippt erneut zum Zeitpunkt t_{x2} . Bild 7.107 zeigt Schaltzeichen und Zeitablauf-Diagramm einer flankengesteuerten monostabilen Kippstufe, die mit abfallender Flanke schaltet.

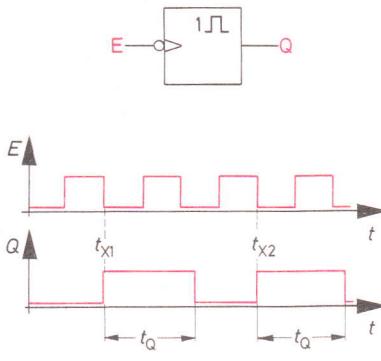


Bild 7.107 Schaltzeichen und Zeitablauf-Diagramm einer flankengesteuerten monostabilen Kippstufe (Steuerung mit abfallender Flanke)

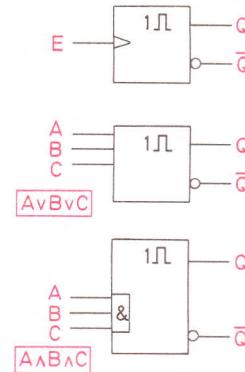


Bild 7.108 Schaltzeichen verschiedener Bauarten monostabiler Kippstufen

Monostabile Kippstufen können mehrere Ausgänge haben. Diese werden, wie in Bild 7.108 angegeben, gekennzeichnet. Neben dem Hauptausgang Q ist meist ein Ausgang \bar{Q} vorhanden, der stets das entgegengesetzte Signal wie der Ausgang Q führt. Ebenfalls sind mehrere Eingänge möglich. Diese Eingänge sind miteinander durch ODER verknüpft, wenn keine Kennzeichnung der Verknüpfung vorhanden ist. Bei einer UND-Verknüpfung der Eingänge ist eine Kennzeichnung gemäß Bild 7.108 durch ein eingezzeichnetes UND-Glied vorzunehmen.

Die Verweilzeit im nichtstabilen Zustand t_Q kann im Schaltzeichen einer monostabilen Kippstufe angegeben werden. Nach DIN 40700 Teil 14 können auch große Buchstaben für die Zeiteinheiten verwendet werden, also S für Sekunde, MS für Millisekunde und NS für Nanosekunde (Bild 7.109).

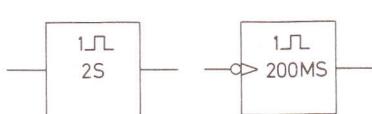


Bild 7.109 Schaltzeichen monostabiler Kippstufen mit Angabe der Verweilzeit im nichtstabilen Zustand

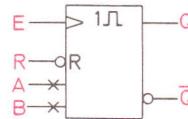


Bild 7.110 Schaltzeichen einer monostabilen Kippstufe mit Bauteileingängen A und B und einem Rücksetzeingang R

Die Zeit t_Q wird meist durch externe Bauteile bestimmt. Die Eingänge der integrierten Schaltung, an die diese Bauteile angeschlossen werden, sind durch Kreuze zu kennzeichnen. Bild 7.110 zeigt das Schaltzeichen einer monostabilen Kippstufe mit Steuereingang E, Rücksetzeingang R und den Eingängen A und B, an die die externen Bauteile ange-

schlossen werden. Ein 0-Signal an R setzt die monostabile Kippstufe auf $Q = 0$ zurück (Rücksetzen in den stabilen Zustand). Die Steuerung erfolgt mit ansteigender Taktflanke. Monostabile Kippglieder können so gebaut sein, daß sie mit Verzögerung ansprechen. Für diese Kippglieder werden Schaltzeichen gemäß Bild 7.111 verwendet. Die Verzögerungszeit kann im Schaltzeichen angegeben werden. Sie beträgt in Bild 7.111 $t_V = 0,2$ s. Neben den bisher betrachteten eigentlichen monostabilen Kippstufen gibt es als Sonderfall die *nachtriggerbaren monostabilen Kippstufen*.

Bei nachtriggerbaren monostabilen Kippstufen kann die Verweilzeit im nichtstabilen Zustand durch weitere Steuerimpulse verlängert werden.

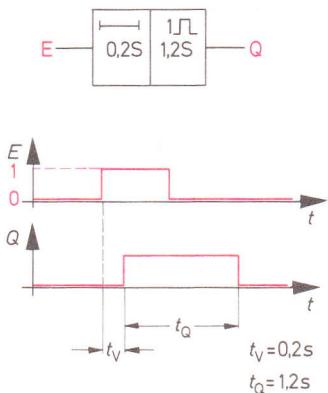


Bild 7.111 Schaltzeichen und Zeitablaufdiagramm einer monostabilen Kippstufe mit einer Verzögerungszeit t_V von 0,2 Sekunden und einer Verweilzeit t_Q von 1,2 Sekunden

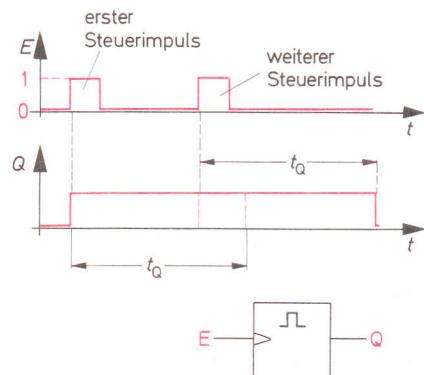


Bild 7.112 Schaltzeichen und Zeitablaufplan einer nachtriggerbaren monostabilen Kippstufe (Steuerung mit ansteigender Flanke)

Ist eine solche monostabile Kippstufe in den nichtstabilen Zustand geschaltet oder, anders ausgedrückt, getriggert worden, beginnt die Verweilzeit t_Q zu laufen. Kommt während der Zeit t_Q ein weiterer Steuerimpuls, beginnt die Zeit t_Q erneut zu laufen. Der neue Steuerimpuls löst eine weitere Verweilzeit t_Q aus. In Bild 7.112 ist ein Zeitablaufplan einer nachtriggerbaren monostabilen Kippstufe dargestellt.

Das Schaltzeichen für eine nachtriggerbare monostabile Kippstufe ist mit DIN 40900 Teil 12 eingeführt worden. Es entspricht dem Schaltzeichen für eine nicht-nachtriggerbare monostabile Kippstufe bis auf die 1 vor dem Impulszeichen (Bild 7.112). Der früher verwendete Buchstabe N entfällt.

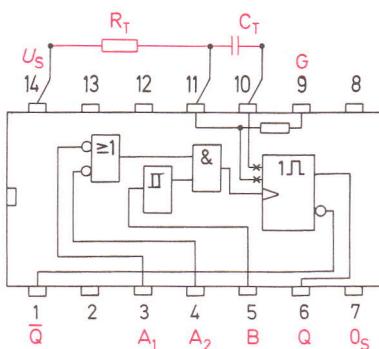


Bild 7.113 Aufbau der integrierten Schaltung FLK 101-74121

Die Hersteller integrierter Schaltungen bieten verschiedene monostabile Kippstufen an. Als Beispiel soll hier nur eine Schaltung angeführt werden. Die integrierte Schaltung FLK 101-74 121 ist gemäß Bild 7.113 aufgebaut. Sie enthält ein ODER-Glied mit invertierenden Eingängen. Über ein UND-Glied wird die eigentliche monostabile Kippstufe angesteuert, die bei ansteigender Signalflanke schaltet. Der Eingang B ist ein Schmitt-Trigger-Eingang. Über diesen Eingang kann mit langsam ansteigenden Signalen (bis etwa 1 V/s) gesteuert werden.

Ändert sich an einem der A-Eingänge das Signal von 1 auf 0, so wechselt das Ausgangssignal des ODER-Gliedes von 0 auf 1. Liegt am Eingang B Signal 1, ändert sich auch das Ausgangssignal des UND-Gliedes von 0 auf 1. Die monostabile Kippstufe wird in den nichtstabilen Zustand gekippt. Von den A-Eingängen her wird die monostabile Kippstufe also mit abfallender Flanke gesteuert, wenn $B = 1$ ist. Ist $B = 0$, bewirken Signaländerungen an den A-Eingängen gar nichts.

Soll über den B-Eingang gesteuert werden, muß einer der A-Eingänge auf 0 liegen. Am Ausgang des ODER-Gliedes liegt dann 1. Am Eingang B kann nun das Signal langsam ansteigen. Wird der Schwellwert des Schmitt-Triggers überschritten, wechselt sein Ausgangssignal von 0 auf 1. Ebenfalls wechselt dann das Ausgangssignal des UND-Gliedes von 0 auf 1, und die monostabile Kippstufe kippt in den nichtstabilen Zustand.

Die Bauelemente zur Festlegung der Verweilzeit t_Q sind der Widerstand R_T und der Kondensator C_T . Der Kondensator kommt an die Anschlüsse 10 und 11 (Pluspol an 11). Der Widerstand kommt an die Anschlüsse 11 und 14 (Bild 7.113). Ein Betrieb ohne externe Bauelemente ist möglich. Verbindet man den im Inneren des IC enthaltenen Widerstand von $2 \text{ k}\Omega$ (Anschluß 9) mit dem Anschluß 14 und läßt die Anschlüsse 10 und 11 offen, ergibt sich eine Verweilzeit von 30 ns.

Die integrierte Schaltung FLK 101-74 121 gehört zur TTL-Schaltkreisfamilie. Sie ist für eine Speisespannung von 5 V ausgelegt und hat die sonst üblichen Daten dieser Schaltkreisfamilie, die den Datenbüchern der Hersteller entnommen werden können.

7.9 Verzögerungsglieder

Verzögerungsglieder haben die Aufgabe, Signale zu verzögern. Erfolgt am Eingang eines Verzögerungsgliedes ein Signalübergang von 0 auf 1, so wird eine bestimmte Zeit t_1 später das Ausgangssignal dieses Gliedes von 0 auf 1 wechseln. Eine Signaländerung von 1 auf 0 am Eingang bewirkt nach einer Zeit t_2 eine Signaländerung von 1 auf 0 am Ausgang. Für Verzögerungsglieder gelten die Schaltzeichen Bild 7.114. Das obere Schaltzeichen kennzeichnet Verzögerungsglieder allgemein. Das untere Schaltzeichen enthält die Zeiten t_1 und t_2 . Für t_1 und t_2 können die tatsächlichen Verzögerungszeiten stehen.

Die Verzögerungszeit t_1 gibt an, um welche Zeit ansteigende Signalflanken verzögert werden.

Die Verzögerungszeit t_2 gibt an, um welche Zeit abfallende Signalflanken verzögert werden.

Das Verzögerungsglied in Bild 7.115 hat eine Verzögerungszeit t_1 von 2 ms und eine Verzögerungszeit t_2 von 4 ms. Das zugehörige Zeitablaufdiagramm veranschaulicht die Verzögerungen. Sind die Verzögerungszeiten t_1 und t_2 gleich groß, so genügt die Angabe einer Zeit im Schaltzeichen (Bild 7.116).

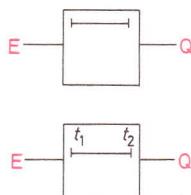


Bild 7.114 Schaltzeichen von Verzögerungsgliedern

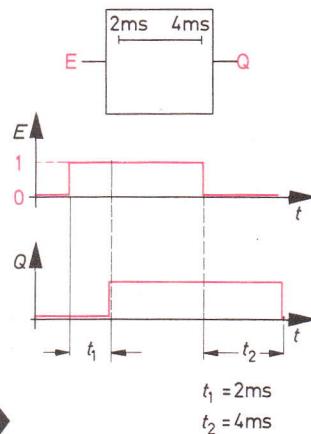
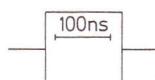


Bild 7.115 Verzögerungsglied mit Zeitablaufdiagramm

Bild 7.116 Verzögerungsglied mit einer Verzögerung von $t_1 = t_2 = 100\text{ ns}$



Häufig benötigt man sogenannte *Einschalt-Verzögerungsglieder*. Diese Glieder verzögern die ansteigende Signalflanke um eine bestimmte Zeit t_1 . Die abfallende Signalflanke wird nicht verzögert, t_2 ist also 0 (Bild 7.117).

Außer den Einschalt-Verzögerungsgliedern gibt es auch *Ausschalt-Verzögerungsglieder*. Diese verzögern die ansteigende Signalflanke nicht. Die abfallende Signalflanke wird um die Zeit t_2 verzögert (Bild 7.118).

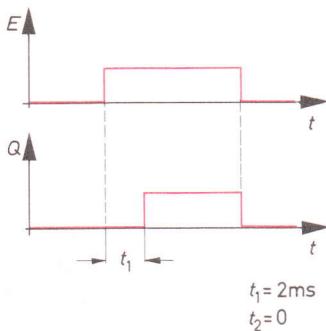
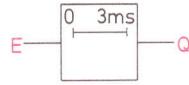
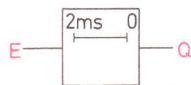


Bild 7.117 Einschalt-Verzögerungsglied mit Zeitablaufdiagramm

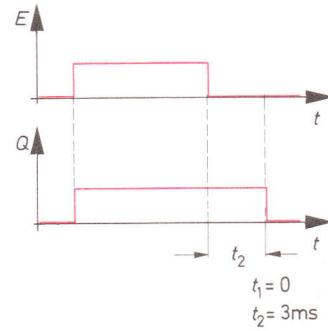


Bild 7.118 Ausschalt-Verzögerungsglied mit Zeitablaufdiagramm

Es werden auch Verzögerungsglieder mit mehreren verschiedenen Verzögerungszeiten gebaut. Diese Glieder heißen *Verzögerungsglieder mit Abgriffen*. Bild 7.119 zeigt den Aufbau und das Schaltzeichen eines solchen Verzögerungsgliedes. Ein Verzögerungsglied mit Abgriffen ist aus mehreren einfachen Verzögerungsgliedern aufgebaut.

Verzögerungsglieder werden als integrierte Schaltungen hergestellt. Sie können aber auch mit monostabilen Kippstufen und Verknüpfungsgliedern aufgebaut werden. Bild 7.120 zeigt den Aufbau eines Einschalt-Verzögerungsgliedes mit zugehörigem Zeitablauf-Diagramm. Es vergeht eine gewisse, wenn auch kurze Zeit (etwa 10 ns), bis die monostabile Kippstufe geschaltet hat. Das Signal \bar{X} ist noch 1, wenn die ansteigende Flanke des Eingangssignals kommt. Dadurch entsteht ein meist unerwünschter Nadelimpuls am Ausgang Q . Dieser Nadelimpuls wird durch Einschalten von zwei NICHT-Gliedern gemäß Bild 7.121 verhindert. Jedes NICHT-Glied hat eine Signallaufzeit von etwa 10 ns, so daß die ansteigende Flanke des Eingangssignals 20 ns später am Eingang des UND-Gliedes erscheint.

Ein Ausschalt-Verzögerungsglied ist gemäß Bild 7.122 aufgebaut. Auch hier werden die beiden NICHT-Glieder zur Laufzeitverzögerung benötigt.

Bild 7.119 Aufbau eines Ausschalt-Verzögerungsgliedes mit Abgriffen

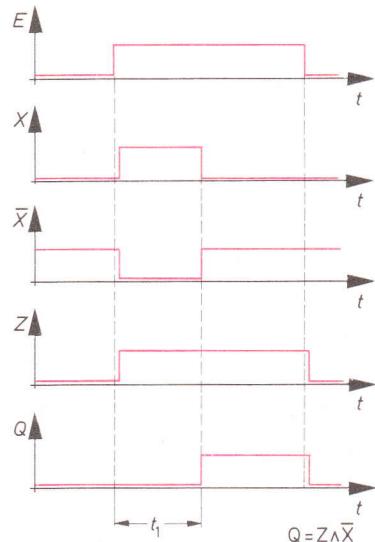
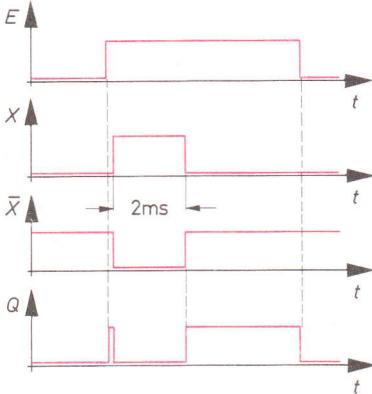
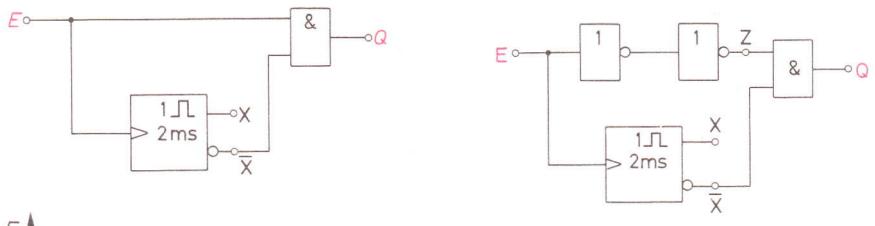
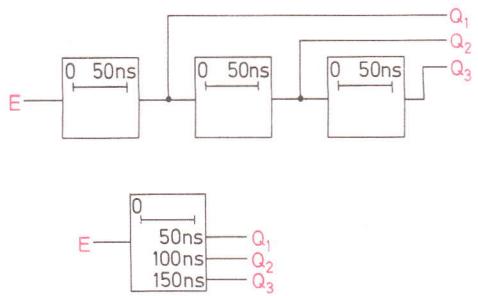


Bild 7.120 Aufbau eines Einschalt-Verzögerungsgliedes

Bild 7.121 Aufbau eines Einschalt-Verzögerungsgliedes

Wünscht man eine Einschaltverzögerung und eine Ausschaltverzögerung, kann man ein Einschalt-Verzögerungsglied und ein Ausschalt-Verzögerungsglied hintereinander schalten (Bild 7.123). Die gewünschten Verzögerungszeiten kann man durch Beschalten der monostabilen Kippstufen mit externen Bauteilen (siehe Abschnitt 7.8) erreichen.

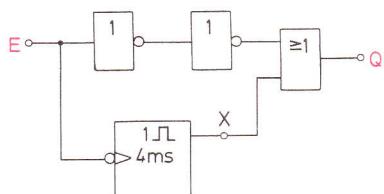


Bild 7.122 Aufbau eines Ausschalt-Verzögerungsgliedes

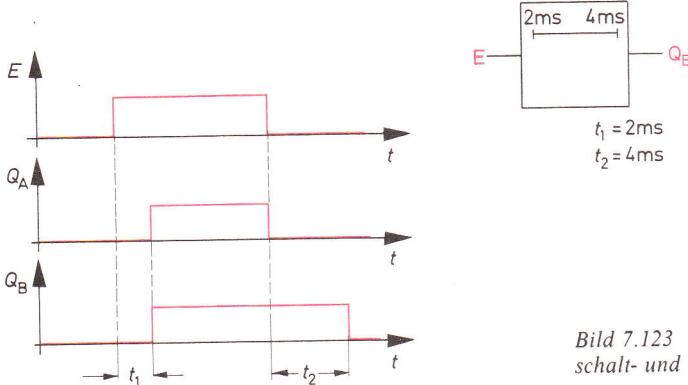
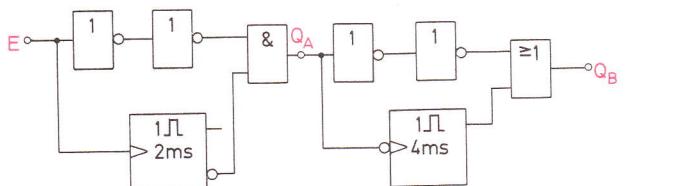
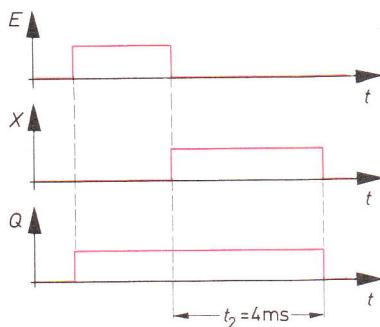
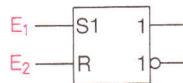


Bild 7.123 Verzögerungsglied mit Einschalt- und Ausschaltverzögerung

7.10 Lernziel-Test

1. Welche Bedeutung hat das Schaltzeichen Bild 7.124?

Bild 7.124 Schaltzeichen



2. Wodurch unterscheidet sich ein taktzustandsgesteuertes Flipflop von einem taktflankengesteuerten Flipflop?
3. Ein mit abfallender Flanke schaltendes SR-Flipflop soll durch äußere Beschaltung in ein JK-Flipflop umgewandelt werden, das mit ansteigender Flanke schaltet. Zur Verfügung stehen beliebige Verknüpfungsglieder. Gesucht ist die Schaltung.
4. Wie arbeitet ein taktzustandsgesteuertes SR-Flipflop mit dominierendem S-Eingang? Geben Sie die Wahrheitstabelle an. Wie sieht das zugehörige Schaltzeichen aus?
5. Erläutern Sie die Arbeitsweise einer monostabilen Kippstufe.
6. Gesucht ist das Zeitablauf-Diagramm einer monostabilen Kippstufe, die mit abfallender Signalflanke schaltet und eine Verweilzeit von 4 ms hat.
7. Welche Bedeutung hat folgende Gleichung?

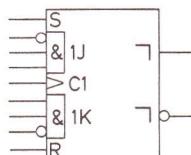
$$Q_{1(n+1)} = [(J \wedge \overline{Q}_1) \vee (\overline{K} \wedge Q_1)]_n$$
8. In Bild 7.125 ist die Wahrheitstabelle eines Flipflops angegeben. Stellen Sie die ausführliche Wahrheitstabelle auf und leiten Sie die charakteristische Gleichung für dieses Flipflop ab. Wie wird dieses Flipflop genannt?

Bild 7.125 Wahrheitstabelle eines Flipflops

Fall	t_n		t_{n+1}
	E_2	E_1	Q_1
1	0	0	Q_{1n}
2	0	1	Q_{1n}
3	1	0	0
4	1	1	1

9. Was versteht man unter einem Master-Slave-Flipflop?
10. Erklären Sie die Bedeutung der Eingänge und die Arbeitsweise des in Bild 7.126 dargestellten Flipflops.

Bild 7.126 Schaltzeichen eines Flipflops



11. Geben Sie die Wahrheitstabelle eines einflankengesteuerten D-Flipflops an.
12. Aus zwei JK-Flipflops, die mit ansteigender Flanke schalten, ist ein T-Master-Slave-Flipflop aufzubauen. Gesucht ist die Schaltung.

13. Geben Sie für das Zeitablauf-Diagramm Bild 7.127 den Verlauf des Ausgangssignals Q_1 an,
 a) wenn das Flipflop mit ansteigender Taktflanke schaltet, und
 b) wenn das Flipflop mit abfallender Taktflanke schaltet.

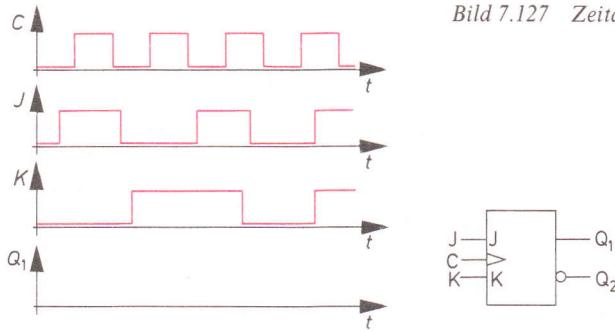


Bild 7.127 Zeitablauf-Diagramm

14. Welche Schaltung wird durch das Schaltzeichen Bild 7.128 dargestellt? Wie arbeitet diese Schaltung? Geben Sie das zu dieser Schaltung gehörende Zeitablauf-Diagramm maßstäblich an.

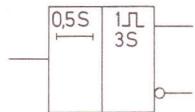


Bild 7.128 Schaltzeichen

15. Ein taktzustandsgesteuertes SR-Flipflop soll mit NAND-Gliedern aufgebaut werden. Entwickeln Sie die Schaltung.
 16. Was versteht man unter Abhängigkeitsnotation bei Flipflop-Schaltzeichen? Geben Sie ein Beispiel an.
 17. Welche Signale Q_1 ergeben sich bei den Eingangssignalen gemäß Bild 7.129 für die Flipflops I und II? Zeichnen Sie die zeitlichen Signalverläufe.

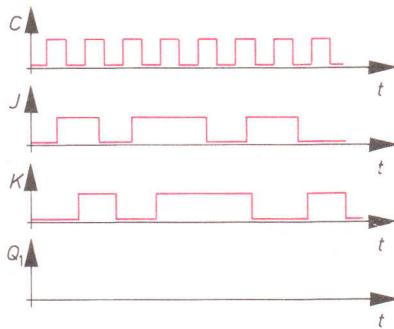
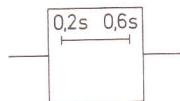


Bild 7.129 Zeitablauf-Diagramm

18. Ein Verzögerungsglied gemäß Bild 7.130 soll mit monostabilen Kippstufen, die mit ansteigender Signalflanke schalten, und mit beliebigen Verknüpfungsgliedern hergestellt werden. Geben Sie eine mögliche Schaltung an. Welche Verweilzeiten müssen die Monoflops haben?

Bild 7.130 Schaltzeichen eines Verzögerungsgliedes



8 Binäre Kodes und Zahlensysteme

8.1 Allgemeines

Mit Hilfe digitaler Schaltungen soll gezählt und gerechnet werden. Es ist daher erforderlich, alle Dezimalziffern und alle benötigten Zahlen durch 0 und 1 darzustellen. Eine Darstellung mit nur zwei Zeichen wird *binäre Darstellung* genannt.

Kodes, die nur zwei Zeichen verwenden, heißen binäre Kodes.

Es lassen sich außerordentlich viele binäre Kodes aufstellen. Angewendet werden jedoch nur einige wenige der vielen möglichen binären Kodes. Binäre Kodes haben allgemein eine festgelegte Stellenzahl. Jede Dezimalziffer wird in einem bestimmten Kode durch eine Zahl sogenannter *binärer Stellen* dargestellt. Eine binäre Stelle kann 0 oder 1 sein. Sie wird als Bit bezeichnet (von engl.: binary digit = binäre Einheit).

*Unter einem Bit versteht man eine binäre Stelle.
Diese kann 0 oder 1 sein.*

Mit binären Kodes werden vor allem Dezimalziffern und Dezimalzahlen ausgedrückt. Es hat sich jedoch als zweckmäßig erwiesen, auch andere Zahlensysteme zu verwenden. Von besonderer Bedeutung ist das *hexadezimale Zahlensystem*. Daneben wird das *oktale Zahlensystem* häufig verwendet. Eine besondere Bedeutung hat das *duale Zahlensystem*. Das duale Zahlensystem ist gleichzeitig ein binärer Kode, da es nur die Ziffern 0 und 1 benötigt.

8.2 Duales Zahlensystem

8.2.1 Aufbau des dualen Zahlensystems

Alle üblichen Zahlensysteme sind sogenannte *Stellenwert-Systeme*. Bei Stellenwert-Systemen ist jeder Stelle innerhalb einer Zahl ein besonderer Vervielfachungsfaktor in Form einer Potenzzahl zugeordnet.

Beim dezimalen Zahlensystem ist jeder Stelle innerhalb einer Zahl eine Zehnerpotenz zugeordnet (Bild 8.1). Man benötigt die Null und neun Ziffern, um in der Einerspalte bis 9 zählen zu können. Die Zahl zehn wird dann durch eine 1 in der Zehnerspalte und durch eine 0 in der Einerspalte ausgedrückt.

Tausender	Hunderter	Zehner	Einer
$\cdot 10^3$	$\cdot 10^2$	$\cdot 10^1$	$\cdot 10^0$
2	3	7	1
↓	↓	↓	↓
$2 \cdot 10^3$	$+ 3 \cdot 10^2$	$+ 7 \cdot 10^1$	$+ 1 \cdot 10^0$
2000	+ 300	+ 70	+ 1

Bild 8.1 Aufbau des dezimalen Zahlensystems

$\cdot 16$	$\cdot 8$	$\cdot 4$	$\cdot 2$	$\cdot 1$
$\cdot 24$	$\cdot 2^3$	$\cdot 2^2$	$\cdot 2^1$	$\cdot 2^0$
1	0	1	1	0
↓	↓	↓	↓	↓
$1 \cdot 16 + 0 \cdot 8 + 1 \cdot 4 + 1 \cdot 2 + 0 \cdot 1$				
16	+ 0	+ 4	+ 2	+ 0

Bild 8.2 Aufbau des dualen Zahlensystems

Dezimal- zahl	Dualzahl				
	$\cdot 16$	$\cdot 8$	$\cdot 4$	$\cdot 2$	$\cdot 1$
0					0
1					1
2				1	0
3				1	1
4			1	0	0
5			1	0	1
6			1	1	0
7			1	1	1
8		1	0	0	0
9		1	0	0	1
10		1	0	1	0
11		1	0	1	1
12		1	1	0	0
13		1	1	0	1
14		1	1	1	0
15		1	1	1	1
16	1	0	0	0	0
17	1	0	0	0	1
18	1	0	0	1	0
19	1	0	0	1	1
20	1	0	1	0	0
21	1	0	1	0	1
22	1	0	1	1	0
23	1	0	1	1	1
24	1	1	0	0	0

Bild 8.3 Dezimalzahlen und zugehörige Dualzahlen

Stehen nur die Ziffern 0 und 1 zur Verfügung, so muß jeder Stelle innerhalb einer Zahl eine Zweierpotenz zugeordnet werden (Bild 8.2). In der ersten Spalte von rechts kann nur von 0 bis 1 gezählt werden. Zur Darstellung der 2 muß die zweite Spalte von rechts verwendet werden. Die Zahl 2 wird durch eine 0 in der ersten Spalte von rechts und durch eine 1 in der zweiten Spalte von rechts dargestellt (Bild 8.3). Die Zahl 7 wird durch 111 dargestellt. Die erste 1 von rechts repräsentiert den Wert 1, die zweite 1 den Wert 2 und die dritte 1 den Wert 4. Damit ergibt sich $4 + 2 + 1 = 7$.

8.2.2 Umwandlung von Dualzahlen in Dezimalzahlen

Die Umwandlung von Dualzahlen in Dezimalzahlen ist sehr einfach. Man verwendet zweckmäßigerweise eine Tabelle gemäß Bild 8.4. Diese Tabelle kann nach links beliebig erweitert werden.

Die Dualzahl wird in eine Tabelle nach Bild 8.4 eingetragen. Die Spalten, in denen eine 0 steht, brauchen nicht weiter beachtet zu werden. Wichtig sind die Spalten, in denen eine 1 steht. Die erste Dualzahl in Bild 8.4 hat eine 1 in der Spalte 2^5 . Diese 1 stellt den Wert von 32 dar. Eine weitere 1 steht in der Spalte 2^2 . Diese 1 hat den Wert 4. Der Gesamtwert der Dualzahl beträgt also $32 + 4 = 36$.

Die zweite Dualzahl hat eine 1 in Spalte 2^7 . Diese 1 ist 128 wert. Eine weitere 1 steht in Spalte 2^5 . Diese 1 ist 32 wert. Die beiden weiteren Einsen haben die Werte 4 und 2. Der Gesamtwert der Dualzahl ist also $128 + 32 + 4 + 2 = 166$.

Die Werte der dritten und der vierten Dualzahl in Bild 8.4 sollen nun bestimmt werden. Für die dritte Dualzahl muß sich der Wert 1633 ergeben. Die vierte Dualzahl hat den Wert 752.

Dezimalzahl	Dualzahl										
	2^{10}	2^9	2^8	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
36	1	0	0	1	0	0	0	0	0	0	0
166	1	0	1	0	1	0	0	1	1	1	0
?	1	1	0	0	1	1	0	0	0	0	1
?	1	0	1	1	1	1	0	0	0	0	0

Bild 8.4 Tabelle zur Umwandlung von Dualzahlen in Dezimalzahlen

8.2.3 Umwandlung von Dezimalzahlen in Dualzahlen

Die Umwandlung von Dezimalzahlen in Dualzahlen kann ebenfalls durch eine Tabelle erfolgen. Die Tabelle muß eine genügend große Anzahl von Spalten haben. Bei der Umwandlung bestimmt man zunächst die Eins mit dem größtmöglichen Spaltenwert, danach die Einsen mit den kleineren Spaltenwerten. Der Gesamtwert der Dezimalzahl wird auf verschiedene Spaltenwerte aufgeteilt. Dies soll an einem Beispiel gezeigt werden.

Die Dezimalzahl 900 soll in eine Dualzahl umgewandelt werden. Eine 1 mit dem Wert 1024 kommt nicht in Frage, da die Dezimalzahl nur den Wert 900 hat. Wir können uns eine 1 in der Spalte 2^9 «leisten». Diese hat einen Wert von 512. Von den 900 sind jetzt 512 «verbraucht». Es steht noch ein Rest von 388 zur Verfügung. Eine weitere 1 in der Spalte 2^8 «kostet» 256. Jetzt beträgt der Rest nur noch $388 - 256 = 132$. Die 1 in Spalte 2^7 «kostet» 128, so daß nur noch ein Rest von 4 übrig bleibt. Der Rest von 4 ergibt eine 1 in

Dezimal- zahl	Dualzahl										
	2^{10} 1024	2^9 512	2^8 256	2^7 128	2^6 64	2^5 32	2^4 16	2^3 8	2^2 4	2^1 2	2^0 1
900	1	1	1	0	0	0	0	1	0	0	
1300	1	0	1	0	0	0	1	0	1	0	0
1877	1	1	1	0	1	0	1	0	1	0	1

900	1300	1877	85
-512	-1024	-1024	-64
388	276	853	21
-256	-256	-512	-16
132	20	341	5
-128	-16	-256	-4
4	4	85	1
-4	-4		-1
0	0		0
=	=		=

Bild 8.5 Tabelle zur Umwandlung von Dezimalzahlen in Dualzahlen

der Spalte 2^2 . Die anderen Spalten bekommen eine 0. Damit ist die Dezimalzahl 900 in die Dualzahl 111000100 umgewandelt. Man kann eine Probe machen, indem man die Dualzahl in die Dezimalzahl zurückverwandelt.

Die Dezimalzahlen 1300 und 1877 sollen nun in Dualzahlen umgewandelt werden. Man erhält folgende Ergebnisse:

$$\begin{aligned}1300 &= 10100010100 \\1877 &= 11101010101\end{aligned}$$

8.2.4 Dualzahlen mit Kommastellen

Dualzahlen können auch mit Ziffern nach dem Komma geschrieben werden. Der ersten Stelle rechts vom Komma ist als Stellenwert die Zweierpotenz 2^{-1} zugeordnet. Die zweite Stelle rechts vom Komma hat den Stellenwert 2^{-2} . Bild 8.6 zeigt die Zuordnung der Zweierpotenzen zu den Stellen rechts vom Komma.

Dualzahlen mit Kommastellen werden auf die gleiche Weise in Dezimalzahlen umgerechnet wie Dualzahlen ohne Kommastellen. Entsprechend kann man auch Dezimalzahlen mit Kommastellen in Dualzahlen umrechnen.

Dezimal- zahl	Dualzahl							
	2^3 8	2^2 4	2^1 2	2^0 1	2^{-1} 0,5	2^{-2} 0,25	2^{-3} 0,125	2^{-4} 0,0625
4,25	1	0	0	0 ,	0	1		
11,5625	1	0	1	1 ,	1	0	0	1

Bild 8.6
Darstellung
mit Kommastellen

Beispiel:

	2^5	2^4	2^3	2^2	2^1	2^0	2^{-1}	2^{-2}	2^{-3}	2^{-4}
Dezimalzahl	32	16	8	4	2	1	0,5	0,25	0,125	0,0625
22,6875		1	0	1	1	0	1	0	1	1

$$\begin{array}{r}
 22,6875 \\
 -16 \\
 \hline
 6,6875 \\
 -4 \\
 \hline
 2,6875 \\
 -2 \\
 \hline
 0,6875 \\
 -0,5 \\
 \hline
 0,1875 \\
 -0,125 \\
 \hline
 0,0625 \\
 -0,0625 \\
 \hline
 0,0
 \end{array}$$

Es kann sein, daß eine Dezimalzahl mit Kommastellen sich nicht ohne Rest in eine Dualzahl mit Kommastellen umwandeln läßt. Man muß dann entscheiden, auf wieviel Stellen nach dem Komma man die Dualzahl berechnen will und nach Erreichen dieser Stellenzahl die Umrechnung abbrechen. Zur Erleichterung der Umrechnung dient die Tabelle Bild 8.7.

8.2.5 Addition von Dualzahlen

Dualzahlen werden in ähnlicher Weise addiert wie Dezimalzahlen. Es gelten folgende Regeln:

$$\begin{aligned}
 0 + 0 &= 0 \\
 0 + 1 &= 1 \\
 1 + 0 &= 1 \\
 1 + 1 &= 10 \\
 1 + 1 + 1 &= 11
 \end{aligned}$$

In einem Arbeitsgang werden immer nur zwei Zahlen addiert. Soll eine Summe aus vielen Zahlen gebildet werden, so addiert man zunächst die erste und die zweite Zahl. Zum Ergebnis wird dann die dritte Zahl addiert. Zu dem dann gefundenen Ergebnis wird die vierte Zahl addiert und so weiter, bis alle Zahlen addiert sind. Eine Kolonnenaddition wie bei Dezimalzahlen ist bei Dualzahlen nicht üblich. Sie ist prinzipiell möglich, bringt aber einige Schwierigkeiten mit dem Übertrag.

$2^0 =$	1	$2^{-1} = 0,5$
$2^1 =$	2	$2^{-2} = 0,25$
$2^2 =$	4	$2^{-3} = 0,125$
$2^3 =$	8	$2^{-4} = 0,0625$
$2^4 =$	16	$2^{-5} = 0,03125$
$2^5 =$	32	
$2^6 =$	64	$2^{-6} = 0,015625$
$2^7 =$	128	$2^{-7} = 0,0078125$
$2^8 =$	256	$2^{-8} = 0,00390625$
$2^9 =$	512	$2^{-9} = 0,001953125$
$2^{10} =$	1 024	$2^{-10} = 0,0009765625$
$2^{11} =$	2 048	$2^{-11} = 0,00048828125$
$2^{12} =$	4 096	$2^{-12} = 0,000244140625$
$2^{13} =$	8 192	$2^{-13} = 0,0001220703125$
$2^{14} =$	16 384	$2^{-14} = 0,00006103515625$
$2^{15} =$	32 768	$2^{-15} = 0,000030517578125$
$2^{16} =$	65 536	
$2^{17} =$	131 072	
$2^{18} =$	262 144	
$2^{19} =$	524 288	
$2^{20} =$	1 048 576	
$2^{21} =$	2 097 152	
$2^{22} =$	4 194 304	
$2^{23} =$	8 388 608	
$2^{24} =$	16 777 216	
$2^{25} =$	33 554 432	

Bild 8.7 Tabelle der Zweierpotenzen

Die beiden zu addierenden Zahlen werden stellenrichtig übereinander geschrieben. Dann werden die beiden Ziffern der Spalte mit der kleinsten zugeordneten Zweierpotenz addiert. Ergibt sich ein Übertrag, so wird dieser der nächsten Spalte zugeschrieben und bei der Addition dieser Spalte berücksichtigt. Mit Übertrag sind also dann drei Dualziffern zu addieren. Es wird eine Spalte nach der anderen von rechts nach links addiert, bis alle vorhandenen Ziffern addiert sind.

Beispiel:

$$\begin{array}{r}
 & 2^4 & 2^3 & 2^2 & 2^1 & 2^0 \\
 \hline
 16 & 8 & 4 & 2 & 1 & \\
 & 1 & 1 & & & \\
 & 1 & 0 & 1 & 1 & \boxed{1} & \text{Übertrag} \\
 & 1 & 0 & 0 & 1 & 1 & \\
 \hline
 1 & 1 & 1 & 1 & 1 & 0
 \end{array}$$

1. Zahl
2. Zahl

Wandelt man die Dualzahlen in Dezimalzahlen um, so kann man leicht die Richtigkeit der durchgeführten Addition überprüfen.

$$\begin{array}{r}
 1 & 0 & 1 & 1 & (2) \\
 1 & 0 & 0 & 1 & (2) \\
 \hline
 1 & 1 & 1 & 1 & 0 & (2)
 \end{array}
 \Rightarrow
 \begin{array}{l}
 11_{(10)} \\
 19_{(10)} \\
 \hline
 30_{(10)}
 \end{array}$$

Die in Klammern tiefgesetzte 2 kennzeichnet eine Zahl als Dualzahl. Eine Zahl mit einer in Klammern tiefgesetzten 10 ist eine Dezimalzahl. Diese Kennzeichnung ist nur vorzunehmen, wenn Mißverständnisse auftreten können.

8.2.6 Subtraktion von Dualzahlen

8.2.6.1 Direkte Subtraktion

Eine Dualzahl kann man ähnlich wie vom Dezimalsystem her bekannt von einer anderen Dualzahl abziehen. Dies ist die normale Subtraktion. Für sie gelten folgende Regeln:

$$\begin{aligned} 0 - 0 &= 0 \\ 1 - 0 &= 1 \\ 1 - 1 &= 0 \end{aligned}$$

Die Subtraktion $0 - 1$ führt zu einem negativen Ergebnis. Hier gibt es einige Schwierigkeiten.

Bei der direkten Subtraktion wird die abzuziehende Zahl (Subtrahend) stellenrichtig unter die Zahl geschrieben, von der abzuziehen ist (Minuend).

Beispiel:

$$\begin{array}{r} 1 \quad 1 \quad 0 \quad 1 \quad | \quad 1 \\ - 1 \quad 0 \quad 0 \quad 0 \quad | \quad 1 \\ \hline 1 \quad 0 \quad 1 \quad 0 \end{array} \quad \begin{array}{l} \text{Minuend} \\ \text{Subtrahend} \\ \text{Differenz} \end{array}$$

Die Subtraktion beginnt man bei der Spalte mit der kleinsten zugeordneten Zweierpotenz, also ganz rechts. Die Ziffer des Subtrahenden wird von der Ziffer des Minuenden abgezogen ($1 - 1 = 0$ im vorstehenden Beispiel). Dann erfolgt die Subtraktion in der zweiten Spalte von rechts ($1 - 0 = 1$), dann in der 3. Spalte von rechts usw. Das vorstehende Beispiel bereitet keine Schwierigkeit, da niemals $0 - 1$ zu rechnen ist. Im folgenden Beispiel ist es jedoch anders:

Beispiel:

$$\begin{array}{r} & & 10 \\ & \curvearrowleft & \\ - & 1 & (1) & \boxed{0} & 1 & 1 \\ & & & | & & \\ & & & 1 & 1 & 1 \\ \hline & 1 & 0 & 1 & 0 & 0 \end{array} \quad \begin{array}{r} 27 \\ - 7 \\ \hline 20 \end{array}$$

Um die Subtraktion in der 3. Spalte von rechts vornehmen zu können, ist die 1 aus der 4. Spalte zu «entleihen». Man rechnet: $10 - 1 = 1$. Die rot eingekreiste 1 ist damit zu 0 geworden.

8.2.6.2 Subtraktion durch Addition des Komplements

In der Computertechnik wird die Subtraktion überwiegend durch Addition des Komplements der abzuziehenden Zahl vorgenommen.

Eine Subtraktion durch Addition des Komplements ist auch im Dezimalsystem möglich. Der Kilometerzähler eines Autos möge 95 000 anzeigen (Bild 8.8). Wird das Auto weitere 15 000 km gefahren, so zeigt der Kilometerzähler 10 000 an. Die gleiche Zahl ergibt sich, wenn man von 95 000 die Zahl 85 000 abzieht. Die Zahl 15 000 wird Komplement zur Zahl 85 000 genannt. Das Ganze funktioniert natürlich nur, wenn der sich bei der Addition des Komplements ergebende Übertrag in die 6. Stelle vernichtet bzw. nicht angezeigt wird. Der Kilometerzähler in Bild 8.8 darf also nicht sechsstellig sein. In der Computertechnik lässt sich die Unterdrückung des Übertrages sehr einfach verwirklichen.

Bei fünfstelliger Darstellung im Dezimalsystem ergänzen sich Komplement und abzuziehende Zahl zu 100 000, also zu 10^5 . Bei sechsstelliger Darstellung ergänzen sich Komplement und abzuziehende Zahl zu 10^6 . Allgemein gilt:

Im Dezimalsystem ergänzen sich Komplement und abzuziehende Zahl bei n-stelliger Darstellung zu 10^n .

Das so fundene Komplement wird B-Komplement genannt.

Im Dualsystem lässt sich die Subtraktion durch Addition des Komplements entsprechend durchführen.

Beispiel:

$$\begin{array}{r}
 1 & 1 & 1 & 1 \\
 - & 1 & 1 & 1 \\
 \hline
 1 & 0 & 0 & 0
 \end{array}
 \quad
 \begin{array}{r}
 15 \\
 - 7 \\
 \hline
 8
 \end{array}
 \quad
 \begin{array}{r}
 1 & 1 & 1 & 1 \\
 + \boxed{?} \\
 \hline
 1 & 0 & 0 & 0
 \end{array}
 \quad
 \begin{array}{r}
 \cancel{1} & 1 & 1 & 1 & \text{Übertrag} \\
 + \boxed{1} & 0 & 0 & 1 \\
 \hline
 1 & 0 & 0 & 0
 \end{array}$$

Im vorstehenden Beispiel ist von der Zahl 15 die Zahl 7 abzuziehen. Das Ergebnis ist 8. Welche Zahl muß zu $15_{(10)} = 1111_{(2)}$ hinzugefügt werden, damit sich $8_{(10)} = 1000_{(2)}$ ergibt, wenn der Übertrag in die 5. Stelle vernichtet wird? Durch Probieren findet man die Zahl $1001_{(2)} = 9_{(10)}$. Diese Zahl ist das Komplement zu $111_{(2)} = 7_{(10)}$.

Kilometerzähler

9	5	0	0	0
---	---	---	---	---

Komplement zu 85 000 \Rightarrow

+	1	5	0	0	0
---	---	---	---	---	---

$$\begin{array}{r}
 95\,000 \\
 - 85\,000 \\
 \hline
 10\,000
 \end{array}$$

1	0	0	0	0	0
---	---	---	---	---	---

Bild 8.8 Subtraktion durch Addition des Komplements

Bei vierstelliger Darstellung ergänzen sich also abzuziehende Zahl und Komplement zu $16 = 2^4$. Bei fünfstelliger Darstellung müßten sich demnach Komplement und abzuziehende Zahl zu $2^5 = 32$ ergänzen. Das folgende Beispiel zeigt, daß das auch der Fall ist. Komplement (25) und abzuziehende Zahl (7) ergänzen sich zu 32.

Beispiel:

$$\begin{array}{r} & \begin{array}{cccc} 1 & 1 & 1 & 1 \end{array} \\ - & \begin{array}{cccc} 1 & 0 & 1 & 1 \end{array} = 23 \\ & \begin{array}{cccc} 1 & 1 & 1 & 1 \end{array} = 7 \\ \hline & \begin{array}{cccc} 1 & 0 & 0 & 0 \end{array} = 16 \end{array} \quad + \quad \begin{array}{r} \begin{array}{ccccc} 1 & 0 & 1 & 1 & 1 \end{array} \\ \begin{array}{ccccc} 1 & 1 & 0 & 0 & 1 \end{array} = 25 \\ \hline \begin{array}{ccccc} 1 & 0 & 0 & 0 & 0 \end{array} \end{array}$$

Man kann also allgemein sagen:

Im Dualsystem ergänzen sich Komplement und abzuziehende Zahl bei n-stelliger Darstellung zu 2^n .

Will man das Komplement einer abzuziehenden Zahl finden, so muß man zunächst wissen, mit wieviel Stellen gearbeitet werden soll. In der Computertechnik ist die Stellenzahl vorgegeben. Für unsere Überlegungen nehmen wir eine Stellenzahl von 6 an. Hat die abzuziehende Zahl weniger als 6 Stellen, so muß sie durch vorzusetzende Nullen auf 6 Stellen erweitert werden.

Beispiel:

$$\underline{\underline{0}} \ \underline{\underline{0}} \ \underline{\underline{0}} \ 1 \ 1 \ 1$$

Erweiterung

Bei 6 Stellen ergänzen sich Komplement und abzuziehende Zahl zu $2^6 = 64$. Ist die abzuziehende Zahl 7, so muß das Komplement 57 sein.

Invertiert man nun die erweiterte Zahl, schreibt man also für jede 0 eine 1 und für jede 1 eine 0, so erhält man eine Zahl, die nur um 1 kleiner ist als das gesuchte Komplement. Es ergibt sich die Zahl 56.

Beispiel:

$$\begin{array}{ccccccc} 32 & 16 & 8 & 4 & 2 & 1 \\ 0 & 0 & 0 & 1 & 1 & 1 & = 7 \\ \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow \\ 1 & 1 & 1 & 0 & 0 & 0 & = 56 \end{array}$$

Das ist kein Zufall, sondern gilt allgemein, wie man an weiteren Beispielen leicht nachprüfen kann.

Invertiert man die auf die volle Stellenzahl erweiterte abzuziehende Zahl, so erhält man eine Zahl, die um 1 kleiner ist als das Komplement der abzuziehenden Zahl.

Die invertierte abzuziehende Zahl wird oft als *Einerkomplement* bezeichnet. Wenn man zu dem Einerkomplement 1 hinzugaddiert, erhält man das gesuchte Komplement. Dieses wird auch *Zweierkomplement* genannt.

Bilden des Komplements im Dualsystem (Zweierkomplement):

1. Abzuziehende Zahl auf volle Stellenzahl durch Vorsetzen von Nullen erweitern
 2. Abzuziehende Zahl invertieren (negieren)
 3. Zur invertierten Zahl 1 addieren.

Die Richtigkeit dieses Verfahrens soll an folgenden Beispielen gezeigt werden.

Beispiel: (6stellige Darstellung)

$$\begin{array}{r}
 1 & 0 & 1 & 1 & 1 & 1 \\
 - & 1 & 1 & 0 & 1 & 1 \\
 \hline
 ? & & & & &
 \end{array}
 = 47$$

0	1	1	0	1	1		abzuziehende Zahl
↓	↓	↓	↓	↓	↓		
1	0	0	1	0	0		invertierte abzuziehende Zahl
			+				
1	0	0	1	0	1		Komplement

$$\begin{array}{l} \text{Übertrag} \\ \text{Komplement} \\ \text{Ergebnis:} \end{array} + \boxed{\begin{array}{r} 1 & 1 & 1 & 1 \\ 1 & 0 & 1 & 1 & 1 & 1 \\ 1 & 0 & 0 & 1 & 0 & 1 \\ \hline 0 & 1 & 0 & 1 & 0 & 0 \end{array}} = \begin{array}{r} 47 \\ 20 \end{array}$$

Beispiel: (8stellige Darstellung)

$$\begin{array}{r}
 1 & 0 & 1 & 1 & 1 & 1 = 47 \\
 - & 1 & 1 & 0 & 1 & 1 = 27 \\
 \hline
 & & & & ? &
 \end{array}$$

0	0	0	1	1	0	1	1		abzuziehende Zahl
↓	↓	↓	↓	↓	↓	↓	↓	↓	
1	1	1	0	0	1	0	0		invertierte abzuziehende Zahl
.	.	.			+	1			
1	1	1	0	0	1	0	1		Komplement

$$\text{Komplement} + \begin{vmatrix} 1 & 1 & 1 & 1 & 1 & 1 \\ 0 & 0 & 1 & 0 & 1 & 1 & 1 \\ 1 & 1 & 1 & 0 & 0 & 1 & 0 & 1 \\ \hline 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 \end{vmatrix} = 20$$

8.2.7 Negative Dualzahlen

Wie sieht es nun aus, wenn die abzuziehende Zahl größer ist als die Zahl, von der abgezogen werden soll? Selbstverständlich erhält man als Ergebnis eine negative Zahl.

Beispiel:

$$\begin{array}{r} 27 \\ - 47 \\ \hline - 20 \end{array} \quad \begin{array}{r} 1 & 1 & 0 & 1 & 1 \\ - 1 & 0 & 1 & 1 & 1 \\ \hline \end{array}$$

Komplementbildung:

$$\begin{array}{r} 1 & 0 & 1 & 1 & 1 & 1 \\ \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow \\ (6 \text{ Stellen}) & 0 & 1 & 0 & 0 & 0 \\ & & & & + & 1 \\ \hline & 0 & 1 & 0 & 0 & 0 & 1 \end{array}$$

Komplement zu 47

$$\begin{array}{r} 1 & & 1 & 1 \\ 0 & 1 & 1 & 0 & 1 & 1 \\ + 0 & 1 & 0 & 0 & 0 & 1 \\ \hline \boxed{} & 1 & 0 & 1 & 1 & 0 & 0 \end{array}$$

Zahl, von der abgezogen wird
Komplement
Ergebnis

kein Übertrag in
die 7. Stelle

Das Ergebnis ist eine negative Zahl. Man erkennt das daran, daß kein Übertrag in die 7. Stelle auftritt.

Wenn bei Addition des Komplements in n-stelliger Darstellung kein Übertrag in die Stelle $n + 1$ auftritt, ist das Ergebnis eine negative Zahl.

Um den Betrag der negativen Zahl festzustellen, ist vom Ergebnis das Komplement – genauer das Zweierkomplement – zu bilden:

Beispiel:

$$\begin{array}{r}
 1 \ 0 \ 1 \ 1 \ 0 \ 0 \quad \text{Ergebnis} \\
 \downarrow \ \downarrow \ \downarrow \ \downarrow \ \downarrow \ \downarrow \\
 0 \ 1 \ 0 \ 0 \ 1 \ 1 \\
 + \ 1 \\
 \hline
 0 \ 1 \ 0 \ 1 \ 0 \ 0 \quad \text{Komplement des Ergebnisses}
 \end{array}$$

Das Komplement des Ergebnisses hat den Betrag 20.

Man kann ebenfalls von der Zahl 0 eine bestimmte Zahl abziehen. Als Ergebnis erhält man die abzuziehende Zahl als negative Zahl.

Beispiel:

$$\begin{array}{r}
 0 \qquad \qquad 0 \ 0 \ 0 \ 0 \ 0 \\
 - 9 \qquad - 0 \ 1 \ 0 \ 0 \ 1 \\
 \hline
 - 9 \qquad ?
 \end{array}$$

$$\begin{array}{l}
 \text{Komplementbildung: } \quad 0 \ 1 \ 0 \ 0 \ 1 \\
 \qquad \downarrow \ \downarrow \ \downarrow \ \downarrow \ \downarrow \\
 \qquad 1 \ 0 \ 1 \ 1 \ 0 \\
 \qquad + \ 1 \\
 \hline
 1 \ 0 \ 1 \ 1 \ 1 \quad \text{Komplement zu 9} \\
 \qquad \qquad \qquad \text{(5stellige Darstellung)}
 \end{array}$$

Die Zahl 10111 muß als -9 angesehen werden. Bildet man von dieser Zahl erneut das Komplement, so erhält man den Betrag 9:

$$\begin{array}{r}
 1 \ 0 \ 1 \ 1 \ 1 \\
 \downarrow \ \downarrow \ \downarrow \ \downarrow \ \downarrow \\
 0 \ 1 \ 0 \ 0 \ 0 \\
 + \ 1 \\
 \hline
 0 \ 1 \ 0 \ 0 \ 1 = 9
 \end{array}$$

Das Komplement einer Zahl kann als negativer Wert dieser Zahl angesehen werden.

Durch Komplementbildung können positive Dualzahlen in negative Dualzahlen umgewandelt werden. Negative Dualzahlen sind jedoch nicht sofort als solche zu erkennen. Die für -9 gefundene Zahl 10111 kann auch als positive Zahl 23 aufgefaßt werden. Man muß eine Zahlendefinition vornehmen.

Eine mögliche Zahlendefinition zeigt Bild 8.9. Es fällt auf, daß die Stelle mit dem Spaltenwert 2^4 bei positiven Zahlen stets 0 und bei negativen Zahlen stets 1 ist.

Bild 8.9 Definition positiver und negativer Dualzahlen

Dezimalzahl	(2 ⁴) (16)	2 ³ 8	2 ² 4	2 ¹ 2	2 ⁰ 1	
+9	0	1	0	0	1	
+8	0	1	0	0	0	
+7	0	0	1	1	1	
+6	0	0	1	1	0	
+5	0	0	1	0	1	
+4	0	0	1	0	0	
+3	0	0	0	1	1	
+2	0	0	0	1	0	
+1	0	0	0	0	1	
0	0	0	0	0	0	
-1	1	1	1	1	1	positive Bereich
-2	1	1	1	1	0	
-3	1	1	1	0	1	
-4	1	1	1	0	0	
-5	1	1	0	1	1	
-6	1	1	0	1	0	
-7	1	1	0	0	1	
-8	1	1	0	0	0	
-9	1	0	1	1	1	negativer Bereich

Bei der Darstellung negativer Zahlen ist die werthöchste Stelle stets 1.

Die werthöchste Stelle kann als *Vorzeichenstelle* angesehen werden.

Positive Dualzahlen sind durch eine 0, negative Dualzahlen durch eine 1 in der ersten Stelle von links gekennzeichnet.

Computer arbeiten bei der Zahlendarstellung stets mit festgelegter Stellenzahl, z.B. mit 6, 8, 16 oder 32 Stellen. Die mögliche werthöchste Stelle ist somit stets bekannt und kann als Vorzeichenstelle verwendet werden, ohne daß Irrtümer entstehen.

8.3 BCD-Kode

Der BCD-Kode ist dem dualen Zahlensystem eng verwandt. Die Buchstabenfolge BCD leitet sich von der englischen Bezeichnung «Binary Coded Decimals» ab. Die deutsche Übersetzung lautet: «binär kodierte Dezimalziffern».

8.3.1 Zahlendarstellung im BCD-Kode

Im BCD-Kode wird jede Dezimalziffer durch vier binäre Stellen, also durch 4 Bit, dargestellt. Eine Einheit von vier binären Stellen wird *Tetrad* genannt (tetrad, griechisch: Vierergruppe).

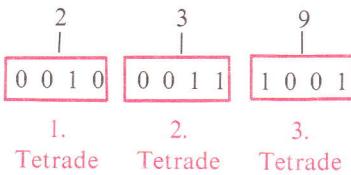
Dezimal-ziffer	2^3	2^2	2^1	2^0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
	1	0	1	0
	1	0	1	1
	1	1	0	0
	1	1	0	1
	1	1	1	0
	1	1	1	1

Bild 8.10 BCD-Kode

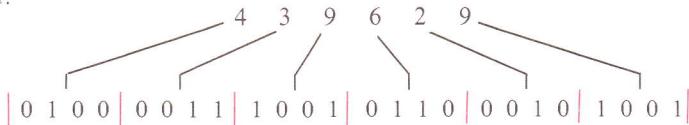
Der BCD-Kode ist in Bild 8.10 dargestellt. Jede Dezimalziffer wird als Dualzahl ausgedrückt. Von den insgesamt 16 möglichen Tetraden werden nur 10 Tetraden genutzt. Sechs Tetraden dürfen im BCD-Kode nicht auftreten. Sie werden *Pseudo-Tetraden* genannt. Für jede Ziffer einer mehrstelligeren Dezimalzahl wird eine Tetrade benötigt.

Eine n -stellige Dezimalzahl wird im BCD-Kode durch n -Tetraden dargestellt.

Beispiel:



Beispiel:



8.3.2 Addition im BCD-Kode

Die Addition erfolgt im Prinzip wie beim dualen Zahlensystem. Sie ist völlig unproblematisch, solange das Ergebnis nicht in den Bereich der Pseudotetraden fällt.

Beispiel:

$$\begin{array}{r}
 1 & 1 \\
 0 & 0 & 1 & 1 & 3 \\
 + & 0 & 1 & 1 & 0 & + 6 \\
 \hline
 1 & 0 & 0 & 1 & 9
 \end{array}$$

Entsteht jedoch bei der Addition eine Pseudotetraden, so bedeutet das, daß die Summe größer als 9 ist, also durch zwei Tetraden dargestellt werden muß. In diesem Fall muß eine Korrektur-Addition vorgenommen werden. Zu der Pseudotetraden muß die Zahl $6_{(10)} = 0110_{(2)}$ addiert werden. Man erhält dann zwei Tetraden.

Beispiel:

$$\begin{array}{r}
 1 & 1 \\
 1 & 0 & 0 & 1 & 9 \\
 + & 0 & 0 & 1 & 1 & + 3 \\
 \hline
 1 & 1 & 0 & 0 & 12
 \end{array}$$

$$\begin{array}{r}
 1 \\
 | \\
 1 & 1 & 0 & 0 \\
 + & 0 & 1 & 1 & 0 \\
 \hline
 0 & 0 & 0 & 1 & 0 \\
 \hline
 1 & 1 & 0 & 0 & 0 \\
 \hline
 1 & 2
 \end{array} = 6$$

Beispiel:

$$\begin{array}{r}
 1 & 1 & 1 \\
 0 & 1 & 1 & 1 & 7 \\
 1 & 0 & 0 & 1 & + 9 \\
 \hline
 1 & 0 & 0 & 0 & 16
 \end{array}$$

$$\begin{array}{r}
 1 \\
 | \\
 0 & 0 & 0 & 0 \\
 + & 0 & 1 & 1 & 0 \\
 \hline
 0 & 0 & 0 & 1 & 0 \\
 \hline
 1 & 2 \\
 \hline
 6
 \end{array} = 6$$

Allgemein gilt:

Ergibt sich bei der Addition von zwei BCD-Zahlen ein Ergebnis gleich oder größer als $10_{(10)}$, so ist zu diesem Ergebnis die Zahl $0110_{(2)}$ zur Korrektur zu addieren.

Bei der Addition von BCD-Zahlen, die aus mehreren Tetraden bestehen, ist die Addition tetradenweise von rechts nach links vorzunehmen. Ergibt sich bei der Addition von zwei Tetraden ein Übertrag in eine 5. Stelle, so ist dieser Übertrag der wertniedrigsten Stelle der nächsten Tetrade hinzuzurechnen. Die Korrektur-Addition von 0110 ist immer dann vorzunehmen, wenn das Ergebnis der Addition von zwei Tetraden gleich oder größer als 10 ist.

Beispiel:

$$\begin{array}{r}
 \begin{array}{r}
 1 & 1 & 1 & \boxed{1} \leftarrow \boxed{1} \\
 0 & 1 & 1 & 1 \\
 + 0 & 1 & 1 & 0 \\
 \hline
 1 & 1 & 1 & 0
 \end{array}
 \quad
 \begin{array}{r}
 1 & 0 & 0 & 0 \\
 + 1 & 0 & 0 & 1 \\
 \hline
 0 & 0 & 0 & 1
 \end{array}
 \quad
 \begin{array}{r}
 78 \\
 + 69 \\
 \hline
 147
 \end{array}
 \end{array}$$

$$\begin{array}{c}
 \begin{array}{r}
 1 & 1 & 1 \\
 1 & 1 & 1 & 0 \\
 \hline
 \boxed{0} & \boxed{1} & \boxed{1} & \boxed{0}
 \end{array}
 \quad
 \begin{array}{r}
 0 & 0 & 0 & 1 \\
 + \boxed{0} & \boxed{1} & \boxed{1} & \boxed{0} \\
 \hline
 0 & 1 & 1 & 1
 \end{array}
 \quad
 \begin{array}{r}
 7
 \end{array}
 \end{array}$$

Entsteht bei der Korrektur-Addition von 0110 zu einer Pseudotetrade ein Übertrag in eine 5. Stelle, so ist dieser ebenfalls der wertniedrigsten Stelle der nächsten Tetrade hinzuzurechnen.

Beispiel:

$$\begin{array}{r}
 \begin{array}{r}
 1 & 1 & 1 & \boxed{1} \\
 0 & 1 & 0 & 1 \\
 0 & 0 & 1 & 1 \\
 \hline
 1 & 0 & 0 & 1
 \end{array}
 \quad
 \begin{array}{r}
 0 & 1 & 1 & 1 \\
 + 1 & 0 & 0 & 0 \\
 \hline
 1 & 1 & 1 & 1
 \end{array}
 \quad
 \begin{array}{r}
 57 \\
 + 38 \\
 \hline
 95
 \end{array}
 \end{array}$$

$$\begin{array}{r}
 \downarrow \\
 \begin{array}{r}
 \boxed{1} & 1 & 1 \\
 1 & 1 & 1 & 1 \\
 + 0 & 1 & 1 & 0 \\
 \hline
 0 & 1 & 0 & 1
 \end{array}
 \quad
 \begin{array}{r}
 5
 \end{array}
 \end{array}$$

8.3.3 Subtraktion im BCD-Kode

Die Subtraktion im BCD-Kode wird auf die Addition eines Komplements zurückgeführt. Man unterscheidet das *Neunerkomplement* und das *Zehnerkomplement*.

Das Neunerkomplement K_9 einer BCD-Tetrade ist die Ergänzung des Tetraden-Wertes zu $1001_{(2)} = 9_{(10)}$.

Beispiel:

Gesucht ist das Neunerkomplement von 0010.

$$\begin{array}{r}
 1 & 0 & 0 & 1 & 9 \\
 - 0 & 0 & 1 & 0 & - 2 \\
 \hline
 0 & 1 & 1 & 1 & 7
 \end{array}$$

Das Neunerkomplement K_9 zu $2_{(10)}$ ist $7_{(10)} = 0111_{(2)}$.

Das Zehnerkomplement K_{10} einer BCD-Tetraden ist die Ergänzung des Tetraden-Wertes zu $1010_{(2)} = 10_{(10)}$.

Das Zehnerkomplement ist um 1 größer als das Neunerkomplement.

Beispiel:

Gesucht ist das Zehnerkomplement von 0010.

$$\begin{array}{r}
 1 & 0 & 1 & 0 & 10 \\
 - 0 & 0 & 1 & 0 & - 2 \\
 \hline
 1 & 0 & 0 & 0 & 8
 \end{array}$$

Das Zehnerkomplement K_{10} zu $2_{(10)}$ ist $8_{(10)} = 1000_{(2)}$.

Soll von einer BCD-Tetraden A eine BCD-Tetraden B subtrahiert werden, so bildet man zunächst das Zehnerkomplement der BCD-Tetraden B. Dieses wird zur BCD-Tetraden A addiert.

Die Subtraktion im BCD-Kode wird auf eine Addition des Zehnerkomplements der abzuziehenden Zahl zurückgeführt.

Ergibt sich eine Pseudotetraden, so wird die Korrektur-Addition von 0110 vorgenommen. Ein Übertrag in die 5. Stelle zeigt, daß das Ergebnis eine positive Zahl ist. Der Übertrag bleibt beim Ergebniswert unberücksichtigt.

Beispiel:

$$\begin{array}{r}
 \textcolor{red}{A} & 1 & 0 & 0 & 1 & 9 \\
 \textcolor{red}{B} & - 0 & 1 & 1 & 1 & - 7 \\
 \hline
 & ? & & & & 2
 \end{array}$$

K_{10} von $7_{(10)} = 0111_{(2)}$ ist $3_{(10)} = 0011_{(2)}$.

$$\begin{array}{r}
 & 1 & 1 \\
 & 1 & 0 & 0 & 1 \\
 + 0 & 0 & 1 & 1 \\
 \hline
 1 & 1 & 0 & 0 & \text{(Pseudotetraden)}
 \end{array}$$

Korrektur-Addition:

$$\begin{array}{r}
 & 1 & 1 \\
 + & \left| \begin{array}{cccc} 1 & 1 & 0 & 0 \\ 0 & 1 & 1 & 0 \end{array} \right. \\
 1 & \hline & 0 & 0 & 1 & 0 \\
 & & & & 2
 \end{array}$$

Ergebnis:

Negative BCD-Zahlen müssen als solche definiert werden. Ergibt sich bei einer Subtraktion eine negative Zahl, so ist diese nicht ohne weiteres als negative Zahl zu erkennen. Es muß ein besonderes Kennzeichen hinzukommen.

Ergibt sich bei der Addition des Zehnerkomplements zu einer BCD-Tetrade kein Übertrag in eine 5. Stelle, so ist das Ergebnis eine negative Zahl.

Beispiel:

$$\begin{array}{r}
 A \quad 0 \quad 1 \quad 1 \quad 1 \quad 7 \\
 B \quad - 1 \quad 0 \quad 0 \quad 1 \quad - 9 \\
 \hline
 ? \quad \quad \quad \quad \quad - 2
 \end{array}$$

K_{10} von 9 ist 0001

$$\begin{array}{r}
 0 \quad 1 \quad 1 \quad 1 \quad B \\
 + 0 \quad 0 \quad 0 \quad 1 \quad K_{10} \\
 \hline
 1 \quad 0 \quad 0 \quad 0 \quad \text{negative Zahl}
 \end{array}$$

Es ergibt sich kein Übertrag in eine 5. Stelle.

Das Ergebnis 1000 ist also eine negative Zahl. Um den Betrag dieser negativen Zahl ablesen zu können, ist eine Rückkomplementierung erforderlich. Der Betrag der negativen Zahl ist ihr Zehnerkomplement. Das Zehnerkomplement von 1000 ist also zu suchen.

K_{10} von $1000_{(2)} = 8_{(10)}$ ist $0010_{(2)} = 2_{(10)}$.
Der Betrag ist also 2. Das Ergebnis ist -2 .

8.4 Weitere Tetraden-Kodes

Von den vielen Tetraden-Kodes, die es außer dem BCD-Kode noch gibt, sollen hier nur die drei wichtigsten betrachtet werden. Die anderen Tetraden-Kodes spielen eine untergeordnete Rolle und werden nur bei wenigen Spezialaufgaben eingesetzt.

8.4.1 3-Exzeß-Kode

Beim 3-Exzeß-Kode werden die ersten und die letzten drei der 16 möglichen Tetraden nicht verwendet. Diese sechs Tetraden gelten als Pseudotetraden (Bild 8.11).

Faßt man die Tetraden des 3-Exzeß-Kodes als Dualzahlen auf, so stellt man fest, daß ihr Wert stets um drei größer ist als der Wert der zugehörigen Dezimalziffer. Die Dezimalziffer 4 wird z.B. durch 0111, also durch die Dualzahl sieben, dargestellt. Es ergibt sich ein symmetrischer Kode (siehe Bild 8.11).

Bild 8.11 3-Exzeß-Kode

Dezimalziffer	D	C	B	A	
0	0	0	0	0	Pseudo-tetrale
	0	0	0	1	
	0	0	1	0	
1	0	0	1	1	
2	0	1	0	0	
3	0	1	1	0	
4	0	1	1	1	
5	1	0	0	0	
6	1	0	0	1	
7	1	0	1	0	
8	1	0	1	1	
9	1	1	0	0	
	1	1	0	1	Pseudo-tetrale
	1	1	1	0	
	1	1	1	1	

Wie beim BCD-Kode wird jede Dezimalziffer durch eine Tetrade dargestellt.

Beispiel:

8	2	0
1 0 1 1	0 1 0 1	0 0 1 1

Von Vorteil ist, daß im 3-Exzeß-Kode die Tetrade 0000 nicht vorkommt. Da meist die Zuordnung $0 \triangleq 0\text{V}$ und $1 \triangleq U_S$ gilt, tritt die Tetrade 0000 bei Spannungs ausfall auf. Ein weiterer Vorteil ist die einfache Neunerkomplement-Bildung.

Das Neunerkomplement K_9 wird im 3-Exzeß-Kode durch einfaches Invertieren gebildet.

Beispiel:

Das Neunerkomplement von $0111 = 4_{(10)}$ ist gesucht.

$$\begin{array}{cccc} 0 & 1 & 1 & 1 \\ \downarrow & \downarrow & \downarrow & \downarrow \\ 1 & 0 & 0 & 0 \end{array} \quad \text{Invertieren}$$

$$1 0 0 0 = 5_{(10)}$$

Addiert man zum Neunerkomplement 1, so erhält man das Zehnerkomplement.
 Für die Addition im 3-Exzeß-Kode gelten folgende Korrektur-Vorschriften:

Entsteht bei der Addition von zwei Tetraden kein Übertrag in eine 5. Stelle, so muß vom Ergebnis die Zahl 0011 subtrahiert werden.

Entsteht bei der Addition von zwei Tetraden ein Übertrag in eine 5. Stelle, so muß zum Ergebnis jeder Tetrade die Zahl 0011 addiert werden.

Beispiel:

$$\begin{array}{r}
 & 1 \\
 & 0 \ 1 \ 0 \ 0 \\
 & 0 \ 1 \ 1 \ 0 \\
 \hline
 & 1 \ 0 \ 1 \ 0
 \end{array}
 \qquad
 \begin{array}{r}
 & 1 \\
 & + 3 \\
 \hline
 & 4
 \end{array}$$

$$\begin{array}{r}
 & 1 \ 0 \ 1 \ 0 \\
 - & 0 \ 0 \ 1 \ 1 \\
 \hline
 & 1 \ 1 \ 1
 \end{array}
 \qquad = 4$$

Beispiel:

$$\begin{array}{r}
 & 1 \\
 & 1 \ 0 \ 0 \ 1 \\
 & 1 \ 1 \ 0 \ 0 \\
 \hline
 & 1 \ 0 \ 1 \ 0 \ 1
 \end{array}
 \qquad
 \begin{array}{r}
 & 6 \\
 & + 9 \\
 \hline
 & 15
 \end{array}$$

$$\begin{array}{r}
 & 1 \ 1 \ 1 \\
 & 0 \ 1 \ 0 \ 1 \\
 & 0 \ 0 \ 1 \ 1 \\
 \hline
 & 1 \ 0 \ 0 \ 0
 \end{array}
 \qquad
 \begin{array}{r}
 & 5
 \end{array}$$

Durch den Übertrag in die 5. Stelle wird die durchzuführende Korrektur gesteuert. Die Durchführung ist von der Digitaltechnik her problemlos.

8.4.2 Aiken-Kode

Beim Aiken-Kode werden die ersten und die letzten fünf von 16 möglichen Tetraden verwendet. Die Pseudotetraden liegen in der Mitte (Bild 8.12). Es ergibt sich ein symmetrischer Kode, der eine einfache Neunerkomplementbildung ermöglicht.

Bild 8.12 Aiken-Kode

Dezimalziffer	(2)	(4)	(2)	(1)
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
Pseudo-tetraden				
5	1	0	1	1
6	1	1	0	0
7	1	1	0	1
8	1	1	1	0
9	1	1	1	1

Symmetrie

Beim Aiken-Kode wird das Neunerkomplement K_9 durch einfaches Invertieren gebildet.

Für die einzelnen Plätze innerhalb einer Tetrade gilt folgende Wertigkeit:

D	C	B	A
2	4	2	1

Bei der Zahlendarstellung wird jede Dezimalziffer durch eine Tetrade gebildet.

Beispiel:

1	9	8	1
0 0 0 1	1 1 1 1	1 1 1 0	0 0 0 1

Bei der Addition ist nur dann eine Korrektur erforderlich, wenn eine Pseudotetrade entsteht. Es gelten folgende Regeln:

Entsteht bei der Addition von zwei Aiken-Tetraden eine Pseudotetrade mit Übertrag in eine 5. Stelle, so muß die Zahl 0110 subtrahiert werden.

Entsteht bei der Addition von zwei Aiken-Tetraden eine Pseudotetrade ohne Übertrag in eine 5. Stelle, so muß die Zahl 0110 addiert werden.

Beispiel:

$$\begin{array}{r}
 & & 1 \\
 & & 0 & 1 & 0 & 0 \\
 + & 1 & 1 & 1 & 1 \\
 \hline
 & 0 & 0 & 1 & 1
 \end{array}
 \quad
 \begin{array}{r}
 & & 4 \\
 & & + 9 \\
 & & \hline
 & & 13
 \end{array}
 \quad \text{Ergebnis}$$

Keine Pseudotetraden, keine Korrektur erforderlich.

Beispiel:

$$\begin{array}{r}
 0 & 1 & 0 & 0 \\
 + 0 & 0 & 1 & 1 \\
 \hline
 0 & 1 & 1 & 1
 \end{array}
 \quad
 \begin{array}{r}
 & & 4 \\
 & & + 3 \\
 & & \hline
 & & 7
 \end{array}$$

Pseudotetraden: (ohne Übertrag in 5. Stelle)

$$\begin{array}{r}
 \text{Korrektur} \quad 0 & 1 & 1 & 1 \\
 + 0 & 1 & 1 & 0 \\
 \hline
 1 & 1 & 0 & 1
 \end{array}
 = 7 \text{ (Ergebnis)}$$

Beispiel:

$$\begin{array}{r}
 1 & 1 & 1 \\
 1 & 0 & 1 & 1 \\
 + 1 & 1 & 0 & 1 \\
 \hline
 1 & 0 & 0 & 0
 \end{array}
 \quad
 \begin{array}{r}
 & & 5 \\
 & & + 7 \\
 & & \hline
 & & 12
 \end{array}$$

Pseudotetraden (mit Übertrag in 5. Stelle)

$$\begin{array}{r}
 0 & 0 & 0 & \boxed{1} \\
 - 0 & 1 & 1 & 0 \\
 \hline
 0 & 0 & 1 & 0
 \end{array}
 \quad \text{(Ergebnis)}$$

8.4.3 Gray-Kode

Der Gray-Kode wurde nicht unter dem Gesichtspunkt möglichst günstiger kodeeigener Rechenverfahren entwickelt. Man hat vielmehr darauf geachtet, daß beim Übergang von einer Tetrade auf die nächste sich immer nur eine Stelle von 0 auf 1 oder von 1 auf 0 ändert. Es ändert sich also immer nur 1 Bit der Tetrade (Bild 8.13).

Kodes, bei denen sich beim Übergang von einer Tetrade auf die nächstfolgende stets nur 1 Bit ändert, werden einschrittige Kodes genannt. Der Gray-Kode ist ein einschrittiger Kode.

Bild 8.13 Gray-Kode (nicht zyklisch)

Dezimal-ziffer	G	R	A	Y
0	0	0	0	0
1	0	0	0	1
2	0	0	1	1
3	0	0	1	0
4	0	1	1	0
5	0	1	1	1
6	0	1	0	1
7	0	1	0	0
8	1	1	0	0
9	1	1	0	1

Eine andere Bezeichnung für einschrittige Kodes ist *progressive Kodes*. BCD-Kode, 3-Exzeß-Kode und Aiken-Kode sind dagegen mehrschrittige Kodes. Bei mehrschrittigen Kodes kann es beim Übergang von einer Kode-Tetraden auf die nächste zu Fehlinformationen kommen, wenn sich nicht alle Bits, die sich ändern müssen, genau gleichzeitig ändern. Hat sich z.B. ein Bit geändert, zwei andere Bits aber noch nicht, so ist bis zur Änderung der anderen Bits eine falsche Tetraden vorhanden.

Der Gray-Kode wird vor allem für Steuerungen verwendet und hier besonders dann, wenn die Kodierung von Steuerscheiben abgetastet wird. Bei solchen Abtastungen kann niemals sichergestellt werden, daß eine Signaländerung für alle Bits gleichzeitig erfolgt. Mehrschrittige Kodes wären hier sehr problematisch.

Der in Bild 8.13 dargestellte Gray-Kode hat jedoch den Nachteil, daß sich beim Übergang von $9_{(10)} = 1101$ auf $0_{(10)} = 0000$ drei binäre Stellen ändern müssen. Man sagt, der Gray-Kode ist nicht zyklisch.

Der Gray-Kode kann jedoch auf alle 16 möglichen Tetraden erweitert werden (Bild 8.14). Beim erweiterten Gray-Kode folgen die einzelnen Tetraden so aufeinander, daß sich beim Übergang von 15 auf 0 ebenfalls nur 1 Bit ändert. Der erweiterte Gray-Kode ist also zyklisch.

Ein häufiges Anwendungsgebiet des Gray-Kodes ist die Winkelkodierung. Jeder Winkelgröße ist eine bestimmte Tetraden des Gray-Kodes zugeordnet. Meist wird der erweiterte Gray-Kode verwendet.

Bild 8.15 zeigt eine Winkel-Kodierscheibe. Die 16 Tetraden des erweiterten Gray-Kodes sind auf 90 Winkelgrade aufgeteilt. Die Segmente führen 1-Signal.

Die Kodierscheibe wird mit vier Bürsten elektrisch abgetastet. Die Scheibe sitzt z.B. auf einer Welle und dreht sich unter den feststehenden Bürsten. Etwa alle 6 Grad liegt an den vier Bürsten eine andere Tetraden. Eine feinere Auflösung erhält man, wenn man z.B. die 16 Tetraden 16 Winkelgraden zuordnet. Eine eindeutige Kodierung ist dann jedoch nur für Winkel von 0° bis 15° möglich.

Dezimal-ziffer	G	R	A	Y
0	0	0	0	0
1	0	0	0	1
2	0	0	1	1
3	0	0	1	0
4	0	1	1	0
5	0	1	1	1
6	0	1	0	1
7	0	1	0	0
8	1	1	0	0
9	1	1	0	1
10	1	1	1	1
11	1	1	1	0
12	1	0	1	0
13	1	0	1	1
14	1	0	0	1
15	1	0	0	0

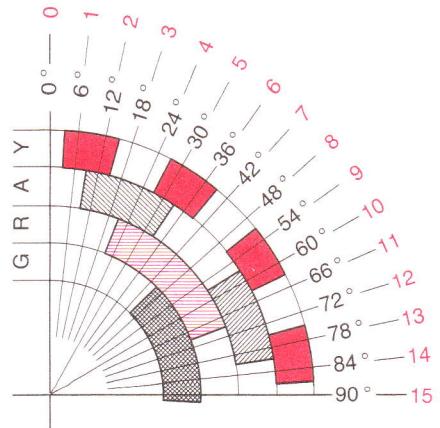


Bild 8.15 Winkel-Kodierscheibe nach dem erweiterten Gray-Kode

◀ Bild 8.14 Erweiterter Gray-Kode (zyklisch)

8.5 Hexadezimales Zahlensystem

8.5.1 Aufbau des Hexadezimalsystems

Das hexadezimale Zahlensystem – auch Hexadezimalsystem und Sedenzimalsystem genannt – gehört zu den Stellenwertsystemen. Als Stellenwerte werden Potenzen der Zahl 16 verwendet. Das Hexadezimalsystem ist also ein Sechzehner-Zahlensystem.

Jeder Stelle innerhalb einer Hexadezimalzahl ist eine Sechzehner-Potenz zugeordnet.

Den Aufbau des Hexadezimalsystems zeigt Bild 8.16. In der Stelle, der die Potenz $16^0 = 1$ zugeordnet ist, muß man bis 15 zählen können. Erst ab 16 kann die zweite Stelle in Anspruch genommen werden. Man benötigt also mit der Null insgesamt 16 Ziffern.

Im Hexadezimalsystem werden 16 Ziffern benötigt.

Verwendet werden zunächst einmal die bekannten 10 Ziffern 0 bis 9 des Dezimalsystems.

Dezimalzahl	Hexadezimalziffer
0	0
1	1
2	2
3	3
4	4
5	5
6	6
7	7
8	8
9	9
10	A (A)
11	B (B)
12	C (C)
13	D (D)
14	E (E)
15	F (F)

Dezimalzahl	16^4 65536	16^3 4096	16^2 256	16^1 16	16^0 1
520			2	0	8

$2 \cdot 256 + 0 \cdot 16 + 8 \cdot 1$

Bild 8.16 Aufbau des Hexadezimalsystems

◀ Bild 8.17 Hexadezimalziffer

Für die Zahlenwerte $10_{(10)}$ bis $15_{(10)}$ könnte man irgendwelche neuen Ziffern entwerfen. Diese müßten sich erst durchsetzen und wären auf Schreibmaschinen und in Druckereien meist nicht verfügbar. Man hat statt dessen die Buchstaben A, B, C, D, E und F zu Hexadezimalziffern ernannt (Bild 8.17). Die Doppelfunktion von Buchstabe und Ziffer führt im allgemeinen zu keinen Verwechslungen. Aus dem Umfeld kann man meist ersehen, ob eine Buchstabenfunktion oder eine Ziffernfunktion vorliegt. Will man Verwechslungen vorbeugen, kann man die Buchstaben auf den Kopf stellen, wenn sie Ziffernfunktion haben sollen.

8.5.2 Umwandlung von Hexadezimalzahlen in Dezimalzahlen

Die Umwandlung von Hexadezimalzahlen in Dezimalzahlen erfolgt nach den vom Dualsystem her bekannten Prinzipien. Es ist vorteilhaft, eine Tabelle gemäß Bild 8.17a aufzustellen. Die Anzahl der Spalten dieser Tabelle richtet sich nach der größten auftretenden Hexadezimalzahl.

Dezimalzahl	Hexadezimalzahl					
	16^5 1048576	16^4 65536	16^3 4096	16^2 256	16^1 16	16^0 1
41551			A	2	4	F
			$10 \cdot 4096 + 2 \cdot 256 + 4 \cdot 16 + 15 \cdot 1$			
68651	1	0	C	2	2	B

Bild 8.17a Tabelle zur Umrechnung von Hexadezimalzahlen in Dezimalzahlen

Die Umrechnung der Hexadezimalzahl A24F in eine Dezimalzahl wird wie folgt vorgenommen:

$$\begin{aligned}A &\Rightarrow 10 \cdot 4096 = 40960 \\2 &\Rightarrow 2 \cdot 256 = 512 \\4 &\Rightarrow 4 \cdot 16 = 64 \\F &\Rightarrow 15 \cdot 1 = \underline{15} \\& 41551\end{aligned}$$

Für 10C2B₍₁₆₎ ergibt sich:

$$\begin{aligned}1 &\Rightarrow 1 \cdot 65536 = 65536 \\0 &\Rightarrow 0 \cdot 4096 = 0 \\C &\Rightarrow 12 \cdot 256 = 3072 \\2 &\Rightarrow 2 \cdot 16 = 32 \\B &\Rightarrow 11 \cdot 1 = \underline{11} \\& 68651\end{aligned}$$

Die Zuhilfenahme eines Taschenrechners erleichtert die Umrechnung sehr.

8.5.3 Umwandlung von Dezimalzahlen in Hexadezimalzahlen

Bei der Umwandlung von Dezimalzahlen in Hexadezimalzahlen ergeben sich einige kleinere Schwierigkeiten. Es wird vorgeschlagen, eine Tabelle nach Bild 8.17a zu verwenden. Die Spaltenwerte oder Stellenwerte sind also bekannt. Jeder Spaltenwert kann aber 0mal bis 15mal auftreten. Entsprechend sind die Ziffern 0 bis F zu wählen. Zweckmäßig ist eine Tabelle, aus der das Ein- bis Fünfzehnfache der Spaltenwerte entnommen werden kann. Eine solche Tabelle bis zu den Spaltenwerten 16⁴ ist in Bild 8.18 dargestellt.

Soll nun die Dezimalzahl 1982 als Hexadezimalzahl dargestellt werden, so ist eine kleine Tabelle gemäß Bild 8.19 zu zeichnen. Die Spalte 16³ wäre nicht erforderlich. Nun wird in der Tabelle Bild 8.18 die größte Zahl gesucht, die gleich oder kleiner als 1982 ist. Diese Zahl 1792 = 7 · 256 = 7 · 16². In die Spalte 16² kommt also die Ziffer 7.

Der Betrag von 1792 ist jetzt verbraucht. Es verbleibt noch ein Rest von 190.

$$\begin{array}{r} 1982 \\ - \underline{\underline{1792}} \\ \hline 190 \end{array}$$

Jetzt wird die größte Zahl aus der Tabelle Bild 8.18 gesucht, die gleich oder kleiner als 190 ist. Diese Zahl 176 = 11 · 16¹. In die Spalte 16¹ wird die Ziffer B eingetragen. Es verbleibt ein Rest von 14.

$$\begin{array}{r} 190 \\ - \underline{\underline{176}} \\ \hline 14 \end{array}$$

Bild 8.18 Tabelle zur Umrechnung von Dezimalzahlen in Hexadezimalzahlen

Dezimalzahl	Hexadezimalziffer	Vielfache der Sechzehnerpotenzen				
		16^4	16^3	16^2	16^1	16^0
1	1	65 536	4 096	256	16	1
2	2	131 072	8 192	512	32	2
3	3	196 608	12 288	768	48	3
4	4	262 144	16 384	1 024	64	4
5	5	327 680	20 480	1 280	80	5
6	6	393 216	24 576	1 536	96	6
7	7	458 752	28 672	1 792	112	7
8	8	524 288	32 768	2 048	128	8
9	9	589 824	36 864	2 304	144	09
10	A	655 360	40 960	2 560	160	10
11	B	720 896	45 056	2 816	176	11
12	C	786 432	49 152	3 072	192	12
13	D	851 968	53 248	3 328	208	13
14	E	917 504	57 344	3 584	224	14
15	F	983 040	61 440	3 840	240	15

Bild 8.19 Umwandlung von Dezimalzahlen in Hexadezimalzahlen

Dezimalzahl	Hexadezimalzahl			
	16^3	16^2	16^1	16^0
1982		7	B	E
50860	C	6	A	C

Der Rest von 14 ist $14 \cdot 1 = 14 \cdot 16^0$. In die Spalte 16^0 wird die Ziffer E eingetragen. Damit ist der Rest verbraucht.

$$\begin{array}{r} 14 \\ - 14 \\ \hline 0 \end{array}$$

Die gesuchte Hexadezimalzahl lautet:

7BE

Als weiteres Beispiel soll die Dezimalzahl 50 860 in eine Hexadezimalzahl umgewandelt werden. Die größte Zahl in der Tabelle Bild 8.18, die gleich oder kleiner als 50 860 ist, ist $49\ 152 = 12 \cdot 4096 = 12 \cdot 16^3$. In die Spalte 16^3 gehört also die Hexadezimalziffer zwölf = C.

In die Spalte 16^2 kommt die Hexadezimalziffer 6, denn $6 \cdot 16^2 = 6 \cdot 256$ ergibt 1536 (Tabelle Bild 8.18). Es verbleibt ein Rest von $1708 - 1536 = 172$. In die Spalte 16^1 kann die Hexadezimalziffer A eingetragen werden, denn $10 \cdot 16$ ist 160. Es verbleibt ein Rest von 12. In der Spalte 16^0 kann die Hexadezimalziffer zwölf = C eingetragen werden. Damit ist die Dezimalzahl 50860 in die Hexadezimalzahl C6AC umgewandelt worden.

Die Richtigkeit der Umwandlung kann durch Rückumwandlung der Hexadezimalzahl in eine Dezimalzahl erfolgen.

Probe:

$$\begin{aligned} C &\Rightarrow 12 \cdot 4096 = 49152 \\ 6 &\Rightarrow 6 \cdot 256 = 1536 \\ A &\Rightarrow 10 \cdot 16 = 160 \\ C &\Rightarrow 12 \cdot 1 = \underline{\underline{12}} \\ &\quad \underline{\underline{50860}} \end{aligned}$$

8.5.4 Umwandlung von Dualzahlen in Hexadezimalzahlen

Sollen Dualzahlen in Hexadezimalzahlen umgewandelt werden, so kann man zunächst die Dualzahlen in Dezimalzahlen umwandeln. Sind die Dezimalzahlen bekannt, so erfolgt die weitere Umwandlung in Hexadezimalzahlen, wie in Abschnitt 8.5.3 beschrieben. Dieses Verfahren führt zum Ziel, ist aber sehr umständlich. Es gibt ein wesentlich einfacheres Umwandlungsverfahren.

Zwischen dem dualen Zahlensystem und dem hexadezimalen Zahlensystem besteht eine besonders enge Verwandtschaft. Alle Sechzehner-Potenzzahlen können auch als Zweierpotenzahlen geschrieben werden ($16^0 = 2^0$, $16^1 = 2^4$, $16^2 = 2^8$ usw.). Stellt man die bereits bekannte Umrechnungstabelle für das Dualsystem auf, so zeigt sich, daß jede vierte Dualspalte im Spaltenwert einer Hexadezimalspalte entspricht (Bild 8.20).

Dezimalziffer	16^2	128	64	32	16^1	8	4	2	16^0
256	27	26	25	24		23	22	21	20
28	1	1	1	1	1	0	0	0	0
					F ₍₁₆₎				8 ₍₁₆₎

Bild 8.20 Umrechnungstabelle

Jede mit 4 Dualstellen darstellbare Zahl kann durch 1 Hexadezimalziffer dargestellt werden.

Mit 4 Dualstellen kann von 0 bis 15 gezählt werden. Es ergeben sich insgesamt 16 Tetraden. Jede Tetrade entspricht einer Hexadezimalziffer (Bild 8.21).

Bei Dualzahlen mit mehr als vier Stellen können jeweils vier Stellen durch eine Hexadezimalziffer dargestellt werden. Bei ganzen Zahlen sind von rechts Vierergruppen von Dualstellen zu bilden. Enthält die letzte Gruppe links weniger als vier Stellen, so ist sie durch vorzusetzende Nullen auf vier Stellen aufzufüllen.

Bild 8.21 Hexadezimalziffern, durch vierstellige Dualzahlen dargestellt

Hexadezimalziffer	Dualzahl			
	2^3	2^2	2^1	2^0
8	1	0	0	0
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
A	1	0	1	0
B	1	0	1	1
C	1	1	0	0
D	1	1	0	1
E	1	1	1	0
F	1	1	1	1

Je vier Dualstellen ergeben eine Hexadezimalstelle.

Beispiel:

$$\text{Dualzahl} \Rightarrow | \underbrace{0 \ 0}_{\text{Hexadezimalziffer}} \ 1 \ 1 | \underbrace{0 \ 1 \ 1 \ 1}_{\text{Hexadezimalziffer}} | \underbrace{0 \ 1 \ 0 \ 1}_{\text{Hexadezimalziffer}} |$$

$$\text{Hexadezimalzahl} \Rightarrow \quad \quad \quad 3 \quad \quad \quad 7 \quad \quad \quad 5$$

$$1 \ 1 \ 0 \ 1 \ 1 \ 1 \ 0 \ 1 \ 0 \ 1_{(2)} = 375_{(16)}$$

Mit den Umrechnungstabellen in Bild 8.22 wird das Ergebnis überprüft. Das Ergebnis ist richtig.

Dezimalzahl	Dualzahl										
	2^{10}	2^9	2^8	2^7	2^6	2^5	2^4	2^3	2^2	2^1	
885	1024	512	256	128	64	32	16	8	4	2	1
	0	1	1	0	1	1	1	0	1	0	1
	$\underline{\quad}$			$\underline{\quad}$			$\underline{\quad}$				
	$3_{(16)}$			$7_{(16)}$			$5_{(16)}$				
	$ \begin{array}{r} 512 \\ + 256 \\ + 64 \\ + 32 \\ + 16 \\ + 4 \\ + 1 \\ \hline 885_{(10)} \end{array} $										

Dezimalzahl	Hexadezimalzahl		
	16^2	16^1	16^0
885	256	16	1
	3	7	5

$$3 \cdot 256 = 768$$

$$7 \cdot 16 = 112$$

$$5 \cdot 1 = 5$$

$$885_{(10)}$$

Bild 8.22 Ergebnisüberprüfung

Bei Dualzahlen mit Stellen nach dem Komma sind die Vierergruppen vom Komma aus nach rechts und links zu bilden.

Beispiel:

$$\left| \begin{array}{ccccc} 0 & 1 & 1 & 0 \\ \downarrow & & & \\ 6 & & & \end{array} \right| \quad \left| \begin{array}{ccccc} 1 & 1 & 1 & 1 \\ \downarrow & & & \\ F & , & & \end{array} \right|, \quad \left| \begin{array}{ccccc} 1 & 0 & 1 & 0 \\ \downarrow & & & \\ A & & & \end{array} \right| \quad \left| \begin{array}{ccccc} 1 & 0 & 0 & 0 \\ \downarrow & & & \\ 8 & & & \end{array} \right|$$

$$1\ 0\ 1\ 1\ 1\ 1\ 1\ , \ 1\ 0\ 1\ 0\ 1_{(2)} = 6\ F\ , \ A\ 8_{(16)}$$

Die Überprüfung mit Hilfe der Umrechnungstabellen in Bild 8.23 zeigt, daß das gefundene Ergebnis richtig ist.

Das hexadezimale Zahlensystem wird häufig verwendet, um lange Dualzahlen kürzer und damit übersichtlicher darstellen zu können.

Dualzahlen mit z.B. 32 Stellen lassen sich mit 8 Hexadezimalstellen schreiben.

Beispiel:

$$\begin{array}{r|rrrr|r|rrrr} 10001 & 0110 & 1110 & 1111 & 0001 & 1111 & 0100 & 0111 \\ \downarrow & \downarrow \\ 9 & 6 & E & F & 1 & F & 4 & 7 \end{array} = 96EF1F47_{(16)}$$

Dezimalzahl	Dualzahl													
	2^6	2^5	2^4	2^3	2^2	2^1	2^0	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	
111,65625	64	32	16	8	4	2	1	0,5	0,25	0,125	0,0625	0,03125	0,015625	
111,65625	1	1	0	1	1	1	1,	1	0	1	0	1		

Dezimalzahl	Hexadezimalzahl					
	16 ²	16 ¹	16 ⁰	16 ⁻¹	16 ⁻²	
111,65625	256	16	1	0,0625	0,00390625	
	6	F	,	A	8	
				6 · 16	= 96	+ 1
				15 · 1	= 15	+ 0,5
				10 · 0,0625	= 0,625	+ 0,125
				8 · 0,00390625	= 0,03125	+ 0,03125
					111,65625	111,65625 ₍₁₀₎

Bild 8.23 Ergebnisüberprüfung

8.5.5 Umwandlung von Hexadezimalzahlen in Dualzahlen

Ist die Umwandlung von Dualzahlen in Hexadezimalzahlen bekannt, so bereitet die Rückumwandlung keine Schwierigkeiten.

Jede Hexadezimalziffer wird durch 4 Dualstellen dargestellt.

Mit Hilfe der Tabelle Bild 8.21 geht die Umwandlung von Hexadezimalzahlen in Dualzahlen sehr schnell. Für jede Hexadezimalziffer schreibt man die zugehörigen vier Dualstellen.

Beispiel:

E	6	0	5
1 1 1 0	0 1 1 0	0 0 0 0	0 1 0 1

8.6 Oktales Zahlensystem

8.6.1 Aufbau des Oktalsystems

Das oktale Zahlensystem – auch Oktalsystem oder Achtersystem genannt – ist ein Stellenwertsystem wie das Hexadezimalsystem.

Jeder Stelle innerhalb einer Oktalzahl ist eine Achter-Potenz zugeordnet.

Den Aufbau des Oktalsystems zeigt Bild 8.24. In der Stelle, der die Potenz $8^0 = 1$ zugeordnet ist, muß man bis 7 zählen können. Erst ab 8 kann die zweite Stelle in Anspruch genommen werden. Es werden also zusammen mit der Null 8 Ziffern benötigt. Man verwendet die vom Dezimalsystem her bekannten Ziffern.

Im Oktalsystem werden 8 Ziffern benötigt.

Bild 8.24 Aufbau des Oktalsystems

Dezimalzahl	8^5 32768	8^4 4096	8^3 512	8^2 64	8^1 8	8^0 1
2583			5	0	2	7

$5 \cdot 512 + 0 \cdot 64 + 2 \cdot 8 + 7 \cdot 1$

Dezimalzahl	Oktalziffer
1	1
2	2
3	3
4	4
5	5
6	6
7	7
(8)	(10)

Bild 8.25 Oktalziffern

Bild 8.25 zeigt die Zuordnung der Oktalziffern zu den Dezimalzahlen 0 bis 7. Können Verwechslungen zwischen Dezimalzahlen und Oktalzahlen vorkommen, so kennzeichnet man die Zahlen durch einen in Klammern gesetzten Index. Die Indexzahl 8 kennzeichnet das Oktalsystem, die Indexzahl 10 das Dezimalsystem.

Beispiel:

$$2583_{(10)} = 5027_{(8)}$$

8.6.2 Umwandlung von Oktalzahlen

Die Umwandlung von Oktalzahlen in Dezimalzahlen erfolgt nach dem gleichen Verfahren wie die Umwandlung von Hexadezimalzahlen in Dezimalzahlen (Abschnitt 8.5.2).

Will man Dezimalzahlen in Oktalzahlen umwandeln, so verfährt man wie in Abschnitt 8.5.3 beschrieben. Man muß nur die gegenüber dem Hexadezimalsystem anderen Spaltenwerte beachten.

Beispiel:

Die Dezimalzahl 1983 soll in eine Oktalzahl umgewandelt werden. Es wird vorgeschlagen, eine Tabelle gemäß Bild 8.26 zu verwenden. In der Spalte 8^3 kann die Oktalziffer 3 stehen, denn $3 \cdot 512$ sind 1536. Die Oktalziffer 3 in der Spalte 8^3 hat also einen Wert von 1536. Es bleibt noch ein Rest von 447.

In der Spalte 8^2 kann die Oktalziffer 6 stehen, denn $6 \cdot 64$ sind 384. Diesen Wert hat die Oktalziffer 6 in dieser Spalte. Es gibt sich ein Rest von 63.

$$\begin{array}{r} 1983 \\ - \underline{1536} = 3 \cdot 512 \\ \hphantom{-}447 \\ - \underline{384} = 6 \cdot 64 \\ \hphantom{-}63 \end{array}$$

Für die Spalte 8^1 ergibt sich die Oktalziffer 7. Sie repräsentiert einen Wert von $7 \cdot 8 = 56$. zieht man von 63 die Zahl 56 ab, so verbleibt ein Rest von 7. In die Spalte 8^0 kommt also die Oktalziffer 7, denn $7 \cdot 1$ sind 7.

Bild 8.26 Umwandlung von Dezimalzahlen in Oktalzahlen

Dezimalzahl	Oktalzahl			
	8^3	8^2	8^1	8^0
1983	512	64	8	1

$$3 \cdot 512 = 1536$$

$$6 \cdot 64 = 384$$

$$7 \cdot 8 = 56$$

$$7 \cdot 1 = \underline{\quad} 7$$

$$\begin{array}{r} 63 \\ - 56 = 7 \cdot 8 \\ \hline 7 \\ - \frac{7}{0} = 7 \cdot 1 \end{array}$$

Das Ergebnis der Umwandlung lautet also:

$$1983_{(10)} = 3677_{(8)}$$

Das oktale Zahlensystem hat wie das hexadezimale Zahlensystem eine enge Verwandtschaft zum dualen Zahlensystem. Alle Achter-Potenzahlen können auch als Zweier-Potenzahlen geschrieben werden ($8^0 = 2^0, 8^1 = 2^3, 8^2 = 2^6$ usw.). Beim Vergleich der Umrechnungstabelle Bild 8.26 mit der Umrechnungstabelle für das Dualsystem (Bild 8.4) zeigt sich, daß jede dritte Dualspalte einer Oktalspalte entspricht (Bild 8.27).

Daraus ergibt sich:

Jede mit 3 Dualstellen darstellbare Zahl kann durch eine Oktalziffer dargestellt werden.

Mit 3 Dualstellen kann von 0 bis 7 gezählt werden. Zusammen mit der Null ergeben sich 8 mögliche Dreiereinheiten (Bild 8.28).

Bei Dualzahlen mit mehr als 3 Stellen können jeweils 3 Stellen durch eine Oktalziffer dargestellt werden. Bei ganzen Zahlen sind von rechts Dreiergruppen von Dualstellen zu bilden. Enthält die letzte Gruppe links weniger als drei Stellen, so ist sie durch vorzusetzende Nullen auf drei Stellen aufzufüllen.

Je drei Dualstellen ergeben eine Oktalstelle.

Bild 8.27 Umrechnungstabelle

Dezimalzahl	8^3	8^2		8^1		8^0				
	2^9	2^8	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
	512	256	128	64	32	16	8	4	2	1

	0	1	0	1	0	0	1	1	1	1
	$\underbrace{\quad}_{2_{(8)}}$			$\underbrace{\quad}_{4_{(8)}}$			$\underbrace{\quad}_{7_{(8)}}$			

Oktalziffer	Dualzahl		
	2^2	2^1	2^0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Bild 8.28 Oktalziffern durch dreistellige Dualzahlen dargestellt

Beispiel:

$$\text{Dualzahl} \Rightarrow | \underline{0} \underline{0} 1 | \underline{1} \underline{0} 1 | \underline{1} \underline{1} 0 | \underline{1} \underline{0} 1 |$$

$$\text{Oktalzahl} \Rightarrow \quad 1 \quad \quad 5 \quad \quad 6 \quad \quad 5$$

$$1 \ 1 \ 0 \ 1 \ 1 \ 1 \ 0 \ 1 \ 0 \ 1_{(2)} = 1565_{(8)}$$

Es ist also sehr leicht, Dualzahlen in Oktalzahlen umzuwandeln.

Sollen Oktalzahlen in Dualzahlen umgewandelt werden, so schreibt man für jede Oktalziffer die zugehörigen drei Dualstellen.

Jede Oktalziffer wird durch 3 Dualstellen dargestellt.

Beispiel:

$$\begin{array}{cccc} 3 & 6 & 7 & 7 \\ | & | & | & | \\ 0 & 1 & 1 & | 1 & 1 & 0 & | 1 & 1 & 1 & | 1 & 1 & 1 \end{array}$$

$$3677_{(8)} = 1 \ 1 \ 1 \ 1 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1_{(2)} = 1983_{(10)}$$

Gemäß Bild 8.26 ist $3677_{(8)} = 1983_{(10)}$.

Soll eine Oktalzahl in eine Hexadezimalzahl umgewandelt werden, so geht dies besonders einfach über die Dualzahl. Hat man die Oktalzahl als Dualzahl geschrieben, so bildet man Vierergruppen von Dualziffern und ersetzt jede Vierergruppe durch die entsprechende Hexadezimalziffer.

Beispiel:

$$3677_{(8)} = \underbrace{0 \ 1 \ 1 \ 1}_{7} \ | \underbrace{1 \ 0 \ 1 \ 1}_{B} \ | \underbrace{1 \ 1 \ 1 \ 1}_{F}$$

$$3677_{(8)} = 7BF_{(16)}$$

8.7 Fehlererkennende Kodes

8.7.1 Begriff der Redundanz

Eine Erkennung von Fehlern ist nur möglich, wenn die vorhandene Information das notwendige Minimum überschreitet, wenn also mehr Information übermittelt wird, als eigentlich benötigt würde. Wenn ein Redner einen Sachverhalt ganz knapp angibt, kann man ohne verfügbare weitere Information die Richtigkeit der Aussage nicht überprüfen. Stellt der Redner den Sachverhalt jedoch weitschweifig dar und gibt damit selbst zusätzliche Informationen, so ist eine Überprüfung der Richtigkeit schon eher möglich. Die zusätzlich gegebene Information wird *Redundanz* genannt (redundans, lat.: im Überfluß vorhanden).

Unsere Sprache und unsere Schrift enthalten eine ziemlich große Redundanz. Nur durch diese Redundanz können z.B. Schreibfehler und Druckfehler als solche erkannt werden. Dies wird besonders klar, wenn wir Informationen ohne Redundanz betrachten. Die Ziffer 7 wird im BCD-Kode als 0111 dargestellt. Wird bei der Übertragung dieser Ziffer eine 1 in eine 0 verwandelt, so ergibt sich z.B. 0101. Dieser Ausdruck bedeutet aber Ziffer 5. Ohne zusätzliche Information ist jetzt nicht mehr feststellbar, daß Ziffer 5 falsch ist.

Wird die Ziffer 7 in wörtlicher Darstellung, also als «sieben», übertragen und wird durch einen Fehler ein Buchstabe geändert, so erkennt man sofort, daß ein Fehler vorliegt (z.B. «siepen» statt «sieben»). Die wörtliche Darstellung enthält eine überschüssige Information, sie enthält Redundanz.

Redundanz liegt immer dann vor, wenn außer der eigentlichen Information noch zusätzliche Informationen übertragen werden, die eine Fehlererkennung oder eine Fehlerkorrektur ermöglichen.

Um zu erkennen, daß ein Fehler vorliegt, genügt in vielen Fällen eine geringe Redundanz. Soll der Fehler nicht nur erkannt, sondern auch korrigiert werden, sind mehr zusätzliche Informationen – also eine größere Redundanz – erforderlich.

Für die Fehlerkorrektur benötigt man eine größere Redundanz als für die Fehlererkennung.

Die Möglichkeiten der Fehlererkennung und der Fehlerkorrektur haben zur Entwicklung besonderer Kodes geführt.

8.7.2 Dualergänzter Kode

Die Entstehung eines fehlererkennenden Kodes kann am besten am dualergänzten Kode betrachtet werden. Bild 8.29 zeigt den bekannten BCD-Kode. Dieser erhält eine zusätzliche Stelle, also ein zusätzliches 5. Bit. Die Spalte des 5. Bit ist in Bild 8.29 mit E bezeichnet.

Dezimalziffer	2^3	2^2	2^1	2^0	E
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0

Bild 8.29 Entstehung des dualergänzten Kodes aus dem BCD-Kode

Durch das 5. Bit wird nun der BCD-Kode auf «Geradzahligkeit ergänzt». Das bedeutet, er wird so ergänzt, daß die Anzahl der Bits, die den Wert 1 haben, geradzahlig ist. Bei der Dezimalziffer 0 ist keine Ergänzung erforderlich. Die Dezimalziffer 1 wird durch 0001 dargestellt. Die Anzahl der Bits, die den Wert 1 haben, ist 1, also ungeradzahlig. Somit erhält das 5. Bit den Wert 1. Bei der Dezimalziffer 2 (0010) hat ebenfalls nur ein Bit den Wert 1. E erhält also den Wert 1. Bei der Dezimalziffer 3 (0011) führen zwei Bit den Wert 1. Die Anzahl der Bits, die den Wert 1 führen, ist also geradzahlig. E erhält den Wert 0 usw.

Jede Dezimalziffer wird durch eine 5-Bit-Einheit dargestellt. Das 5. Bit ist die zusätzliche Information, also die Redundanz. Es wird auch *Prüfbit* genannt.

Jede 5-Bit-Einheit wird nun durch eine besondere Digitalschaltung, durch einen sogenannten Geradzahligkeitsprüfer, auf Geradzahligkeit der Anzahl der Einsen geprüft (Bild 8.30). Liegt Geradzahligkeit vor, so ist $Z = 0$. Liegt Ungeradzahligkeit vor, so ist $Z = 1$. Bei $Z = 1$ erfolgt Fehlermeldung.

Wird also auf einem Übertragungsweg ein Bit von 0 auf 1 oder von 1 auf 0 geändert, so wird der Fehler erkannt. Es erfolgt Fehlermeldung. Erkannt wird nur, daß die übertragene Dezimalziffer falsch ist. Es ist nicht feststellbar, wie sie richtig lauten müßte. Sie kann also nicht korrigiert werden.

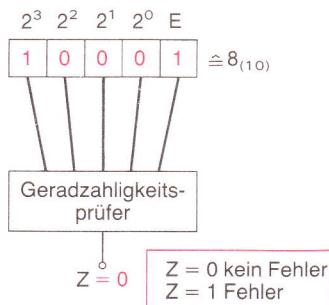


Bild 8.30 Fehlererkennung durch Geradzahligkeitsprüfung

Sind in einer 5-Bit-Einheit zwei Bits falsch, so erfolgt keine Fehlermeldung, da die Anzahl der 1-Zustände wieder geradzahlig ist. Solche Fehler werden also bei Verwendung des dual ergänzten Kodes nicht erkannt.

Die Wahrscheinlichkeit, daß ein solcher Fehler auftritt, ist aber sehr gering. Sollte er doch auftreten, so gibt es bestimmt mehrere Fehlerfälle vorher oder nachher, bei denen nur ein Bit falsch ist und die Fehlerhaftigkeit der Anlage gemeldet wird.

8.7.3 Zwei-aus-Fünf-Kodes

Außer dem dual ergänzten Kode gibt es eine Vielzahl von 5-Bit-Kodes, von denen die sogenannten Zwei-aus-Fünf-Kodes eine besonderer Bedeutung haben. Bei diesen Kodes erfolgt die Fehlererkennung wie beim dual ergänzten Kode durch Geradzahligkeitsprüfung. Bild 8.31 zeigt die Kodetabellen des *Lexikographischen Kodes*, des *Walking-Kodes*, des 7-4-2-1-0-Kodes und des 8-4-2-1-0-Kodes.

	Lexikographischer Kode					Walking-Kode					7-4-2-1-0-Kode					8-4-2-1-0-Kode				
Bit-Nr.	5	4	3	2	1	5	4	3	2	1	5	4	3	2	1	5	4	3	2	1
Wertigkeit	keine					keine					7	4	2	1	0	8	4	2	1	0
Dezimalziffer	0	0	0	0	1	1	0	0	0	1	1	1	0	0	0	1	0	1	0	0
0	0	0	0	1	1	0	0	0	1	0	0	0	0	1	1	0	0	0	1	1
1	1	1	0	0	0	0	0	0	1	0	0	0	0	1	1	0	0	0	1	1
2	1	0	1	0	0	0	0	0	1	1	0	0	0	1	0	1	0	0	1	0
3	1	0	0	1	0	0	1	0	1	0	0	0	1	1	0	0	0	1	1	0
4	1	0	0	0	1	0	1	1	0	0	0	1	0	0	1	0	1	0	0	1
5	0	1	1	0	0	1	0	1	0	0	0	1	0	1	0	0	1	0	1	0
6	0	1	0	1	0	1	1	0	0	0	0	1	1	0	0	0	1	1	0	0
7	0	1	0	0	1	0	1	0	0	1	1	0	0	0	1	1	1	0	0	0
8	0	0	1	1	0	1	0	0	0	1	1	0	0	1	0	1	0	0	0	1
9	0	0	1	0	1	1	0	0	1	0	1	0	0	1	0	1	0	0	1	0

Bild 8.31 Kodetabellen der wichtigsten Zwei-aus-Fünf-Kodes

Der Lexikographische Kode und der Walking-Kode haben keine Wertigkeit der Binärstellen. Beim 7-4-2-1-0-Kode sind den Binärstellen die Wertigkeiten 7, 4, 2, 1 und 0 zugeordnet. Die Wertigkeit gilt aber nicht für die Dezimalziffer 0, d.h. für die erste Zeile der Kodetabelle.

Die Binärstellen des 8-4-2-1-0-Kodes haben die Wertigkeiten 8, 4, 2, 1 und 0. Auch diese Wertigkeiten gelten nur eingeschränkt. Sie sind für die Dezimalziffern 0 und 7 nicht gültig.

Außer den Kodetabellen mit 0- und 1-Werten werden auch sogenannte Kodetafeln verwendet. In den Kodetafeln ist jeder 1-Wert durch ein ausgefülltes Feld und jeder 0-Wert durch ein nicht ausgefülltes Feld gekennzeichnet (Bild 8.32). Diese Darstellung ist sehr übersichtlich.

	Lexikographischer Kode					Walking-Kode					7-4-2-1-0-Kode					8-4-2-1-0-Kode									
Bit-Nr.	5	4	3	2	1	5	4	3	2	1	5	4	3	2	1	5	4	3	2	1	5	4	3	2	1
Wertigkeit	keine					keine					7	4	2	1	0	8	4	2	1	0					
Dezimal-ziffer	0																								
	1																								
	2																								
	3																								
	4																								
	5																								
	6																								
	7																								
	8																								
	9																								

Bild 8.32 Kodetafeln der wichtigsten Zwei-aus-Fünf-Kodes

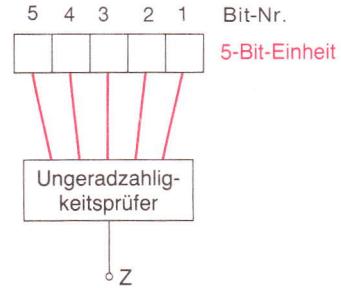
8.7.4 Drei-aus-Fünf-Kodes

Mit 5-Bit-Einheiten lassen sich auch Drei-aus-Fünf-Kodes aufbauen. Jede 5-Bit-Einheit – auch 5-Bit-Wert genannt – enthält drei 1-Zustände und zwei 0-Zustände. Häufig verwendet werden der Lorenz-Kode und der Ziffernsicherungs-Kode Nr. 3. Die Kodetafeln sind in Bild 8.33 dargestellt.

	Lorenz-Kode					Ziffern-Sich.-Kode Nr. 3				
Bit-Nr.	5	4	3	2	1	5	4	3	2	1
Wertigkeit	4-1	3	2	1	0	keine				
Dezimal-ziffer	0									
	1									
	2									
	3									
	4									
	5									
	6									
	7									
	8									
	9									

Bild 8.33 Kodetafeln der wichtigsten Drei-aus-Fünf-Kodes

Bild 8.34 Fehlererkennung durch Ungeradzahligkeitsprüfung



Zur Fehlererkennung wird eine Ungeradzahligkeits-Prüfung durchgeführt. Eine 5-Bit-Einheit ist nur dann fehlerfrei, wenn drei Bits den Zustand 1 und zwei Bits den Zustand 0 haben. Ist das nicht der Fall, so zeigt der Ungeradzahligkeitsprüfer am Ausgang Zustand 1 an und löst die Fehlermeldung aus (Bild 8.34).

Drei-aus-Fünf-Kodes werden vor allem zur gesicherten Zahlenübertragung über Fernschreibkanäle verwendet.

8.7.5 Zwei-aus-Sieben-Kodes

Zwei-aus-Sieben-Kodes bestehen aus 7-Bit-Einheiten. Eine 7-Bit-Einheit wird auch 7-Bit-Wort genannt. Jede Dezimalziffer wird durch 7 Bits dargestellt. Es ergibt sich eine größere Redundanz als bei der Darstellung durch nur 5 Bits.

Von den 7 Bits haben stets 2 Bits 1-Zustand und 5 Bits 0-Zustand. Zwei häufig verwendete Zwei-aus-Sieben-Kodes zeigt Bild 8.35. Es sind dies der Biquinär-Kode und der reflektierte Biquinär-Kode. Biquinär-Kode heißt übersetzt «Zweier-Fünfer-Kode». Die Bits

Bild 8.35 Kodetafeln des Biquinär-Kodes und des reflektierten Biquinär-Kodes

Bit-Nr.	Biquinär-Kode							Reflektierter Biquinär-Kode						
	7	6	5	4	3	2	1	7	6	5	4	3	2	1
Wertigkeit	5	0	4	3	2	1	0							keine
0														
1														
2														
3														
4														
5														
6														
7														
8														
9														

Nr. 6 und 7 bilden einen Eins-aus-Zwei-Kode. Die Bits Nr. 5, 4, 3, 2 und 0 bilden einen Eins-aus-Fünf-Kode. Dieser Kode-Aufbau erlaubt eine verhältnismäßig einfache Weiterverarbeitung der 7-Bit-Wörter. Beim reflektierten Biquinär-Kode ergibt sich eine sehr einfache Komplementbildung. Das Komplement wird durch Vertauschen des 1-Zustandes und des 0-Zustandes in den Bits Nr. 6 und 7 gebildet.

8.8 Fehlerkorrigierende Kodes

8.8.1 Arbeitsweise

Bevor ein Fehler korrigiert werden kann, muß er zunächst einmal erkannt werden.

Ein fehlerkorrigierender Kode ist also stets auch ein fehlererkennender Kode.

Im Vergleich zum fehlererkennenden Kode enthält der fehlerkorrigierende Kode eine größere Redundanz. Pro Zeichen sind einige Bits mehr erforderlich. Eine Dezimalziffer wird z.B. durch 7 Bits statt – wie beim fehlererkennenden Kode – durch 5 Bits dargestellt.

Die größere Redundanz erlaubt es, das einzelne Bit festzustellen, das fehlerhaft ist. Ist das fehlerhafte Bit bekannt, so ist eine selbsttätige Korrektur verhältnismäßig einfach. Enthält das fehlerhafte Bit eine 1, so ist der richtige Wert eine 0. Enthält das fehlerhafte Bit eine 0, so ist der richtige Wert eine 1. Das fehlerhafte Bit muß also invertiert werden.

Ein fehlerkorrigierender Kode erlaubt eine selbsttätige Korrektur eines fehlerhaften Zeichens.

Eine Fehlermeldung kann unabhängig von einer selbsttätigen Korrektur erfolgen. In vielen Fällen ist eine Registrierung auftretender Fehler erwünscht.

Die meisten fehlerkorrigierenden Kodes können nur einen Fehler pro Zeichen korrigieren. Sind also in einem Zeichen zwei Bits fehlerhaft, so ist zwar meist eine Fehlermeldung möglich. Eine selbsttätige Fehlerkorrektur kann jedoch nicht erfolgen. Die Wahrscheinlichkeit, daß in einem Zeichen – also z.B. in einer 7-Bit-Einheit – gleich zwei Bits falsch sind, ist aber außerordentlich gering. Tritt ein solcher Fehler dennoch auf, so ist nach Fehlermeldung die Anlage stillzulegen und die Fehlerursache zu beseitigen.

Fehlererkennende Kodes, die zwei und mehr Bits pro Zeichen korrigieren können, sind zwar entwickelt worden. Sie benötigen jedoch eine so große Zahl von Bits pro Zeichen und sind so kompliziert aufgebaut, daß ein Einsatz unwirtschaftlich ist.

		Hamming-Kode						
Bit-Nr.	1	2	3	4	5	6	7	
Wertigkeit	K_0	K_1	2^3	K_2	2^2	2^1	2^0	
Dezimal-ziffer	0							
	1							
	2							
	3							
	4							
	5							
	6							
	7							
	8							
	9							

Bit-Nr.	1	2	3	4	5	6	7
Wertigkeit	K_0	K_1	2^3	K_2	2^2	2^1	2^0
Dezimal-ziffer	0	0	0	0	0	0	0
	1	1	1	0	1	0	0
	2	0	1	0	1	0	1
	3	1	0	0	0	0	1
	4	1	0	0	1	1	0
	5	0	1	0	0	1	0
	6	1	1	0	0	1	1
	7	0	0	0	1	1	1
	8	1	1	1	0	0	0
	9	0	0	1	1	0	1

Bild 8.36 Hamming-Kode

8.8.2 Hamming-Kode

Der am häufigsten verwendete fehlererkennende Kode ist der Hamming-Kode, auch Hamming-ergänzter BCD-Kode genannt. Dieser Kode benötigt zur Darstellung einer Dezimalziffer 7 Bits (Bild 8.36).

Der Hamming-Kode ist aus 4 Informations-Bits und 3 Kontroll-Bits aufgebaut. Es werden drei Kontrollgruppen gebildet.

Jede Kontrollgruppe des Hamming-Kodes besteht aus drei Informations-Bits und einem Kontroll-Bit.

Mit Hilfe des Kontroll-Bits werden die drei Informations-Bits einer Kontrollgruppe auf Geradzahligkeit der 1-Zustände ergänzt.

Den Aufbau der Kontrollgruppe K_2 zeigt Bild 8.37. Die Informations-Bits sind die Bits Nr. 5, Nr. 6 und Nr. 7. Das Kontroll-Bit ist das Bit Nr. 4. Bei der Darstellung der Dezimalziffer 0 haben die Informations-Bits keinen 1-Zustand. Das Kontroll-Bit erhält daher auch keinen 1-Zustand.

Bei der Darstellung der Dezimalziffer 1 enthalten die Informations-Bits einen 1-Zustand. Das Kontroll-Bit bekommt hier den Zustand 1. Damit ist die Anzahl der 1-Zustände der Kontrollgruppe geradzahlig. Das gleiche gilt für die Darstellung der Dezimalziffer 2. Bei der Darstellung der Dezimalziffer 3 enthalten die Informations-Bits zwei 1-Zustände. Die Zahl der 1-Zustände ist geradzahlig. Das Kontroll-Bit bekommt hier den Zustand 0. Bei den Dezimalziffern 4 bis 9 ist das Kontroll-Bit immer dann 1, wenn die drei Informations-Bits eine ungerade Anzahl von 1-Zuständen enthalten. Das Kontroll-Bit ist immer 0, wenn die drei Informations-Bits eine gerade Anzahl von 1-Zuständen enthalten.

Bit-Nr.	1	2	3	4	5	6	7
Wertigkeit				K_2	2^2	2^1	2^0
Dezimal-ziffer	0			0	0	0	0
	1			1	0	0	1
	2			1	0	1	0
	3			0	0	1	1
	4			1	1	0	0
	5			0	1	0	1
	6			0	1	1	0
	7			1	1	1	1
	8			0	0	0	0
	9			1	0	0	1

Bild 8.37 Aufbau der Kontrollgruppe K_2

Bit-Nr.	1	2	3	4	5	6	7
Wertigkeit		K_1	2^3			2^1	2^0
Dezimal-ziffer	0	0	0			0	0
	1	1	0			0	1
	2	1	0			1	0
	3	0	0			1	1
	4	0	0			0	0
	5	1	0			0	1
	6	1	0			1	0
	7	0	0			1	1
	8	1	1			0	0
	9	0	1			0	1

Bild 8.38 Aufbau der Kontrollgruppe K_1

Bit-Nr.	1	2	3	4	5	6	7
Wertigkeit	K_0		2^3		2^2		2^0
Dezimal-ziffer	0	0	0		0		0
	1	1	0		0		1
	2	0	0		0		0
	3	1	0		0		1
	4	1	0		1		0
	5	0	0		1		1
	6	1	0		1		0
	7	0	0		1		1
	8	1	1		0		0
	9	0	1		0		1

Bild 8.39 Aufbau der Kontrollgruppe K_0

Die Kontrollgruppe K_1 besteht aus den Informations-Bits Nr. 3, Nr. 6 und Nr. 7 und aus dem Kontroll-Bit Nr. 2 (Bild 8.38). Mit Hilfe des Kontroll-Bits (K_1) werden die drei Informations-Bits auf Geradzahligkeit der Anzahl der 1-Zustände ergänzt. Dabei geht man wie beim Aufbau der Kontrollgruppe K_2 vor.

Die dritte Kontrollgruppe ist die Kontrollgruppe K_0 . Sie besteht aus den Informations-Bits Nr. 3, Nr. 5 und Nr. 7. Das Kontroll-Bit K_0 hat die Nummer 1 (Bild 8.39).

Die drei Informations-Bits werden durch das Kontroll-Bit K_0 auf Geradzahligkeit ergänzt. K_0 hat immer dann Zustand 1, wenn die Anzahl der 1-Zustände der Informations-Bits ungeradzahlig ist.

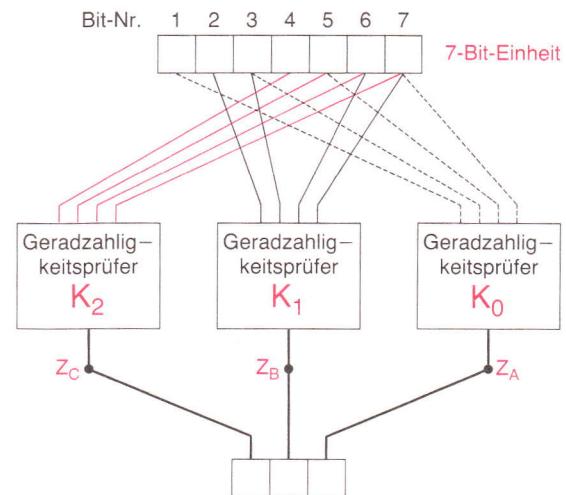
Die Fehlerfeststellung erfolgt durch Geradzahligkeitsprüfung der Kontrollgruppen.

Beim Hamming-Kode wird jede Kontrollgruppe für sich auf Geradzahligkeit geprüft.

Zur Prüfung einer 7-Bit-Einheit sind also drei Geradzahligkeitsprüfer erforderlich. Sie werden gemäß Bild 8.40 angeschlossen. Bei Ungeradzahligkeit einer Kontrollgruppe erscheint am Ausgang des zugehörigen Geradzahligkeitsprüfers Zustand 1. Dieser Zustand bedeutet Fehlermeldung.

Eine 7-Bit-Einheit des Hamming-Kodes ist immer dann fehlerhaft, wenn wenigstens ein Geradzahligkeitsprüfer Fehler macht.

Bild 8.40 Anschluß der Geradzahligkeitsprüfer



Die Fehlererkennung ist also unproblematisch. Wie sieht es nun mit der Fehlerkorrektur aus? Tritt ein Fehler im Bit Nr. 1 auf, so meldet der zu K_0 gehörige Geradzahligkeitsprüfer den Fehler. Der Ausgang Z_A nimmt den Zustand 1 an. Ein Fehler im Bit Nr. 2 wird von dem zu K_1 gehörenden Geradzahligkeitsprüfer gemeldet ($Z_B = 1$). Bei einem Fehler im Bit Nr. 3 melden die Geradzahligkeitsprüfer K_0 und K_1 Fehler. In Bild 8.41 ist zusammengestellt, welche Geradzahligkeitsprüfer eine Fehlermeldung machen und wie die Ausgangszustände von Z_A , Z_B und Z_C bei Fehlern in den einzelnen Bits sind. Bei eingehender Betrachtung von Bild 8.41 stellt man fest, daß die Ausgangszustände von Z_A , Z_B und Z_C eine Dualzahl bilden, die der Nr. des fehlerhaften Bits entspricht. Dem Ausgang Z_A ist 2^0 , dem Ausgang Z_B 2^1 und dem Ausgang Z_C 2^2 zuzuordnen.

Fehler im Bit Nr.	Fehlermeldung der Geradzahligkeitsprüfer	Ausgangszustände		
		K_2	K_1	K_0
	Z_C	Z_B	Z_A	
1	K_0	0	0	1
2	K_1	0	1	0
3	K_0 und K_1	0	1	1
4	K_2	1	0	0
5	K_0 und K_2	1	0	1
6	K_1 und K_2	1	1	0
7	K_0 , K_1 und K_2	1	1	1
		2^2	2^1	2^0

Bild 8.41 Zusammenstellung der Fehlermeldungen und der Ausgangszustände der Geradzahligkeitsprüfer

Die Ausgangszustände der Geradzahligkeitsprüfer geben beim Hamming-Kode die Nummer des fehlerhaften Bits an.

Damit ist das fehlerhafte Bit eindeutig identifiziert. Es kann jetzt korrigiert werden. Die Korrektur erfolgt selbsttätig mit Hilfe einer Digitalschaltung, die das als fehlerhaft bezeichnete Bit invertiert. Mehr ist nicht zu tun, denn wenn das fehlerhafte Bit 1 ist, so ist sein richtiger Wert 0. Wenn das fehlerhafte Bit 0 ist, so ist sein richtiger Wert 1.

Bei Schaltungen, die mit dem Hamming-Kode arbeiten, wird jede 7-Bit-Einheit des Hamming-Kodes an bestimmten Stellen der Schaltung geprüft und, wenn erforderlich, korrigiert. Eine solche Prüfung und Korrektur ist vor allem nach dem Durchlaufen von längeren Leitungen angebracht, da auf längeren Leitungen eine erhöhte Störgefahr besteht.

8.9 Lernziel-Test

1. Welcher Unterschied besteht zwischen den Begriffen «binär» und «dual»?
2. Die in der Tabelle 8.42 dargestellten Dualzahlen sind in Dezimalzahlen umzuwandeln.

Bild 8.42 Umwandlung von Dualzahlen in Dezimalzahlen

Dezimalziffer	2^{12}	2^{11}	2^{10}	2^9	2^8	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
	4 096	2 048	1 024	512	256	128	64	32	16	8	4	2	1
										1	0	1	0
							1	1	0	1	0	1	1
								1	0	1	0	1	1
								1	0	1	1	0	0
								1	1	1	0	0	1
								1	1	1	0	0	0
								1	1	0	0	1	1
								1	1	0	0	1	1
								1	0	1	1	1	1
								1	1	0	1	1	1
								1	0	1	1	1	1
								1	1	0	0	1	1
								1	0	1	1	1	1
								1	1	0	0	0	1
								1	0	1	1	1	1
								1	1	0	0	0	1
								1	0	1	1	1	1
								1	1	0	0	0	1



3. Die folgenden Dezimalzahlen sollen in Dualzahlen umgewandelt werden:

58
512
1 298
1 983
20 000
17 750
2 730
9 990
11 000
32 000

4. Dualzahlen mit Kommastellen können ebenfalls als Dezimalzahlen dargestellt werden. Wandeln Sie die nachstehenden Dualzahl in Dezimalzahlen um:

- a) 110110,101
- b) 100101,1101
- c) 1010,11101
- d) 0,10101
- e) 0,011101

5. Addition im dualen Zahlensystem. Lösen Sie bitte folgende Aufgaben durch duale Addition. Prüfen Sie die Ergebnisse durch Umwandeln der Zahlen ins Dezimalsystem nach.

a) $\begin{array}{r} 1101 \\ + 100 \\ \hline ? \end{array}$ b) $\begin{array}{r} 111101 \\ + 1001 \\ \hline ? \end{array}$ c) $\begin{array}{r} 11011 \\ + 100100 \\ \hline ? \end{array}$ d) $\begin{array}{r} 110001 \\ + 11101 \\ \hline ? \end{array}$

e) $\begin{array}{r} 111100 \\ + 1100111 \\ \hline ? \end{array}$ f) $\begin{array}{r} 110011 \\ + 1010100 \\ \hline ? \end{array}$ g) $\begin{array}{r} 1000,11 \\ + 111,11 \\ \hline ? \end{array}$ h) $\begin{array}{r} 1100,11 \\ + 111,01 \\ \hline ? \end{array}$

6. Subtraktion im dualen Zahlensystem. Die Aufgaben sollen durch Addition des Komplements gelöst werden.

a) $\begin{array}{r} 1101 \\ - 100 \\ \hline ? \end{array}$ b) $\begin{array}{r} 111101 \\ - 1001 \\ \hline ? \end{array}$ c) $\begin{array}{r} 11011 \\ - 1111 \\ \hline ? \end{array}$ d) $\begin{array}{r} 1001100 \\ - 101010 \\ \hline ? \end{array}$

e) $\begin{array}{r} 100111 \\ - 10111 \\ \hline ? \end{array}$ f) $\begin{array}{r} 110011 \\ - 11010 \\ \hline ? \end{array}$ g) $\begin{array}{r} 111000 \\ - 10011 \\ \hline ? \end{array}$ h) $\begin{array}{r} 1101 \\ - 10100 \\ \hline ? \end{array}$

7. Die Dezimalzahlen:

- a) 10 941
- b) 3 890
- c) 7 863
- d) 98 001
- e) 7 989

sollen in den BCD-Kode überführt werden.

8. Addition im BCD-Kode

a) $\begin{array}{r} 0100 \\ + 0011 \\ \hline ? \end{array}$ b) $\begin{array}{r} 1000 \\ + 0110 \\ \hline ? \end{array}$ c) $\begin{array}{r} 0111 \\ + 1001 \\ \hline ? \end{array}$ d) $\begin{array}{r} 0011 \\ + 110 \\ \hline ? \end{array}$

e) $\begin{array}{r} 1001 \\ + 1000 \\ \hline ? \end{array}$ f) $\begin{array}{r} 1001 \\ + 0001 \\ \hline ? \end{array}$ g) $\begin{array}{r} 0110 \\ + 0110 \\ \hline ? \end{array}$ h) $\begin{array}{r} 1001 \\ + 0110 \\ \hline ? \end{array}$

9. Subtraktion im BCD-Kode

a) $\begin{array}{r} 1000 \\ - 0111 \\ \hline ? \end{array}$ b) $\begin{array}{r} 1001 \\ - 1000 \\ \hline ? \end{array}$ c) $\begin{array}{r} 0111 \\ - 0110 \\ \hline ? \end{array}$ d) $\begin{array}{r} 1001 \\ - 0111 \\ \hline ? \end{array}$

e) $\begin{array}{r} 0111 \\ - 0011 \\ \hline ? \end{array}$ f) $\begin{array}{r} 0111 \\ - 1001 \\ \hline ? \end{array}$ g) $\begin{array}{r} 1000 \\ - 0011 \\ \hline ? \end{array}$ h) $\begin{array}{r} 0011 \\ - 1000 \\ \hline ? \end{array}$

10. Die Hexadezimalzahlen sind in Dezimalzahlen und Dualzahlen zu verwandeln:

a) AB1 b) 87F2 c) E605 d) BCD4
 e) 12B31 f) BA1A g) 31 459 h) 1A1B

11. Die Dezimalzahlen sind in Hexadezimalzahlen und Dualzahlen zu verwandeln:

a) 100 b) 259 c) 1 020 d) 1 983
 e) 10 000 f) 126 g) 18 020 h) 999

12. Die in der Tabelle Bild 8.43 eingetragenen Zahlen sind umzukodieren. Für jedes freie Feld ist ein Ergebnis zu suchen. Die Dezimalzahl 2560 z.B. soll in eine Dualzahl, in eine Hexadezimalzahl, in eine Oktalzahl und in eine BCD-Zahl umgewandelt werden.

Dezimalzahl	Dualzahl	Hexadezimalzahl	Oktalzahl	BCD-Zahl
2560				
	100 1111 0110			
		AF36		
			1772	
				11 1001 0111 0001 1000
		1A2BC		

Bild 8.43 Umkodierungsaufgabe

13. Erläutern Sie den Aufbau des 3-Exzeß-Kodes.
 14. Was versteht man unter dem Begriff Redundanz?
 15. Wie ist ein einschrittiger Kode aufgebaut?

16. Nennen Sie die Namen von drei fehlererkennenden Kodes, und erläutern Sie an einem Beispiel, wie die Fehlererkennung funktioniert.
17. Was ist Geradzahligkeitsprüfung?
18. Erklären Sie, wie negative Zahlen im dualen Zahlensystem dargestellt werden.
19. Wie unterscheidet sich ein fehlererkennender Kode von einem fehlerkorrigierenden Kode?
20. Wie ist der Hamming-Kode aufgebaut, und wie erfolgt die Fehlerkorrektur?