

# 9 Kode- und Pegel-Umsetzerschaltungen

## 9.1 Kodeumsetzer

Kodeumsetzer haben die Aufgabe, Informationen, die in einem bestimmten Kode dargestellt sind, in einen anderen Kode umzusetzen. Sie werden auch *Kode-Wandler* genannt.

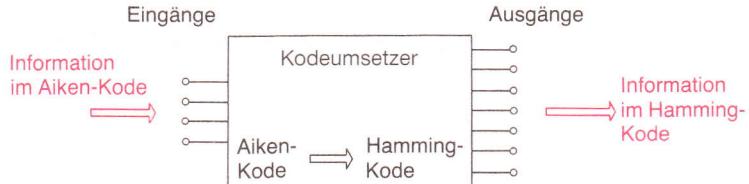
### 9.1.1 Berechnung von Kodeumsetzern

Die Anzahl der Eingänge eines Kodeumsetzers entspricht stets der Anzahl der Elemente des umzusetzenden Kodes. Für einen 4-Bit-Kode (Tetraden-Kode) sind z.B. 4 Eingänge erforderlich. Die Anzahl der Ausgänge entspricht der Anzahl der Elemente des Kodes, in den zu wandeln ist. Soll vom Aiken-Kode in den Hamming-Kode umgesetzt werden, so sind 4 Eingänge und 7 Ausgänge erforderlich (Bild 9.1).

*Kodeumsetzer werden nach den Regeln der Schaltungssynthese berechnet.*

Die gewünschte Kodeumsetzung ist in einer Wahrheitstabelle darzustellen. Aus dieser Wahrheitstabelle kann für jeden Ausgang eine ODER-Normalform abgeleitet werden. Die ODER-Normalformen sind dann möglichst weitgehend zu vereinfachen. Nach den vereinfachten Gleichungen ist die Schaltung aufzubauen.

Bild 9.1 Kodeumsetzer, der vom Aiken-Kode in den Hamming-Kode umsetzt



*Beispiel:*

Gesucht ist ein Kodeumsetzer, der vom Aiken-Kode in den BCD-Kode umsetzt.

Benötigt wird eine Schaltung mit 4 Eingängen und 4 Ausgängen gemäß Bild 9.2. Die Verknüpfung, die diese Schaltung erzeugen soll, ist in der Wahrheitstabelle Bild 9.3 dargestellt.

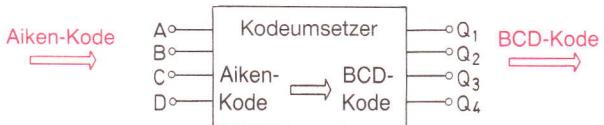


Bild 9.2 Kodeumsetzer, der vom Aiken-Kode in den BCD-Kode umsetzt

	Eingänge Aiken-Kode				Ausgänge BCD-Kode			
	D	C	B	A	Q <sub>4</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	1	0	1	1	0	1	0	1
6	1	1	0	0	0	1	1	0
7	1	1	0	1	0	1	1	1
8	1	1	1	0	1	0	0	0
9	1	1	1	1	1	0	0	1

Bild 9.3 Wahrheitstabelle des Kodeumsetzers, der vom Aiken-Kode in den BCD-Kode umsetzt

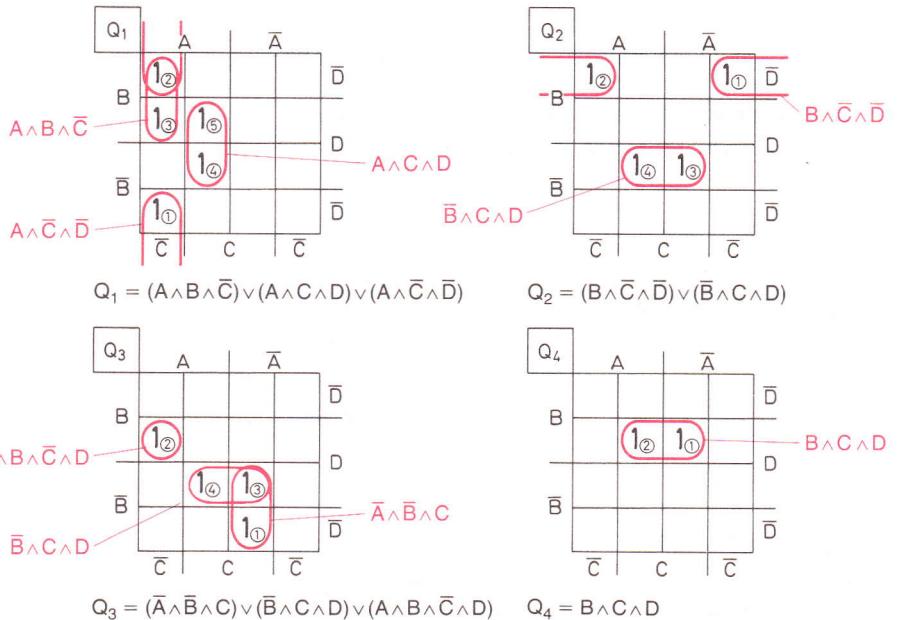


Bild 9.4 Vereinfachung der ODER-Normalformen

Für die Ausgänge  $Q_1$ ,  $Q_2$ ,  $Q_3$  und  $Q_4$  ergeben sich folgende ODER-Normalformen:

$$Q_1 = (A \wedge \overline{B} \wedge \overline{C} \wedge \overline{D}) \vee (A \wedge B \wedge \overline{C} \wedge \overline{D}) \vee (A \wedge B \wedge \overline{C} \wedge D) \\ \vee (A \wedge \overline{B} \wedge C \wedge D) \vee (A \wedge B \wedge C \wedge D)$$

$$Q_2 = (\overline{A} \wedge B \wedge \overline{C} \wedge \overline{D}) \vee (A \wedge B \wedge \overline{C} \wedge \overline{D}) \\ \vee (\overline{A} \wedge \overline{B} \wedge C \wedge D) \vee (A \wedge \overline{B} \wedge C \wedge D)$$

$$Q_3 = (\overline{A} \wedge \overline{B} \wedge C \wedge \overline{D}) \vee (A \wedge B \wedge \overline{C} \wedge D) \vee (\overline{A} \wedge \overline{B} \wedge C \wedge D) \\ \vee (A \wedge \overline{B} \wedge C \wedge D)$$

$$Q_4 = (\overline{A} \wedge B \wedge C \wedge D) \vee (A \wedge B \wedge C \wedge D)$$

Die ODER-Normalformen werden mit Hilfe von KV-Diagrammen vereinfacht (Bild 9.4).

$$Q_1 = (A \wedge B \wedge \overline{C}) \vee (A \wedge C \wedge D) \vee (A \wedge \overline{C} \wedge \overline{D})$$

$$Q_2 = (B \wedge \overline{C} \wedge \overline{D}) \vee (\overline{B} \wedge C \wedge D)$$

$$Q_3 = (\overline{A} \wedge \overline{B} \wedge C) \vee (\overline{B} \wedge C \wedge D) \vee (A \wedge B \wedge \overline{C} \wedge D)$$

$$Q_4 = B \wedge C \wedge D$$

Nach den vereinfachten Gleichungen kann die Schaltung aufgebaut werden. Stehen nur NAND-Glieder zur Verfügung, ist entsprechend umzurechnen. Bild 9.5 zeigt die mit NAND-Gliedern aufzubauende Schaltung.

$$Q_1 = \overline{\overline{A \wedge B \wedge \overline{C}} \wedge \overline{A \wedge C \wedge D} \wedge A \wedge \overline{C} \wedge \overline{D}}$$

$$Q_2 = \overline{\overline{B \wedge \overline{C} \wedge \overline{D}} \wedge \overline{\overline{B} \wedge C \wedge D}}$$

$$Q_3 = \overline{\overline{A \wedge \overline{B} \wedge C} \wedge \overline{\overline{B} \wedge C \wedge D} \wedge A \wedge B \wedge \overline{C} \wedge D}$$

$$Q_4 = \overline{\overline{B \wedge C \wedge D}}$$

Nach diesem Verfahren können Kodeumsetzer für jede beliebige Umsetzungsaufgabe berechnet werden. Für Umsetzungen zwischen häufig verwendeten Kodes stehen integrierte Schaltungen zur Verfügung.

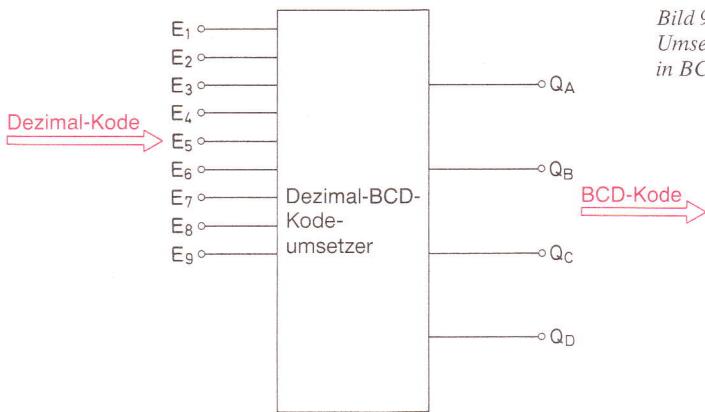
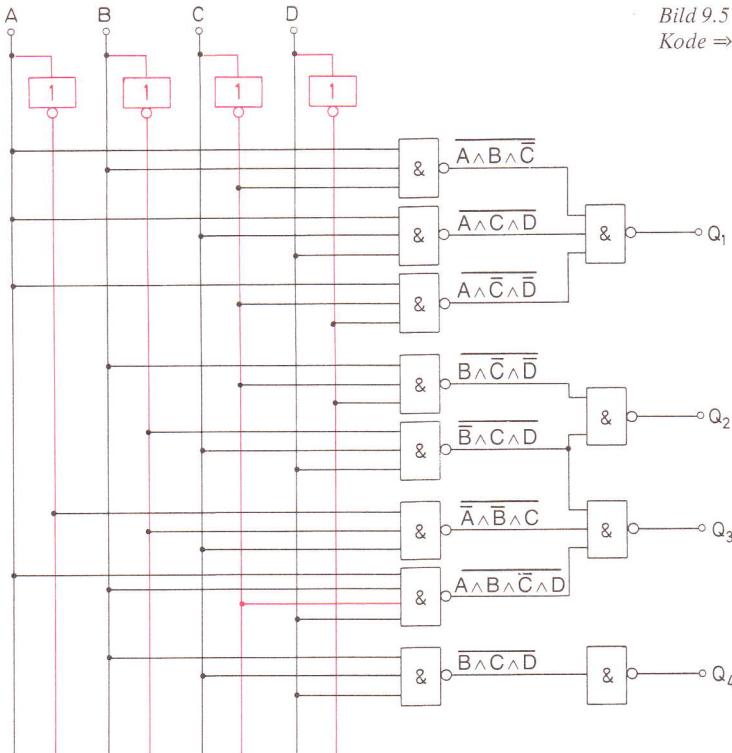
### 9.1.2 Dezimal-BCD-Kodeumsetzer

Bei vielen Digitalschaltungen – vor allem bei Rechnerschaltungen – werden Zahlen mit Dezimalziffern eingegeben. Eine Umsetzung aus dem Dezimal-Kode in den Dual-Kode oder in den BCD-Kode ist erforderlich.

*Dezimal-BCD-Kodeumsetzer setzen Dezimalziffern in Dualzahlen um.*

Der Dezimal-Kode ist ein 1-aus-10-Kode. Ein Kodeumsetzer, der Dezimalziffern in den BCD-Kode umsetzt, muß 10 Eingänge und 4 Ausgänge haben. Da die Dezimalziffer 0 im

Bild 9.5 Kodeumsetzer (Aiken-Kode  $\Rightarrow$  BCD-Kode)



BCD-Kode durch 0000 ausgedrückt wird, kann der Eingang für die Dezimalziffer 0 entfallen. Man benötigt also nur 9 Eingänge (Bild 9.6).

Die Schaltung kann, wie in Abschnitt 9.1.1 gezeigt, berechnet werden. Durch einfache Überlegungen kommt man hier jedoch schneller zum Ziel. Die Wahrheitstabelle des Dezimal-BCD-Kodeumsetzers ist in Bild 9.7 dargestellt. Jedes 1-Signal an einem der Eingänge soll an bestimmten Ausgängen 1-Signale hervorrufen.

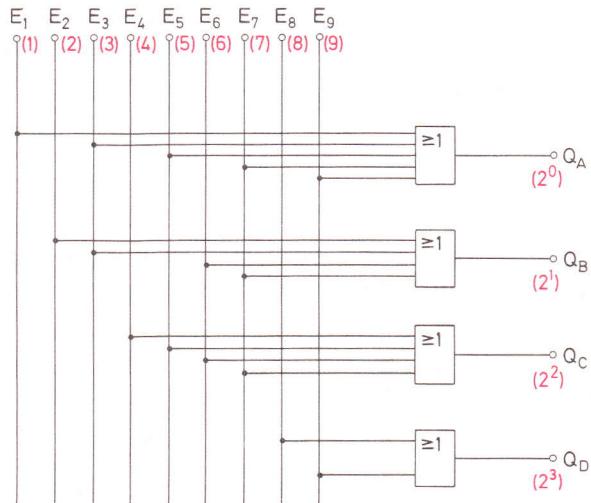
Das Eingangssignal muß auf die in Frage kommenden Ausgänge verteilt werden. Man kann hier nach dem Prinzip des Kreuzschienenverteilers vorgehen (Bild 9.8). Jeder Ausgang wird über ein ODER-Glied mit 1-Signalen versorgt.

Dezimal-BCD-Kodeumsetzer werden als integrierte Schaltungen hergestellt. In der TTL-Schaltkreisfamilie sind z.B. die Schaltungen 74147 und 84147 verfügbar.

Bild 9.7 Wahrheitstabelle des Dezimal-BCD-Kodeumsetzers

Dezimal- zahlenwert	Eingänge Dezimal-Kode (1-aus-10-Kode)									Ausgänge BCD-Kode			
	E <sub>1</sub>	E <sub>2</sub>	E <sub>3</sub>	E <sub>4</sub>	E <sub>5</sub>	E <sub>6</sub>	E <sub>7</sub>	E <sub>8</sub>	E <sub>9</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
1	1	0	0	0	0	0	0	0	0	0	0	0	1
2	0	1	0	0	0	0	0	0	0	0	0	0	1
3	0	0	1	0	0	0	0	0	0	0	0	0	1
4	0	0	0	1	0	0	0	0	0	0	1	0	0
5	0	0	0	0	1	0	0	0	0	0	1	0	1
6	0	0	0	0	0	1	0	0	0	0	1	1	0
7	0	0	0	0	0	0	1	0	0	0	1	1	1
8	0	0	0	0	0	0	0	1	0	1	0	0	0
9	0	0	0	0	0	0	0	0	1	1	0	0	1

Bild 9.8 Schaltung eines Dezimal-BCD-Kodeumsetzers



### 9.1.3 BCD-Dezimal-Kodeumsetzer

Zur Umsetzung von BCD-Zahlen in Dezimalziffern werden BCD-Dezimal-Kodeumsetzer benötigt. Ein solcher Kodeumsetzer muß 4 Eingänge zur Aufnahme der BCD-Zahlen haben. Für jede Dezimalziffer ist ein besonderer Ausgang erforderlich. Signal 1 an dem der Dezimalziffer 3 zugeordneten Ausgang bedeutet, daß Ziffer 3 angezeigt werden soll. Eine solche Anzeige kann z.B. über Treiberstufen durch Ziffernanzeigeröhren, sogenannte Nixie-Röhren, erfolgen (s. Beuth, Elektronik 2). Wirtschaftlicher ist eine Anzeige durch 7-Segment-Einheiten (s. Abschnitt 9.1.9).

*Ein BCD-Dezimal-Kodeumsetzer setzt BCD-Zahlen in Dezimalziffern um.*

Die Berechnung eines BCD-Dezimal-Kodeumsetzers ist sehr einfach. Wie die Wahrheitstabelle Bild 9.9 zeigt, ergibt sich für jeden Ausgang nur eine Vollkonjunktion.

Dezimal- zahlen- wert	Eingänge BCD-Kode $2^3 \quad 2^2 \quad 2^1 \quad 2^0$				Ausgänge Dezimal-Kode (1-aus-10-Kode)									
	D	C	B	A	$Z_0$	$Z_1$	$Z_2$	$Z_3$	$Z_4$	$Z_5$	$Z_6$	$Z_7$	$Z_8$	$Z_9$
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	1	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	1	0	0	0	0	0	0	0
3	0	0	1	1	0	0	0	1	0	0	0	0	0	0
4	0	1	0	0	0	0	0	0	1	0	0	0	0	0
5	0	1	0	1	0	0	0	0	0	1	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	1	0	0	0
7	0	1	1	1	0	0	0	0	0	0	0	1	0	0
8	1	0	0	0	0	0	0	0	0	0	0	0	1	0
9	1	0	0	1	0	0	0	0	0	0	0	0	0	1

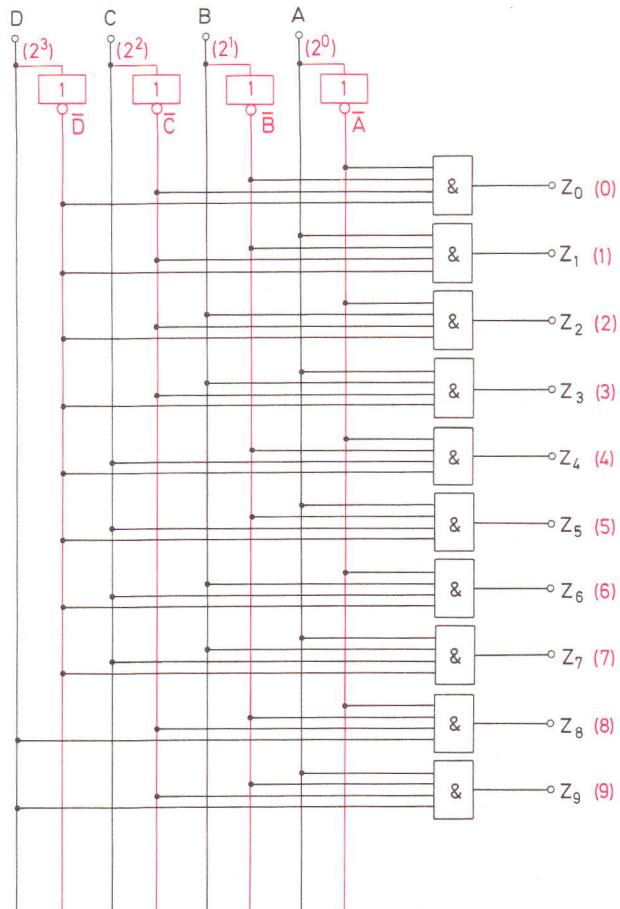
Bild 9.9 Wahrheitstabelle des BCD-Dezimal-Kodeumsetzers

Die Eingangsvariablen A, B, C und D müssen negiert und nicht negiert verfügbar sein. Zur Verwirklichung der Vollkonjunktionen werden 10 UND-Glieder mit je 4 Eingängen benötigt (Bild 9.10).

$$\begin{aligned}Z_0 &= \overline{A} \wedge \overline{B} \wedge \overline{C} \wedge \overline{D} \\Z_1 &= A \wedge \overline{B} \wedge \overline{C} \wedge \overline{D} \\Z_2 &= \overline{A} \wedge B \wedge \overline{C} \wedge \overline{D} \\Z_3 &= A \wedge B \wedge \overline{C} \wedge \overline{D} \\Z_4 &= \overline{A} \wedge \overline{B} \wedge C \wedge \overline{D}\end{aligned}$$

$$\begin{aligned}Z_5 &= A \wedge \overline{B} \wedge C \wedge \overline{D} \\Z_6 &= \overline{A} \wedge B \wedge C \wedge \overline{D} \\Z_7 &= A \wedge B \wedge C \wedge \overline{D} \\Z_8 &= \overline{A} \wedge \overline{B} \wedge \overline{C} \wedge D \\Z_9 &= A \wedge \overline{B} \wedge \overline{C} \wedge D\end{aligned}$$

Bild 9.10 Schaltung eines BCD-Dezimal-Kodeumsetzers



Die Schaltung Bild 9.10 kann auch durch Überlegen gefunden werden. Jeder 4-Bit-Einheit des BCD-Kodes muß ein einziger Ausgang eindeutig zugeordnet werden. Durch eine UND-Verknüpfung der in Frage kommenden Variablen oder ihrer Negation läßt sich die gewünschte Zuordnung erreichen.

BCD-Dezimal-Kodeumsetzer werden als integrierte Schaltungen hergestellt. Eine häufig verwendete integrierte Schaltung aus der TTL-Schaltkreisfamilie trägt die Bezeichnung FLH281-7442A. In Bild 9.11 ist die Anschlußordnung dieser Schaltung zusammen mit den Daten und der Pegeltabelle angegeben. Die Dezimalausgänge führen L-Pegel, wenn die zugehörige Ziffer ausgegeben wird. Dies ist zweckmäßig, wenn Ziffernanzeigeröhren über Treiberstufen angesteuert werden sollen.

Erscheinen an den Eingängen A, B, C und D der Schaltung FLH281-7442A Viererkombinationen, die nicht zum BCD-Kode gehören, also sogenannte Pseudotetraden, so führt das zu keiner Ziffernausgabe. Die Pegeltabelle Bild 9.11 zeigt, daß Pseudotetraden unterdrückt werden.

Der Baustein FLH 281/285 dekodiert binäre Dezimalzahlen. Die Eingänge sind direkt an die Ausgänge aller Dezimalzähler anschließbar, wobei A mit  $Q_A$ , B mit  $Q_B$ , C mit  $Q_C$  und D mit  $Q_D$  verbunden wird.

**Statische Kenndaten**  
im Temperaturbereich 1 und 5

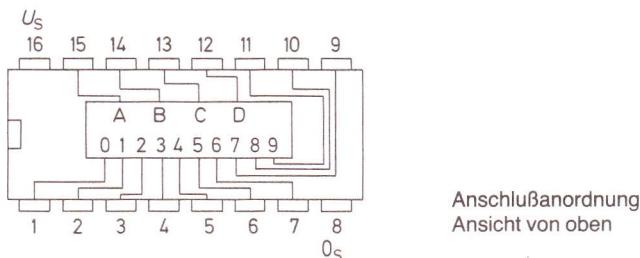
		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	$U_S$	$U_S = 4,75 \text{ V}$	4,75	5,0	5,25	V
H-Eingangsspannung	$U_{IH}$	$U_S = 4,75 \text{ V}$	2,0			V
L-Eingangsspannung	$U_{IL}$	$U_S = 4,75 \text{ V}, -I_I = 12 \text{ mA}$			0,8	V
Eingangsklemmspannung	$-U_I$	$U_S = 4,75 \text{ V}$	2,4	3,4	1,5	V
H-Ausgangsspannung	$U_{QH}$	$U_S = 4,75 \text{ V}, U_{IL} = 0,8 \text{ V}$ $-I_{QH} = 800 \mu\text{A}$				V
L-Ausgangsspannung	$U_{QL}$	$U_S = 4,75 \text{ V}$ $U_{IH} = 2 \text{ V}, U_{IL} = 0,8 \text{ V}$ $I_{QL} = 16 \text{ mA}$		0,2	0,4	V
Eingangsstrom pro Eingang	$I_I$	$U_I = 5,5 \text{ V}$	$U_S$		1	mA
H-Eingangsstrom pro Eingang	$I_{IH}$	$U_{IH} = 2,4 \text{ V}$	$= 5,25 \text{ V}$	18	55	mA
L-Eingangsstrom pro Eingang	$-I_{IL}$	$U_{IL} = 0,4 \text{ V}$			40	$\mu\text{A}$
Kurzschlußausgangsstrom pro Ausgang	$-I_Q$	$U_S = 5,25 \text{ V}$			1,6	mA
Speisestrom	$I_S$	$U_S = 5,25 \text{ V}$		28	56	mA

**Schaltzeiten** bei  $U_S = 5 \text{ V}, T_U = 25^\circ\text{C}$

Signal-Laufzeit nach Ausgang 0	$t_{PHL}$	$R_L = 400 \Omega$	$C_L = 15 \text{ pF}$	14	25	ns
nach Ausgang 1 bis 9	$t_{PHL}$			17	30	ns
Signal-Laufzeit nach Ausgang 0	$t_{PLH}$			10	25	ns
nach Ausgang 1 bis 9	$t_{PLH}$			17	30	ns

**Logische Daten**

Ausgangslastfaktor pro Ausgang H-Signal L-Signal	$F_{QH}$			20	
Eingangslastfaktor pro Eingang	$F_I$			10	
				1	



### Logisches Verhalten

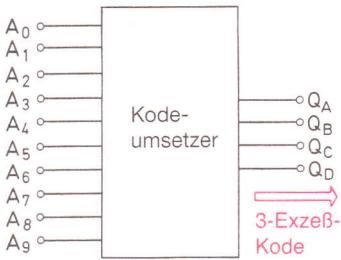
BCD-Eingänge				Dezimal-Ausgänge									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
L	L	L	L	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	H	H	L	H	H	H	H	H	H	H
L	L	H	H	H	H	H	L	H	H	H	H	H	H
L	H	L	L	H	H	H	H	L	H	H	H	H	H
L	H	L	H	H	H	H	H	H	L	H	H	H	H
L	H	H	L	H	H	H	H	H	L	H	H	H	H
L	H	H	H	H	H	H	H	H	H	L	H	H	H
L	H	L	L	H	H	H	H	H	H	H	L	H	H
H	L	L	L	H	H	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L
H	L	H	L	H	H	H	H	H	H	H	H	H	H
H	L	H	H	H	H	H	H	H	H	H	H	H	H
H	H	L	L	H	H	H	H	H	H	H	H	H	H
H	H	L	H	H	H	H	H	H	H	H	H	H	H
H	H	H	L	H	H	H	H	H	H	H	H	H	H
H	H	H	H	H	H	H	H	H	H	H	H	H	H

Bild 9.11 Anschlußanordnung, Datenblatt und Peggeltabelle der TTL-Schaltung FLH281-7442A (Siemens)

#### 9.1.4 Dezimal-3-Exzeß-Kodeumsetzer

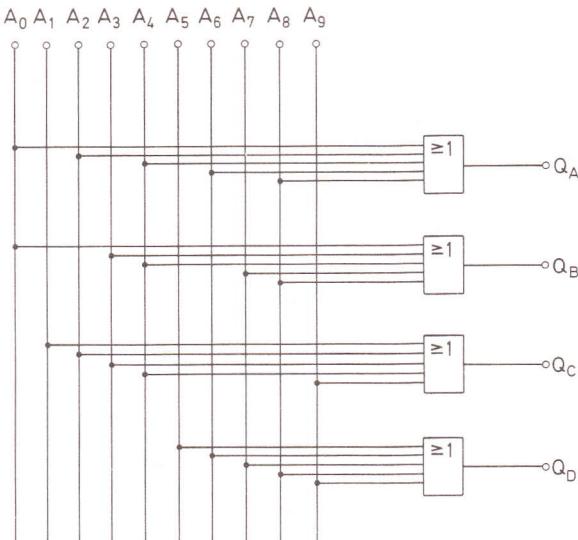
Ein Dezimal-3-Exzeß-Kodeumsetzer setzt Dezimalziffern in 4-Bit-Einheiten des 3-Exzeß-Kodes um.

Der Kodeumsetzer kann nach dem in Abschnitt 9.1.1 gezeigten Verfahren berechnet werden. Einfacher ist es jedoch, ihn nach dem Prinzip des Kreuzschienenverteilers aufzubauen. Die 1-Zustände an den Dezimaleingängen werden auf die 3-Exzeß-Ausgänge über ODER-Glieder «verteilt» (Bild 9.12).



Dezimal-ziffer	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	0	0	1	1
1	0	1	0	0
2	0	1	0	1
3	0	1	1	0
4	0	1	1	1
5	1	0	0	0
6	1	0	0	1
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0

Bild 9.12 Dezimal-3-Exzeß-Kodeumsetzer

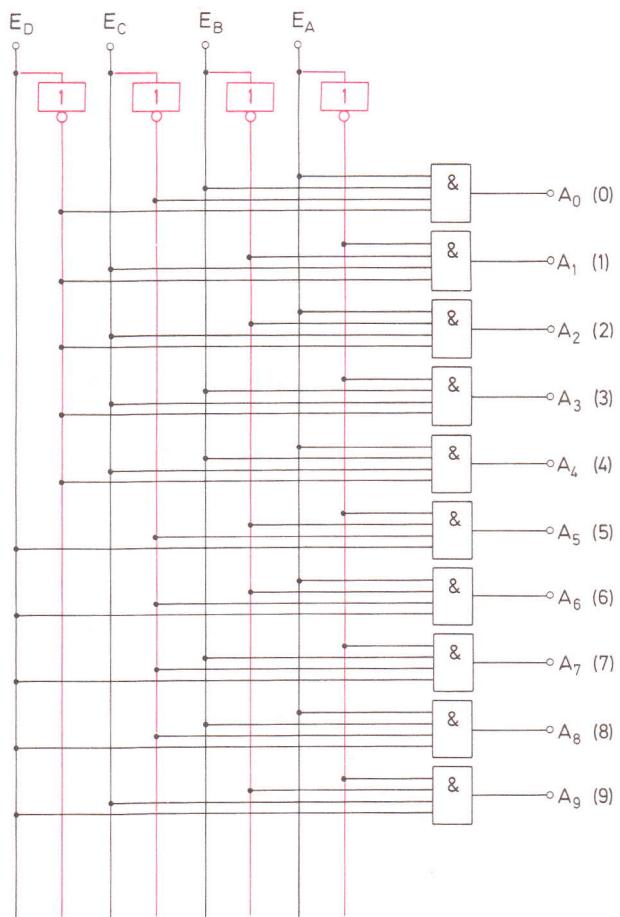


### 9.1.5 3-Exzeß-Dezimal-Kodeumsetzer

Ein 3-Exzeß-Dezimal-Kodeumsetzer setzt 4-Bit-Einheiten des 3-Exzeß-Kodes in Dezimalziffern um.

Eine Berechnung des Kodeumsetzers ist nicht erforderlich. Er kann wie ein BCD-Dezimal-Kodeumsetzer aufgebaut werden – mit einer dem 3-Exzeß-Kode entsprechenden Verdrahtung. Benötigt werden die Eingangsvariablen in negierter und nicht negierter Form. Die Zuordnung der 4-Bit-Einheiten des 3-Exzeß-Kodes zu den Dezimalziffern erfolgt über UND-Glieder (Bild 9.13).

Bild 9.13 3-Exzeß-Dezimal-Kodeumsetzer



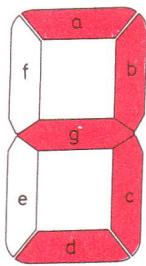
### 9.1.6 Dezimal-7-Segment-Kodeumsetzer

Dezimalziffern werden überwiegend durch 7-Segment-Anzeigeeinheiten dargestellt. Diese Anzeigeeinheiten sind mit Leuchtdioden-Segmenten oder mit Flüssigkristall-Segmenten aufgebaut (s. Beuth, Elektronik 2).

Zur Ansteuerung von 7-Segment-Anzeigeeinheiten wird ein besonderer Kode benötigt, der *7-Segment-Kode* genannt wird. Dieser Kode gibt an, welche Segmente zur Darstellung der einzelnen Dezimalziffern verwendet werden sollen. Zur Darstellung der Dezimalziffer 3 sollen z.B. die Segmente a, b, c, d und g (Bild 9.14) verwendet werden. Zur Darstellung der Dezimalziffer 8 werden alle Segmente benötigt. In Bild 9.15 ist der 7-Segment-Kode dargestellt.

*Dezimal-7-Segment-Kodeumsetzer setzen den Dezimal-Kode in den 7-Segment-Kode um.*

Bild 9.14 7-Segment-Anzeigeeinheit



Dezimal-ziffer	7-Segment-Kode						
	a	b	c	d	e	f	g
0	1	1	1	1	1	1	0
1	0	1	1	0	0	0	0
2	1	1	0	1	1	0	1
3	1	1	1	1	0	0	1
4	0	1	1	0	0	1	1
5	1	0	1	1	0	1	1
6	0	0	1	1	1	1	1
7	1	1	1	0	0	0	0
8	1	1	1	1	1	1	1
9	1	1	1	0	0	1	1

Bild 9.15 7-Segment-Kode

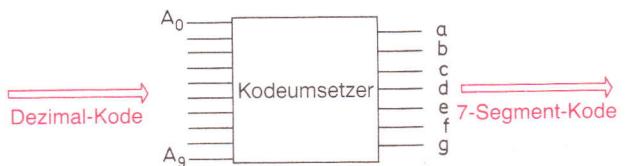
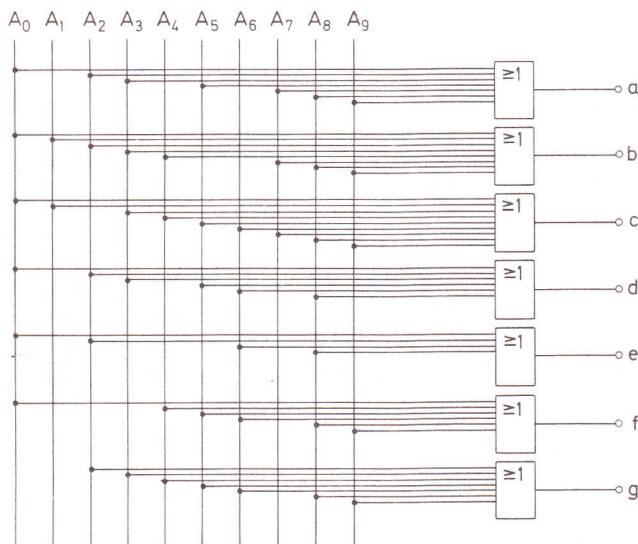


Bild 9.16 Dezimal-7-Segment-Kodeumsetzer



Ein Dezimal-7-Segment-Kodeumsetzer muß nicht berechnet werden. Er kann nach dem Prinzip des Kreuzschienenverteilers aufgebaut werden. Die 1-Zustände der Dezimaleingänge werden über ODER-Glieder auf die 7-Segment-Ausgänge «verteilt» (Bild 9.16).

### 9.1.7 BCD-7-Segment-Kodeumsetzer

Der BCD-Kode wird in großem Umfang angewendet. Entsprechend häufig sollen BCD-kodierte Informationen über 7-Segment-Anzeigeeinheiten ausgegeben werden. Kodeumsetzer, die den BCD-Kode in den 7-Segment-Kode umsetzen, haben daher eine besonders große Bedeutung.

*BCD-7-Segment-Kodeumsetzer setzen den BCD-Kode in den 7-Segment-Kode um.*

Ein solcher Kodeumsetzer könnte mit zwei der bisher besprochenen Kodeumsetzer verwirklicht werden. Schaltet man einen BCD-Dezimal-Kodeumsetzer und einen Dezimal-7-Segment-Kodeumsetzer zusammen, so erhält man einen Kodeumsetzer, der den BCD-Kode in den 7-Segment-Kode umsetzt. Die Schaltung eines derartigen Kodewandlers zeigt Bild 9.17.

Die Berechnung eines BCD-7-Segment-Kodeumsetzers führt jedoch zu einer einfacheren Schaltung. Die Wahrheitstabelle der gesuchten Kodeumsetzerschaltung zeigt Bild 9.18. Für jeden der Ausgänge a, b, c, d, e, f und g lässt sich eine ODER-Normalform aufstellen. Die ODER-Normalformen werden mit Hilfe von KV-Diagrammen vereinfacht (Bild 9.19).

Die BCD-Pseudotetraden dürfen nicht auftreten. Daher können die Plätze dieser Pseudotetraden in den KV-Diagrammen durch ein X gekennzeichnet werden. Diese Felder können nach Wunsch so behandelt werden, als enthielten sie eine 1 oder eine 0. Die Päckchenbildung wird dadurch sehr erleichtert.

Nach den in Bild 9.19 für die Ausgänge a, b, c, d, e, f und g gefundenen Gleichungen kann die Schaltung aufgebaut werden (Bild 9.20).

BCD-7-Segment-Kodeumsetzer sind selbstverständlich als integrierte Schaltungen verfügbar. Eine häufig verwendete integrierte Schaltung der TTL-Schaltkreisfamilie trägt die Bezeichnung FLH551-7448. Datenblatt, Anschlußanordnung und Pegeltabelle dieser Schaltung sind in Bild 9.21 wiedergegeben. Die Schaltung verfügt über die Möglichkeiten der Nullausblendung und der Dunkeltastung. Bei mehrstelligen Anzeigeeinheiten können alle Nullen links vom eigentlichen Zahlenwert unterdrückt werden (Bild 9.22). Ebenfalls können nicht erwünschte Ziffern dunkelgetastet werden.

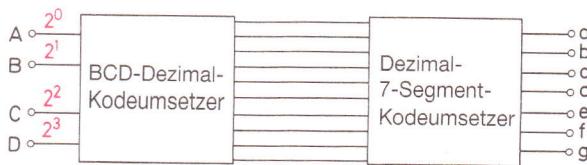
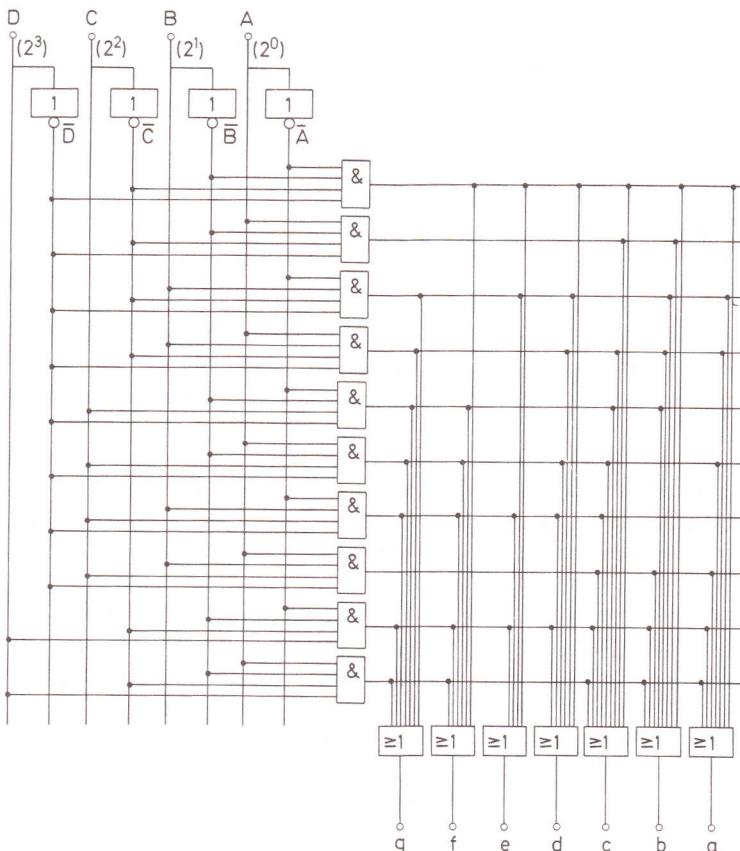


Bild 9.17 BCD-7-Segment-Kodeumsetzer, aufgebaut aus einem BCD-Decimal-Kodeumsetzer und einem Decimal-7-Segment-Kodeumsetzer



Dezimalziffer	BCD-Kode				7-Segment-Kode						
	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1

Bild 9.18 Wahrheitstabelle einer BCD-7-Segment-Kodeumsetzerschaltung

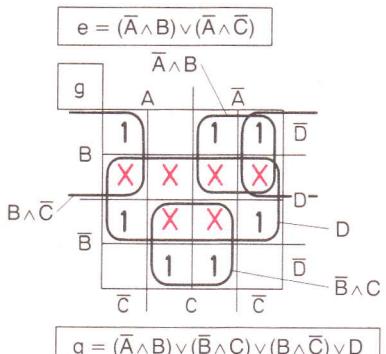
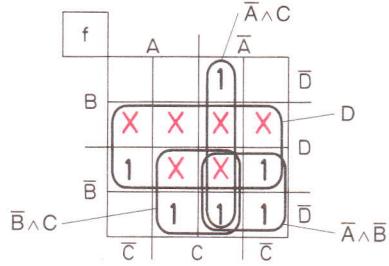
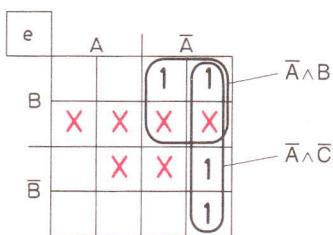
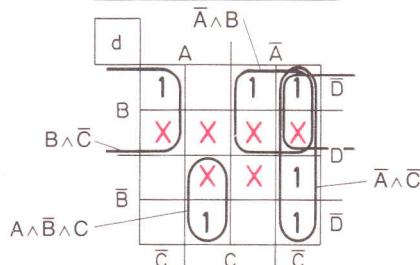
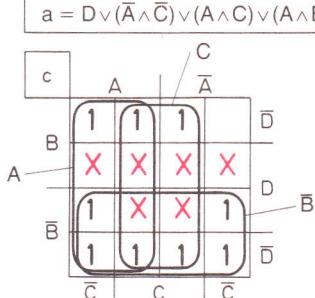
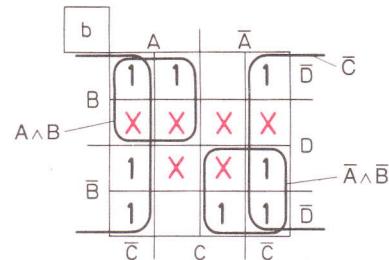
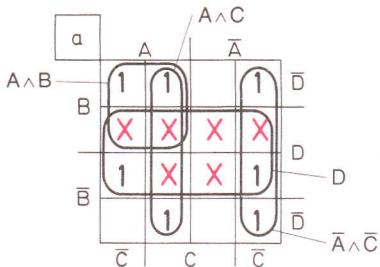


Bild 9.19 Vereinfachung der ODER-Normalformen der Ausgänge  $a$ ,  $b$ ,  $c$ ,  $d$ ,  $e$ ,  $f$  und  $g$  eines 7-Segment-Kodeumsetzers

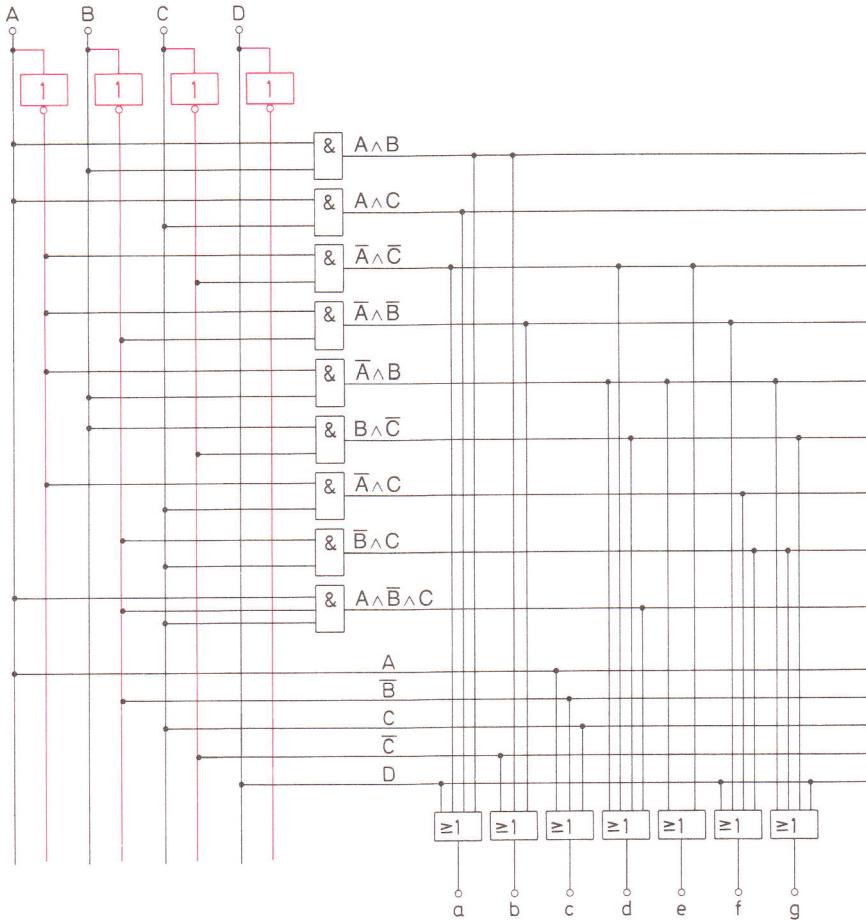


Bild 9.20 Schaltung eines BCD-7-Segment-Kodeumsetzers

## BCD-7-Segment-Dekoder

FLH 551-7448  
FLH 555-8448  
74248

Der Baustein FLH 551/555 nimmt binär-kodierte 4-Bit-Wörter auf, dekodiert sie abhängig von den Bedingungseingängen (BI, RBI, LT) und liefert an den Ausgängen a, b, c, d, e, f, g einen 7-Segment-Kode (TTL-Pegel, Eintakt-Ausgänge mit Kollektorwiderstand).

Durch den Übertragungseingang zur Nullausblendung RBI wird bei L-Signal die Null-Anzeige unterdrückt. Bei mehrstelligen Zahlen wird durch den Übertragungsausgang zur Nullausblendung RBQ (mit Eingang BI intern verbunden) eine automatische Null-Austastung über mehrere Dekaden ermöglicht. Durch Eingang Ausblendung BI erfolgt generelle Dunkeltastung, durch Eingang Lampen-Test LT erfolgt eine Kontrolle der Anzeigeröhre (Helltaastung aller Segmente).

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	$U_S$		4,75	5,0	5,25	V
H-Eingangsspannung	$U_{IH}$	$U_S = 4,75 \text{ V}$	2,0			V
L-Eingangsspannung	$U_{IL}$	$U_S = 4,75 \text{ V}$			0,8	V
Eingangsklemmspannung	$-U_I$	$U_S = 4,75 \text{ V}, -I_I = 12 \text{ mA}$			1,5	V
H-Ausgangsspannung						
an a bis g	$U_{QH}$	$-I_{QH} = 400 \mu\text{A}$	2,4	4,2		V
an BI/RBQ	$U_{QH}$	$-I_{QH} = 200 \mu\text{A}$	2,4	3,7		V
L-Ausgangsspannung						
an a bis g	$U_{QL}$	$I_{QL} = 6,4 \text{ mA}$	$U_S =$	0,27	0,4	V
an BI/RBQ	$U_{QL}$	$I_{QL} = 8 \text{ mA}$	$4,75 \text{ V}$	0,27	0,4	V
H-Eingangsstrom	$I_I$	$U_I = 5,5 \text{ V}$			1	mA
pro Eingang außer BI/RBQ	$I_{IH}$		$U_S =$		40	$\mu\text{A}$
L-Eingangsstrom			$5,25$			
an BI/RBQ	$I_{IL}$	$I_{IL} = 5,25 \text{ V}, U_{IL} = 0,4 \text{ V}$			4	mA
übrige Eingänge	$I_{IL}$				1,6	mA
Kurzschlußausgangsstrom						
an BI/RBQ	$-I_Q$	$U_S = 5,25 \text{ V}$			4	mA
Speisestrom	$I_S$	$U_S = 5,25 \text{ V}$	53	90		mA
		Ausgänge offen	53	90		mA

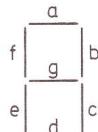
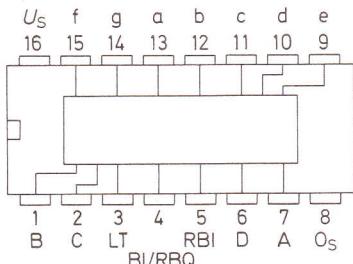
Schaltzeiten bei  $U_S = 5 \text{ V}$ ,  $T_U = 25^\circ\text{C}$

Signal-Laufzeit					
Eingang A nach beliebigem Ausgang	$t_{PHL}$	$C_L = 15 \text{ pF}, R_L = 1 \text{ k}\Omega$		100	ns
von RBI nach beliebigem Ausgang	$t_{PLH}$			100	ns
	$t_{PLH}$			100	ns
	$t_{PHL}$			100	ns

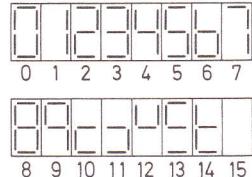
### Logische Daten

Ausgangslastfaktor an BI/RBQ	$F_Q$		5	
an a bis g H-Signal L-Signal	$F_{OH}$		10	
Eingangslastfaktor an BI/RBQ	$F_{QL}$		4	
übrige Eingänge	$F_I$		2,6	
	$F_I$		1	

Anschlußanordnung Ansicht von oben



Identifizierung der Segmente



Darstellung der aufgezählten Funktionen

**Logisches Verhalten**

Funktion	LT	RBI	D	C	B	A	BI/ RBQ	a	b	c	d	e	f	g
01	H	H	L	L	L	L	H	H	H	H	H	H	H	L
1	H	X	L	L	L	H	H	L	H	L	H	L	L	L
2	H	X	L	L	H	L	H	H	H	H	H	L	H	H
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H
6	H	X	L	H	H	H	L	H	L	H	H	H	H	H
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H
10	H	X	H	L	H	L	H	L	L	L	H	L	H	H
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H
13	H	X	H	H	L	H	H	H	L	H	L	H	L	H
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L
Bl <sup>(2)</sup>	X	X	X	X	X	X	L	L	L	L	L	L	L	L
RBQ <sup>(3)</sup>	H	L	L	L	L	L	L	L	L	L	L	L	L	L
LT <sup>(4)</sup>	L	X	X	X	X	X	H	H	H	H	H	H	H	H

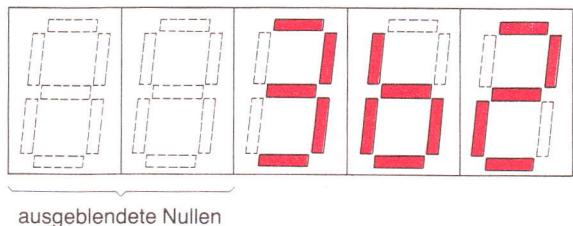
**Bemerkungen:**

X:=H- oder L-Signal

- Bei der Null-Anzeige muß am Übertrageingang zur Nullausblendung RBI H-Signal liegen.
- Wenn L-Signal am Eingang Ausblendung Bl anliegt, erhalten die Segment-Ausgänge L-Signal, unabhängig von den Eingängen.
- Wenn L-Signal am Übertrageingang zur Nullausblendung RBI anliegt, erhalten die Segmentausgänge L-Signal und am Übertragungsausgang zur Nullausblendung RBQ entsteht L-Signal, vorausgesetzt die Eingänge A, B, C, D liegen an L-Signal (Nullbedingung).
- Wenn L-Signal am Eingang Lampen-Test LT anliegt, erhalten die Segment-Ausgänge H-Signal (Helltastung), vorausgesetzt an BI/RBQ liegt H-Signal, unabhängig von den Eingängen A, B, C, D, RBI.

*Bild 9.21 Datenblatt, Anschlußanordnung und Pegeltabelle der Schaltung FLH551-7448 (Siemens)*

Bild 9.22 Fünfstellige 7-Segment-Anzeigeeinheit mit Nullausblendung



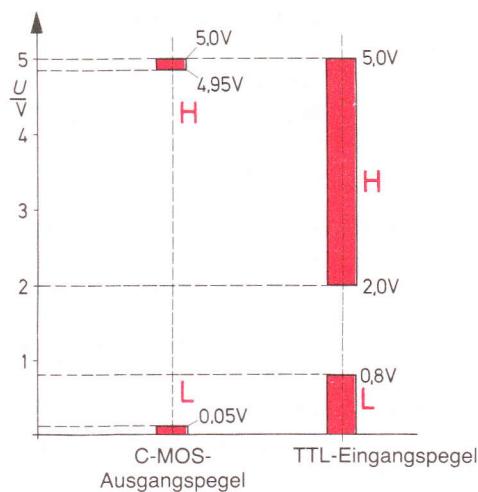
## 9.2 Pegelumsetzer

### 9.2.1 Allgemeines

Schaltkreisfamilien können mit sehr unterschiedlichen Spannungspegeln arbeiten. Will man Baugruppen verschiedener Schaltkreisfamilien miteinander verbinden, so ist zunächst zu prüfen, ob Kompatibilität zwischen den Schaltkreisfamilien besteht. Bei Kompatibilität (Verträglichkeit, Vereinbarkeit) können die Ausgänge der einen Schaltkreisfamilie mit den Eingängen der anderen Schaltkreisfamilie verbunden werden.

Zwischen vielen Schaltkreisfamilien besteht eine eingeschränkte Kompatibilität. Die Ausgänge eines C-MOS-Gliedes können z.B. TTL-kompatibel sein, die Eingänge nicht. Das bedeutet, daß z.B. eine mit einer Speisespannung von +5 V betriebene C-MOS-Schaltung TTL-Glieder steuern kann. Die Pegel passen zusammen, d.h., die möglichen H-Pegel der C-MOS-Schaltung fallen in den Bereich der möglichen H-Pegel der TTL-Schaltung. Ebenfalls fallen die möglichen L-Pegel der C-MOS-Schaltung in den Bereich der möglichen L-Pegel der TTL-Schaltung (Bild 9.23). Die C-MOS-Ausgänge müssen die bei TTL-Schaltungen üblichen Ströme abgeben und aufnehmen können. Ist das der Fall, sind C-MOS-Glieder ausgangskompatibel.

Bild 9.23 Pegeldiagramme



Die Bausteine FZH 181 und FZH 185 enthalten 4 TTL-LSL-Pegelumsetzer, die auch in wired-AND-Verknüpfung betrieben werden können. Für die Berechnung des gemeinsamen Kollektorarbeitswiderstandes gelten die aufgeführten Formeln. Die zulässige Spannung am Ausgang Q beträgt maximal 18 V, der Strom maximal 50 mA.

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	untere Grenze B	typ.	obere Grenze A	Ein- heit
Speisespannung	$U_S$			4,75	5,0	5,25	V
H-Eingangsspannung	$U_{IH}$	$U_S = 4,75 \text{ V}$	1	2,0		0,8	V
L-Eingangsspannung	$U_{IL}$	$U_S = 4,75 \text{ V}$	8			250	$\mu\text{A}$
H-Ausgangsspannung	$I_{QH}$	$U_S = 4,75 \text{ V}, U_{IL} = 0,8 \text{ V},$ $U_{QH} = 18 \text{ V}$	8				
L-Ausgangsspannung	$U_{QL}$	$U_S = 4,75 \text{ V}, U_{IH} = 2,0 \text{ V},$ $I_{QL} = 16 \text{ mA}$	1			0,4	V
	$U_{QL}$	$U_S = 4,75 \text{ V}, U_{IH} = 2,0 \text{ V},$ $I_{QL} = 50 \text{ mA}$	1			1,0	V
Statische Störsicherheit	$U_{ss}$			0,4	1,0		V
Eingangsstrom pro Eingang	$I_I$	$U_S = 5,25 \text{ V}, U_I = 5,5 \text{ V}$	3			1,0	$\text{mA}$
H-Eingangsform pro Eingang	$I_{IH}$	$U_S = 5,25 \text{ V}, U_{IH} = 2,4 \text{ V}$	3			80	$\mu\text{A}$
L-Eingangsstrom pro Eingang	$-I_{IL}$	$U_S = 5,25 \text{ V}, U_{IL} = 0,4 \text{ V}$	4			1,6	$\text{mA}$
H-Speisestrom pro Glied	$I_{SH}$	$U_{SH} = 5 \text{ V}, U_I = 0 \text{ V}$	6		1,0	2,0	$\text{mA}$
L-Speisestrom pro Glied	$I_{SL}$	$U_S = 5 \text{ V}, U_I = 5 \text{ V}$	7		8,5	12	$\text{mA}$
Leistungsverbrauch pro Glied	$P$	$U_S = U_{SA}$ Tastverhältnis 1:1			24	37	$\text{mW}$

**Schaltzeiten** bei  $U_S = 5 \text{ V}, T_U 25^\circ\text{C}$

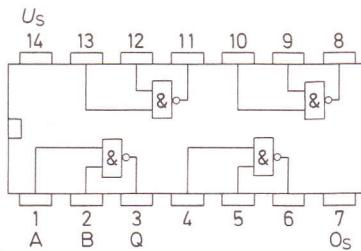
Signal-Laufzeit	$t_{PLH}$	$  C_L = 15 \text{ pF} \quad U_{SK} = 12 \text{ V} \}$	29			130	300	ns
	$t_{PHL}$	$  R_K = 760 \Omega$		20	60			

#### Logische Daten pro Glied

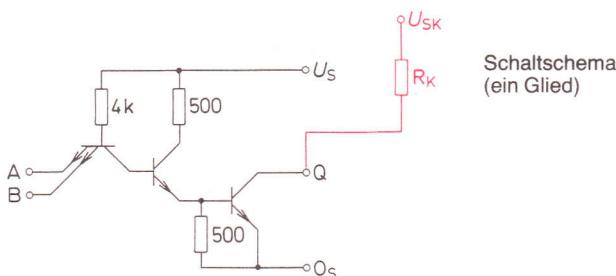
L-Ausgangsfaktor	$F_{QL}$			10	
Eingangslastfaktor pro Eingang	$F_I$			1	

Logische Funktion  $Q = \overline{A \wedge B}$

Bild 9.26 Schaltbild, Anschlußschema und Datenblatt der Pegelumsetzerschaltung FZH 181 (Siemens)



Anschlußanordnung  
Ansicht von oben



Schaltschema  
(ein Glied)

### Berechnung des Kollektorarbeitswiderstandes $R_K$

Der Widerstand  $R_K$  berechnet sich aus dem notwendigen Spannungshub und den Eingangs- und Ausgangsströmen der Gatter nach folgenden Formeln:

$$R_{KA} = \frac{U_{SK} - U_{QH} V}{n I_{QH} + N I_{IH} \mu A} \quad R_{KB} = \frac{U_{SK} - U_{QL} V}{I_{QL} - N I_{IL} \mu A}$$

Wobei:  $U_{SK}$  = Versorgungsspannung des Arbeitswiderstandes

$n$  = Anzahl der AND-Verknüpfungen

$N$  = Anzahl der angeschlossenen Eingänge

Der in der Schaltung verwendete Widerstand muß zwischen dem oberen und unteren Grenzwert A und B liegen.

Bei Verwendung als **Pegelumsetzer** ergibt sich für

$$\text{FZH 181/185 TTL-LSL } 12 \text{ V: } R_{KA} = \frac{12 - 10 \text{ V}}{n 250 + N 1 \mu A} \quad R_{KB} = \frac{12 - 1,0 \text{ V}}{50 - N 1,5 \text{ mA}}$$

$$\text{TTL-LSL } 15 \text{ V: } R_{KA} = \frac{15 - 12 \text{ V}}{n 250 + N 1 \mu A} \quad R_{KB} = \frac{15 - 1,0 \text{ V}}{50 - N 1,8 \text{ mA}}$$

wobei  $n_A = 4$  für  $N_A = 25$

### 9.2.3 Pegelumsetzer als integrierte Schaltungen

Für häufig benötigte Pegelumsetzungen sind integrierte Schaltungen verfügbar. In der digitalen Steuerungstechnik wird die LSL-Schaltkreisfamilie in großem Umfang eingesetzt (LSL = langsame störsichere Logik). TTL-Baugruppen müssen hier oft mit LSL-Baugruppen verbunden werden. Die LSL-Schaltkreisfamilie verwendet Speisespannungen von 12 V und 15 V mit entsprechenden Pegeln für L und H.

Die Pegelumsetzerschaltung FZH181 setzt TTL-Pegel auf LSL-Pegel um. Schaltbild, Anschlußschema und Datenblatt dieser Schaltung sind in Bild 9.26 dargestellt. Die Schaltung ist im Prinzip ein NAND-Glied mit offenem Kollektor. Der Kollektorarbeitswiderstand wird an die Speisespannung der LSL-Baugruppe (12V oder 15V) angeschlossen. Der Ausgangstransistor ist für die sich ergebenden Belastungen ausgelegt.

## 9.3 Lernziel-Test

1. Skizzieren Sie die Schaltung eines Dezimal-BCD-Kodeumsetzers.
2. Das Verfahren der Berechnung eines Kodeumsetzers für beliebige Kodes ist zu beschreiben.
3. Geben Sie die Schaltung eines Kodeumsetzers an, der den Dezimalkode in den Aiken-Kode wandelt.
4. Ein Kodeumsetzer für die Umsetzung des Gray-Kodes (Bild 8.13) in den BCD-Kode ist zu berechnen.
5. Welche Aufgaben muß ein Pegelumsetzer erfüllen?
6. Eine C-MOS-Schaltung wird mit einer Speisespannung von 3 V betrieben. Zur Datenausgabe soll auf die TTL-Standard-Schaltkreisfamilie umgesetzt werden, damit 7-Segment-Anzeigeeinheiten mit Leuchtdiodensegmenten angesteuert werden können. Welche Probleme ergeben sich bei der Pegelumsetzung?

# 10 Zähler und Frequenzteiler

## 10.1 Zählen und Zählerarten

Zählen – oder genauer gesagt Vorwärtzählen – ist eine fortlaufende 1-Addition. Zu einem Anfangswert, der oft Null ist, wird immer wieder 1 hinzugezählt, bis der Zählvorgang beendet ist.

Rückwärtzählen ist eine fortlaufende 1-Subtraktion. Das Rückwärtzählen beginnt bei einem Anfangswert und wird bis zu einem Endwert fortgesetzt. Dieser Endwert kann – muß aber nicht – Null sein.

Das Zählen im dezimalen Zahlensystem ist allgemein bekannt und üblich. Jedes andere Zahlensystem ist zum Zählen jedoch ebenfalls geeignet. Man kann z.B. im dualen oder auch im hexadezimalen Zahlensystem zählen. Auch kann in allen nur möglichen Kodes gezählt werden.

Für alle auftretenden Zählaufgaben können elektronische Zählerschaltungen gebaut werden. Eine besondere Bedeutung haben binär arbeitende Zählerschaltungen, sogenannte Binärzähler.

*Binärzähler verarbeiten nur die Signale 0 und 1.*

Fast alle zur Zeit verwendeten elektronischen Zähler sind Binärzähler. Zähler, die mit drei, vier oder mehr verschiedenen Eingangssignalen arbeiten, haben keine praktische Bedeutung. Für Binärzähler kann daher allgemein die Bezeichnung «Zähler» verwendet werden.

Zähler können mit verschiedenen Kodes oder Zahlensystemen arbeiten. Die Zahlensysteme gelten als besondere Kodes. Je nach Zählaufgabe benötigt man Vorwärtzähler, Rückwärtzähler oder Zähler mit umschaltbarer Zählrichtung.

*Zähler werden nach dem verwendeten Kode und nach der Zählrichtung unterschieden.*

Zähler sind mit binären Bausteinen aufgebaut. Grundbausteine sind bistabile Kipplieder, sogenannte Flipflops. Diese Flipflops werden zu bestimmten Zeitpunkten geschaltet. Werden alle Flipflops zum gleichen Zeitpunkt geschaltet, spricht man von synchronem Betrieb. Asynchroner Betrieb liegt dann vor, wenn die Flipflops zu unterschiedlichen Zeitpunkten geschaltet werden. Zähler, die im synchronen Betrieb arbeiten, heißen Synchronzähler. Zähler, die im asynchronen Betrieb arbeiten, heißen Asynchronzähler.

Bild 10.1 Übersicht über die Zählerarten

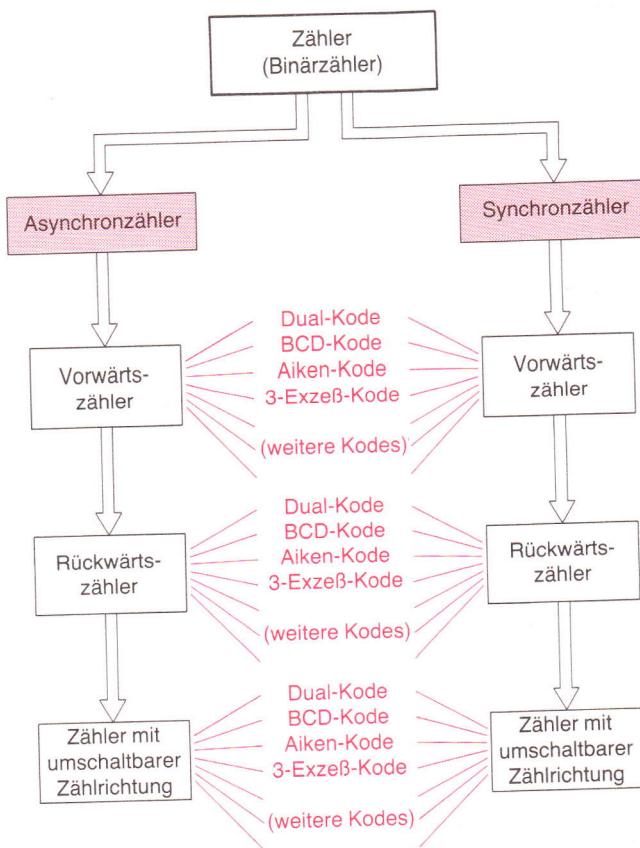
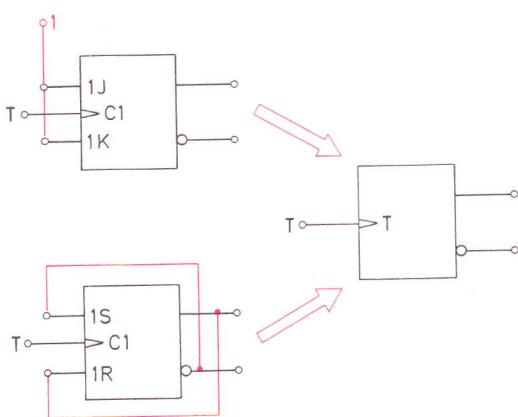


Bild 10.2 JK-Flipflop und SR-Flipflop als T-Flipflop geschaltet



*Man unterscheidet bei Zählern zwischen Synchronzählern und Asynchronzählern.*

Insgesamt ergibt sich eine große Anzahl möglicher Zähler. Bild 10.1 gibt eine Übersicht über die Zählerarten.

## 10.2 Asynchronzähler

*Bei Asynchronzählern werden die Kippglieder nicht durch einen gemeinsamen Schaltbefehl (Takt) gleichzeitig geschaltet.*

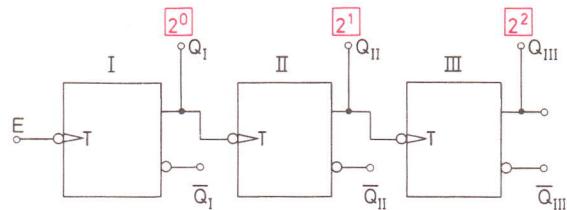
### 10.2.1 Asynchrone Dualzähler

Asynchrone Dualzähler arbeiten nach dem dualen Zahlensystem. Sie können mit verschiedenen Flipfloparten aufgebaut werden. Der einfachste Aufbau ergibt sich mit T-Flipflops. JK- und SR-Flipflops können so geschaltet werden, daß sie wie T-Flipflops arbeiten (Bild 10.2).

#### 10.2.1.1 Dual-Vorwärtszähler

Die Schaltung Bild 10.3 zeigt einen aus drei T-Flipflops aufgebauten Dual-Vorwärtszähler. Ein solcher Zähler wird *3-Bit-Dual-Vorwärtszähler* oder *3stufiger Dual-Vorwärtszähler* genannt. Jedes Flipflop hat eine Speicherkapazität von einem Bit und steht für eine binäre Stelle. Die von den Ausgängen gebildete Ergebnis-Dualzahl hat so viele Stellen, wie Flipflops vorhanden sind.

Bild 10.3 Dual-Vorwärtszähler



Die T-Flipflops der Schaltung Bild 10.3 schalten beim Übergang des Signals von 1 auf 0, also mit der fallenden Signalflanke. Die einzelnen Schaltvorgänge sind im Zeitablaufdiagramm Bild 10.4 dargestellt.

Das Zeitablaufdiagramm ist etwas idealisiert. Wenn das Signal von  $Q_1$  von 1 auf 0 geht, so vergeht eine bestimmte Zeit, bis das Signal an  $Q_2$  von 0 auf 1 geht. Diese Zeit ist die

Bild 10.4 Zeitablauf-diagramm des Dualzählers  
Bild 10.3

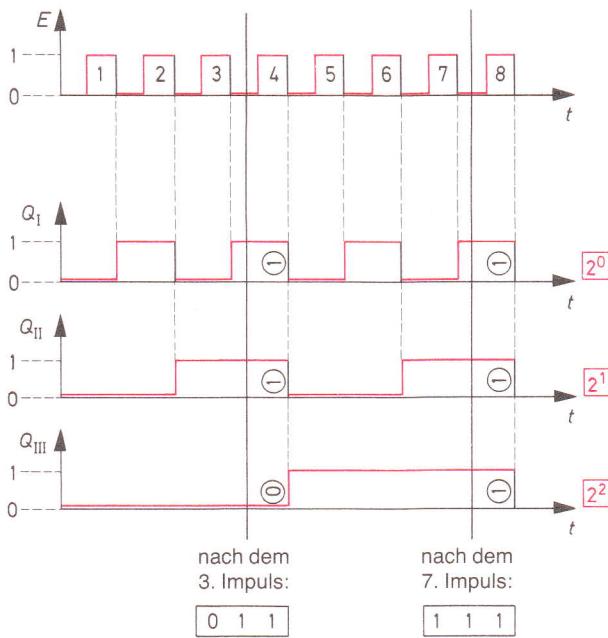
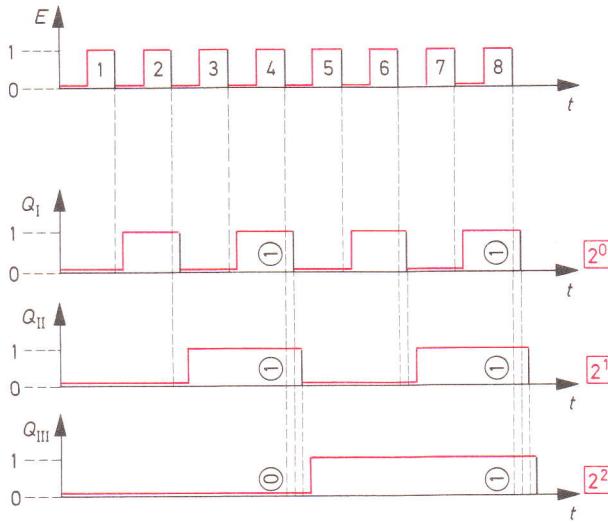


Bild 10.5 Zeitablauf-Dia-  
gramm mit Berücksichtigung  
der Signallaufzeit (Perioden-  
dauer des Eingangssignals 200  
ns, Signallaufzeit 30 ns)



*Signallaufzeit*. Sie beträgt bei Flipflops der TTL-Schaltkreisfamilie 30 ns bis 50 ns. Bei kleinen Eingangssignalfrequenzen kann die Signallaufzeit vernachlässigt werden. Wenn das Eingangssignal in Bild 10.4 jedoch eine Periodendauer von  $0,2 \mu\text{s} = 200 \text{ ns}$  (5 MHz) hat, muß die Signallaufzeit berücksichtigt werden. Es ergeben sich für  $Q_I$ ,  $Q_{II}$  und  $Q_{III}$  zeitlich verschobene Impulsreihen gemäß Bild 10.5. Die Verschiebung der Impulsreihen ist ein Nachteil des Asynchronverfahrens. Sie führt zu einer Verringerung der höchstmöglichen Zählfrequenz.

Stehen für den Aufbau eines Dual-Vorwärtszählers T-Flipflops zur Verfügung, die mit der ansteigenden Flanke des Eingangssignals kippen, so werden die negierten Ausgangssignale ( $\bar{Q}$ ) für die Ansteuerung des nächsten Flipflops verwendet (Bild 10.6). Der 4-Bit-Dual-Vorwärtszähler kann bis 15 zählen.

*Dual-Vorwärtszähler zählen von Null ab bis zu ihrem möglichen Höchstwert, schalten dann auf Null zurück und beginnen den Zählvorgang erneut.*

Das JK-Master-Slave-Flipflop hat sich zum Universal-Flipflop entwickelt. Integrierte Schaltungen, die mehrere dieser Flipflops enthalten, sind preiswert zu haben. Die Schaltung FLJ131-7476 (Bild 7.80) enthält zwei JK-Master-Slave-Flipflops. Mit zwei Exemplaren dieser integrierten Schaltung ist ein 4-Bit-Dual-Vorwärtszähler aufzubauen. Wie sieht das Schaltbild dieses Zählers aus?

Die JK-Flipflops sollen wie T-Flipflops arbeiten. Alle J- und K-Eingänge sind also auf Zustand 1 zu legen, d.h. mit Betriebsspannung zu verbinden. Wie steht es nun mit dem Kippen dieser Flipflops? Kippen sie bei ansteigender oder abfallender Signalflanke? Der offene Pfeil im Schaltzeichen weist auf das Kippen des Master-Flipflops hin. Dieser kippt demnach bei ansteigender Signalflanke. Das Slave-Flipflop kippt bei abfallender Signalflanke. Die Weitergabe des Signals an das folgende Flipflop erfolgt also bei abfallender Signalflanke – wie bei einem T-Flipflop, das einen Negationsring vor dem Pfeil im Schaltzeichen hat. Der Q-Ausgang eines Flipflops ist daher jeweils mit dem C-Eingang des folgenden Flipflops zu verbinden. Es ergibt sich die in Bild 10.7 dargestellte Schaltung.

Die JK-Flipflops haben taktunabhängige Setz- und Rücksetzeingänge. Die Setzeingänge sind mit S, die Rücksetzeingänge mit R bezeichnet. Diese Eingänge werden nicht benötigt.

Zähler dieser Art werden oft benötigt. Es ist deshalb von Vorteil, sie durch ein Gesamtschaltzeichen darstellen zu können. Das entsprechende Schaltzeichen zeigt Bild 10.8. An einen Steuerblock sind vier Master-Slave-Flipflops gehängt. Sie sind so zusammenge schaltet, daß sich ein Vorwärtszähler ergibt. Das Pluszeichen kennzeichnet den Vorwärtszähler. Die Bezeichnung «CTR» ist die Abkürzung von Counter, dem englischen Wort für Zähler. Die nachgestellte Zahl gibt die Anzahl der möglichen Zählschritte an.

Der 4-Bit-Dual-Vorwärtszähler soll etwas erweitert werden. Erwünscht ist eine Möglichkeit, den Zähler auf einen gewählten Zahlenwert zu setzen. Das Setzen kann über die taktunabhängigen Setzeingänge S erfolgen. Der Negationskreis vor den Setzeingängen

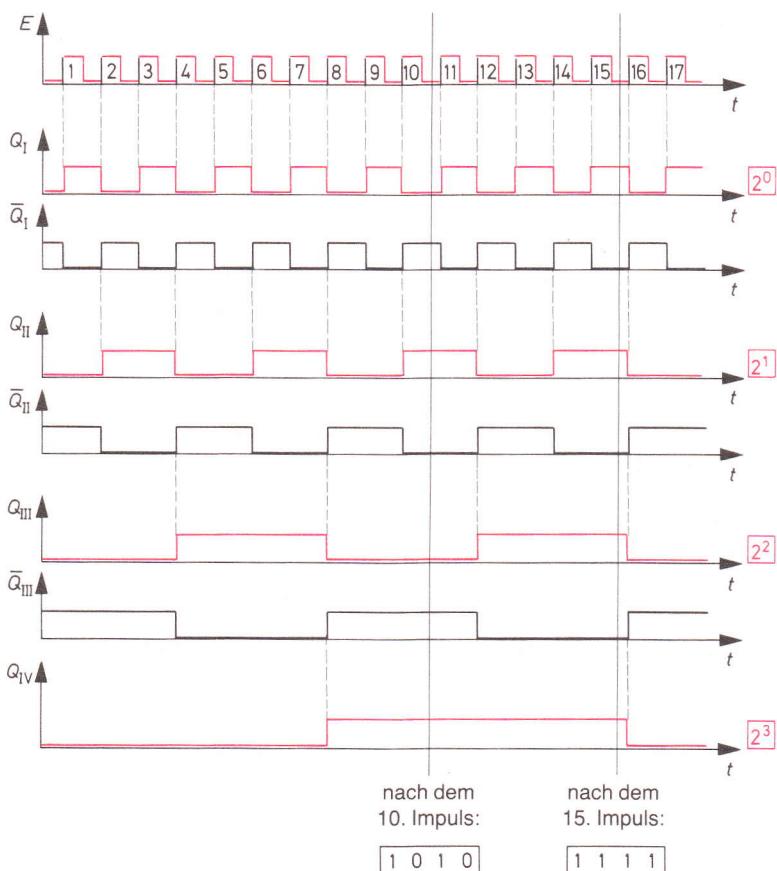
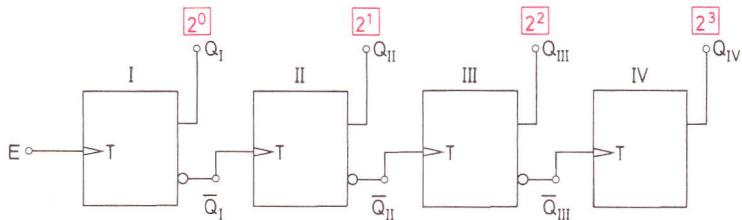


Bild 10.6 4-Bit-Dual-Vorwärtszähler mit Zeitablaufdiagramm

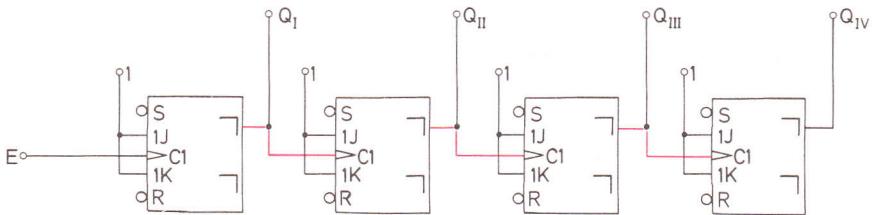
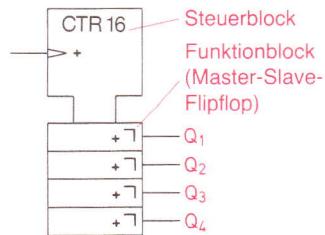


Bild 10.7 4-Bit-Dual-Vorwärtszähler, aufgebaut mit JK-Master-Slave-Flipflops

Bild 10.8 Gesamtschaltzeichen nach DIN 40900 Teil 12, eines 4-Bit-Dual-Vorwärtszählers, mit Master-Slave-Flipflops aufgebaut, CTR 16 bedeutet 16 Zählschritte. CTR steht für Counter, engl. Zähler.



besagt, daß zum Setzen ein 0-Signal erforderlich ist. Um mit 1-Signalen setzen zu können, werden NICHT-Glieder den Setzeingängen vorgeschaltet.

Die Rücksetzeingänge R können zum gemeinsamen taktunabhängigen Nullsetzen des Zählers verwendet werden. Die R-Eingänge werden alle miteinander verbunden. Ein 0-Signal  $E_R$  setzt den Zähler taktunabhängig auf Null zurück. Die Schaltung des 4-Bit-Dual-Vorwärtszählers mit Setz- und Rücksetzmöglichkeit zeigt Bild 10.9. Ein solcher Zähler wird Dual-Vorwärtszähler mit Vorwahlmöglichkeit genannt.

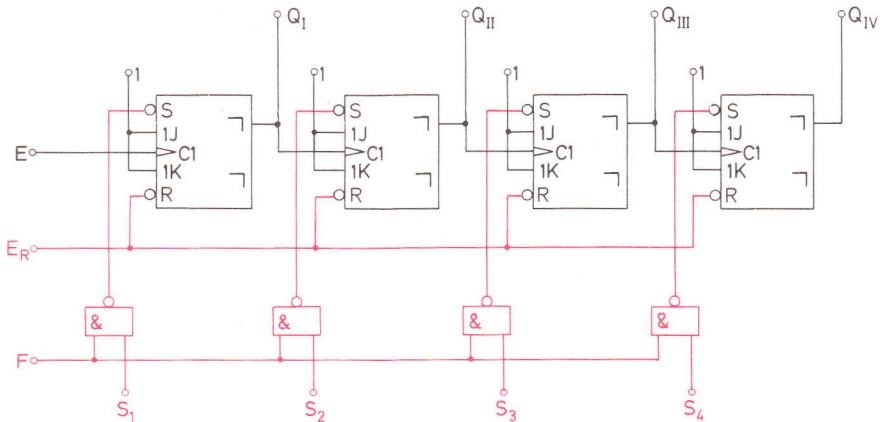


Bild 10.9 4-Bit-Dual-Vorwärtszähler mit taktunabhängiger Setz- und Rücksetzmöglichkeit

Aus der Stellenzahl eines Dual-Vorwärtzählers ergibt sich seine Zählkapazität. Ein 4-Bit-Zähler zählt bis 15. Ein 5-Bit-Zähler zählt bis 31, ein 6-Bit-Zähler bis 63 usw.

Anzahl der Flipflops ( $n$ )	Zählkapazität ( $K$ )
2	3
3	7
4	15
5	31
6	63
7	127
8	255
9	511
10	1023

$$K = 2^n - 1$$

Asynchrone Dual-Vorwärtzähler gibt es in verschiedenen Ausführungen als integrierte Schaltungen. Klar und leicht verständlich aufgebaut ist die Schaltung FLJ181-7493A. Das Schaltbild und die Anschlußordnung ist in Bild 10.10 dargestellt. Um die integrierte Schaltung für verschiedene Zwecke verwendbar zu machen, ist der Ausgang  $Q_A$  nicht mit dem Eingang B intern verbunden. Die Schaltung kann z.B. auch als 3-Bit-Dual-Vorwärtzähler verwendet werden, wenn das Eingangssignal auf den Eingang B gegeben wird. Ein 4-Bit-Dual-Vorwärtzähler entsteht erst dann, wenn der Anschluß  $Q_A$  mit dem Anschluß B verbunden wird (rot in Bild 10.11).

Anschlußanordnung  
Ansicht von oben

$A, B$  = Zähleingänge  
 $R_{01}, R_{02}$  = Rückstelleingänge  
 $Q$  = Ausgänge

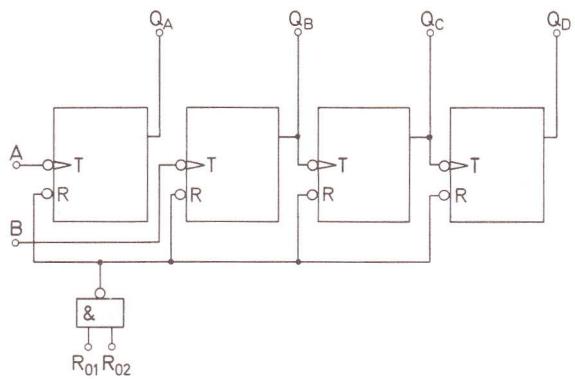
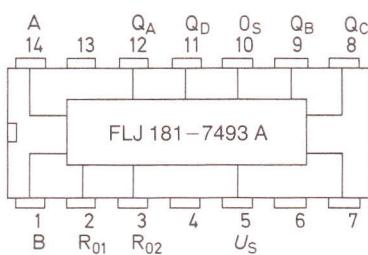


Bild 10.10 Schaltbild und Anschlußanordnung des 4-Bit-Dual-Vorwärtzählers FLJ181-7493A (Siemens)

Die integrierte Schaltung FLJ181-7493A enthält taktunabhängige Rückstelleingänge, die über ein NAND-Glied angesteuert werden. Der Zähler wird auf Null zurückgestellt, wenn an den beiden Eingängen  $R_{01}$  und  $R_{02}$  1-Signal anliegt.

*Aufgabe:*

Mit zwei integrierten Schaltungen vom Typ FLJ181-7493A ist ein 8-Bit-Dual-Vorwärtszähler aufzubauen. Der Zähler soll durch ein 1-Signal an einem gemeinsamen Rückstelleingang R auf Null zurückgesetzt werden können. Gesucht sind das Schaltbild des Zählers und der Verdrahtungsplan der beiden integrierten Schaltungen.

Die beiden integrierten Schaltungen sind so zusammenzuschalten, daß der Ausgang  $Q_D$  der 1. Schaltung den Eingang A der zweiten Schaltung steuert. Bei jeder Schaltung ist  $Q_A$  mit B zu verbinden.

Die Rückstelleingänge  $R_{01}$  und  $R_{02}$  beider Schaltungen werden zum gemeinsamen Rückstelleingang R verbunden (Bild 10.11).

Der Verdrahtungsplan der Schaltung ist in Bild 10.12 dargestellt.

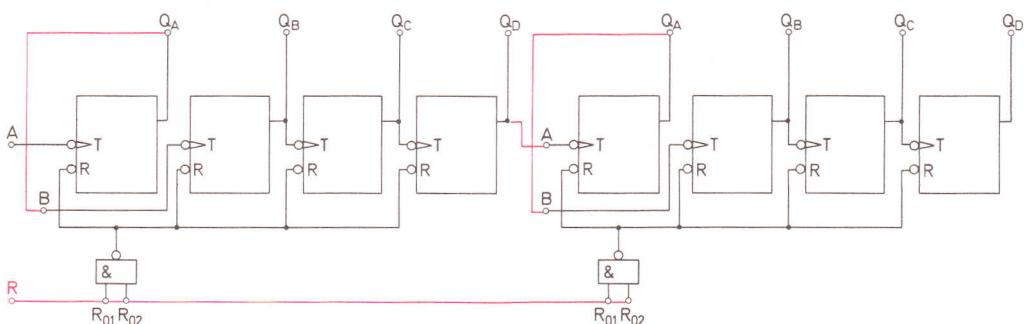


Bild 10.11 8-Bit-Dual-Vorwärtszähler, aufgebaut aus zwei integrierten Schaltungen FLJ181-7493A

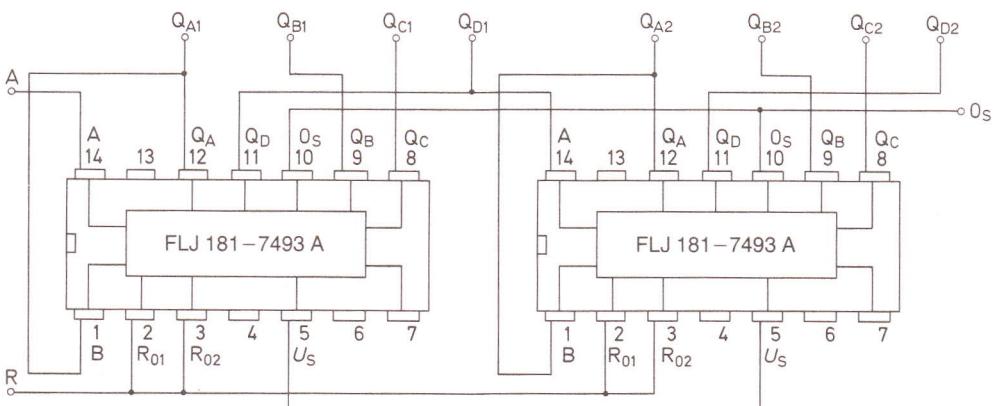


Bild 10.12 Verdrahtungsplan des 8-Bit-Dual-Vorwärtszählers Bild 10.11

### 10.2.1.2 Dual-Rückwärtszähler

Dual-Rückwärtszähler zählen von ihrem möglichen Höchstwert ab rückwärts bis auf Null, springen dann wieder auf den Höchstwert und zählen erneut zurück.

Der in Bild 10.3 dargestellte 3-Bit-Dual-Vorwärtszähler kann sehr leicht in einen 3-Bit-Dual-Rückwärtszähler umgebaut werden. Die von den Q-Ausgängen zu den T-Eingängen geführten Steuerleitungen werden von den Q-Ausgängen abgeklemmt und an die  $\bar{Q}$ -Ausgänge angeschlossen (Bild 10.13). Für den 3-Bit-Rückwärtszähler ergibt sich das Zeitablaufdiagramm (Bild 10.14).

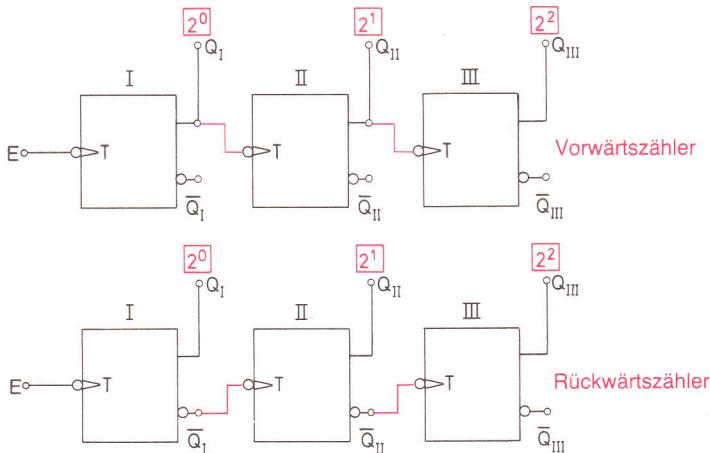


Bild 10.13 Umbau eines 3-Bit-Dual-Vorwärtszählers in einen 3-Bit-Dual-Rückwärtszähler  
Bild 10.13

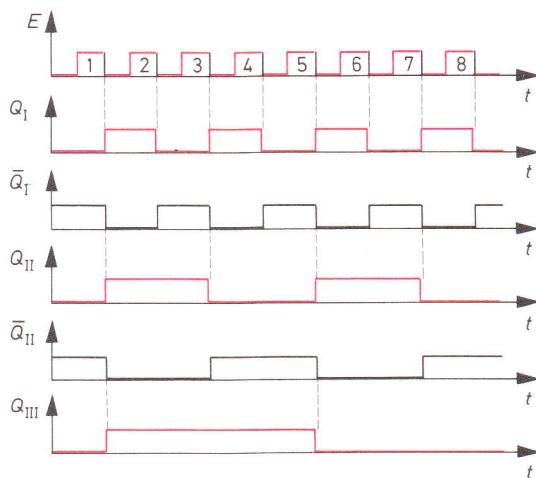
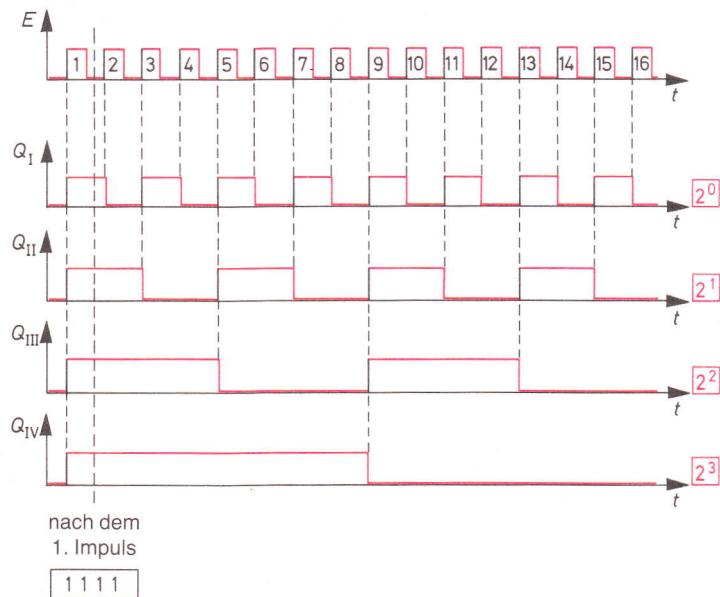
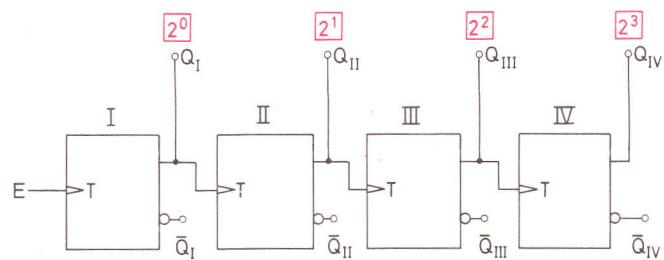


Bild 10.14 Zeitablaufdiagramm des 3-Bit-Dual-Rückwärtszählers  
Bild 10.13

Bild 10.15 4-Bit-Dual-Rückwärtszähler mit zugehörigem Zeitablaufdiagramm



Stehen T-Flipflops zur Verfügung, die beim Signalübergang von 0 auf 1 – also mit ansteigender Flanke – schalten, so sind die Signale an den Q-Ausgängen für die Steuerung der folgenden Flipflops zu verwenden. Bild 10.15 zeigt die Schaltung eines 4-Bit-Dual-Rückwärtszählers, der mit derartigen T-Flipflops aufgebaut ist, und das zugehörige Zeitablauf-Diagramm.

#### Aufgabe:

Mit JK-Master-Slave-Flipflops der integrierten Schaltung FLJ131-7476 soll ein 6-Bit-Dual-Rückwärtszähler aufgebaut werden. Gesucht ist das Schaltbild dieses Zählers. Der Zähler ist außerdem durch ein Schaltzeichen nach DIN 40700 Teil 14 darzustellen. Jedes JK-Master-Slave-Flipflop der Schaltung FLJ131-7474 ist so zu beschalten, daß es wie ein T-Flipflop arbeitet, also bei jedem Takt kippt. An die Eingänge J und K wird

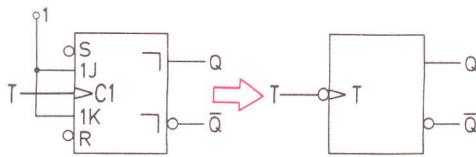


Bild 10.16 JK-Master-Slave-Flipflop, das wie ein T-Flipflop bei jedem Takt kippt

1-Zustand gelegt. Die Weitergabe des Signals an die Ausgänge erfolgt mit abfallender Signalflanke – also wie bei einem T-Flipflop, dessen T-Eingang durch einen Negationskreis gekennzeichnet ist (Bild 10.16).

Wie sind nun die einzelnen Flipflops miteinander zu verbinden? Welches Ausgangssignal muß zur Ansteuerung des jeweils folgenden Flipflops verwendet werden? Um einen Dual-Vorwärtszähler zu erhalten, müßte man das Q-Ausgangssignal mit dem Takteingang des folgenden Flipflops verbinden. Da jedoch ein Dual-Rückwärtszähler entstehen soll, müssen die  $\bar{Q}$ -Ausgangssignale zur Steuerung verwendet werden. Die gesuchte Schaltung ist in Bild 10.17 dargestellt.

Das Schaltzeichen des 6-Bit-Dual-Rückwärtszählers nach DIN 40700 Teil 14 zeigt Bild 10.18. An den Steuerblock sind 6 Funktionsblöcke angehängt.

Dual-Rückwärtszähler werden als integrierte Schaltungen kaum gebaut. Das hat einen besonderen Grund. Aus einem Dual-Vorwärtszähler läßt sich sehr leicht ein Dual-Rückwärtszähler machen. Man muß lediglich die Signale aller Ausgänge negieren oder die  $\bar{Q}$ -Ausgänge der Flipflops als Zählerausgänge verwenden. Bei integrierten Schaltungen sind die  $\bar{Q}$ -Ausgänge meist nicht herausgeführt. Das Negieren der Q-Signale bereitet jedoch keine Schwierigkeiten.

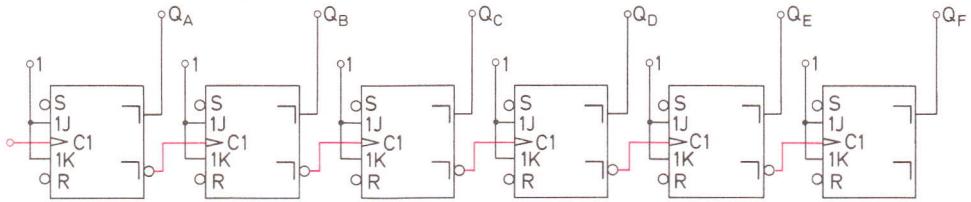


Bild 10.17 6-Bit-Dual-Rückwärtszähler

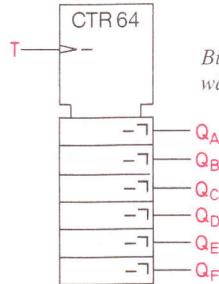


Bild 10.18 Schaltzeichen eines 6-Bit-Dual-Rückwärtszählers nach Bild 10.17, 64 Zählschritte

### 10.2.1.3 Dualzähler mit umschaltbarer Zählrichtung

Die Zählrichtung eines Dualzählers ist davon abhängig, welche Signale für die Ansteuerung der jeweils folgenden Flipflops verwendet werden. Man kann mit den Ausgangssignalen Q oder mit den Ausgangssignalen  $\overline{Q}$  steuern. Die Zählrichtung ist weiterhin von der Art der verwendeten Flipflops abhängig – insbesondere davon, ob diese Flipflops mit der ansteigenden oder mit der abfallenden Signalflanke schalten.

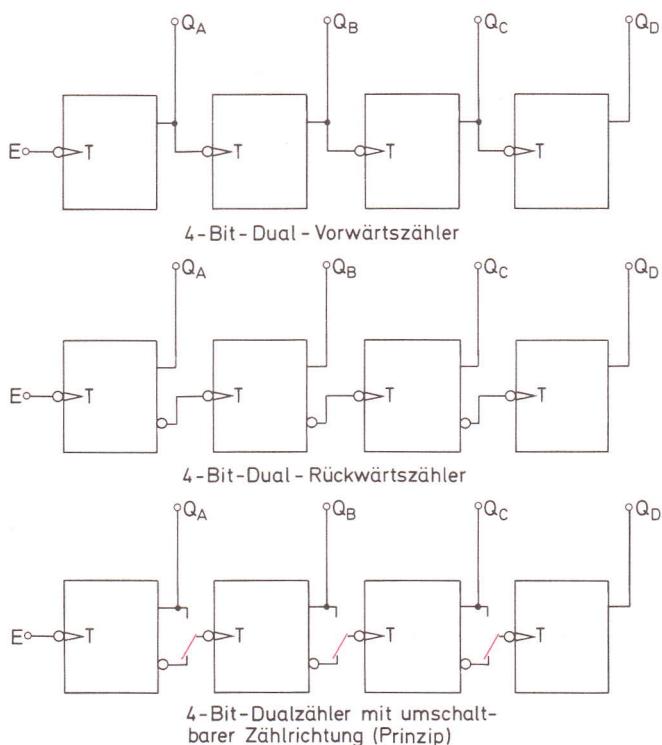
Verwendet man für einen Zähler T-Flipflops, die mit der abfallenden Signalflanke schalten, so führt eine Ansteuerung mit Q-Signalen zu einem Vorwärtzähler (s. Abschnitt 10.2.1.1). Bei Ansteuerung mit  $\overline{Q}$ -Signalen ergibt sich ein Rückwärtzähler (s. Abschnitt 10.2.1.2).

Kennt man diese Zusammenhänge, so ist es leicht, einen Dualzähler mit umschaltbarer Zählrichtung zu entwerfen.

*Bei einem Dualzähler wird eine Umschaltung der Zählrichtung durch ein Umschalten der Ansteuersignale Q und  $\overline{Q}$  erreicht.*

Bild 10.19 zeigt das Entstehen eines 4-Bit-Dualzählers mit umschaltbarer Zählrichtung.

Bild 10.19 Entstehen eines 4-Bit-Dualzählers mit umschaltbarer Zählrichtung



Die Umschaltung erfolgt hier durch Kontaktschalter. Die Kontaktschalter bringen erhebliche Nachteile. Sie werden in der Praxis durch Verknüpfungsglieder ersetzt. In Bild 10.20 ist eine übliche Schaltung eines 4-Bit-Dualzählers mit umschaltbarer Zählrichtung angegeben. Liegt Signal 1 am Steuereingang U, arbeitet der Zähler als Vorwärtszähler. Liegt Signal 0 an Steuereingang U, so arbeitet der Zähler als Rückwärtszähler.

Dualzähler mit umkehrbarer Zählrichtung, auch Dual-Umkehrzähler genannt, sind als integrierte Schaltungen verfügbar. Ein 4-Bit-Dual-Umkehrzähler der TTL-Schaltkreisfamilie trägt die Bezeichnung FLJ211-74191. Er ist außerdem voreinstellbar, d.h., er kann über vier Dateneingänge auf einen Anfangswert eingestellt werden.

Dualzähler mit umkehrbarer Zählrichtung können nach DIN 40700 Teil 14 durch ein Schaltzeichen dargestellt werden. In Bild 10.21 ist ein solches Schaltzeichen angegeben.

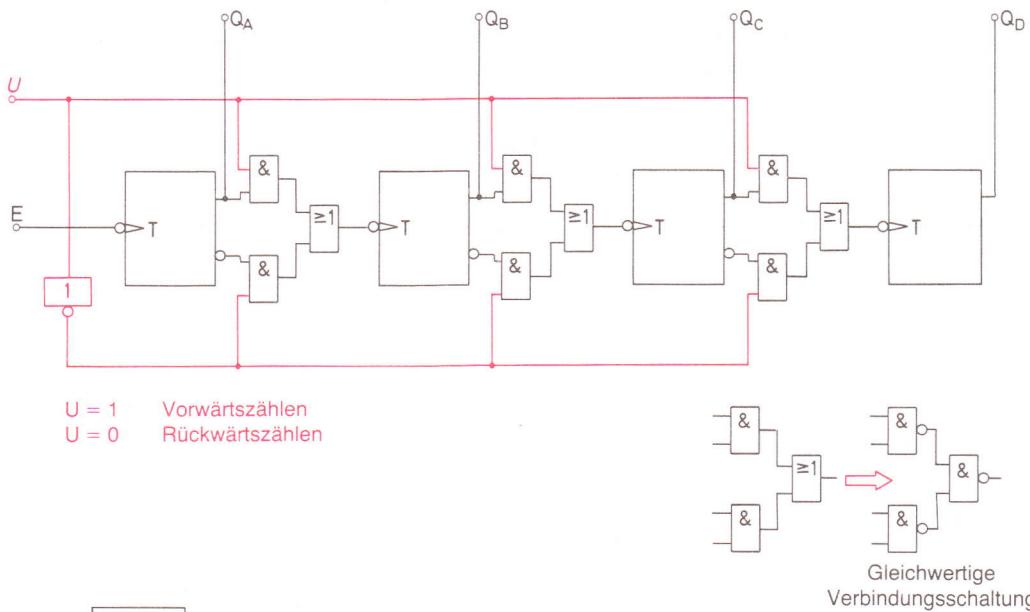


Bild 10.20 4-Bit-Dualzähler mit umschaltbarer Zählrichtung

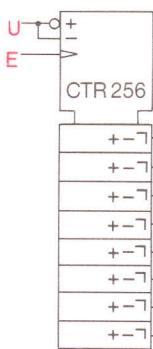


Bild 10.21 Schaltzeichen eines 8-Bit-Dualzählers mit umkehrbarer Zählrichtung, 256 Zählschritte

Es gilt für einen 8-Bit-Dualzähler mit umkehrbarer Zählrichtung. Liegt 0-Signal am Eingang U, so arbeitet der Zähler als Vorwärtszähler. Liegt 1-Signal am Eingang U, arbeitet der Zähler als Rückwärtszähler.

## 10.2.2 Asynchrone BCD-Zähler

*BCD-Zähler sind grundsätzlich 4-Bit-Zähler. An ihren Ausgängen müssen Signale des BCD-Kodes abnehmbar sein.*

Der BCD-Kode drückt die Dezimalziffern 0 bis 9 als Dualzahlen aus, er ist also ein Dezimalziffern-Kode. Da die BCD-Zähler kodierte Dezimalziffern zählen, werden sie oft *Dezimalzähler* genannt. Diese Bezeichnung führt jedoch zu Mißverständnissen. Eine Verwechslung mit Zählern, die nach dem 1-aus-10-Kode arbeiten, ist möglich. BCD-Zähler gibt es als *Vorwärtszähler*, als *Rückwärtszähler* und als *Zähler mit umschaltbarer Zählrichtung*.

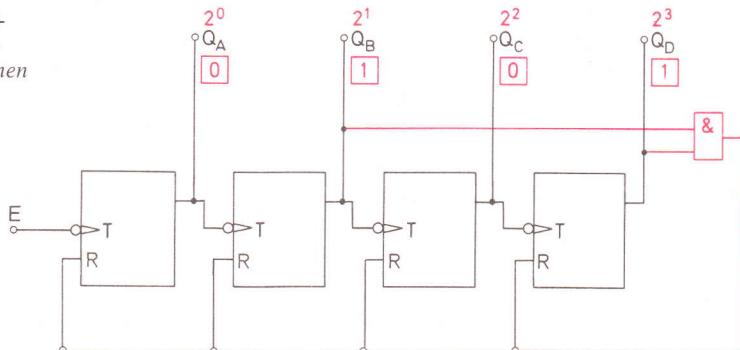
### 10.2.2.1 BCD-Vorwärtszähler

Ein BCD-Vorwärtszähler kann aus einem 4-Bit-Dual-Vorwärtszähler entwickelt werden. Die verwendeten Flipflops müssen lediglich einen taktunabhängigen Rückstelleingang haben. Der Zähler darf nur bis zur Dualzahl 1001, also bis zur Dezimalziffer 9, zählen und muß dann auf Null zurückgestellt werden. Das Zurückstellen muß in dem Augenblick erfolgen, in dem der Zähler von 1001 auf 1010 schaltet.

Die Schaltung eines 4-Bit-Dual-Vorwärtszählers ist in Bild 10.22 dargestellt. Die T-Flipflops haben taktunabhängige Rückstelleingänge R. Welche Zusatzbeschaltung ist erforderlich, um aus dem 4-Bit-Dual-Vorwärtszähler einen BCD-Vorwärtszähler zu machen?

Für die Rückstellung sind 1-Signale an den R-Eingängen dieser Flipflops erforderlich. Alle Flipflops werden gemeinsam zurückgestellt. Daher ist es zweckmäßig, alle R-Eingänge miteinander zu verbinden.

Bild 10.22 Umwandlung eines 4-Bit-Dual-Vorwärtszählers in einen BCD-Vorwärtszähler



Dezimal-ziffer	BCD-Kode			
	$2^3$	$2^2$	$2^1$	$2^0$
$Q_D$	$Q_C$	$Q_B$	$Q_A$	
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Bild 10.23 BCD-Kode

Die Rückstellung soll erfolgen, wenn der Zähler vom Dezimalzahlenwert 9 auf den Dezimalzahlenwert 10 übergeht.  $Q_B$  und  $Q_D$  müssen also 1-Signal führen. Die Ausgänge  $Q_B$  und  $Q_D$  werden über ein UND-Glied verknüpft. Der Ausgang des UND-Gliedes wird mit den Rückstelleingängen R verbunden. Diese Zusatzbeschaltung ist in Bild 10.22 rot eingezzeichnet.

Ein solcher Zähler arbeitet bei nicht zu hohen Impulsfrequenzen einwandfrei. Ein unbeabsichtigtes Rückstellen kann vor Erreichen des Dezimalzahlenwertes 10 nicht erfolgen, denn erst bei diesem Dezimalzahlenwert führen  $Q_B$  und  $Q_D$  1-Signal (s. Bild 10.23). Bei allen vorherigen Ausgangssignal-Kombinationen – bei den Dezimalzahlenwerten 0 bis 9 – tritt niemals  $Q_B = 1$  und  $Q_D = 1$  auf.

Etwas störend ist, daß kurzzeitig die Ausgangssignalkombination mit dem Dezimalzahlenwert 10 auftritt. Der Zähler zählt also bis einschließlich 10 und löscht dann den Zustand 10. Bei TTL-Schaltungen liegt der Dezimalzahlenwert 10 etwa für die Dauer von 50 ns an den Ausgängen. Das ist zwar nur eine sehr kurze Zeit. Bei einigen Anwendungsfällen kann dieser Vorgang jedoch Störungen verursachen.

Der Nachteil des kurzzeitigen Anliegens des Dezimalzahlenwertes 10 wird bei der Schaltung Bild 10.24 vermieden. Dieser Zähler ist mit einflankengesteuerten JK-Flipflops aufgebaut. Die Verdrahtung wurde schrittweise mit Hilfe des Zeitablaufdiagramms gefunden.

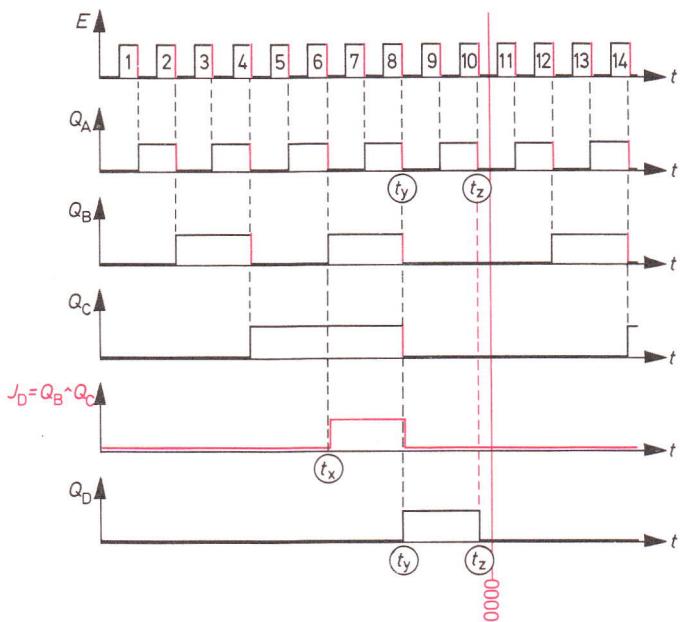
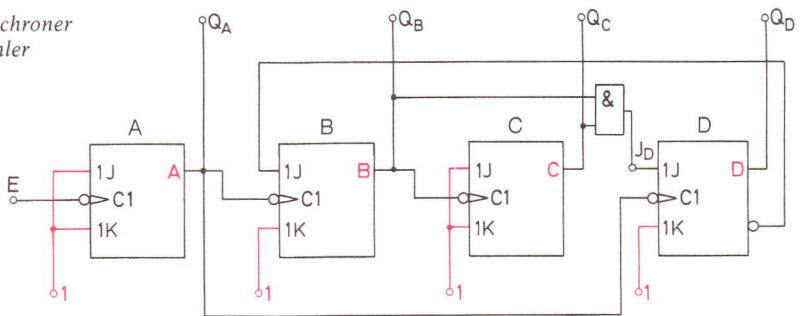
Das Flipflop A arbeitet wie ein T-Flipflop. Das Flipflop B arbeitet ebenfalls wie ein T-Flipflop – aber nur solange, wie sich Flipflop D im Ruhezustand befindet (für das Arbeiten als T-Flipflop muß bekanntlich an J und an K 1-Signal anliegen). Die Impulsreihe  $Q_A$  ergibt sich wie gewohnt. Die Impulsreihe  $Q_B$  wird gestört, sobald Flipflop D in den Arbeitszustand kippt. Wenn das 1-Signal an  $J_B$  wegfällt, muß das Flipflop B im Ruhezustand bleiben.

Das Flipflop C arbeitet wieder wie ein T-Flipflop. Es wird von der Impulsreihe  $Q_B$  gesteuert. Interessant ist das Signal  $J_D$ . Für  $J_D$  gilt:

$$J_D = Q_B \wedge Q_C$$

Das Signal  $J_D$  ist im Zeitablaufdiagramm Bild 10.24 besonders aufgeführt. Zum Zeitpunkt  $t_X$  wird  $J_D = 1$ . Nun kann das Flipflop D in den Arbeitszustand kippen, aber erst dann, wenn das «Taktsignal»  $Q_A$  von 1 auf 0 geht. Das ist im Zeitpunkt  $t_Y$  der Fall.  $Q_D$

Bild 10.24 Asynchroner BCD-Vorwärtszähler mit Zeitablaufdiagramm



wird 1. Kurz danach wird  $J_D$  wieder 0, und das Flipflop D muß mit der abfallenden Flanke seines Taktsignals  $Q_A$  in den Ruhezustand kippen, und zwar im Zeitpunkt  $t_z$ . Nach der 10. abfallenden Flanke des Eingangssignals E zeigen die Ausgänge 0000 an. Der BCD-Zähler ist auf Null gestellt und beginnt den Zählvorgang von neuem. Der BCD-Vorwärtszähler Bild 10.24 wird mit kleineren Abänderungen als integrierte Schaltung FLJ161-7490A gebaut.

Der gesamte BCD-Zähler kann durch ein Schaltzeichen dargestellt werden. Dieses besteht aus dem Steuerblock und aus 4 Funktionsblöcken, die den 4 Flipflops entsprechen. Die Funktion des Vorwärtszählers wird durch ein Pluszeichen kennlich gemacht. Der Kode, nach dem der Zähler arbeitet, ist im Steuerblock anzugeben (Bild 10.25).

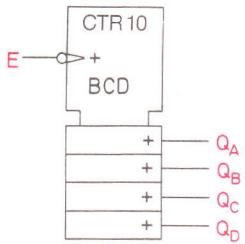


Bild 10.25 Schaltzeichen eines BCD-Vorwärtszählers, der mit abfallender Signalflanke schaltet. CTR steht für Counter, engl. Zähler. Die nachgestellte Zahl gibt die Anzahl der Zählschritte an.

### 10.2.2.2 BCD-Rückwärtszähler

Auch der BCD-Rückwärtszähler läßt sich aus einem Dual-Rückwärtszähler ableiten (Bild 10.26). Der Dual-Rückwärtszähler muß durch eine Zusatzbeschaltung dazu gebracht werden, mit dem Dezimalzahlenwert 9, also mit der Dualzahl 1001, das Rückwärtszählen zu beginnen. Ohne Zusatzbeschaltung würde er mit dem Dezimalzahlenwert 15 bzw. mit der Dualzahl 1111 beginnen.

Ganz kurzzeitig (ca. 50 ns) liegt die Dualzahl 1111 an den Ausgängen. Mit diesem Signal müssen die Flipflops B und C (Bild 10.26) in die Ruhelage zurückgesetzt werden ( $Q_B = 0$ ,  $Q_C = 0$ ). Dies geschieht über die taktunabhängigen Rücksetzeingänge. Man könnte alle vier Ausgangssignale auf ein UND-Glied geben. Das ist aber nicht erforderlich. Es genügt, die Signale  $Q_B$  und  $Q_D$  dem UND-Glied zuzuführen, denn im Bereich der Dezimalzahlenwerte 9 bis 0 taucht  $Q_B = 1$  und  $Q_D = 1$  nie gleichzeitig auf. (Es wäre auch möglich, die Signale  $Q_C$  und  $Q_D$  zu verwenden.) Die erforderliche Zusatzbeschaltung ist rot in Bild 10.26 eingetragen.

Aus einem BCD-Vorwärtszähler läßt sich recht einfach ein Dual-Rückwärtszähler machen. Man muß nur die Ausgangssignale des BCD-Vorwärtszählers negieren oder die  $\bar{Q}$ -Ausgänge der Flipflops als Zählerausgänge verwenden (Bild 10.27). Daß das zum Erfolg führt, zeigt die Kode-Tabelle Bild 10.28.

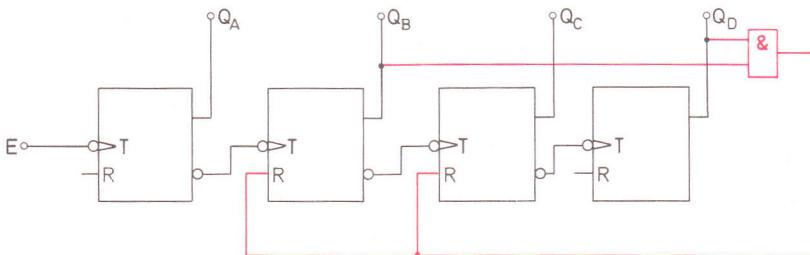


Bild 10.26 Umwandlung eines 4-Bit-Dual-Rückwärtszählers in einen BCD-Rückwärtszähler

Bild 10.27  
Dual-Rückwärtzzähler

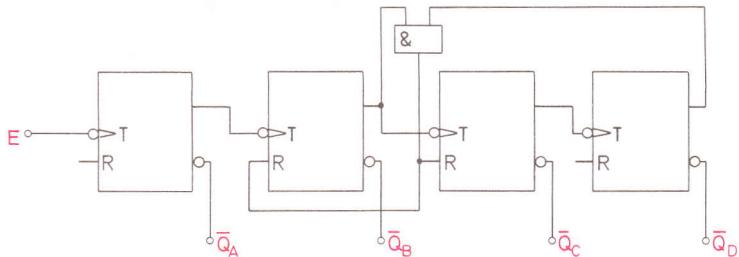


Bild 10.28  
Kode-Tabelle

Dezi-mal-ziffer	Q <sub>D</sub>   Q <sub>C</sub>   Q <sub>B</sub>   Q <sub>A</sub>				Q̄ <sub>D</sub>   Q̄ <sub>C</sub>   Q̄ <sub>B</sub>   Q̄ <sub>A</sub>				Dezimal-zahlenwert
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	Q̄ <sub>D</sub>	Q̄ <sub>C</sub>	Q̄ <sub>B</sub>	Q̄ <sub>A</sub>	
0	0	0	0	0	1	1	1	1	15
1	0	0	0	1	1	1	1	0	14
2	0	0	1	0	1	1	0	1	13
3	0	0	1	1	1	1	0	0	12
4	0	1	0	0	1	0	1	1	11
5	0	1	0	1	1	0	1	0	10
6	0	1	1	0	1	0	0	1	9
7	0	1	1	1	1	0	0	0	8
8	1	0	0	0	0	1	1	1	7
9	1	0	0	1	0	1	1	0	6

### 10.2.2.3 BCD-Zähler mit umschaltbarer Zählrichtung

Der BCD-Zähler mit umschaltbarer Zählrichtung kann aus dem 4-Bit-Dualzähler mit umschaltbarer Zählrichtung (Bild 10.20) abgeleitet werden. Besondere Aufmerksamkeit ist der Beschaltung der Rückstelleingänge zu widmen.

Der Zähler Bild 10.29 ist mit T-Flipflops aufgebaut, die mit abfallender Signalflanke schalten. Die Rückstelleingänge dieser Flipflops werden mit 0-Signalen gesteuert. Bei Betrieb als Vorwärtzzähler muß am Umschalteingang U Signal 1 liegen. Bei Signal 0 an U arbeitet der Zähler als Rückwärtzzähler.

Ein BCD-Rückwärtzzähler muß vor Beginn des Zählvorgangs auf den Dezimalzahlenwert 9, also auf die Dualzahl 1001, eingestellt werden. Die Flipflops B und C müssen auf 0 gesetzt werden. Bei  $Q_B = 1$  und  $Q_D = 1$  liegt am Ausgang des NAND-Gliedes 0. Mit diesem Signal werden die Flipflops B und C zurückgesetzt. Das Flipflop D wird nicht zurückgesetzt, da von der Steuerleitung über das ODER-Glied 1-Signal an seinem Rückstelleingang liegt.

Arbeitet der Zähler als Vorwärtzzähler, muß er auf Null zurückgesetzt werden, wenn  $Q_B = 1$  und  $Q_D = 1$  sind. Am Ausgang des NAND-Gliedes erscheint 0-Signal. Mit diesem werden die Flipflops B, C und D zurückgesetzt. D wird jetzt auch zurückgesetzt, da auf der unteren Steuerleitung 0-Signal liegt. Ein Zurücksetzen des Flipflops A ist nicht erforderlich, da dieses ohnehin auf Null steht ( $Q_A = 0$ ).

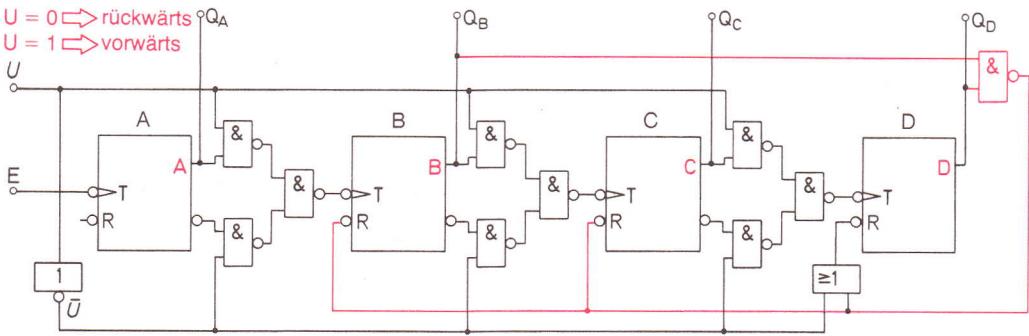


Bild 10.29 BCD-Zähler mit umschaltbarer Zählrichtung

### *Aufgabe:*

Der BCD-Zähler Bild 10.29 soll mit integrierten Schaltungen FLJ131-7476 und FLH101-7400 aufgebaut werden. Gesucht ist das Schaltbild des Zählers.

Die integrierte Schaltung FLJ131-7476 enthält zwei JK-Master-Slave-Flipflops. Zwei dieser integrierten Schaltungen werden also benötigt. Die integrierte Schaltung FLH101-7400 (siehe Bild 6.65) enthält vier NAND-Glieder. Für die Umschalteinrichtung zwischen zwei Flipflops werden drei NAND-Glieder gebraucht, für drei Umschalteinrichtungen also 9. Ein weiteres NAND-Glied ist für die Gewinnung des Rückstellsignals erforderlich. Der Ersatz des ODER-Gliedes erfordert drei NAND-Glieder. Das wären insgesamt 13 NAND-Glieder. Man müßte also vier integrierte Schaltungen FLH101-7400 beschaffen und hätte dann 16 NAND-Glieder. Vielleicht ist es möglich, ein NAND-Glied einzusparen, dann wären nur 3 IC FLH101-7400 erforderlich.

Bild 10.30 zeigt die gesuchte Schaltung. Ein NAND-Glied lässt sich tatsächlich einsparen, wenn statt des Signals  $\bar{U}$  das Signal  $U$  zur Steuerung der Rückstellung des Flipflops D verwendet wird.

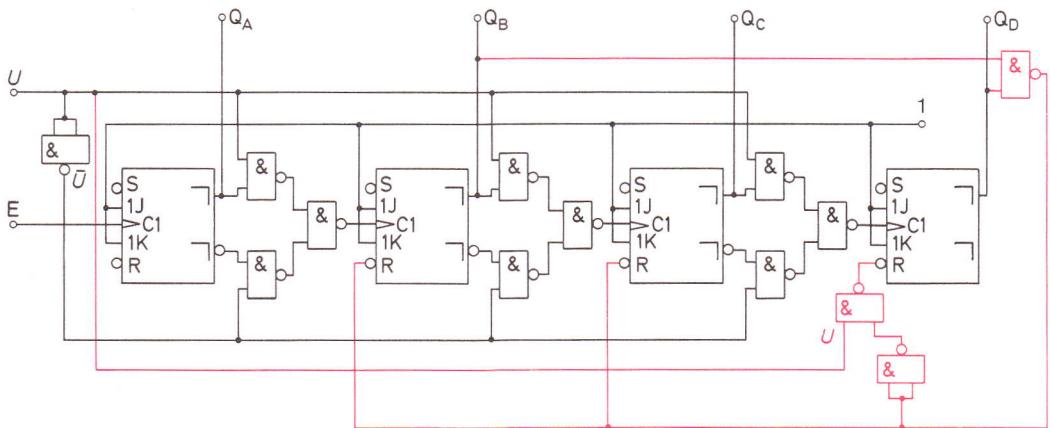


Bild 10.30 BCD-Zähler mit umschaltbarer Zählrichtung (2 × FLJ131-7476, 3 × FLH101-7400)

## 10.2.3 Asynchrone Dekadenzähler

### 10.2.3.1 BCD-Dekadenzähler

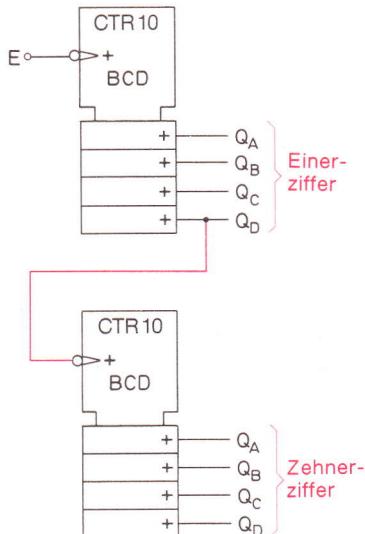
BCD-Vorwärtszähler zählen von 0 bis 9. Will man weiterzählen, ist ein zweiter BCD-Vorwärtszähler erforderlich. Mit zwei Zählern dieser Art kann man bis 99 zählen. Jeder Zähler zählt eine Dekade. Drei Zähler erlauben es, bis 999 zu zählen.

Dekadenzähler sind meist aus zwei oder mehr BCD-Vorwärtszählern aufgebaut. Jeder Zähler hat vier Ausgänge, an denen eine Dualzahl liegt, die einer Dezimalziffer entspricht. Die Zusammenschaltung der Zähler zeigt Bild 10.31.

Wenn der obere Zähler auf Null zurückstellt, ändert sich das Signal an  $Q_D$  von 1 auf 0. Die abfallende Signalflanke wird zur Ansteuerung des unteren Zählers verwendet. Der untere Zähler schaltet immer dann weiter, wenn der obere Zähler auf Null geht. Er verarbeitet also den Übertrag in die zweite Dekade.

Bei Dekadenzählern kann das Zählergebnis sehr leicht als Dezimalzahl ausgegeben werden. Die Ausgangssignale eines jeden BCD-Zählers werden einem BCD-7-Segment-Kodeumsetzer zugeführt. Die Dezimalziffer wird durch eine 7-Segment-Anzeigeeinheit dargestellt (Bild 10.32).

Bild 10.31 BCD-Dekadenzähler für zwei Dekaden



### 10.2.3.2 Andere Dekadenzähler

Dekadenzähler können auch mit Zählern aufgebaut werden, die nach dem Aiken-Kode, nach dem 3-Exzeß-Kode oder einem anderen Kode arbeiten. Solche Zähler werden jedoch nur in geringem Umfang verwendet. Dekadenzähler dieser Art werden nach dem gleichen Prinzip aufgebaut wie BCD-Dekadenzähler.

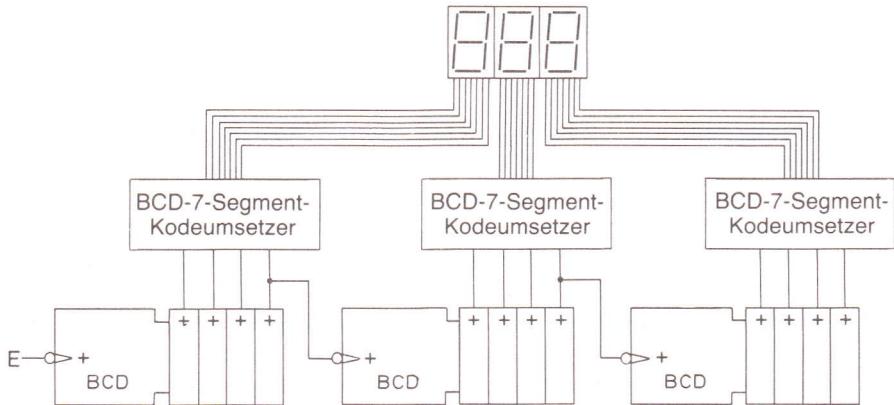


Bild 10.32 Dreistufiger BCD-Dekadenzähler mit BCD-7-Segment-Kodeumsetzern und 7-Segment-Anzeigeeinheiten

## 10.2.4 Asynchrone Modulo-n-Zähler

### 10.2.4.1 Prinzip der Modulo-n-Zähler

Für verschiedene Zählaufgaben in der Steuerungstechnik und in der Technik der Informationsverarbeitung und Zeitmessung werden Zähler benötigt, die bis zu einem gewünschten Zahlenwert zählen, dann auf Null rücksetzen und die Zählung erneut beginnen oder stehenbleiben und auf ein neues Startsignal warten. Die Zahl, bis zu der zu zählen ist, kann beliebig sein.

Solche Zähler werden Modulo-n-Zähler genannt (von modulus, lat.: Maß). Der kleine Buchstabe n steht für die Anzahl der möglichen Zählerzustände. Ein BCD-Zähler z.B. könnte als Modulo-10-Zähler bezeichnet werden. Er zählt zwar nur bis 9. Einschließlich der 0 hat er jedoch 10 mögliche Zählerzustände.

### 10.2.4.2 Modulo-5-Zähler

Ein Modulo-5-Zähler muß bis 4 zählen können und mit dem 5. Impuls auf Null gesetzt werden. Wie sieht die Schaltung eines solchen Zählers aus?

Der Einfachheit halber werden T-Flipflops verwendet, obwohl das JK-Flipflop sich zum Universalflop entwickelt hat. Aus dem JK-Flipflop wird ja bekanntlich ein T-Flipflop, wenn die Eingänge J und K auf 1-Signal gelegt werden. Für die Schaltung werden drei Flipflop benötigt (Bild 10.33). Der Zähler kann bis 7 zählen. Beim Übergang von 4 auf 5 muß der Zähler auf Null gestellt werden.

Das Rückstellen kann auf die gleiche Art wie beim BCD-Zähler erreicht werden. Wenn  $Q_A = 1$  und  $Q_C = 1$  sind, soll zurückgestellt werden. Als Rückstellsignal wird ein 0-Signal benötigt. Die Ausgänge  $Q_A$  und  $Q_C$  werden über ein NAND-Glied verknüpft.

Bild 10.33 Schaltung eines Modulo-5-Zählers

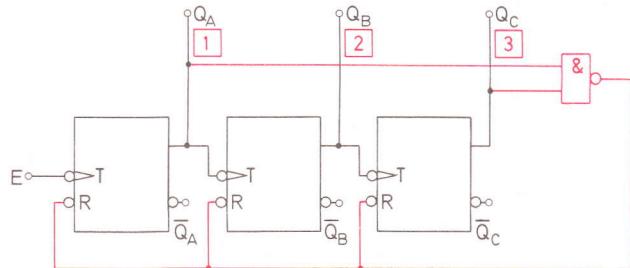
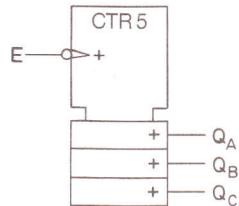


Bild 10.34 Schaltzeichen eines Modulo-5-Zählers, 5 Zählschritte (CTR 5)



Der Ausgang des NAND-Gliedes liefert das Rückstellsignal 0, wenn  $Q_A$  und  $Q_C$  1-Signal führen.

Das Schaltzeichen eines Modulo-5-Zählers ist in Bild 10.34 angegeben.

#### Aufgabe:

Wie arbeitet der Modulo-5-Zähler, Bild 10.33, wenn statt der Q-Ausgänge die  $\bar{Q}$ -Ausgänge als Ergebnisausgänge verwendet werden?

Zur Lösung dieser Aufgabe sind die Zählerzustände in einer Tabelle gegenüberzustellen (Bild 10.35). Die Tabelle ergibt, daß der Zähler von 7 bis 3 zählt und bei Erscheinen der 2 zurückstellt. Er arbeitet als Rückwärtszähler und hat wiederum 5 mögliche Zählerzustände. Der Zähler beginnt mit dem Zählen bei der höchsten durch die Anzahl der Flipflops gegebenen Zahl (hier  $7_{(10)} = 111_{(2)}$ ).

Bild 10.35 Gegenüberstellung der Zählerzustände

Dezimal-ziffer	Q <sub>C</sub>			Q <sub>B</sub>			Q <sub>A</sub>			$\bar{Q}_C$			$\bar{Q}_B$			$\bar{Q}_A$			Dezimal-ziffer
	0	0	0	0	1	1	1	1	0	0	1	1	1	0	0	0	0		
0	0	0	0	0	1	1	1	1	0	0	1	1	1	0	0	0	0	7	
1	0	0	0	1	1	1	1	1	0	0	1	1	1	0	0	0	0	6	
2	0	0	1	0	0	1	1	1	0	1	0	0	1	1	0	0	0	5	
3	0	0	1	1	0	1	1	1	0	0	0	0	0	1	1	0	0	4	
4	0	1	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	3	
Rück-stellen			1	0	1	0	1	0	1	0	0	1	0	0	1	1	0		

#### 10.2.4.3 Modulo-60-Zähler

Ein Modulo-60-Zähler wird z.B. für elektronische Uhren benötigt. Die Sekunden werden von 0 bis 60 gezählt. Wieviel Flipflops sind erforderlich? Mit fünf Flipflops kann bis 31 gezählt werden, mit 6 Flipflops bis 63. Wir benötigen also sechs Flipflops (Bild 10.36).

Beim Erscheinen des Dezimalzahlenwertes 60 muß der Zähler auf Null zurückgestellt werden. Die Ausgänge  $Q_C$ ,  $Q_D$ ,  $Q_E$  und  $Q_F$  müssen 1-Signal führen. Aus diesen Signalen wird das Rückstellsignal gewonnen. Der Zähler ist für die Sekundenzählung gut geeignet, wenn die Sekunden nicht als Dezimalzahl angezeigt werden sollen.

Sollen die Sekunden als Dezimalzahl angezeigt werden, ist es zweckmäßig, Einer und Zehner getrennt zu zählen. Für die Einer benötigt man einen Modulo-10-Zähler, für die Zehner einen Modulo-6-Zähler (Bild 10.37). Die Ausgangssignale können BCD-7-Segment-Kodeumsetzer zugeführt und als Dezimalziffern mit 7-Segment-Anzeigen dargestellt werden.

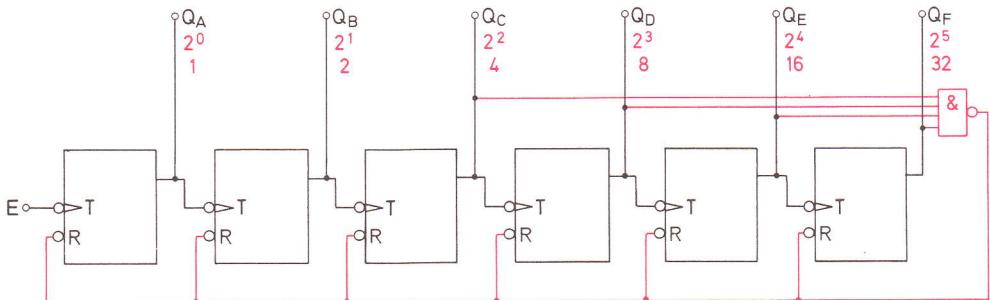


Bild 10.36 Modulo-60-Zähler

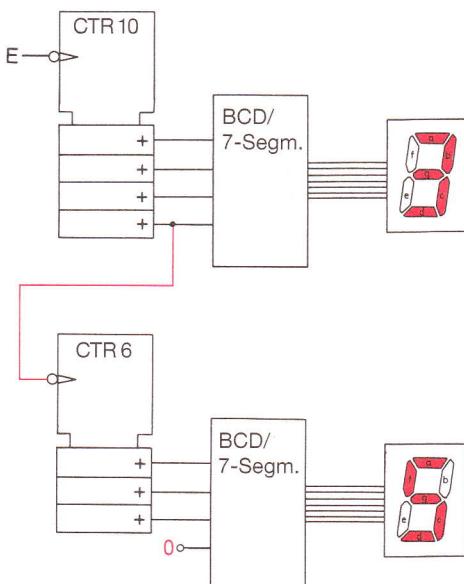


Bild 10.37 Zusammenschaltung eines Modulo-10-Zählers und eines Modulo-6-Zählers mit Kodeumsetzer und 7-Segment-Anzeige

#### 10.2.4.4 Modulo-13-Zähler mit Wartepflicht

Gesucht ist ein Modulo-n-Zähler, der bei Erreichen des Dezimalwertes 12 stehenbleibt und wartet und an einem Ausgang Z 1-Signal bereitstellt. Der Zähler soll auf Tastendruck zurückstellen und erneut mit dem Zählvorgang beginnen.

Für die Zählerschaltung werden 4 Flipflops benötigt. Der Eingang E muß über ein UND-Glied sperrbar sein. Als Sperrsiegel wird 0-Signal verwendet. Das Sperrsiegel wird aus den Ausgangssignalen  $Q_C$  und  $Q_D$  mit Hilfe eines NAND-Gliedes gewonnen (Bild 10.38). Bei Erreichen des Dezimalzahlenwertes 12 ( $Q_C = 1, Q_D = 1$ ) liegt am Ausgang X des NAND-Gliedes 0-Signal. Der Eingang sperrt. Der Zähler bleibt stehen. Gleichzeitig erscheint am Ausgang Z 1-Signal. Durch Drücken der Taste wird der Zähler zurückgestellt. Die Eingangssperre wird aufgehoben, da  $Q_C$  und  $Q_D$  jetzt 0-Signal führen. Der Zähler beginnt mit einem neuen Zählvorgang. Da 13 Zählerzustände einschließlich Null möglich sind, ist der Zähler ein Modulo-13-Zähler.

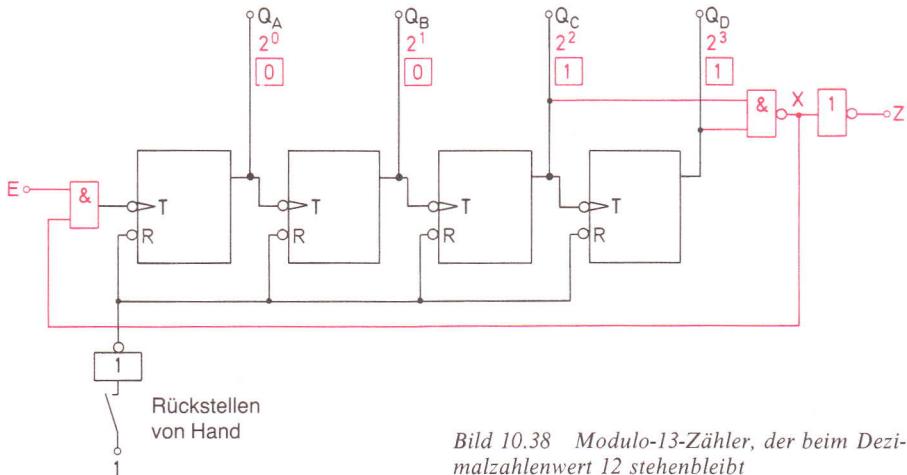


Bild 10.38 Modulo-13-Zähler, der beim Dezimalzahlenwert 12 stehenbleibt

#### 10.2.5 Asynchrone Vorwahlzähler

Asynchrone Vorwahlzähler sind Zähler, die bis zu einem bestimmten vorgewählten Zahlenwert zählen und dann stehenbleiben oder mit dem Zählvorgang erneut beginnen. Diese Zähler können Vorwärts- oder Rückwärtzzähler sein. Der Zahlenwert, bis zu dem zu zählen ist, wird meist von Hand mittels Schaltern eingestellt. Er kann auch durch einen zweiten Zähler gegeben werden. Vorwahlzähler dieser Art nennt man auch *programmierte Zähler*.

Das Prinzip der asynchronen Vorwahlzähler zeigt Bild 10.39. Die Zahl, bis zu der der Zähler zählen soll, wird mit der Vorwahltastatur eingestellt. Sie soll z.B. 9 sein. Die Zahl 9 liegt als Dualzahl an den Ausgängen  $X_A, X_B, X_C$  und  $X_D$ .

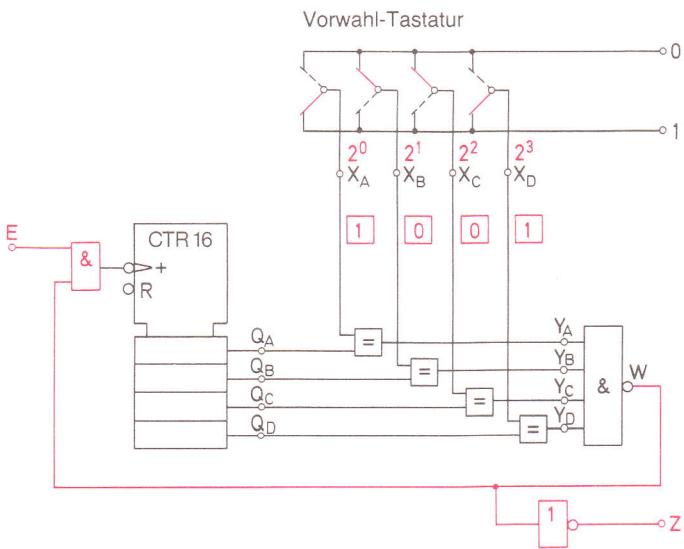


Bild 10.39 Asynchroner Vorwahlzähler

Die Ausgangssignale von  $X_A$ ,  $X_B$ ,  $X_C$  und  $X_D$  werden nun mit den Ausgangssignalen des Zählers  $Q_A$ ,  $Q_B$ ,  $Q_C$  und  $Q_D$  verglichen. Die Ausgänge der Äquivalenzglieder führen nur dann Ausgangssignal 1, wenn beide Eingangssignale gleich sind. Bei  $X_A = Q_A$ ,  $X_B = Q_B$ ,  $X_C = Q_C$  und  $X_D = Q_D$  sind alle Ausgänge der Äquivalenzglieder 1. Am Ausgang des NAND-Gliedes liegt dann 0-Signal.

Das 0-Signal am Ausgang W des NAND-Gliedes zeigt an, daß die Zahl, bis zu der der Zähler gezählt hat, und die voreingestellte Zahl gleich sind. Das 0-Signal verursacht eine Eingangssperre. Der Zähler bleibt stehen. Am Ausgang Z ist für irgendwelche Steuerzwecke 1-Signal verfügbar.

Die Vorwahltastatur kann durch einen Zähler ersetzt werden, der durch eine eigene Steuerschaltung eingestellt wird.

Vorwahlzähler findet man z.B. in modernen Kopierautomaten. Die gewünschte Kopienzahl wird von Hand eingestellt oder eingetastet. Damit ist die Vorwahl eingeführt. Der Zähler zählt nun die Kopien und stoppt den Kopievorgang, wenn die Zahl der Kopien mit der vorgewählten Zahl übereinstimmt.

### 10.2.6 Asynchronzähler für den Aiken-Kode

Ein Asynchronzähler, der im Aiken-Kode zählt, ist in Bild 10.40 dargestellt. Eine derartige Schaltung läßt sich nur schwer berechnen. Sie kann aber mit Hilfe eines Zeitablaufdiagramms (s. Bild 10.24) entwickelt werden.

### 10.2.7 Asynchronzähler für den 3-Exzeß-Kode

Der 3-Exzeß-Kode ist ein häufig verwendeter Kode. Zähler, die in diesem Kode zählen, sind jedoch selten als integrierte Schaltungen erhältlich. Bild 10.41 zeigt den Aufbau eines Zählers für diesen Kode.

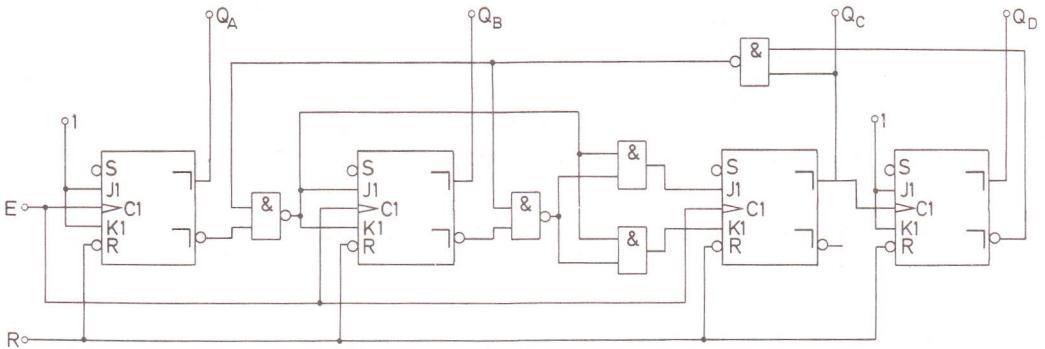


Bild 10.40 Schaltung eines Asynchronzählers für den Aiken-Kode

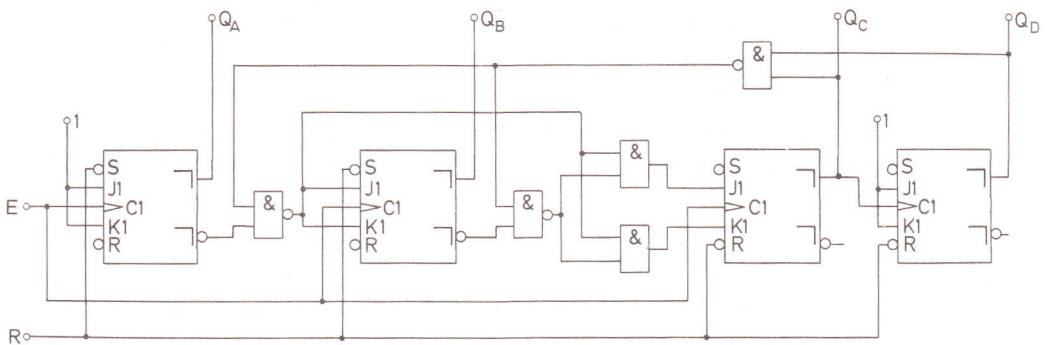


Bild 10.41 Schaltung eines Asynchronzählers für den 3-Exzeß-Kode

## 10.3 Synchronzähler

### 10.3.1 Das Synchronprinzip

Bei den bisher betrachteten Zählern, den sogenannten Asynchronzählern, steuert ein Ausgang des 1. Flipflops das 2. Flipflop – ein Ausgang des 2. Flipflops steuert das 3. Flipflop und so fort. Die Flipflops schalten also nicht zum gleichen Zeitpunkt, sondern zeitlich nacheinander. Die Schaltverzögerung ist durch die Signal-Laufzeit der Flipflops gegeben. Bei Flipflops, die zur TTL-Schaltkreisfamilie gehören, beträgt die Signallaufzeit 30 ns bis 50 ns. Um diese Signallaufzeit ist die Ausgangsimpulsreihe des 2. Flipflops gegenüber der Ausgangsimpulsreihe des 1. Flipflops verschoben. Diese Verschiebung setzt sich von Flipflop zu Flipflop fort. Bei einem 12-Bit-Asynchronzähler ist die letzte Ausgangsimpulsreihe gegenüber der Eingangsimpulsreihe bei einer Signallaufzeit von 50 ns bereits um etwa 600 ns verschoben. Dies führt zu Störungen und Fehlern, vor allem bei hohen Zählfrequenzen.

Will man für hohe Zählfrequenzen geeignete Zähler bauen, muß die Verschiebung der Impulsreihen von Flipflop zu Flipflop vermieden werden. Dies ist nur zu erreichen, wenn alle Flipflops, die kippen sollen, im gleichen Augenblick kippen.

Man erreicht ein gleichzeitiges, also synchrones Kippen durch Steuerung mit einem gemeinsamen Takt signal. Zähler, die so kippen, heißen *Synchronzähler*.

*Bei Synchronzählern werden die Kippglieder durch einen gemeinsamen Schaltbefehl (Takt) gleichzeitig geschaltet.*

Die Information, ob ein Flipflop kippen soll oder nicht, muß den Flipflops vor Eintreffen des Schaltbefehls gegeben werden. Hierzu sind außer dem Takteingang weitere Eingänge erforderlich. Synchronzähler können also nicht mit T-Flipflops aufgebaut werden.

*Für den Aufbau von Synchronzählern verwendet man fast ausschließlich JK-Flipflops.*

Besonders sicher sind JK-Master-Slave-Flipflops (s. Abschnitt 7.5.7). SR-Flipflops können ebenfalls verwendet werden. Sie führen jedoch zu einem umfangreicheren Schaltungsaufbau.

### 10.3.2 Synchrone Dualzähler

Synchrone Dualzähler zählen nach dem dualen Zahlensystem. Sie werden als Dual-Vorwärtszähler, als Dual-Rückwärtszähler und Dualzähler mit umschaltbarer Zählrichtung gebaut.

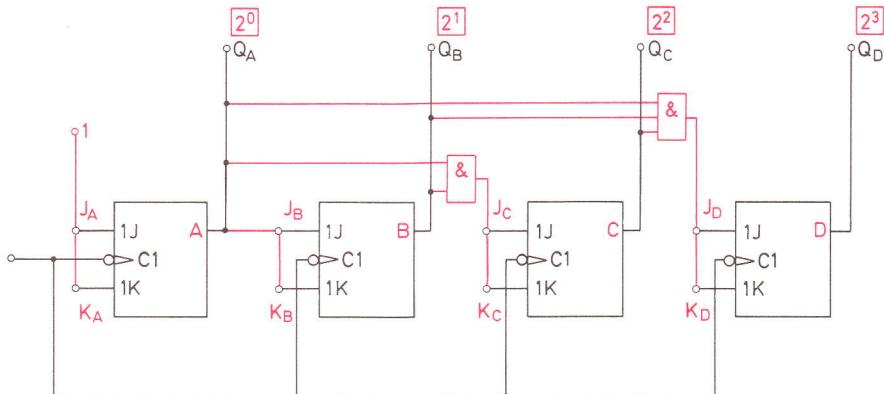


Bild 10.42 Aufbau eines synchron arbeitenden 4-Bit-Dual-Vorwärtszählers

### 10.3.2.1 Dual-Vorwärtszähler

Die Schaltung eines synchron arbeitenden Dual-Vorwärtszählers kann man berechnen (Abschnitt 10.3.3). Man kann sie aber auch durch Überlegung finden. In Bild 10.42 sind vier JK-Flipflops dargestellt. Alle werden durch einen gemeinsamen Takt mit der abfallenden Taktflanke geschaltet.

Die J- und K-Eingänge müssen nun so beschaltet werden, daß der Zähler im dualen Zahlensystem vorwärts zählt. Wie muß diese Schaltung aussehen? Das Zeitablaufdiagramm eines Dual-Vorwärtszählers Bild 10.43 kann einige wertvolle Hilfen geben. Das Flipflop A muß bei jeder abfallenden Taktflanke kippen. Die Eingänge  $J_A$  und  $K_A$  sind also auf 1-Signal zu legen.

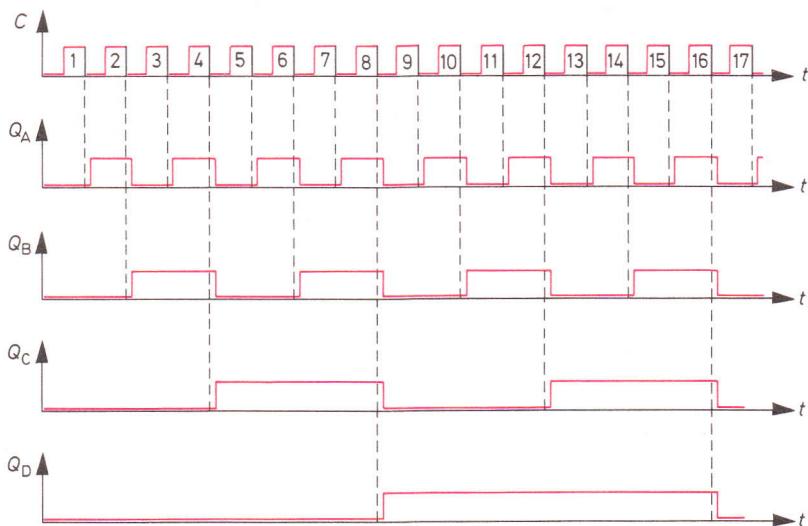


Bild 10.43 Zeitablaufdiagramm eines 4-Bit-Dual-Vorwärtszählers

Das Flipflop B darf nur bei Eintreffen des Taktes kippen, wenn das Flipflop A gesetzt ist, wenn also  $Q_A = 1$  ist. Der Ausgang  $Q_A$  muß als mit  $J_B$  und  $K_B$  verbunden werden (rot in Bild 10.42).

Unter welchen Bedingungen darf nun das Flipflop C kippen? Aus Bild 10.43 ist zu entnehmen, daß das Flipflop C immer nur dann kippen darf, wenn sowohl Flipflop A als auch Flipflop B gesetzt sind, wenn also  $Q_A = 1$  und  $Q_B = 1$  sind. Die Ausgänge  $Q_A$  und  $Q_B$  sind also durch UND zu verknüpfen und mit  $J_C$  und  $K_C$  zu verbinden (rot in Bild 10.42).

Die Bedingungen, unter denen das Flipflop D kippen darf, sind ebenfalls aus dem Zeitablaufdiagramm Bild 10.43 zu entnehmen. Flipflop D darf nur dann kippen, wenn

$Q_A = 1$ ,  $Q_B = 1$  und  $Q_C = 1$  sind. Die Ausgänge  $Q_A$ ,  $Q_B$  und  $Q_C$  müssen durch UND verknüpft werden. Der Ausgang des UND-Gliedes wird mit  $J_D$  und  $K_D$  verbunden (rot in Bild 10.42). Man könnte die Verknüpfung von  $Q_A$  und  $Q_B$  durch das erste UND-Glied mitbenutzen und käme dann zur Erzeugung von  $Q_A \wedge Q_B \wedge Q_C$  mit einem UND-Glied mit zwei Eingängen aus.

Werden synchron arbeitende Dual-Vorwärtszähler mit mehr als 4 Bit benötigt, kann der Zähler gemäß Bild 10.42 nach gleichem Prinzip weitergebaut werden. Für den Zähleraufbau mit JK-Flipflops gelten folgende Regeln:

*Bei einem synchron arbeitenden Dual-Vorwärtszähler sind die Eingänge J und K bei jedem Flipflop miteinander zu verbinden.*

*Beim ersten Flipflop wird 1-Signal an die Eingänge gelegt. Jedes folgende Flipflop erhält als Eingangssignal die UND-Verknüpfung der Q-Ausgänge aller vorhergehenden Flipflops.*

#### Aufgabe:

Das Schaltbild eines synchron arbeitenden 5-Bit-Dual-Vorwärtszählers ist zu entwerfen. Der Zähler soll mit JK-Master-Slave-Flipflops aufgebaut werden, die die Signale mit ansteigender Taktflanke aufnehmen und mit abfallender Taktflanke auf die Ausgänge weitergeben. Für diesen Zähler ist das Zeitablaufdiagramm zu zeichnen.

Bei Synchronzählern ist die Art der Steuerung durch die Taktflanken von untergeordneter Bedeutung. Der Zähleraufbau ist stets gleich, ob die Flipflops nun mit ansteigender oder abfallender Flanke kippen. Lediglich die Zeitablaufdiagramme sind geringfügig gegeneinander verschoben, da der Schaltzeitpunkt ein anderer ist. Werden JK-Flipflops verwendet, die mit ansteigender Taktflanke die Signale aufnehmen und sie mit abfallender Taktflanke an die Ausgänge weitergeben, so ergibt sich ein Zeitablaufdiagramm wie bei Flipflops, die mit abfallender Taktflanke kippen.

Das gesuchte Schaltbild und das zugehörige Zeitablaufdiagramm sind in Bild 10.44 dargestellt.

#### 10.3.2.2 Dual-Rückwärtszähler

Der synchron arbeitende Dual-Rückwärtszähler lässt sich aus den synchron arbeitenden Dual-Vorwärtszählern ableiten. Statt der Q-Ausgänge werden die  $\bar{Q}$ -Ausgänge zur Beschaltung der J- und K-Eingänge verwendet. Sonst ist das Aufbauprinzip gleich. An die Eingänge J und K des ersten Flipflops wird 1-Signal gelegt. Das Schaltbild eines 4-Bit-Synchron-Dual-Rückwärtszählers zeigt Bild 10.45.

Ein besonderer Synchron-Dual-Rückwärtszähler wird eigentlich nicht benötigt. Aus jedem Dual-Vorwärtszähler lässt sich leicht ein Dual-Rückwärtszähler machen. Man

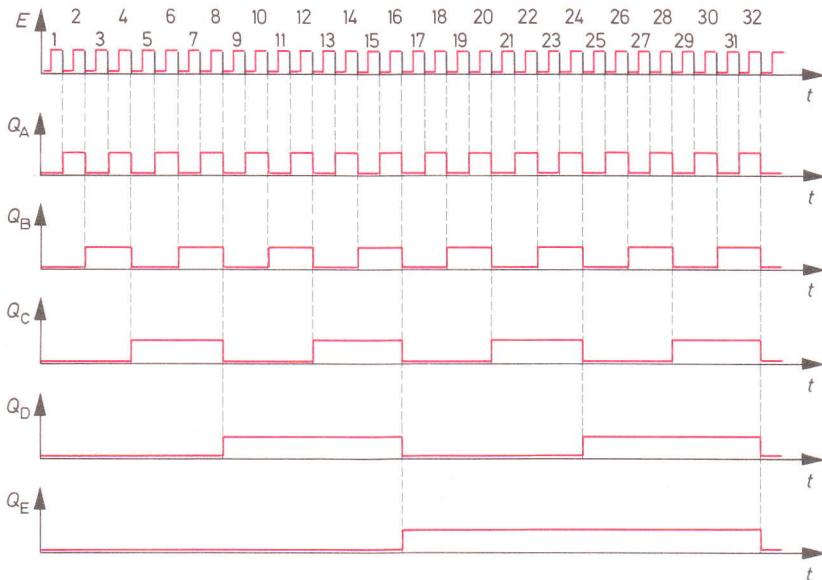
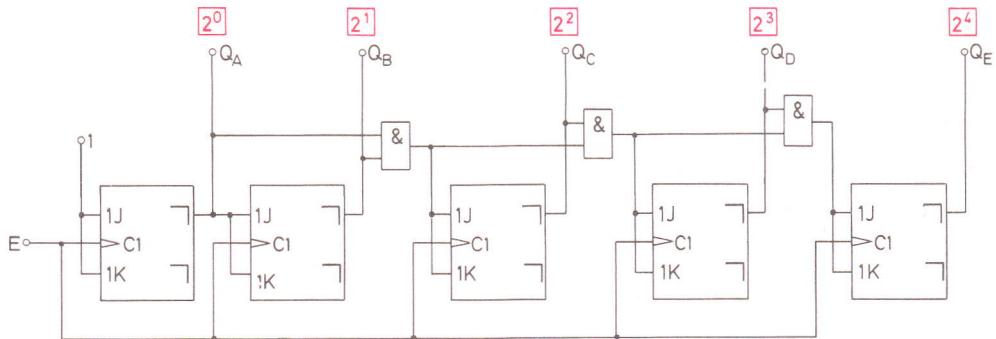


Bild 10.44 Schaltbild eines synchron arbeitenden 5-Bit-Dual-Vorwärtszählers mit zugehörigem Zeitablaufdiagramm

muß lediglich die  $\bar{Q}$ -Ausgänge als Ergebnisausgänge verwenden. Wenn die  $\bar{Q}$ -Ausgänge nicht zugänglich sind, was bei vielen integrierten Schaltungen der Fall ist, müssen die  $Q$ -Ausgänge negiert werden. Die Ausgangssignale bei Verwendung der  $Q$ -Ausgänge und der  $\bar{Q}$ -Ausgänge als Ergebnissignale sind in Bild 10.46 gegenübergestellt.  
Der Zähler in Bild 10.45 hat seine Bedeutung für den Aufbau eines Synchron-Dualzählers mit umschaltbarer Zählrichtung.

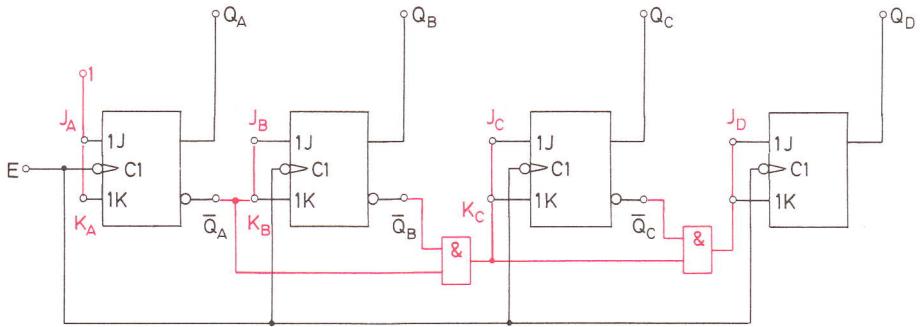


Bild 10.45 Schaltbild eines 4-Bit-Synchron-Dual-Rückwärtszählers

Dezimalzahlenwert	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	$\bar{Q}_D$	$\bar{Q}_C$	$\bar{Q}_B$	$\bar{Q}_A$	Dezimalzahlenwert
0	0	0	0	0	1	1	1	1	15
1	0	0	0	1	1	1	1	0	14
2	0	0	1	0	1	1	0	1	13
3	0	0	1	1	1	1	0	0	12
4	0	1	0	0	1	0	1	1	11
5	0	1	0	1	1	0	1	0	10
6	0	1	1	0	1	0	0	1	9
7	0	1	1	1	1	0	0	0	8
8	1	0	0	0	0	1	1	1	7
9	1	0	0	1	0	1	1	0	6
10	1	0	1	0	0	1	0	1	5
11	1	0	1	1	0	1	0	0	4
12	1	1	0	0	0	0	1	1	3
13	1	1	0	1	0	0	1	0	2
14	1	1	1	0	0	0	0	1	1
15	1	1	1	1	0	0	0	0	0

Bild 10.46 Gegenüberstellung der Ausgangssignale bei Verwendung der Q-Ausgänge und der  $\bar{Q}$ -Ausgänge

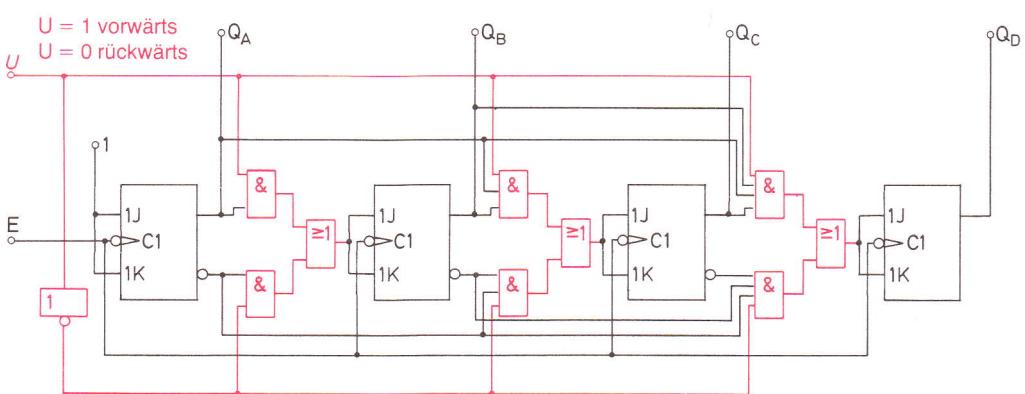


Bild 10.47 4-Bit-Synchron-Dual-zähler mit umschaltbarer Zählrichtung

### 10.3.2.3 Dualzähler mit umschaltbarer Zählrichtung

Ein synchron arbeitender Dualzähler mit umschaltbarer Zählrichtung lässt sich aus dem Synchron-Dual-Vorwärtszähler (Bild 10.42) und aus dem Synchron-Dual-Rückwärtszähler (Bild 10.45) entwickeln. Beim Vorwärtszähler werden die Q-Ausgänge für die Beschaltung der J- und K-Eingänge verwendet, beim Rückwärtszähler werden die  $\overline{Q}$ -Ausgänge verwendet.

Benötigt werden Umschalteinrichtungen zwischen Q- und  $\overline{Q}$ -Ausgängen. Eine mögliche Schaltung ist in Bild 10.47 dargestellt.

## 10.3.3 Berechnung von Synchronzählern

### 10.3.3.1 Berechnungsverfahren

Für die Berechnung von Synchronzählern gibt es verschiedene Verfahren. Das hier vorgestellte Verfahren hat den Vorteil der leichten Durchschaubarkeit. Alle Schritte lassen sich klar begründen.

Die Berechnung eines Synchronzählers erfolgt in 5 Schritten:

1. Aufstellen der Wahrheitstabelle, aus der die gewünschte Funktion des Zählers hervorgeht.
2. Aufstellen und Vereinfachen der Anwendungsgleichungen.
3. Bestimmen der charakteristischen Gleichung der zu verwendenden Flipflops.
4. Bestimmen der Verknüpfungsgleichungen durch Koeffizientenvergleich.
5. Zeichnen des Schaltbildes nach den Verknüpfungsgleichungen.

Aus der Wahrheitstabelle muß hervorgehen, wie die Zählerausgangssignale in den einzelnen Zählschritten aufeinander folgen sollen. Bei 4-Bit-Zählern haben wir die Ausgänge  $Q_A$ ,  $Q_B$ ,  $Q_C$  und  $Q_D$ . Sie sollen zum Zeitpunkt  $t_n$  (also vor einem betrachteten Takt)  $Q_A = 0$ ,  $Q_B = 0$ ,  $Q_C = 0$  und  $Q_D = 0$  sein. Nach dem betrachteten Takt, also zum Zeitpunkt  $t_{n+1}$ , wenn ein Zählschritt getan ist, müssen einer oder mehrere Ausgänge ihr Signal geändert haben. Welche Signaländerung wird gewünscht? Welche Signaländerung soll der Zähler ausführen? Bei einem Dual-Vorwärtszähler müßte jetzt  $Q_A = 1$ ,  $Q_B = 0$ ,  $Q_C = 0$  und  $Q_D = 0$  sein. Die Wahrheitstabelle muß also Spalten für  $Q_A$ ,  $Q_B$ ,  $Q_C$  und  $Q_D$  für den Zeitpunkt  $t_n$  und Spalten für  $Q_A$ ,  $Q_B$ ,  $Q_C$  und  $Q_D$  für den Zeitpunkt  $t_{n+1}$  haben.

Die Anwendungsgleichungen ergeben sich aus den ODER-Normalformen für  $Q_{A(n+1)}$ ,  $Q_{B(n+1)}$ ,  $Q_{C(n+1)}$  und  $Q_{D(n+1)}$ . Die ODER-Normalformen sind zu bilden und mit Hilfe von KV-Diagrammen zu vereinfachen. Für jedes Flipflop ergibt sich eine Anwendungsgleichung. Alle Anwendungsgleichungen zusammen geben in schaltalgebraischer Form den Inhalt der Wahrheitstabelle wieder.

Eine charakteristische Gleichung beschreibt die Arbeitsweise eines Flipflops in schaltalgebraischer Form. Sollen z.B. JK-Flipflops verwendet werden, ist die charakteristische Gleichung für JK-Flipflops zu bilden (s. Abschnitt 7.7).

Die charakteristische Gleichung und die vereinfachten Anwendungsgleichungen werden nun miteinander verglichen. Bei 4 Flipflops ist dieser Vergleich viermal durchzu-

führen, denn jede der 4 Anwendungsgleichungen muß mit der charakteristischen Gleichung verglichen werden. Hieraus ergeben sich die Verknüpfungsgleichungen für die 4 J-Eingänge und für die 4 K-Eingänge.

Liegen die Verknüpfungsgleichungen vor, kann das Schaltbild gezeichnet werden. Das Zeichnen des Schaltbildes nach vorgegebenen Gleichungen bereitet im allgemeinen keine Schwierigkeiten.

### 10.3.3.2 Berechnungsbeispiel

Das Berechnungsverfahren soll an einem Beispiel verdeutlicht werden. Zu berechnen ist ein 4-Bit-Synchron-Dual-Vorwärtzähler, der mit JK-Master-Slave-Flipflops aufgebaut werden soll.

#### 1. Schritt:

Aufstellen der Wahrheitstabelle.

Für einen 4-Bit-Zähler werden 4 Flipflops benötigt. Die Ausgänge dieser Flipflops sollen  $Q_A$ ,  $Q_B$ ,  $Q_C$  und  $Q_D$  heißen. Für jeden dieser Ausgänge wird eine Spalte im Bereich  $t_n$  und eine Spalte im Bereich  $t_{n+1}$  vorgesehen (Bild 10.48).

Der erste Zählerstand im Bereich  $t_n$  sei 0000, was dem Dezimalzahlenwert 0 entspricht. Nachdem ein Taktimpuls gekommen ist, also zum Zeitpunkt  $t_{n+1}$ , muß der Zähler um 1

Dezimalzahlenwert	$t_n$				$t_{n+1}$				Dezimalzahlenwert
	$2^3$	$2^2$	$2^1$	$2^0$	$2^3$	$2^2$	$2^1$	$2^0$	
	$Q_D$	$Q_C$	$Q_B$	$Q_A$	$Q_D$	$Q_C$	$Q_B$	$Q_A$	
0	0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	0	1	0	2
2	0	0	1	0	0	0	1	1	3
3	0	0	1	1	0	1	0	0	4
4	0	1	0	0	0	1	0	1	5
5	0	1	0	1	0	1	1	0	6
6	0	1	1	0	0	1	1	1	7
7	0	1	1	1	1	0	0	0	8
8	1	0	0	0	1	0	0	1	9
9	1	0	0	1	1	0	1	0	10
10	1	0	1	0	1	0	1	1	11
11	1	0	1	1	1	1	0	0	12
12	1	1	0	0	1	1	0	1	13
13	1	1	0	1	1	1	1	0	14
14	1	1	1	0	1	1	1	1	15
15	1	1	1	1	0	0	0	0	0

Bild 10.48 Wahrheitstabelle eines 4-Bit-Synchron-Dual-Vorwärtzählers

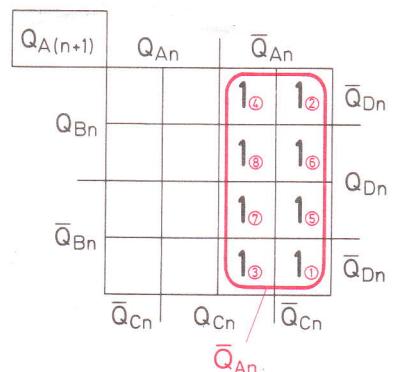


Bild 10.49 KV-Diagramm der ODER-Normalform von  $Q_{A(n+1)}$

weitergezählt haben. Er muß also auf dem Dezimalwert 1 stehen. Die entsprechende Dualzahl im Bereich  $t_{n+1}$  ist 0001. Das ist der Inhalt der 1. Zeile der Wahrheitstabelle Bild 10.48.

Betrachten wir nun die 2. Zeile der Wahrheitstabelle. Der Zähler steht im Bereich  $t_n$  auf der Dualzahl 0001. Im Bereich  $t_{n+1}$  muß die Dualzahl stehen, die der Zähler nach einem weiteren Zähltakt anzeigen soll. Diese Dualzahl ist 0010.

In der 3. Zeile der Wahrheitstabelle steht der Zähler im Bereich  $t_n$  auf  $0010_{(2)}$ . Nach einem weiteren Takt soll der Zähler auf  $0011_{(2)}$  stehen (Bereich  $t_{n+1}$ ). So wird die Wahrheitstabelle Zeile für Zeile weiter aufgebaut, bis der Zähler im Bereich  $t_n$  auf  $1111_{(2)}$  steht. Nach einem weiteren Takt soll er jetzt auf  $0000_{(2)}$  schalten, und der ganze Zählvorgang soll von neuem beginnen. Damit ist die Wahrheitstabelle fertiggestellt. Sie beschreibt eindeutig die gewünschte Funktion des Zählers.

## 2. Schritt:

Aufstellen und Vereinfachen der Anwendungsgleichungen.

Zunächst ist für  $Q_{A(n+1)}$  die ODER-Normalform aufzustellen (näheres hierzu siehe Kapitel 5). Die ODER-Normalform besteht aus 8 Vollkonjunktionen. Sie lautet:

$$Q_{A(n+1)} = [(\overline{A} \wedge \overline{B} \wedge \overline{C} \wedge \overline{D}) \vee (\overline{A} \wedge B \wedge \overline{C} \wedge \overline{D}) \vee (\overline{A} \wedge \overline{B} \wedge C \wedge \overline{D}) \vee \\ (\overline{A} \wedge B \wedge C \wedge \overline{D}) \vee (\overline{A} \wedge \overline{B} \wedge \overline{C} \wedge D) \vee (\overline{A} \wedge B \wedge \overline{C} \wedge D) \vee \\ (\overline{A} \wedge \overline{B} \wedge C \wedge D) \vee (\overline{A} \wedge B \wedge C \wedge D)]_n$$

①      ②      ③  
④      ⑤      ⑥  
⑦      ⑧

Diese ODER-Normalform ist mit Hilfe eines KV-Diagramms zu vereinfachen. Das zugehörige KV-Diagramm zeigt Bild 10.49.

Es läßt sich ein Achterpäckchen bilden. Die vereinfachte ODER-Normalform lautet:

$$Q_{A(n+1)} = \overline{Q}_{An}$$

Dies ist die erste Anwendungsgleichung.

Als nächstes ist die ODER-Normalform für  $Q_{B(n+1)}$  zu bilden. Auch diese ODER-Normalform besteht aus 8 Vollkonjunktionen. Sie kann gleich in ein entsprechendes KV-Diagramm eingetragen werden (Bild 10.50). Die Variablen  $Q_{An}$ ,  $Q_{Bn}$ ,  $Q_{Cn}$  und  $Q_{Dn}$  werden als  $Q_A$ ,  $Q_B$ ,  $Q_C$  und  $Q_D$  geschrieben. Durch die vereinfachte Schreibweise entstehen keine Verwechslungen.

Aus dem KV-Diagramm ergibt sich die Gleichung:

$$Q_{B(n+1)} = (Q_A \wedge \overline{Q}_B) \vee (\overline{Q}_A \wedge Q_B)$$

Diese Gleichung ist die zweite Anwendungsgleichung.

$Q_{B(n+1)}$	$Q_A$	$\bar{Q}_A$	$\bar{Q}_D$
$Q_B$	1 1	1 1	$\bar{Q}_A \wedge Q_B$
$\bar{Q}_B$	1 1	1 1	$\bar{Q}_A \wedge \bar{Q}_B$
$\bar{Q}_C$	$Q_C$	$\bar{Q}_C$	

Bild 10.50 KV-Diagramm der ODER-Normalform von  $Q_{B(n+1)}$ . Die Indizes n wurden bei den Variablen der Einfachheit halber weggelassen

$Q_{C(n+1)}$	$Q_A$	$\bar{Q}_A$	$\bar{Q}_D$
$Q_B$	1 1	1 1	$\bar{Q}_A \wedge Q_B \wedge \bar{Q}_C$
$\bar{Q}_B$	1 1	1 1	$\bar{Q}_A \wedge Q_C$
$\bar{Q}_C$	$Q_C$	$\bar{Q}_C$	$\bar{Q}_B \wedge Q_C$

Bild 10.51 KV-Diagramm der ODER-Normalform für  $Q_{C(n+1)}$

Die Anwendungsgleichung für  $Q_{C(n+1)}$  wird auf gleiche Weise gefunden. Die ODER-Normalform besteht wiederum aus 8 Vollkonjunktionen, die in das KV-Diagramm Bild 10.51 eingetragen sind. Die Anwendungsgleichung lautet:

$$Q_{C(n+1)} = (Q_A \wedge Q_B \wedge \bar{Q}_C) \vee (\bar{Q}_A \wedge Q_C) \vee (\bar{Q}_B \wedge Q_C)$$

Sie kann noch etwas vereinfacht werden:

$$Q_{C(n+1)} = (Q_A \wedge Q_B \wedge \bar{Q}_C) \vee [Q_C \wedge (\bar{Q}_A \vee \bar{Q}_B)]$$

$$Q_{C(n+1)} = (Q_A \wedge Q_B \wedge \bar{Q}_C) \vee (\bar{Q}_A \wedge \bar{Q}_B \wedge Q_C)$$

Für  $Q_{D(n+1)}$  erhält man die im KV-Diagramm Bild 10.52 dargestellte ODER-Normalform. Die vereinfachte Gleichung lautet:

$$Q_{D(n+1)} = (Q_A \wedge Q_B \wedge Q_C \wedge \bar{Q}_D) \vee \\ (\bar{Q}_A \wedge Q_D) \vee (\bar{Q}_B \wedge Q_D) \vee (\bar{Q}_C \wedge Q_D)$$

Die Variable  $Q_D$  kann ausgeklammert werden.

$$Q_{D(n+1)} = (Q_A \wedge Q_B \wedge Q_C \wedge \bar{Q}_D) \vee [Q_D \wedge (\bar{Q}_A \vee \bar{Q}_B \vee \bar{Q}_C)]$$

Bild 10.52 KV-Diagramm der ODER-Normalform für  $Q_{D(n+1)}$

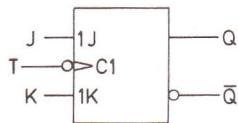
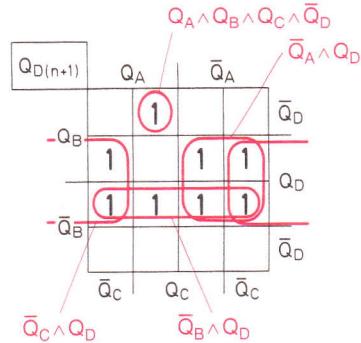


Bild 10.53 JK-Flipflop



$$Q_{D(n+1)} = (Q_A \wedge Q_B \wedge Q_C \wedge \bar{Q}_D) \vee (\bar{Q}_A \wedge Q_B \wedge \bar{Q}_C \wedge Q_D)$$

Dies ist die letzte der vier Anwendungsgleichungen.

### 3. Schritt:

Bestimmen der charakteristischen Gleichung der zu verwendenden Flipflops.

Wie die charakteristische Gleichung eines bestimmten Flipflop-Typs abgeleitet wird, ist in Abschnitt 7.7 ausführlich beschrieben. Für JK-Flipflops mit der in Bild 10.53 angegebenen Bezeichnung der Ausgänge gilt allgemein die charakteristische Gleichung:

$$Q_{(n+1)} = [(J \wedge \bar{Q}) \vee (\bar{K} \wedge Q)]_n$$

Auf der rechten Gleichungsseite soll zur Vereinfachung der Index n weggelassen werden:

$$Q_{(n+1)} = (J \wedge \bar{Q}) \vee (\bar{K} \wedge Q)$$

Für die 4 verwendeten Flipflops erhält man 4 charakteristische Gleichungen:

$$Q_{A(n+1)} = (J_A \wedge \bar{Q}_A) \vee (\bar{K}_A \wedge Q_A)$$

$$Q_{B(n+1)} = (J_B \wedge \bar{Q}_B) \vee (\bar{K}_B \wedge Q_B)$$

$$Q_{C(n+1)} = (J_C \wedge \bar{Q}_C) \vee (\bar{K}_C \wedge Q_C)$$

$$Q_{D(n+1)} = (J_D \wedge \bar{Q}_D) \vee (\bar{K}_D \wedge Q_D)$$

### 4. Schritt:

Bestimmen der Verknüpfungsgleichungen durch Koeffizientenvergleich.

Die einzelnen Verknüpfungsgleichungen werden nun den charakteristischen Gleichungen gegenübergestellt.

$$\begin{aligned} Q_{A(n+1)} &= (J_A \wedge \bar{Q}_A) \vee (\bar{K}_A \wedge Q_A) && \text{Charakteristische Gleichung} \\ Q_{A(n+1)} &= \bar{Q}_A && \text{Anwendungsgleichung} \end{aligned}$$

Welchen Wert muß  $J_A$  haben, damit aus der Gleichung  $\overline{Q}_A$  herauskommt?  $J_A$  muß den Wert 1 haben.

Welchen Wert muß  $\overline{K}_A$  haben, damit der Klammerausdruck mit  $\overline{K}_A$  wegfällt?  $\overline{K}_A$  muß den Wert 0 haben.

$$\begin{aligned} Q_{A(n+1)} &= (J_A \wedge \overline{Q}_A) \vee (\overline{K}_A \wedge Q_A) && \text{Charakteristische Gleichung} \\ Q_{A(n+1)} &= (1 \wedge \overline{Q}_A) \vee (0 \wedge Q_A) && \text{Anwendungsgleichung} \end{aligned}$$

Für  $J_A$  und  $K_A$  ergeben sich also folgende Gleichungen:

$$\overline{K}_A = 0$$

$$J_A = 1$$

$$K_A = 1$$

Dies sind die ersten beiden Verknüpfungsgleichungen. Sie gelten für das erste Flipflop, für das Flipflop A.

Für das Flipflop B ergeben sich die nachstehend abgeleiteten Verknüpfungsgleichungen:

$$Q_{B(n+1)} = (J_B \wedge \overline{Q}_B) \vee (\overline{K}_B \wedge Q_B) \quad \text{Charakteristische Gleichung}$$

$$Q_{B(n+1)} = (Q_A \wedge \overline{Q}_B) \vee (\overline{Q}_A \wedge Q_B) \quad \text{Anwendungsgleichung}$$

$$\overline{K}_B = \overline{Q}_A$$

$$J_B = Q_A$$

$$K_B = Q_A$$

Nach den gleichen Verfahren erhält man die Verknüpfungsgleichungen für das Flipflop C:

$$Q_{C(n+1)} = (J_C \wedge \overline{Q}_C) \vee (\overline{K}_C \wedge Q_C) \quad \text{Charakteristische Gleichung}$$

$$Q_{C(n+1)} = (\overbrace{Q_A \wedge Q_B}^{\overline{Q}_C} \wedge \overline{Q}_C) \vee (\overbrace{Q_A \wedge Q_B}^{\overline{Q}_C} \wedge Q_C) \quad \text{Anwendungsgleichung}$$

$$\overline{K}_C = \overline{Q_A \wedge Q_B}$$

$$J_C = Q_A \wedge Q_B$$

$$K_C = Q_A \wedge Q_B$$

Entsprechend ergeben sich die Verknüpfungsgleichungen für das Flipflop D:

$$Q_{D(n+1)} = (J_D \wedge \overline{Q}_D) \vee (\overline{K}_D \wedge Q_D) \quad \text{Charakteristische Gleichung}$$

$$Q_{D(n+1)} = (\overbrace{Q_A \wedge Q_B \wedge Q_C}^{\overline{Q}_D} \wedge \overline{Q}_D) \vee (\overbrace{Q_A \wedge Q_B \wedge Q_C}^{\overline{Q}_D} \wedge Q_D) \quad \text{Anwendungsgleichung}$$

$$\overline{K}_D = \overline{Q_A \wedge Q_B \wedge Q_C}$$

$$J_D = Q_A \wedge Q_B \wedge Q_C$$

$$K_D = Q_A \wedge Q_B \wedge Q_C$$

Damit wären alle Verknüpfungsgleichungen gefunden.

### 5. Schritt:

Zeichnen des Schaltbildes nach den Verknüpfungsgleichungen.

Die gefundenen Verknüpfungsgleichungen werden zusammengestellt:

$$J_A = 1$$

$$J_B = Q_A$$

$$J_C = Q_A \wedge Q_B$$

$$J_D = Q_A \wedge Q_B \wedge Q_C$$

$$K_A = 1$$

$$K_B = Q_A$$

$$K_C = Q_A \wedge Q_B$$

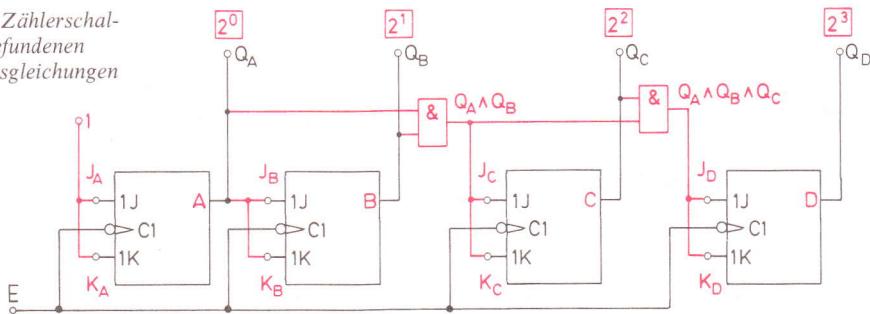
$$K_D = Q_A \wedge Q_B \wedge Q_C$$

Die Gleichungen lauten für den J- und den K-Eingang eines jeden Flipflops gleich. Die Eingänge J und K können also gemeinsam angesteuert werden.

Die Schaltung, die sich nach den Gleichungen ergibt, ist in Bild 10.54 dargestellt.

Die Berechnung hat die gleiche Schaltung ergeben, die auch mit Hilfe des Zeitablaufdiagramms Bild 10.43 gefunden wurde.

Bild 10.54 Zählerschaltung nach gefundenen Verknüpfungsgleichungen



## 10.3.4 Synchrone BCD-Zähler

### 10.3.4.1 Berechnung eines Synchron-BCD-Vorwärtszählers

Nach dem in Abschnitt 10.3.3 vorgestellten Berechnungsverfahren sollen die Verknüpfungsgleichungen für einen Synchron-BCD-Vorwärtszähler bestimmt werden.

### 1. Schritt:

Aufstellen der Wahrheitstabelle.

Die Pseudo-Tetraden dürfen nicht auftreten. Ihre Plätze in den KV-Diagrammen sind mit X zu kennzeichnen. Bei der Päckchenbildung darf X wahlweise als 1 oder als 0 angesehen werden.

Dezimal-ziffer	$t_n$				$t_{n+1}$				Dezimal-ziffer
	$2^3$	$2^2$	$2^1$	$2^0$	$2^3$	$2^2$	$2^1$	$2^0$	
Q_D	Q_C	Q_B	Q_A	Q_D	Q_C	Q_B	Q_A		
0	0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	0	1	0	2
2	0	0	1	0	0	0	1	1	3
3	0	0	1	1	0	1	0	0	4
4	0	1	0	0	0	1	0	1	5
5	0	1	0	1	0	1	1	0	6
6	0	1	1	0	0	1	1	1	7
7	0	1	1	1	1	0	0	0	8
8	1	0	0	0	1	0	0	1	9
9	1	0	0	1	0	0	0	0	0
(10)	1	0	1	0	x	x	x	x	Pseudo-tetraden
(11)	1	0	1	1	x	x	x	x	
(12)	1	1	0	0	x	x	x	x	
(13)	1	1	0	1	x	x	x	x	
(14)	1	1	1	0	x	x	x	x	
(15)	1	1	1	1	x	x	x	x	

Bild 10.55 Wahrheitstabelle eines Synchron-BCD-Vorwärtszählers

## 2. Schritt:

Aufstellen und Vereinfachen der Anwendungsgleichungen.

Die ODER-Normalform von  $Q_{A(n+1)}$ ,  $Q_{B(n+1)}$ ,  $Q_{C(n+1)}$  und  $Q_{D(n+1)}$  werden in KV-Diagrammen dargestellt und vereinfacht (Bild 10.56). Die vereinfachten Anwendungsgleichungen lauten:

$$\begin{aligned} Q_{A(n+1)} &= \overline{Q}_A \\ Q_{B(n+1)} &= (\overline{Q}_A \wedge Q_B) \vee (Q_A \wedge \overline{Q}_B \wedge \overline{Q}_D) \\ Q_{C(n+1)} &= (\overline{Q}_A \wedge Q_C) \vee (\overline{Q}_B \wedge Q_C) \vee (Q_A \wedge Q_B \wedge \overline{Q}_C) \\ Q_{D(n+1)} &= (\overline{Q}_A \wedge Q_D) \vee (Q_A \wedge Q_B \wedge Q_C \wedge \overline{Q}_D) \end{aligned}$$

Betrachten wir das KV-Diagramm für  $Q_{D(n+1)}$ . Es fällt auf, daß die Vollkonjunktion  $(Q_A \wedge Q_B \wedge Q_C \wedge \overline{Q}_D)$  nicht über ein mögliches Zweierpäckchen vereinfacht wurde. Dadurch wäre die Variable  $Q_D$  herausgefallen, die wir jedoch für den Koeffizientenvergleich benötigen.

Allgemein gilt: Beim KV-Diagramm für  $Q_{A(n+1)}$  darf die Variable  $Q_A$  nicht herausfallen. Beim KV-Diagramm für  $Q_{B(n+1)}$  darf die Variable  $Q_B$  nicht herausfallen. Beim KV-Diagramm für  $Q_{C(n+1)}$  darf die Variable  $Q_C$  nicht herausfallen. Beim KV-Diagramm für  $Q_{D(n+1)}$  darf die Variable  $Q_D$  nicht herausfallen.

Der Päckchenbildung sind Grenzen gesetzt. Diese Grenzen sind in Bild 10.56 durch dicke Striche markiert. Bei der Päckchenbildung dürfen die dicken Striche nicht überschritten werden. Man verzichtet also bewußt auf die größtmögliche Vereinfachung.

Bild 10.56 KV-Diagramm zur Bestimmung der Anwendungsgleichungen

$Q_{A(n+1)}$	$Q_A$	$\bar{Q}_A$	$Q_D$	$\bar{Q}_D$
$Q_B$	X X X X	X X X 1		
$\bar{Q}_B$	X X X X	X X X 1		
$Q_C$		1 1		
$\bar{Q}_C$		1 1		

$Q_{B(n+1)}$	$Q_A$	$\bar{Q}_A$	$Q_D$	$\bar{Q}_D$
$Q_B$	X X X X	X X X 1		
$\bar{Q}_B$	1 1 X X			
$Q_C$				
$\bar{Q}_C$				

$Q_{C(n+1)}$	$Q_A$	$\bar{Q}_A$	$Q_D$	$\bar{Q}_D$
$Q_B$	X X X X	X X X 1		
$\bar{Q}_B$	X X X X	X X X 1		
$Q_C$		1 1		
$\bar{Q}_C$		1 1		

$Q_{D(n+1)}$	$Q_A$	$\bar{Q}_A$	$Q_D$	$\bar{Q}_D$
$Q_B$	X X X X	X X X 1		
$\bar{Q}_B$	X X X X	X X X 1		
$Q_C$				
$\bar{Q}_C$				

### 3. Schritt:

Bestimmen der charakteristischen Gleichungen der zu verwendenden Flipflops

Es sollen JK-Master-Slave-Flipflops verwendet werden. Für sie gilt die allgemeine charakteristische Gleichung unter Weglassung des Index n:

$$Q_{(n+1)} = (J \wedge \bar{Q}) \vee (\bar{K} \wedge Q)$$

Für die benötigten 4 Flipflops A, B, C und D lauten die charakteristischen Gleichungen:

$$\begin{aligned} Q_{A(n+1)} &= (J_A \wedge \bar{Q}_A) \vee (\bar{K}_A \wedge Q_A) \\ Q_{B(n+1)} &= (J_B \wedge \bar{Q}_B) \vee (\bar{K}_B \wedge Q_B) \\ Q_{C(n+1)} &= (J_C \wedge \bar{Q}_C) \vee (\bar{K}_C \wedge Q_C) \\ Q_{D(n+1)} &= (J_D \wedge \bar{Q}_D) \vee (\bar{K}_D \wedge Q_D) \end{aligned}$$

### 4. Schritt:

Bestimmen der Verknüpfungsgleichungen durch Koeffizientenvergleich.

Flipflop A

$$\begin{aligned} Q_{A(n+1)} &= (J_A \wedge \bar{Q}_A) \vee (\bar{K}_A \wedge Q_A) && \text{Charakteristische Gleichung} \\ Q_{A(n+1)} &= \bar{Q}_A && \text{Anwendungsgleichung} \\ Q_{A(n+1)} &= (J_A \wedge \bar{Q}_A) \vee (\bar{K}_A \wedge Q_A) \\ Q_{A(n+1)} &= (1 \wedge \bar{Q}_A) \vee (0 \wedge Q_A) \end{aligned}$$

$$\overline{K}_A = 0$$

$$J_A = 1$$

$$K_A = 1$$

Flipflop B

$$Q_{B(n+1)} = (J_B \wedge \overline{Q}_B) \vee (\overline{K}_B \wedge Q_B)$$

Charakteristische Gleichung

$$Q_{B(n+1)} = (\overline{Q}_A \wedge Q_B) \vee (Q_A \wedge \overline{Q}_B \wedge \overline{Q}_D) \quad \text{Anwendungsgleichung}$$

Die Anwendungsgleichung muß vor Durchführung des Koeffizientenvergleichs anders geschrieben werden.

$$Q_{B(n+1)} = (\underbrace{Q_A \wedge \overline{Q}_D \wedge \overline{Q}_B}_{Q_A} \vee (\overline{Q}_A \wedge Q_B)) \quad \text{Anwendungsgleichung}$$

$$Q_{B(n+1)} = (J_B \wedge \overline{Q}_B) \vee (\overline{K}_B \wedge \overline{Q}_B) \quad \text{Charakteristische Gleichung}$$

$$\overline{K}_B = \overline{Q}_A$$

$$J_B = Q_A \wedge \overline{Q}_D$$

$$K_B = Q_A$$

Flipflop C

$$Q_{C(n+1)} = (J_C \wedge \overline{Q}_C) \vee (\overline{K}_C \wedge Q_C) \quad \text{Charakt. Gleichung}$$

$$Q_{C(n+1)} = (\overline{Q}_A \wedge Q_C) \vee (\overline{Q}_B \wedge Q_C) \vee (Q_A \wedge Q_B \wedge \overline{Q}_C) \quad \text{Anwendungsgleichung}$$

Die Anwendungsgleichung muß vor Durchführung des Koeffizientenvergleichs umgeformt werden.

$$Q_{C(n+1)} = (Q_A \wedge Q_B \wedge \overline{Q}_C) \vee Q_C \wedge (\overline{Q}_A \vee \overline{Q}_B)$$

$$Q_{C(n+1)} = (\underbrace{Q_A \wedge Q_B \wedge \overline{Q}_C}_{Q_A} \vee (\overline{Q}_A \wedge \overline{Q}_B) \wedge Q_C)$$

$$Q_{C(n+1)} = (J_C \wedge \overline{Q}_C) \vee (K_C \wedge Q_C)$$

$$\overline{K}_C = \overline{Q}_A \wedge \overline{Q}_B$$

$$J_C = Q_A \wedge Q_B$$

$$K_C = Q_A \wedge Q_B$$

## Flipflop D

$$Q_{D(n+1)} = (J_D \wedge \bar{Q}_D) \vee (\bar{K}_D \wedge Q_D) \quad \text{Charakt. Gleichung}$$

$$Q_{D(n+1)} = (\bar{Q}_A \wedge Q_D) \vee (Q_A \wedge Q_B \wedge Q_C \wedge \bar{Q}_D) \quad \text{Anwendungsgleichung}$$

Die Anwendungsgleichung wird etwas anders geschrieben:

$$Q_{D(n+1)} = (\underbrace{Q_A \wedge Q_B \wedge Q_C \wedge \bar{Q}_D}_{\text{rot}}) \vee (\underbrace{\bar{Q}_A \wedge Q_D}_{\text{rot}})$$

$$Q_{D(n+1)} = (J_D \wedge \bar{Q}_D) \vee (\bar{K}_D \wedge Q_D)$$

$$\bar{K}_D = \bar{Q}_A$$

$$J_D = Q_A \wedge Q_B \wedge Q_C$$

$$K_D = Q_A$$

Damit sind die Verknüpfungsgleichungen bestimmt.

### 5. Schritt:

Zeichnen des Schaltbildes nach den Verknüpfungsgleichungen.

Zusammenstellung der Verknüpfungsgleichungen:

$$J_A = 1$$

$$K_A = 1$$

$$J_B = Q_A \wedge \bar{Q}_D$$

$$K_B = Q_A$$

$$J_C = Q_A \wedge Q_B$$

$$K_C = Q_A \wedge Q_B$$

$$J_D = Q_A \wedge Q_B \wedge Q_C$$

$$K_D = Q_A$$

Die Flipflops A, B, C und D werden entsprechend den Verknüpfungsgleichungen miteinander verbunden. Die Schaltung des gesuchten Zählers zeigt Bild 10.57.

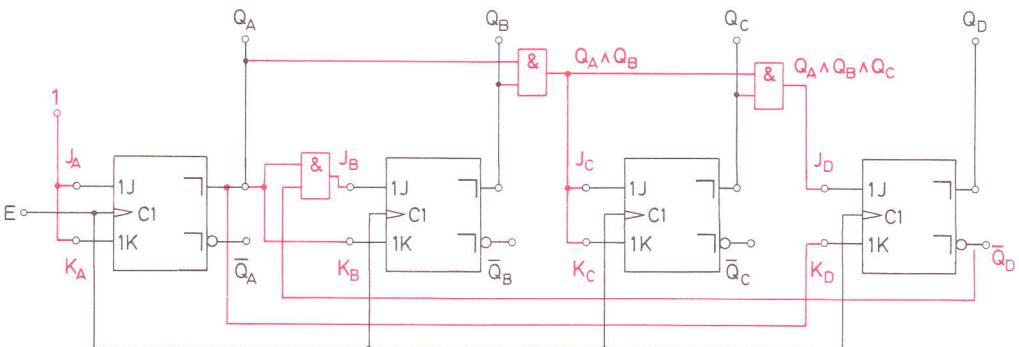


Bild 10.57 Synchron-BCD-Vorwärtszähler

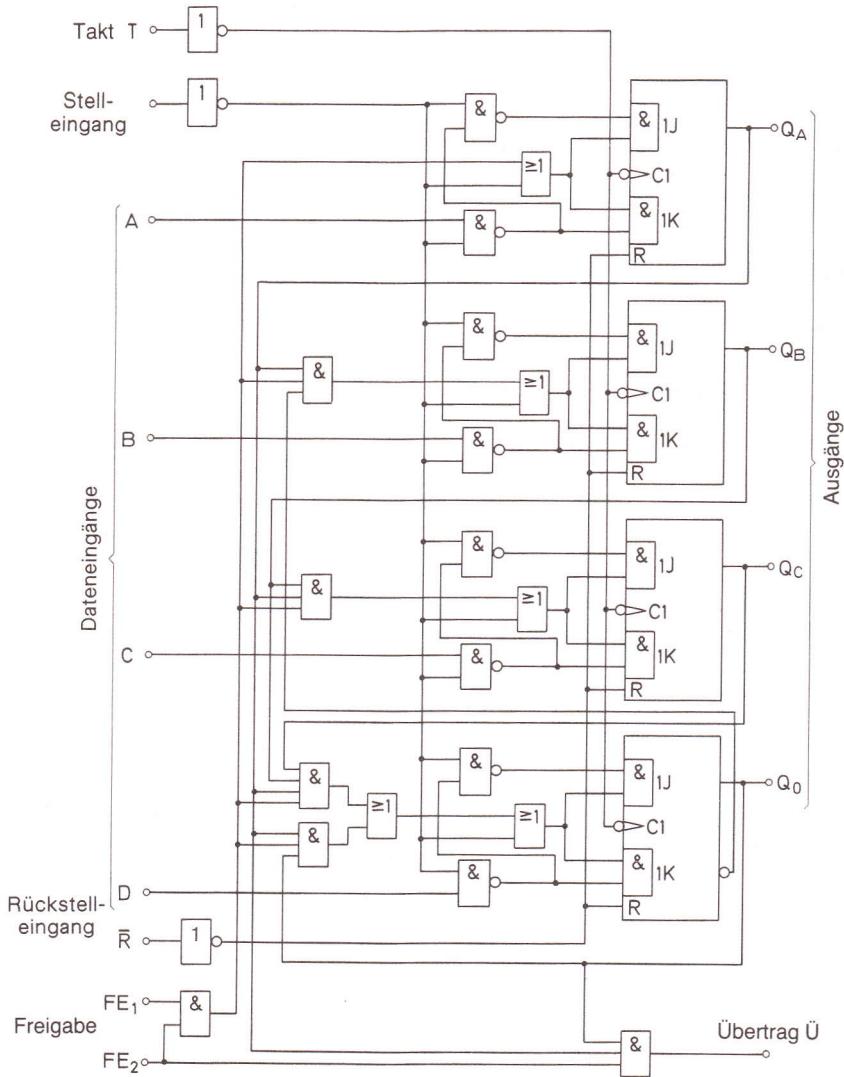


Bild 10.58 Innenaufbau und Anschlußanordnung der integrierten Schaltung FLJ401-74160 (Synchron-BCD-Vorwärtszähler)

#### 10.3.4.2 Synchron-BCD-Vorwärtzähler als integrierte Schaltung

Synchron-BCD-Vorwärtzähler werden in größeren Stückzahlen benötigt. Sie werden daher als integrierte Schaltungen hergestellt. Integrierte Schaltungen können etwas komplizierter ausgelegt werden, ohne daß die Schaltungen dadurch wesentlich teurer werden. So haben integrierte Synchron-BCD-Vorwärtzähler fast immer eine taktunabhängige oder taktabhängige Rückstellmöglichkeit. Auch sind die Zähler oft voreinstellbar, d.h., über besondere Eingänge kann der Zähler auf einen Anfangswert gestellt werden, von dem aus er dann weiterzählt.

Eine typische integrierte Schaltung dieser Art ist der Synchron-BCD-Vorwärtzähler FLJ401-74160. Er gehört zur TTL-Schaltkreisfamilie. Der Innenaufbau der integrierten Schaltung ist in Bild 10.58 dargestellt.

Der Rückstelleingang  $\bar{R}$  arbeitet taktunabhängig. Ein 0-Signal am Rückstelleingang setzt den Zähler zurück.

Der Stelleingang  $\bar{S}$  arbeitet mit den Dateneingängen A, B, C und D zusammen. Eine Voreinstellung des Zählers über die Dateneingänge ist nur möglich, wenn am Stelleingang ein 0-Signal liegt. Das Flipflop A kann durch 1-Signal am Eingang A gesetzt werden. Es kann durch 0-Signal am Eingang A zurückgesetzt werden. Entsprechend können die Flipflops B, C und D über die zugehörigen Dateneingänge gesetzt und rückgesetzt werden. Setzen und Rücksetzen erfolgt synchron mit der ansteigenden Taktflanke.

Die an den Dateneingängen A, B, C und D liegenden Signale werden also bei Anliegen des Stellsignals in den Zähler übernommen.

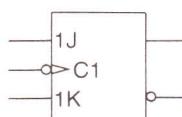
Von besonderer Bedeutung sind die Freigabeeingänge  $FE_1$  und  $FE_2$ . Führt einer der Freigabeeingänge 0-Signal, so kann der Zähler zwar voreingestellt werden, er kann aber nicht zählen. Das Zählen wird erst dann freigegeben, wenn beide Freigabeeingänge auf 1-Signal liegen. Liegt nur der Freigabeeingang  $FE_2$  auf 1, wird nur der Übertrag freigegeben.

Der Zähler FLJ-74160 ist fast universell anwendbar. Was man von den gegebenen Möglichkeiten nicht nutzen will, kann wirkungslos geschaltet werden.

#### 10.3.5 Synchron-Zähler für den 3-Exzeß-Kode

Gesucht ist die Schaltung eines Synchron-Vorwärtzählers, der nach dem 3-Exzeß-Kode arbeitet. Zur Verfügung stehen JK-Flipflops, die mit der abfallenden Taktflanke schalten (Bild 10.59). Die Schaltung soll nach dem in Abschnitt 10.3.3 vorgestellten Verfahren berechnet werden.

Bild 10.59 JK-Flipflop



### 1. Schritt:

Aufstellen der Wahrheitstabelle.

In Bild 10.60 ist der 3-Exzeß-Kode angegeben. Nach jedem Takt soll der Zähler um einen Schritt vorwärts gestellt sein. Aufgrund dieser Bedingung ergibt sich die Wahrheitstabelle Bild 10.61. Die sechs nicht benötigten Tetraden sind Pseudotetraden (Bild 10.62). Sie dürfen im 3-Exzeß-Kode nicht auftreten und können in der Wahrheitstabelle weggelassen werden. Ihre Plätze in den KV-Diagrammen werden durch ein X gekennzeichnet. Nach Bild 10.62 wird  $X_a$  bis  $X_f$  verwendet. Bei der Päckchenbildung darf X wahlweise als 1 oder als 0 angesehen werden.

Dezimal-Ziffer	D	C	B	A
0	0	0	1	1
1	0	1	0	0
2	0	1	0	1
3	0	1	1	0
4	0	1	1	1
5	1	0	0	0
6	1	0	0	1
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0

Dezimal-ziffer	$t_n$				$t_{n+1}$				Dezimal-ziffer
	$Q_D$	$Q_C$	$Q_B$	$Q_A$	$Q_D$	$Q_C$	$Q_B$	$Q_A$	
0	0	0	1	1	0	1	0	0	1
1	0	1	0	0	0	1	0	1	2
2	0	1	0	1	0	1	1	0	3
3	0	1	1	0	0	1	1	1	4
4	0	1	1	1	1	0	0	0	5
5	1	0	0	0	1	0	0	1	6
6	1	0	0	1	1	0	1	0	7
7	1	0	1	0	1	0	1	1	8
8	1	0	1	1	1	1	0	0	9
9	1	1	0	0	0	0	1	1	0

$Q_D$	$Q_C$	$Q_B$	$Q_A$	
0	0	0	0	$x_a$
0	0	0	1	$x_b$
0	0	1	0	$x_c$
1	1	0	1	$x_d$
1	1	1	0	$x_e$
1	1	1	1	$x_f$

Bild 10.60 (oben links) 3-Exzeß-Kode

Bild 10.61 (oben rechts) Wahrheitstabelle eines Synchron-Vorwärtszählers für den 3-Exzeß-Kode

Bild 10.62 (links) Pseudotetraden

### 2. Schritt:

Aufstellen und Vereinfachen der Anwendungsgleichungen.

Die ODER-Normalformen von  $Q_{a(n+1)}$ ,  $Q_{b(n+1)}$ ,  $Q_{c(n+1)}$  und  $Q_{d(n+1)}$  werden in KV-Diagrammen dargestellt und durch Päckchenbildung vereinfacht (Bild 10.63).

Es ergeben sich die nachstehenden vereinfachten und umgeformten Anwendungsgleichungen. Die Umformungen sind zu empfehlen, um einen späteren Koeffizientenvergleich mit den charakteristischen Gleichungen der Flipflops zu erleichtern.

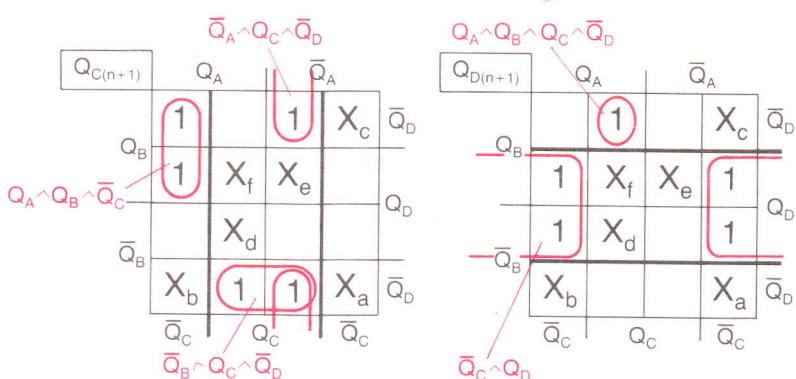
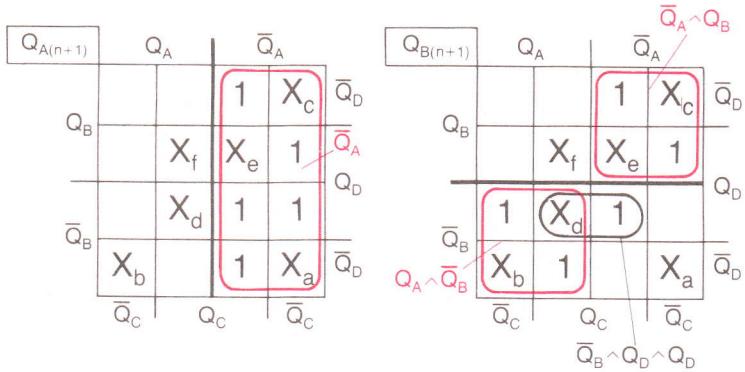


Bild 10.63 KV-Diagramme zur Bestimmung vereinfachter Anwendungsgleichungen

Anwendungsgleichungen

$$Q_{A(n+1)} = \bar{Q}_A$$

$$\underline{Q_{A(n+1)} = (1 \wedge \bar{Q}_A) \vee (0 \wedge Q_A)} \quad ①$$

$$Q_{B(n+1)} = (\bar{Q}_B \wedge Q_C \wedge Q_D) \vee (Q_A \wedge \bar{Q}_B) \vee (\bar{Q}_A \wedge Q_B)$$

$$Q_{B(n+1)} = [\bar{Q}_B \wedge [(Q_C \wedge Q_D) \vee Q_A]] \vee (\bar{Q}_A \wedge Q_B)$$

$$\underline{Q_{B(n+1)} = [[(Q_C \wedge Q_D) \vee Q_A] \wedge \bar{Q}_B] \vee (\bar{Q}_A \wedge Q_B)} \quad ②$$

$$Q_{C(n+1)} = (Q_A \wedge Q_B \wedge \bar{Q}_C) \vee (\bar{Q}_A \wedge Q_C \wedge \bar{Q}_D) \vee (\bar{Q}_B \wedge Q_C \wedge \bar{Q}_D)$$

$$Q_{C(n+1)} = (Q_A \wedge Q_B \wedge \bar{Q}_C) \vee [[(\bar{Q}_A \wedge \bar{Q}_D) \vee (\bar{Q}_B \wedge \bar{Q}_D)] \wedge Q_C]$$

$$\underline{Q_{C(n+1)} = (Q_A \wedge Q_B \wedge \bar{Q}_C) \vee [[\bar{Q}_D \wedge (\bar{Q}_A \vee \bar{Q}_B)] \wedge Q_C]} \quad ③$$

$$\underline{Q_{D(n+1)} = (Q_A \wedge Q_B \wedge Q_C \wedge \bar{Q}_D) \vee (\bar{Q}_C \wedge Q_D)} \quad ④$$

### 3. Schritt:

Charakteristische Gleichungen.

Gesucht sind jetzt die charakteristischen Gleichungen der zu verwendenden Flipflops. Es sollen JK-Flipflops verwendet werden. Für diese gilt die allgemeine charakteristische Gleichung unter Weglassung des Index n:

$$Q_{(n+1)} = (J \wedge \bar{Q}) \vee (\bar{K} \wedge Q)$$

Für die Herstellung des Zählers werden 4 Flipflops benötigt, die mit A, B, C und D bezeichnet werden sollen. Sie haben die folgenden charakteristischen Gleichungen:

$$Q_{A(n+1)} = (J_A \wedge \bar{Q}_A) \vee (\bar{K}_A \wedge Q_A) \quad ⑤$$

$$Q_{B(n+1)} = (J_B \wedge \bar{Q}_B) \vee (\bar{K}_B \wedge Q_B) \quad ⑥$$

$$Q_{C(n+1)} = (J_C \wedge \bar{Q}_C) \vee (\bar{K}_C \wedge Q_C) \quad ⑦$$

$$Q_{D(n+1)} = (J_D \wedge \bar{Q}_D) \vee (\bar{K}_D \wedge Q_D) \quad ⑧$$

### 4. Schritt:

Bestimmen der Verknüpfungsgleichungen.

Die Anwendungsgleichungen und die charakteristischen Gleichungen sind nun bekannt. Durch Koeffizientenvergleich werden nun die Verknüpfungsgleichungen bestimmt.

#### Flipflop A

$$Q_{A(n+1)} = (J_A \wedge \bar{Q}_A) \vee (\bar{K}_A \wedge Q_A) \quad ⑤$$

$$\Downarrow \qquad \Downarrow$$

$$Q_{A(n+1)} = (1 \wedge \bar{Q}_A) \vee (0 \wedge Q_A) \quad ①$$


---

$$J_A = 1,$$

$J_A = 1$

$$\bar{K}_A = 0,$$

$K_A = 1$

#### Flipflop B

$$Q_{B(n+1)} = (J_B \wedge \bar{Q}_B) \vee (\bar{K}_B \wedge Q_B) \quad ⑥$$

$$\Downarrow \qquad \Downarrow$$

$$Q_{B(n+1)} = [[\overbrace{(Q_C \wedge Q_D) \vee Q_A}^{} \wedge \bar{Q}_B] \vee (\bar{Q}_A \wedge Q_B)] \quad ②$$


---

$J_B = Q_A \vee (Q_C \wedge Q_D)$

$$\bar{K}_B = \bar{Q}_A,$$

$K_B = Q_A$

### Flipflop C

$$Q_{C(n+1)} = (J_C \wedge \bar{Q}_C) \vee (\bar{K}_C \wedge Q_C) \quad (7)$$

$$\Downarrow \quad \Downarrow$$


---


$$Q_{C(n+1)} = \overbrace{(Q_A \wedge Q_B) \wedge \bar{Q}_C} \vee [\overbrace{[\bar{Q}_D \wedge (\bar{Q}_A \vee \bar{Q}_B)] \wedge Q_C}] \quad (3)$$

$$J_C = Q_A \wedge Q_B$$

$$\bar{K}_C = \bar{Q}_D \wedge (\bar{Q}_A \vee \bar{Q}_B)$$

$$K_C = \overline{\bar{Q}_D \wedge (\bar{Q}_A \vee \bar{Q}_B)} = Q_D \vee \overline{\bar{Q}_A \vee \bar{Q}_B}$$

$$K_C = Q_D \vee (Q_A \wedge Q_B)$$

$$K_C = (Q_A \wedge Q_B) \vee Q_D$$

### Flipflop D

$$Q_{D(n+1)} = (J_D \wedge \bar{Q}_D) \vee (\bar{K}_D \wedge Q_D) \quad (8)$$

$$\Downarrow \quad \Downarrow$$


---


$$Q_{D(n+1)} = \overbrace{(Q_A \wedge Q_B \wedge Q_C) \wedge \bar{Q}_D} \vee (\bar{Q}_C \wedge Q_D) \quad (4)$$

$$J_D = Q_A \wedge Q_B \wedge Q_C$$

$$\bar{K}_D = \bar{Q}_C, \quad K_D = Q_C$$

Sind die Verknüpfungsgleichungen bekannt, so kann der Zähler aufgebaut werden. Die Verbindungen zwischen den einzelnen Flipflops sind entsprechend den Verknüpfungsgleichungen zu schalten. Die fertige Zählerschaltung ist in Bild 10.64 dargestellt. Der Zähler läuft beliebig an. Soll er stets beim Nullschritt anlaufen, so ist eine Zusatzschaltung nötig.

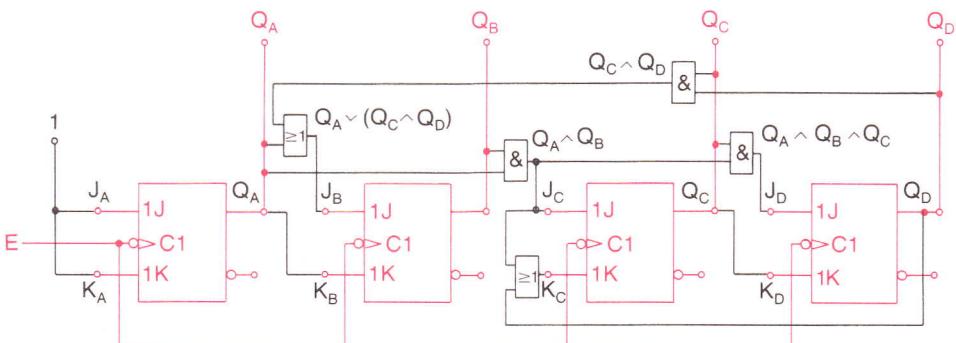


Bild 10.64 Synchron-Vorwärtzähler nach dem 3-Exzeß-Kode

Man hat manchmal die Möglichkeit, die Päckchenbildung in den KV-Diagrammen bei gleichem Vereinfachungsgrad anders vorzunehmen. In unserem Beispiel ist dies im KV-Diagramm für  $Q_{C(n+1)}$  der Fall. Es ergeben sich bei anderer Päckchenbildung andere Anwendungsgleichungen und damit auch andere Verknüpfungsgleichungen, die gleichwertige Lösungen der Aufgabe darstellen.

## 10.4 Frequenzteiler

*Frequenzteiler sind Schaltungen, die die Frequenz rechteckförmiger Signale in einem bestimmten Verhältnis herunterteilen.*

Ein einzelnes Flipflop erzeugt eine Frequenzteilung im Verhältnis 2 : 1. Mit zwei Flipflops kann ein Frequenzteiler für ein Teilverhältnis 4 : 1 aufgebaut werden. Man unterscheidet Frequenzteiler mit festem Teilverhältnis und Frequenzteiler, deren Teilverhältnis in einem gewissen Bereich einstellbar ist. Letztere werden auch programmierbare Frequenzteiler genannt.

### 10.4.1 Asynchrone Frequenzteiler mit festem Teilverhältnis

Als Frequenzteiler können bereits bekannte Schaltungen verwendet werden.

*Jeder Asynchron-Dualzähler eignet sich als Frequenzteiler mit festem Teilverhältnis.*

Betrachten wir die Schaltung und das Zeitablaufdiagramm des 3-Bit-Dual-Vorwärtszählers in Bild 10.65. Das erste Flipflop des Zählers halbiert die Frequenz des Eingangssignals E. Das zweite Flipflop halbiert die schon halbierte Frequenz ein weiteres Mal. Nochmals wird die Frequenz durch das dritte Flipflop halbiert. Ein 3-Bit-Dual-Vorwärtszähler arbeitet also als Frequenzteiler mit dem Teilverhältnis 8 : 1. Dual-Rückwärtszähler sind ebenfalls als Frequenzteiler geeignet (Bild 10.66). Die geteilten Signale haben lediglich eine andere Phasenlage als bei Dual-Vorwärtszählern. Geradzahlige Teilverhältnisse nach der Zweierpotenzreihe lassen sich also leicht erreichen. Jedes Flipflop teilt um den Faktor 2. Es gilt die Gleichung:

$$f_T = \frac{f_E}{2^n}$$

$f_E$  = Eingangsfrequenz  
 $f_T$  = geteilte Frequenz  
 $n$  = Zahl der Flipflops

Wie sieht es nun mit ungeradzahligen Teilverhältnissen aus? Um ungeradzahlige Teilverhältnisse zu erreichen, müssen die für die Schaltung verwendeten Flipflops Rückstelleingänge haben. Ein Frequenzteiler mit dem Teilverhältnis 3 : 1 ist in Bild 10.67 dargestellt.

Bild 10.65 Asynchroner 3-Bit-Dual-Vorwärtszähler als Frequenzteiler mit Teilverhältnis 8:1

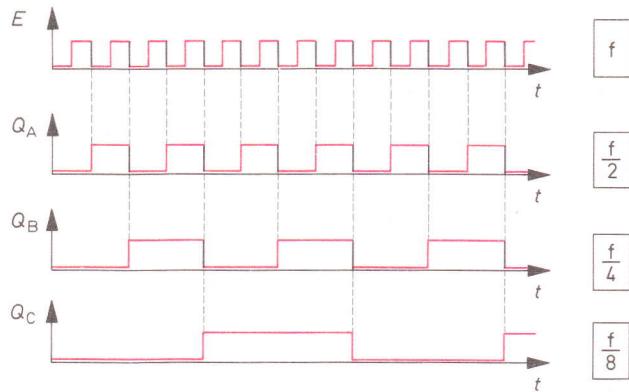
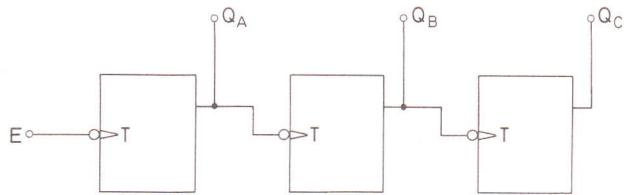


Bild 10.66 Asynchroner 3-Bit-Dual-Rückwärtszähler als Frequenzteiler mit Teilverhältnis 8:1

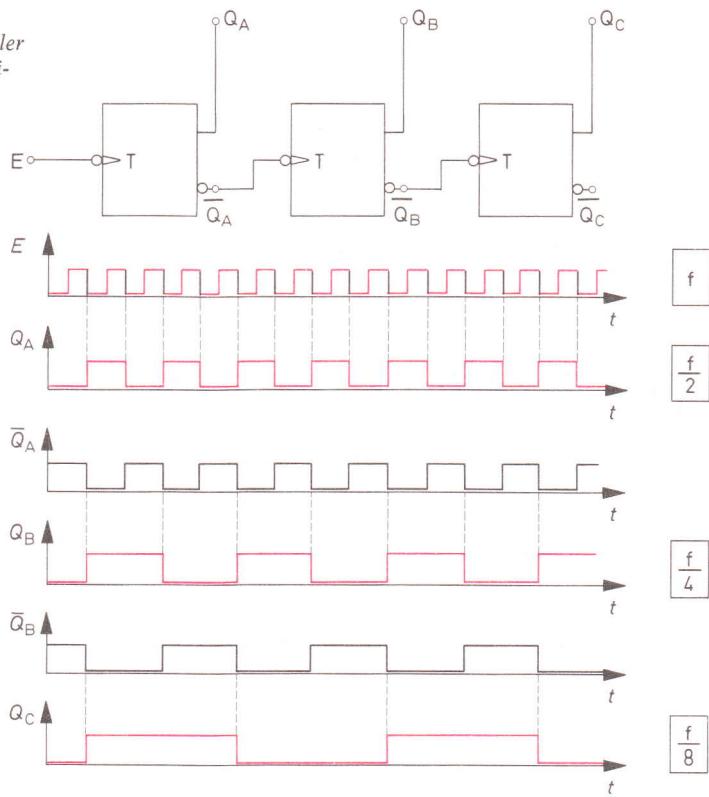


Bild 10.67 Frequenzteiler mit einem Teilverhältnis 3 : 1 und Zeitablauf-Diagramm

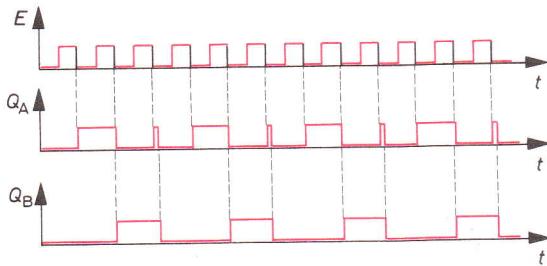
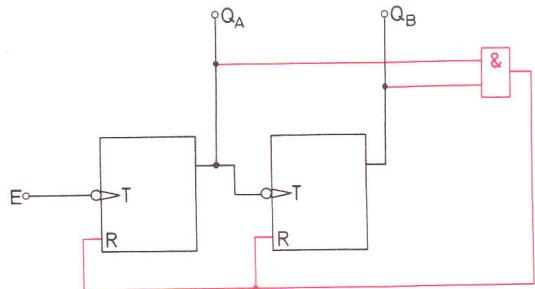


Bild 10.68 Frequenzteiler mit einem Teilverhältnis 6 : 1 und Zeitablauf-Diagramm

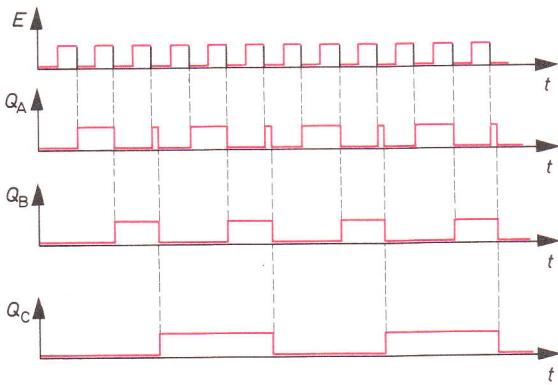
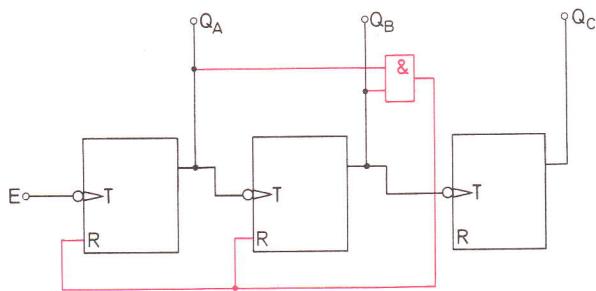
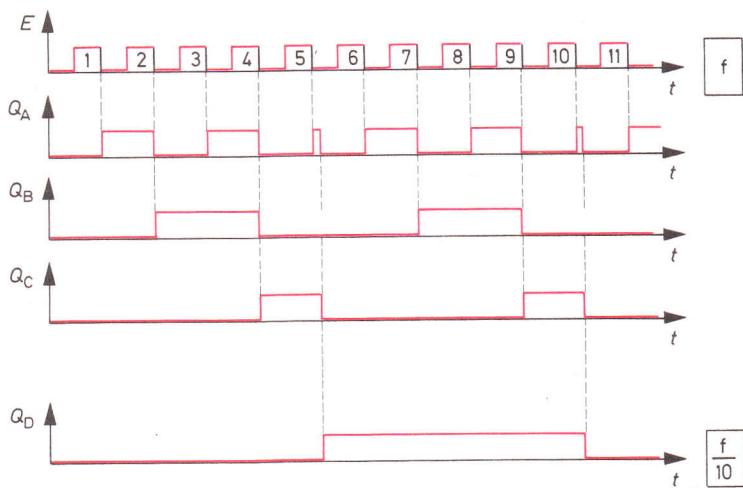
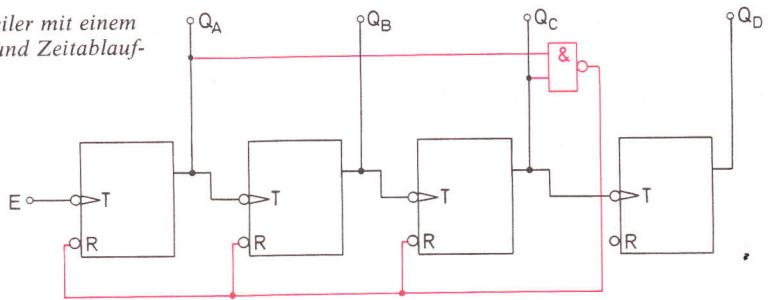


Bild 10.69 Frequenzteiler mit einem Teilverhältnis 10 : 1 und Zeitablauf-Diagramm



Das Ausgangssignal  $Q_B$  hat ein anderes Impuls-Pausen-Verhältnis als das Eingangssignal  $E$ . Das ist für viele Anwendungsfälle ungünstig. Schaltet man ein weiteres Flipflop nach, ergibt sich wieder ein Impuls-Pausen-Verhältnis von 1 : 1 (Bild 10.68).

#### Aufgabe:

Gesucht ist die Schaltung eines Frequenzteilers mit dem Teilverhältnis 10 : 1. Das Impuls-Pausen-Verhältnis des Ausgangssignals soll 1 : 1 sein.

Zunächst ist die Schaltung eines Frequenzteilers 5 : 1 zu entwickeln. Dieser Schaltung wird ein Frequenzteiler 2 : 1, also ein weiteres Flipflop, nachgeschaltet (Bild 10.69).

#### 10.4.2 Synchrone Frequenzteiler mit festem Teilverhältnis

Für synchron arbeitende Dualzähler gilt im Prinzip das gleiche wie für asynchron arbeitende Dualzähler:

*Jeder Synchron-Dualzähler kann auch als Frequenzteiler mit festem Teilverhältnis arbeiten.*

Das gilt ohne Einschränkungen nur für die Teilverhältnisse, die zur Zweierpotenzreihe gehören, also für die Teilverhältnisse  $2 : 1$ ,  $4 : 1$ ,  $8 : 1$ ,  $16 : 1$  usw. Für andere Teilverhältnisse, insbesondere für ungerade, muß die Beschaltung der Eingänge der Flipflops geändert werden.

Bild 10.70 zeigt die Schaltung und das Zeitablauf-Diagramm eines synchron arbeitenden Frequenzteilers mit einem Teilverhältnis 3:1.

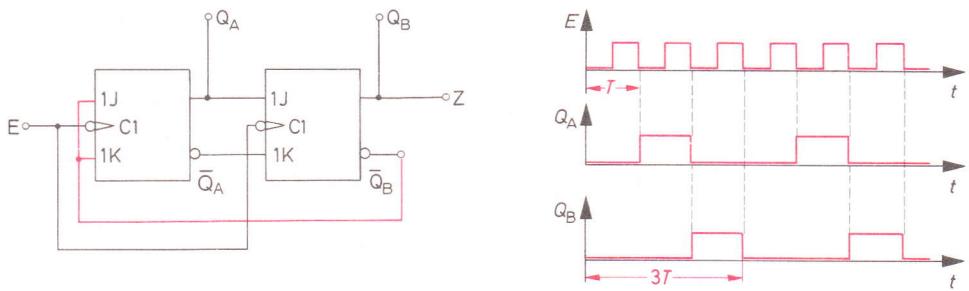


Bild 10.70 Synchron arbeitender Frequenzteiler mit einem Teilverhältnis von 3 : 1 und Zeitablauf-Diagrammen

#### 10.4.3 Frequenzteiler mit einstellbarem Teilverhältnis

Frequenzteiler mit einstellbarem Teilverhältnis sind im Prinzip umschaltbare Frequenzteiler. Sie führen mehrere Frequenzteilungen durch. Das Signal mit der gewünschten Frequenzteilung wird über eine Auswahlschaltung auf den Ausgang gegeben. Der Frequenzteiler in Bild 10.71 teilt in den Teilverhältnissen  $2 : 1$ ,  $4 : 1$ ,  $8 : 1$  und  $16 : 1$ . Durch Auswahlsignale an  $A$  und  $B$  wird das gewünschte Signal auf den Ausgang  $Z$  geschaltet.

Die Schaltung des Frequenzteilers kann darüber hinaus durch Umschaltungen verändert werden, so daß sich auch verschiedene ungerade Teilverhältnisse erreichen lassen. Ein wichtiger Kennwert eines Frequenzteilers ist die höchstmögliche Frequenz, die der Frequenzteiler noch zu teilen in der Lage ist. In ECL-Technik (s. ECL-Schaltkreisfamilie Abschnitt 6.7) lassen sich Frequenzteiler für Frequenzen bis zu etwa 900 MHz bauen. Ein einstellbarer Frequenzteiler für Frequenzen bis 500 MHz ist als integrierte Schaltung unter der Typenbezeichnung S 89 erhältlich. Das Schaltbild dieses Zählers mit der

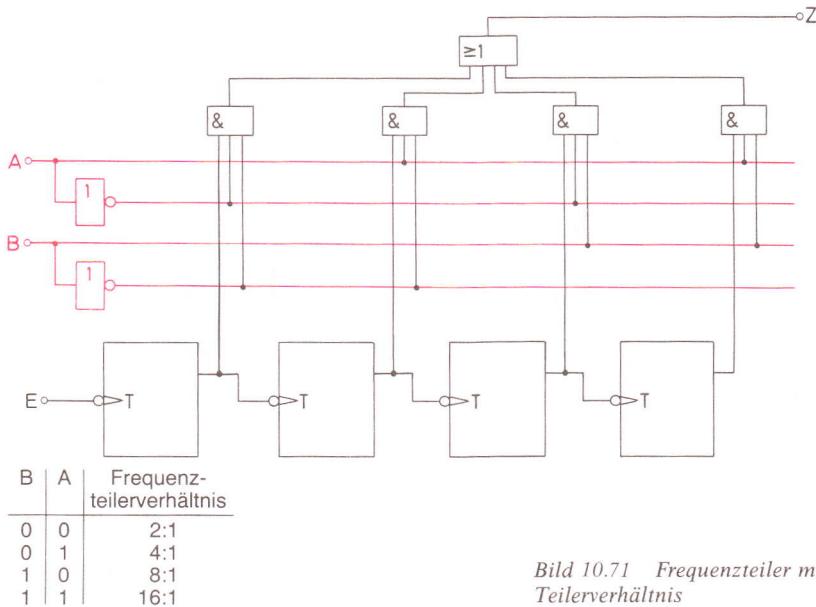


Bild 10.71 Frequenzteiler mit einstellbarem Teilverhältnis

Anschlußanordnung ist in Bild 10.72 angegeben. Einstellbar sind die Teilverhältnisse  $50 : 1$ ,  $51 : 1$ ,  $100 : 1$ ,  $101 : 1$ ,  $102 : 1$ ,  $200 : 1$  und  $202 : 1$ .

Das gewünschte Teilverhältnis wird an den Steuereingängen A, B und ENA eingestellt. Die Steuerbefehlstabelle, die Kenndaten und die Funktionsdaten sind in Bild 10.73 dargestellt.

## Anschlußanordnung Ansicht von oben

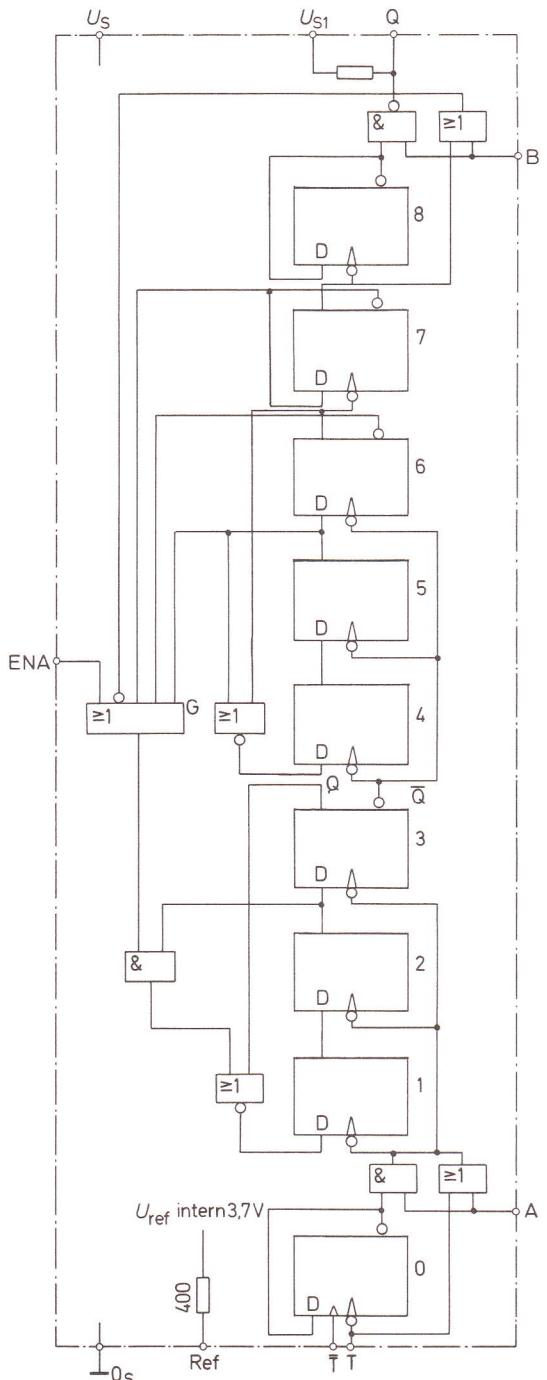
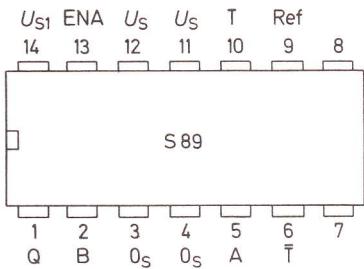


Bild 10.72 Schaltbild und Anschlußanordnung des einstellbaren Frequenzteilers S 89 (Siemens)

Bild 10.73 Steuerbefehlstabelle mit Kenndaten und Funktionsdaten des einstellbaren Frequenzteilers S 89

### Steuerbefehlstabelle

A	B	ENA	$f_T/f_Q$
H	H	H	200
H	H	L	202
H	L	H	100
H	L	L	102
L	H	H	100
L	H	L	101
L	L	H	50
L	L	L	51

$f_T$  Eingangs frequenz

$f_Q$  Ausgangs frequenz

	Prüfbedingungen	untere Grenze B	typ.	obere Grenze A	Einheit
Speisespannung	$U_S$				
Speisestrom	$I_S$	Eing., Ausg. offen	4,75	5,25	V
L-Eingangsspannung an ENA	$U_{ENAL}$		55	85	mA
H-Eingangsspannung an ENA	$U_{ENAH}$	$T_U = -30^\circ\text{C}$	3,2	1	V
H-Eingangsspannung an ENA	$U_{ENAH}$	$T_U = 25^\circ\text{C}$	3,0		V
H-Eingangsspannung an ENA	$U_{ENAH}$	$T_U = 80^\circ\text{C}$	2,8		V
H-Eingangsstrom an ENA	$I_{ENAH}$	$U_{ENA} = U_{ENAH} = f(T_U)$	0,17	0,3	mA
H-Eingangsstrom an ENA	$I_{ENAH}$	$U_{ENA} = 9\text{ V}$	1,7	3	mA
L-Eingangsspannung an	$U_{ABL}$			1,5	V
A bzw. B					
H-Eingangsspannung an	$U_{ABH}$		$U_S - 0,1$	$U_S + 0,1$	V
A bzw. B					
H-Eingangsstrom an A bzw. B	$I_{ABH}$	$U_{AB} = U_S$	0,5	1	mA
Schwellwertspannung an T	$U_T$	$U_S = 5\text{ V}$	3,7		V
Schaltspannungshub	$U_{TSS}$		250	1600	mV
an T statisch					
(T und Ref verbunden)					
Schaltspannungshub	$U_{TSS}$	$U_S = 5\text{ V}$	250	400	mV
an T bei 500 MHz					
(T und Ref verbunden)					
Ausgangsspannung an Q <sub>1</sub>	$U_{Q1}$	$I_{Q1} = 3,2\text{ mA}$	1,8	0,4	V
R zwischen Q <sub>1</sub> und Q <sub>2</sub>	$R_{Q2}$		2,5	3,2	kΩ

### Funktionsdaten

Speisespannung	$U_S$					
max. Eingangs frequenz	$f_{T\max}$	bei 50/51, 100/101	4,5			V
max. Eingangs frequenz	$f_{T\max}$	bei 100/102, 200/202	250 <sup>1)</sup>			MHz
min. Eingangs frequenz	$f_{T\min}$	bei 50/51, 100/101	500 <sup>1)</sup>			MHz
sinusförmig			20 <sup>1)</sup>			MHz
min. Eingangs frequenz	$f_{T\min}$	bei 100/102, 200/202	40 <sup>1)</sup>			MHz
sinusförmig						

<sup>1)</sup> Amplitude (SS) an T:  $250\text{ mV} \leq U_{TSS} \leq 400\text{ mV}$ ;  $U_S: 4,75 \leq U_S \leq 5,5\text{ V}$

## 10.5 Lernziel-Test

1. Wodurch unterscheiden sich Synchronzähler und Asynchronzähler?
2. Skizzieren Sie die Schaltung eines asynchron arbeitenden 8-bit-Dual-Vorwärtszählers. Zu verwenden sind einflankengesteuerte JK-Flipflops, die mit der ansteigenden Taktflanke kippen.
3. Wie kann man aus einem asynchron arbeitenden 4-Bit-Dual-Vorwärtszähler, der mit T-Flipflops aufgebaut ist, einen BCD-Vorwärtszähler machen? Die T-Flipflops sollen mit abfallender Taktflanke kippen und einen taktunabhängigen Rückstelleingang haben, der mit 0-Signal das Flipflop zurückstellt.
4. Was versteht man unter Modulo-n-Zählern?
5. Skizzieren Sie die Schaltung eines Modulo-19-Zählers (Vorwärtszähler). Zur Verfügung stehen die in Frage 3 beschriebenen Flipflops.
6. Ändern Sie die Schaltung des Modulo-19-Zählers aus Frage 5 so, daß er mit 18 zu zählen beginnt und dann bis 0 rückwärts zählt.
7. Wie arbeitet die in Bild 10.74 dargestellte Schaltung?

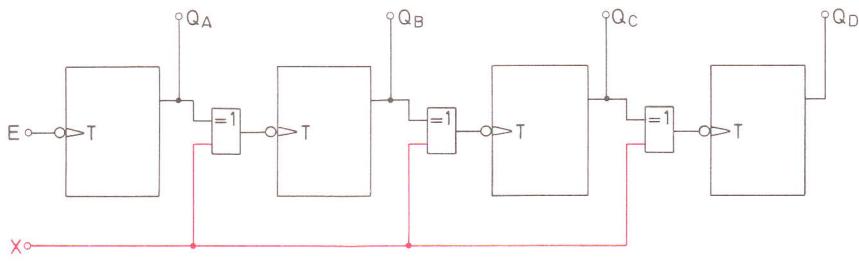


Bild 10.74

8. Wodurch unterscheiden sich voreinstellbare Zähler und Vorwahlzähler?
9. Ändern Sie die Schaltung des 4-Bit-Dual-Vorwärtszählers nach Bild 10.7 so, daß ein voreinstellbarer Zähler entsteht.
10. Geben Sie die Schaltung eines synchron arbeitenden 5-Bit-Dual-Vorwärtszählers an. Zur Verfügung stehen einflankengesteuerte JK-Flipflops, die mit abfallender Taktflanke schalten.
11. Beschreiben Sie das Verfahren zur Berechnung von Synchronzählern.
12. Wie kann man aus einem 4-Bit-Synchron-Dual-Vorwärtszähler einen 4-Bit-Synchron-Dual-Rückwärtszähler machen? Es sollen möglichst wenig Schaltungsänderungen vorgenommen werden.
13. Ein 4-Bit-Synchron-Dual-Vorwärtszähler soll als Frequenzteiler mit einem Teilerverhältnis 8 : 1 verwendet werden. Was ist schaltungstechnisch zu tun?
14. Gesucht ist die Schaltung eines Frequenzteilers mit einem Teilverhältnis 14 : 1. Zur Verfügung stehen die in Frage 3 beschriebenen Flipflops. Das Impuls-Pausen-Verhältnis des Ausgangssignals soll 1 : 1 sein.