**H ö h e r e T e c h n i s c h e B u n d e s l e h r a n s t a l t**

**S a l z b u r g**

**Abteilung für Elektronik**

**Übungen im**

**Laboratorium für Elektronik**

**Protokoll**

**für die Übung SreS 02**

**Gegenstand der Übung**

|  |
| --- |
| **Logic Analyzer** |

|  |  |
| --- | --- |
| **Name:** | **Sonja Strainovic** |
| **Jahrgang:** | **4AHEL** |
| **Gruppe Nr.:** | **C01** |
| **Übung am:** | **23.10.2019** |

|  |  |
| --- | --- |
| **Anwesend:** | **Sonja Strainovic, Sabrina Schwab** |

Inhalt

[1 Einleitung 2](#_Toc23872674)

[1.1 Logic Analyzer 2](#_Toc23872675)

[1.2 Funktionsweise der digitalen Übertragung 3](#_Toc23872676)

[1.3 Analyse Methoden 3](#_Toc23872677)

[1.4 Vergleich zum Oszilloskop 3](#_Toc23872678)

[1.5 Kenndaten Verwendeter Logic Analyzer: 4](#_Toc23872695)

[2 Inventarliste 4](#_Toc23872696)

[3 Übungsdurchführung 5](#_Toc23872697)

[3.1 Aufbau eines 8-Bit Zählers im CTC-Mode 5](#_Toc23872698)

[3.1.1 Training an der Messumgebung 5](#_Toc23872699)

[3.1.2 Triggerung von Signalen 8](#_Toc23872700)

[3.1.3 Auflösung und Speichertiefe 8](#_Toc23872701)

[3.2 I2C Datentransfer 9](#_Toc23872702)

[3.2.1 Schaltungsaufbau 9](#_Toc23872703)

[3.2.2 Ermittlung des Busprotokolls 9](#_Toc23872704)

[3.3 Kontrollfragen 9](#_Toc23872705)

[4 Zusammenfassung 9](#_Toc23872706)

# Einleitung

In dieser Übung sollen einerseits ein 8-Bit Zähler mit dem Crumb644 im CTC-Mode aufgebaut, andererseits der I2C Datentransfer protokolliert werden.

Zu Beginn ist der Logic Analyzer besprochen und mit einem Oszilloskop verglichen worden.

## Logic Analyzer Ein Logic Analyzer ist ein enger Verwandter des Oszilloskops, jedoch wird dieses Messgerät für digitale Signale verwendet. Es zeichnet den Zeitverlauf von digitalen Signalen auf und stellt sie bildlich dar, somit können diese Signale gemessen, aufgezeichnet und analysiert werden. Ebenso dient er zum Prüfen von digitalen Kommunikationen zwischen zwei Chips oder Geräten, zum Debuggen von Code- oder Logikfehlern, Firmwares, Programmcode etc. Besonders geeignet ist der Logic Analyzer für parallele Bussysteme. Bei Timing-Problemen, eingestrahlten Störungen oder Dämpfungs- und Bandbreitenbegrenzung wird dieses Messgerät eher weniger eingesetzt. Es gibt verschiedenste Bauformen von Logic Analyzern.

Abbildung 1: Mixed-Signal Oszilloskop

Abbildung 2: Stand-Alone Gerät

Abbildung 3: PC-basiert

## Funktionsweise der digitalen Übertragung

Eine Spannung, die über die Zeit über die Werte High und Low wechselt, wird mittels einem Signalanpassverstärkern mit festen oder einstellbaren Bereichsgrenzen analog erfasst und dann in die digitalen Zustände Low (±0V) und High (3,3V - 5V) überführt, gespeichert und auf einen Bildschirm ausgegeben. Dabei müssen die beiden Werte nicht den Binärwerten 0 und 1 entsprechen, da das von der verwendeten Codierung abhängt.

Ein Problem für den Logic Analyzer stellen jedoch digitale Formate mit mehr als zwei Spannungswerten dar.

Ebenso können Probleme beim Empfang von Signalen auftreten. Zum Beispiel durch eingestrahlte Störungen, Unsauberkeiten des Senders, Messfehler beim Empfänger oder es treten Probleme mit Kontakten oder Lötstellen auf.

## Analyse Methoden

Zeitanalyse:

* Leitungen werden in festen Zeitabständen gelesen
* hohe Abtastrate
* meistens verwendet

Zustandsanalyse:

* Leitungen werden aufgrund externer Ereignisse gelesen
* stark reduzierte Abtastrate
* ähnlich einem Trigger

## Vergleich zum Oszilloskop

|  |  |
| --- | --- |
| LOGIC ANALYZER | OSZILLOSKOP |
| Spezial-Gerät | Standard-Gerät |
| interpretiert digital | interpretiert analog |
| viele Eingänge | 2 - 4 Eingänge |
| digital | analog oder digital |
| meist komplexe Trigger | eher einfache Trigger |
| verdeckt große Teile des Signals | stellt ganzes Signal dar |
| Aufzeichnung einzelner Bitfolgen | häufig für periodische Signale |

## Kenndaten Verwendeter Logic Analyzer:

* maximale Abtastrate: 24MHz
* 8 Eingänge - 2 GND-Anschlüsse
* mit 50µs getaktet
* mixed-signal (analog und digital)

# Inventarliste

|  |  |  |
| --- | --- | --- |
| **Stück** | **Gerätebezeichnung** | **Inventarnummer/Identifikation** |
| 1 | Crumbtl - Atmega644 | - |
| 1 | Logic Analyzer (Saleae) | - |
| 1 | Software „Logic 1.2.18“ | - |
| 1 | Software Timer | - |
| 1 | Steckbrett Project Board | - |

# Übungsdurchführung

Es konnten nicht alle Aufgaben, aufgrund Zeitmangels, bearbeitet werden.

## Aufbau eines 8-Bit Zählers im CTC-Mode

### 3.1.1 Training an der Messumgebung

Bevor mit der eigentlichen Übung begonnen werden konnte, sollte das „Timer“-Programm (DIC-Unterricht des 3. Jahrganges) mit einer neuen Funktion erweitert werden.

#### CTC-Mode



Abbildung 4: Skizze der Funktionsweise von Normal- und CTC-Mode

Der Takt fCLK\_I/O wird durch den eingestellten Vorteiler geteilt (ist einstellbar) und es wird der CTC-Mode durchgeführt.   
Ein 8-Bit Zähler (0 bis 127) soll aufgebaut werden, bei dem ein Counter so lange hochgezählt werden soll bis er die 128 erreicht. Dann wird ein Interrupt durchgeführt, in dem der Counter auf 0 gesetzt wird.

Formeln zur Berechnung von den Periodendauern:

* N … Prescaler / Vorteiler
* TTN … Timerperiode

* =>

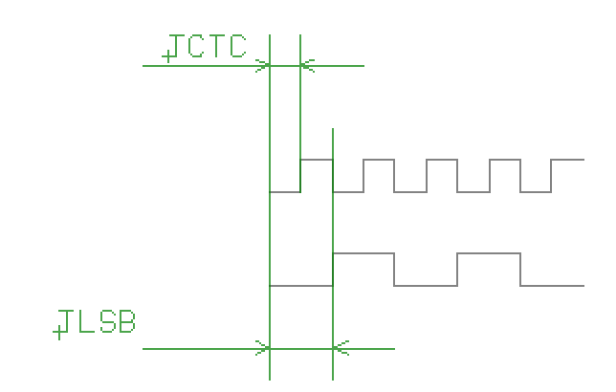
TLSB = 1ms (entspricht 1kHz)

Abbildung 5: Kennzeichnung der Perioden

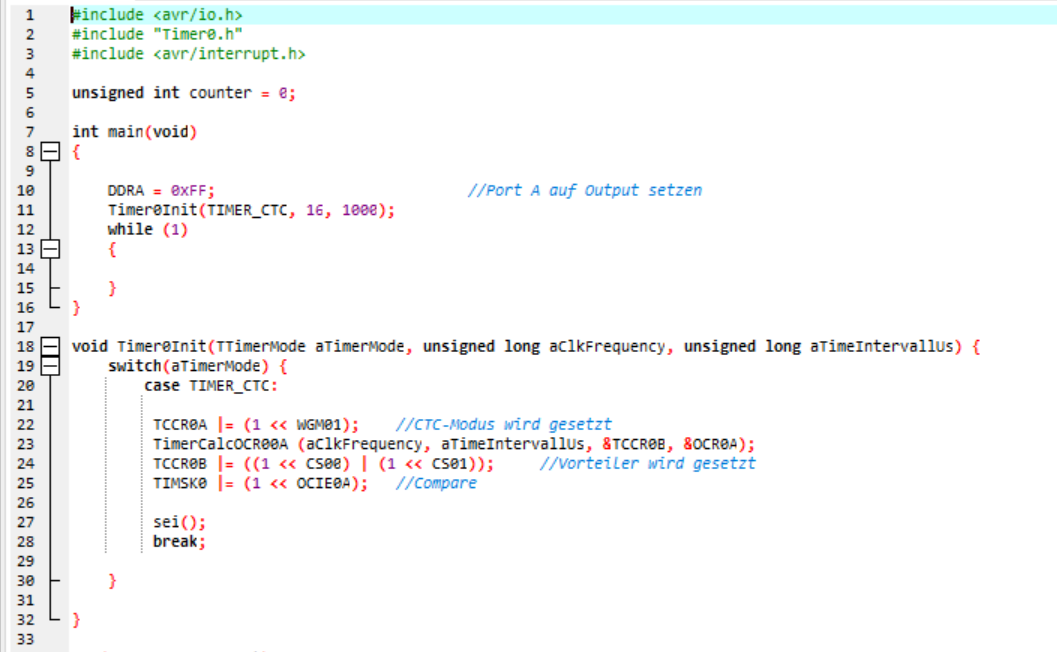
TCTC = 500us

N wird angenommen (64)

Das Output-Compare-Register OCR0A sollte hoch sein, aber nicht 256 überschreiten. =>

fCLK\_I/O = 16MHz

#### Mikrocontroller Code



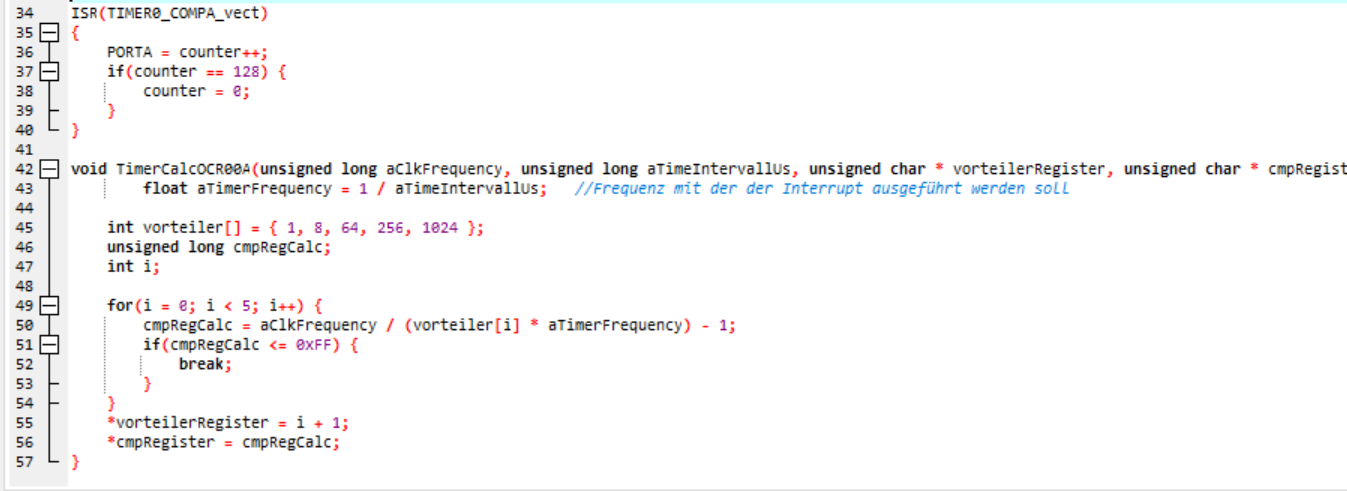


Abbildung 6: Dokumentierte uC Code

#### Auswertung der Signale

Nachdem das Signal auf den Mikrocontroller des Crumbtl geladen wird, drückt man in der Software „Logic 1.2.18“ auf den „Start“ Button.   
Folgende Signale werden ausgegeben:

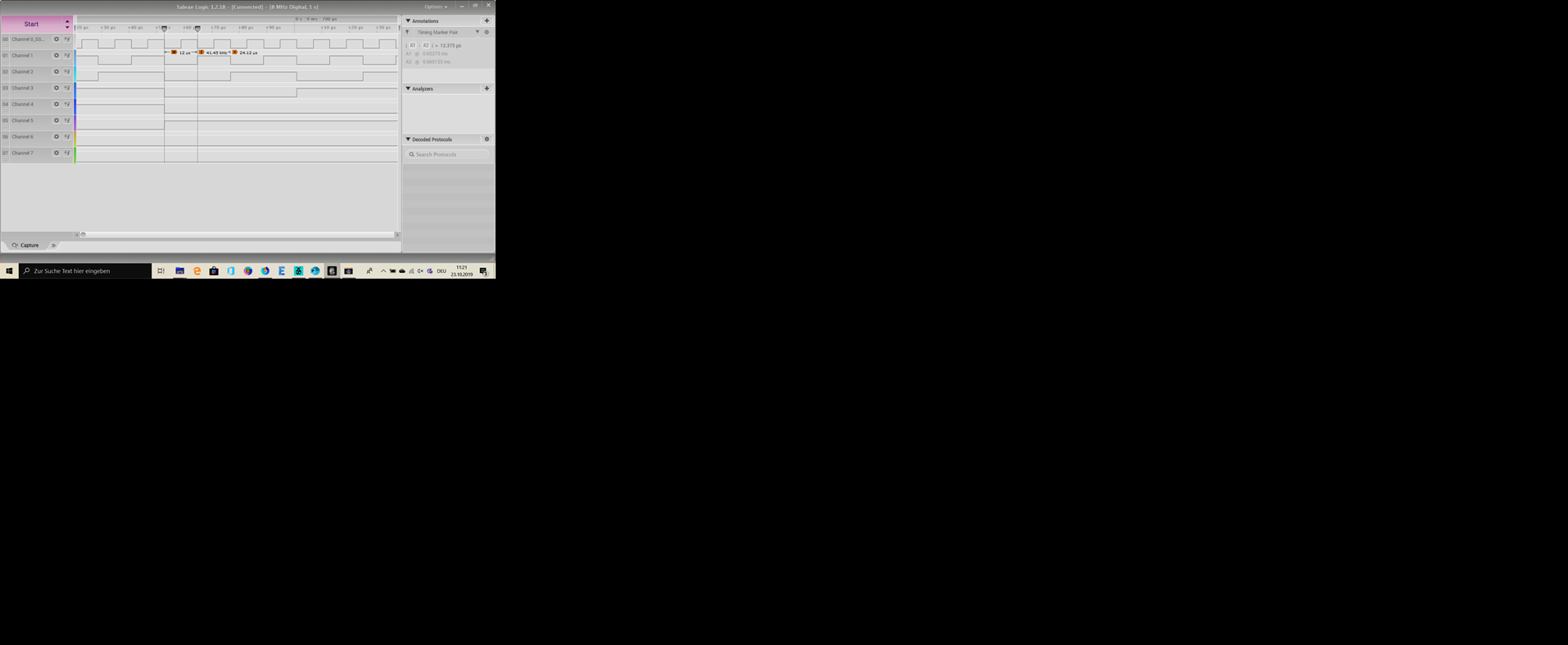


Abbildung 7: Aufzeichnung der Signale

Mit Hilfe der Timer-Marker wird die Periodendauer gemessen, diese beträgt wie in Abbildung 7 gezeigt 12us, was allerdings nicht ganz richtig ist, da die gewünschte Periodendauer 6us sein sollte. Das lässt darauf schließen, dass der Code fehlerbehaftet ist.

Der Duty-Cycle beträgt ungefähr 50%.

#### Benennung der Eingänge

Hier soll der Channel 0 „ch0“ in Schülerkürzel umbenannt werden.

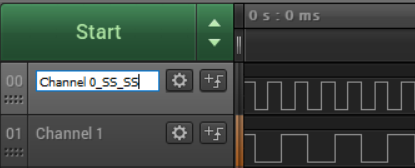


Abbildung 8: Umbennenung des Channel 0

#### Umreihung der Kanäle

Die Kanäle sollen so vertauscht werden, dass das oberste und das unterste Nibble vertauscht sind.

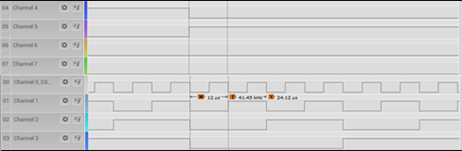


Abbildung 2: Vertauschen des oberen und unteren Nibbles

Die restlichen Aufgaben konnte aufgrund Zeitmangels nicht durchgeführt werden.

### 3.1.2 Triggerung von Signalen

#### 3.1.2.1 Triggerung auf bestimmtes Event Es soll die Einstellung für eine Triggerung auf ein bestimmtes Event (rising edge, falling edge, High, Low, etc.) vorgenommen werden.

### 3.1.3 Auflösung und Speichertiefe

Einen maßgeblichen Einfluss auf die Länge der aufgezeichneten Sequenz hat die Speichertiefe. Je höher diese ist, desto länger ist die Sequenz.  
Ebenso beeinflusst die Abtastrate die Länge. Je höher diese ist, desto kürzer die Sequenz.  
Es soll die Zählfrequenz von 32kHz gewählt werden.

Ab dieser Übung konnten die restlichen Aufgaben, aufgrund Zeitmangels, nicht durchgeführt werden.

## I2C Datentransfer

### 3.2.1 Schaltungsaufbau

Die I2C Ansteuerung des Temperatursensors LM75 ist zu realisieren. Dabei soll die Adresse mittels Hardware und Software Settings modifiziert werden.

### 3.2.2 Ermittlung des Busprotokolls

Es soll eine vollständige I2C Analyse durchgeführt und protokolliert werden. Ebenso sollen die entsprechenden Bits gekennzeichnet werden.

## Kontrollfragen

Wie unterscheidet sich ein Logic Analyzer zu einem DSO?

Im Vergleich zum DSO hat der Logic Analyzer, wie beim Oszilloskop, mehrere Kanäle und kann somit mehrere Signale auf einem Bildschirm anzeigen.  
 Ein weiterer Unterschied ist, dass der Logic Analyzer nur High und Low Zustände erkennen kann, während das DSO die genaue Spannungswerte misst.

Welche sample-rate ist zur Aufzeichnung digitaler Signale anzuwenden?  
   
 Die sample-rate sollte vier Mal so hoch wie die Frequenz des LSB sein.

# Zusammenfassung

Das Lernziel dieser Übung war der Logic Analyzer sowie die Programmierung eines Timers. Der Timer ist bereits aus dem dritten Jahrgang (DIC) bekannt. Für diese Übung wurde speziell der CTC-Mode verwendet.  
Diese Übung eignet sich hervorragend zur Auffrischung und Festigung des bereits gelernten.

Unterschrift:

|  |  |  |  |
| --- | --- | --- | --- |
| **Datum:** | **Note:** | **Punkte:** | **Unterschrift:** |