



Departamento de
Ingeniería
Electrónica

Universidad Politécnica de Madrid

Universidad Politécnica de Madrid



Circuitos Electrónicos (CELT)

Circuitos Electrónicos curso 2017-2018

Clase introducción a la asignatura

Coordinador docente : Miguel Ángel Sánchez (sanchez@die.upm.es), desp. B-107

Coordinador administrativo: Alberto Bosca (alberto.bosca@upm.es), desp. C-206

<http://celt.die.upm.es>

(Plataforma Moodle de la asignatura)



Circuitos Electrónicos (CELT)

Profesorado y turnos:

	LUNES	MARTES	MIÉRCOLES	JUEVES	VIERNES
13.00h					ONT AHC
16.00h	JLM	ONT PAG MSG	JLM ZG JBM	JAS PAG ABM	
19.00h					

Laboratorio B-043

ABM: Alberto Boscá Mojena

AHC: Adrián Hierro Cano

JAS: Javier Agustín Saenz

JBM: Javier Blesa Martínez

JLM: Juan Antonio López Martín

ONT: Octavio Nieto Taladriz

MSG: Miguel Ángel Sánchez García

PAG: Patricia Arroba García

ZG: Zarko Gacevic



Circuitos Electrónicos (CELT)

Estructura del curso:

- Asignatura eminentemente **práctica**:

Desarrollo de un prototipo analógico/digital

- 12 sesiones de 3 horas
- Explicación breve al inicio de algunas sesiones
- Resto del tiempo tutorías personalizadas
- Requiere la **lectura detallada** de documentación escrita



Circuitos Electrónicos (CELT)

Documentación (disponible en la web):

■ Lectura obligatoria:

- Manual de referencia de la tarjeta BASYS2 y ejemplos

- Enunciado de la práctica

→
Página web / SW&Docs
Ordenador labo: /BASYS2

■ Lectura recomendada:

- Manual del osciloscopio

- Referencias incluidas en el enunciado



Circuitos Electrónicos (CELT)

Material necesario:

- 1 protoboard o tablero de inserción
- 3 cables BNC – pinzas
- 4 cables banana-banana
- Diversos componentes electrónicos detallados en el enunciado
(Publicaciones ofrece un servicio de venta de componentes)
- Entorno de desarrollo **ISE Webpack 14.7**. Descarga gratuita en:



<http://www.xilinx.com/products/silicon-devices/fpga/spartan-6.html>



Circuitos Electrónicos (CELT)



Material necesario:

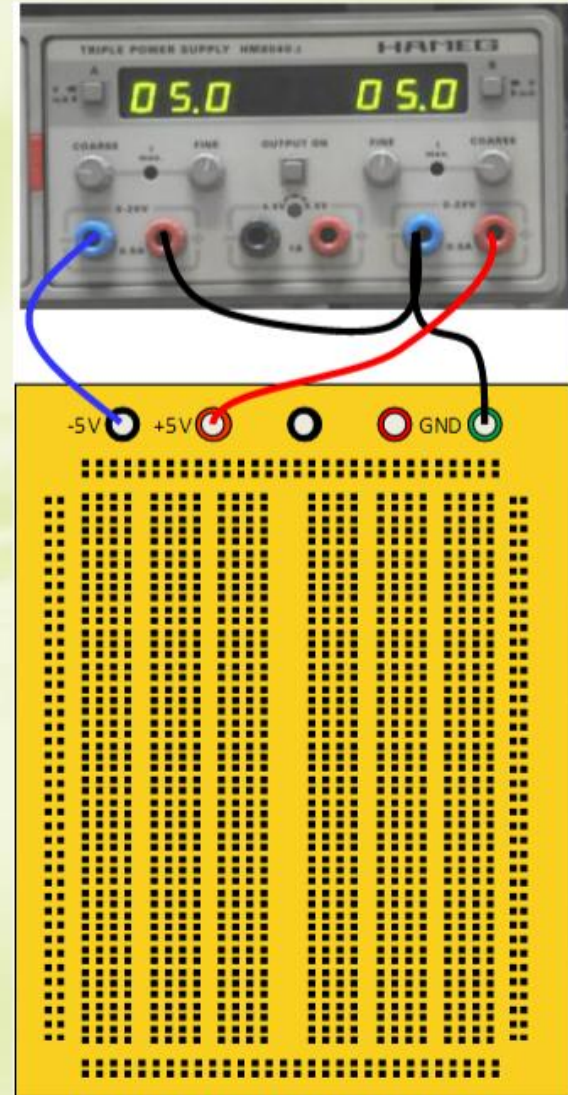
■ Componentes electrónicos:

■ Cables:

- Cables de Arduino (x10)
- Rojo/Negro/Azul
- Otros colores

■ Condensadores de desacoplo, LEDs

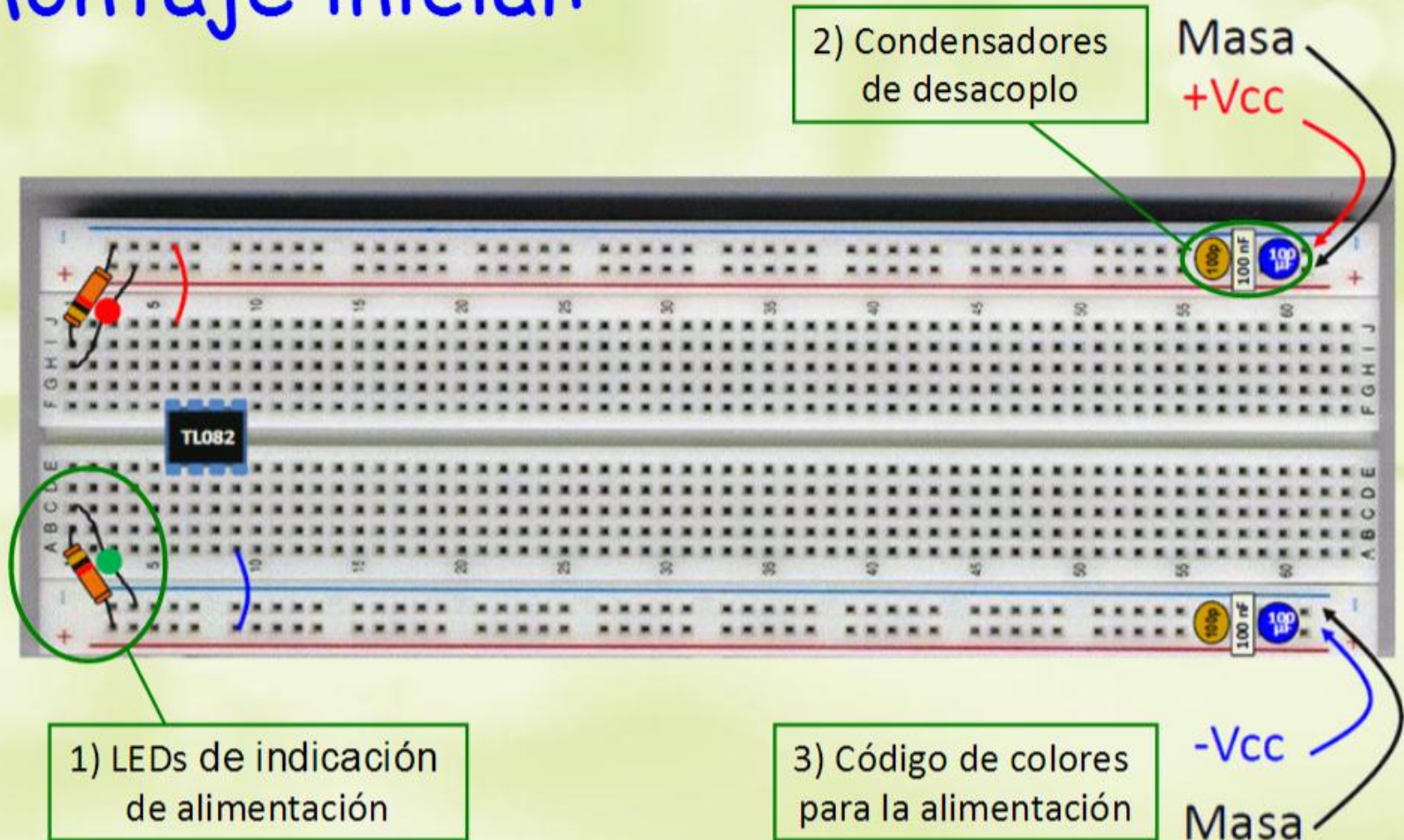
■ Resistencias, Condensadores, Potenciómetros, etc.





Circuitos Electrónicos (CELT)

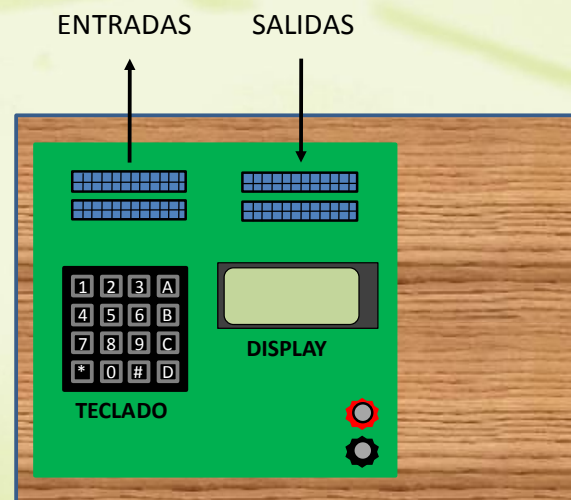
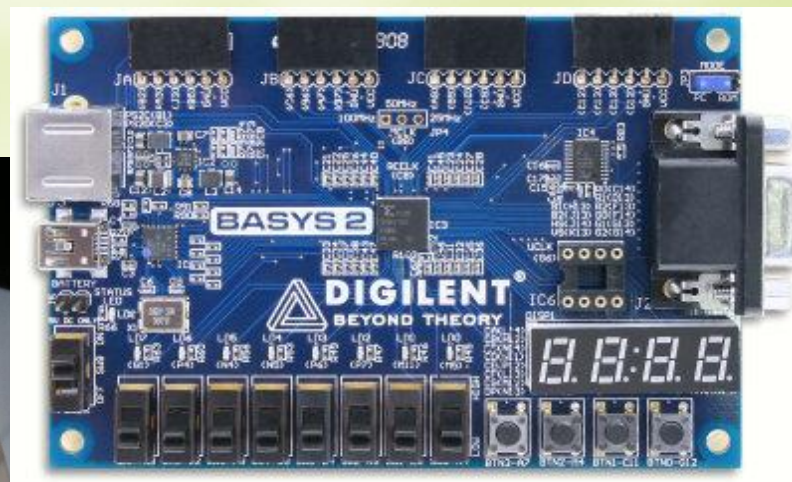
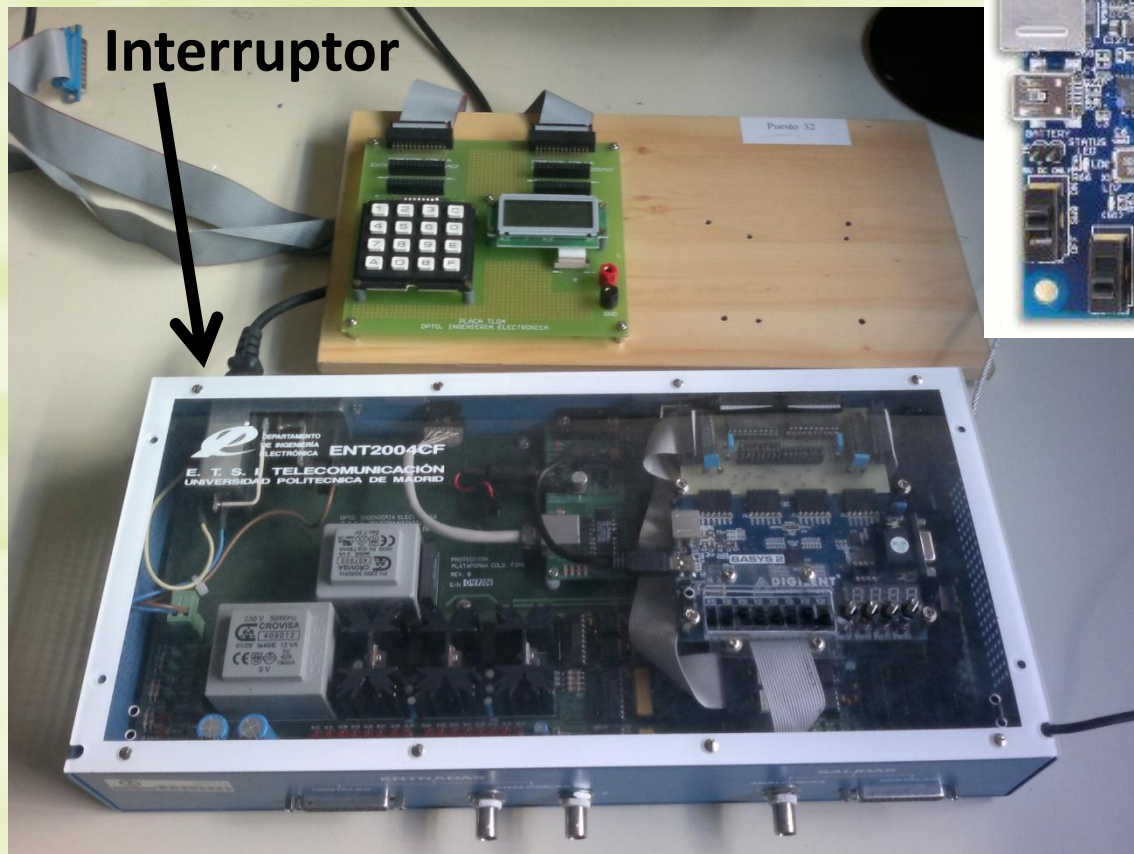
Montaje inicial:





Circuitos Electrónicos (CELT)

Entrenador FPGA:



Circuitos Electrónicos (CELT)

Calendario del curso

Importante:

- Matricularse ON LINE
- Escoger grupo

Objetivo:

- Desarrollo de un proyecto analógico/digital
 - Laboratorio docente
- B-043

CALENDARIO CELT 2017-2018

	LUNES	MARTES	MIÉRCOLES	JUEVES	VIERNES
SEP	4 MATRICULA ONLINE	5 MATRICULA ONLINE	6 MATRICULA ONLINE	7 ABIERTA	8 Publicación listas definitivas
	11 Clase introductora LT1	12 MT1	13 XT1	14 JT1	15 VC1
	18 LT2	19 MT2	20 XT2	21 JT2	22 VC2
	25	26 MT3	27 XT3	28 JT3	29 VC3
OCT	2 LT3	3 MT4 ENTREGA 1	4 XT4 ENTREGA 1	5 JT4 ENTREGA 1	6 VC4 ENTREGA 1
	9 LT4 ENTREGA 1	10 MT5 ENTREGA 1	11 XT5 ENTREGA 1	12	13 No Lectivo ENTREGA 1
	16 LT5 ENTREGA 1	17 MT6 ENTREGA 1	18 XT6 ENTREGA 1	19 JT5 ENTREGA 1	20 VC5 ENTREGA 1
	23 LT6 ENTREGA 1	24 MT7 ENTREGA 2	25 XT7 ENTREGA 2	26 JT6 ENTREGA 2	27 VC6 ENTREGA 2
NOV	30 LT7 ENTREGA 2	31 MT8 ENTREGA 2	1	2 JT7 ENTREGA 2	3 VC7 ENTREGA 2
	6 LT8 ENTREGA 2	7 JT8 ENTREGA 2	8 XT8 ENTREGA 2	9	10 VC8 ENTREGA 2
	13 LT9 ENTREGA 2	14 MT9 ENTREGA 2	15 XT9 ENTREGA 2	16 JT9 ENTREGA 2	17 VC9 ENTREGA 2
	20 LT10 ENTREGA 3	21 MT10 ENTREGA 3	22 XT10 ENTREGA 3	23 JT10 ENTREGA 3	24 VC10 ENTREGA 3
	27 LT11 ENTREGA 3	28 MT11 ENTREGA 3	29 XT11 ENTREGA 3	30 JT11 ENTREGA 3	1 VC11 ENTREGA 3
DIC	4 VC12	5 MT12	6	7 No Lectivo	8
	11 EXAMEN escrito	12 Turnos Libres	13 XT12	14 JT12	15 VC12
	18	19	20	21	22
	EXAMENES ORALES				

12 sesiones

Reservas Adicionales



Circuitos Electrónicos (CELT)

Evaluación:

- 3 entregas a lo largo del curso (semanas 5,8 y 12): **1 punto**
- Prueba escrita tipo Test (semana 15)
 - Evaluación de conocimientos: **1 punto**
- Examen oral (semana 16)
 - Funcionamiento de la práctica, manejo de los equipos, evaluación de conocimientos y de la memoria: **6 puntos**
 - Mejoras: **2 puntos**

Para aprobar la asignatura es imprescindible que el prototipo funcione.



Circuitos Electrónicos (CELT)

Evaluación:

Para aprobar la asignatura es imprescindible que el prototipo funcione.

NO es condición suficiente el que funcione para aprobar

Trabajo en parejas: calificaciones individuales

Las entregas y la memoria tendrán que ser escritas en formato electrónico (no se admiten figuras, gráficas, ecuaciones o tablas hechas a mano)

Serán entregadas tanto electrónicamente vía Moodle como en papel



Circuitos Electrónicos (CELT)

Prototipo propuesto:

■ Cursos anteriores:

- Sistema de identificación RFID
- Mando a distancia por IR
- Transmisión digital de voz segura
- Modem de comunicación FSK
- Sistema de Encriptación de señal

Siempre basados en
sistemas electrónicos
profesionales

■ Prototipo curso actual (2017-2018):

Demodulador y decodificador de la señal DCF77



Circuitos Electrónicos (CELT)

La señal DCF77 real

Señal de sincronismo de relojes

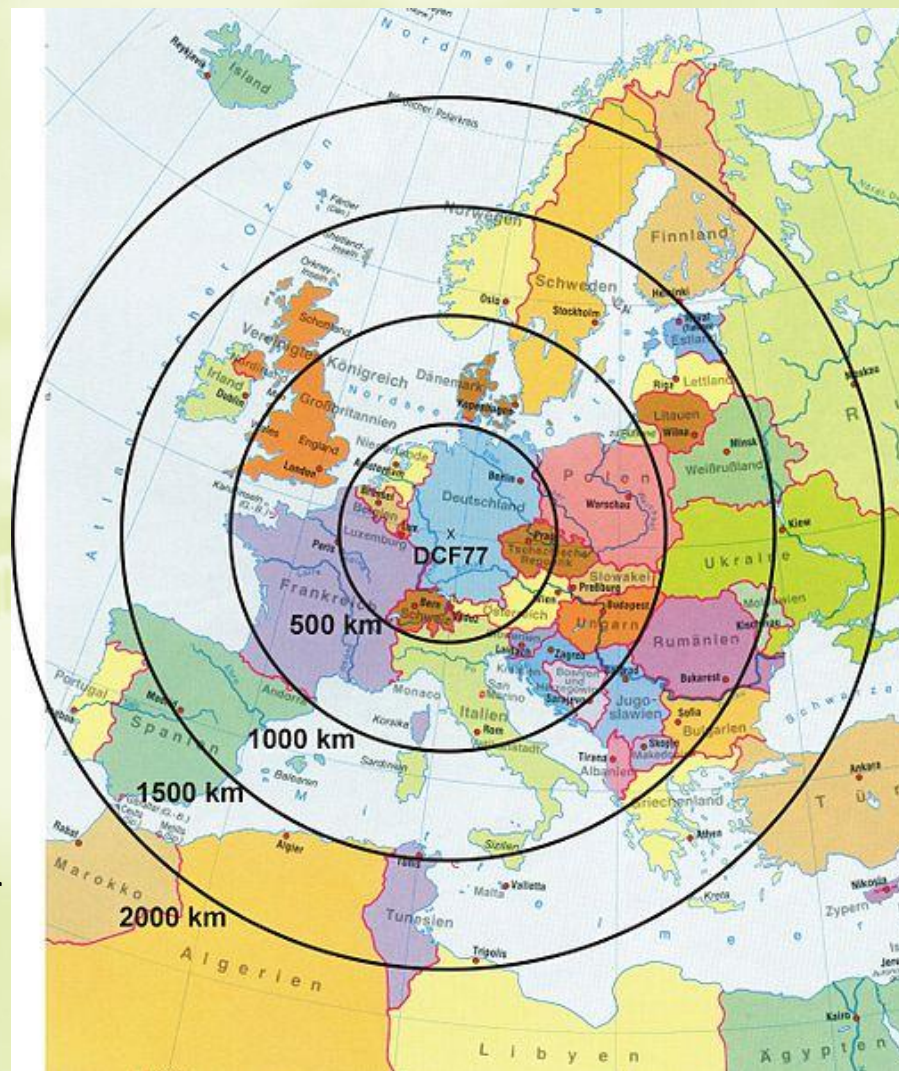
Transmitida en AM a 77,5 KHz
desde Alemania.

Alcance ~ 2000 Km

Transmite la hora exacta (reloj atómico),
la fecha y otros datos.

Cadencia binaria: 1 bit/s

Limitación debida a la distancia del receptor





Circuitos Electrónicos (CELT)

La señal utilizada en nuestro proyecto

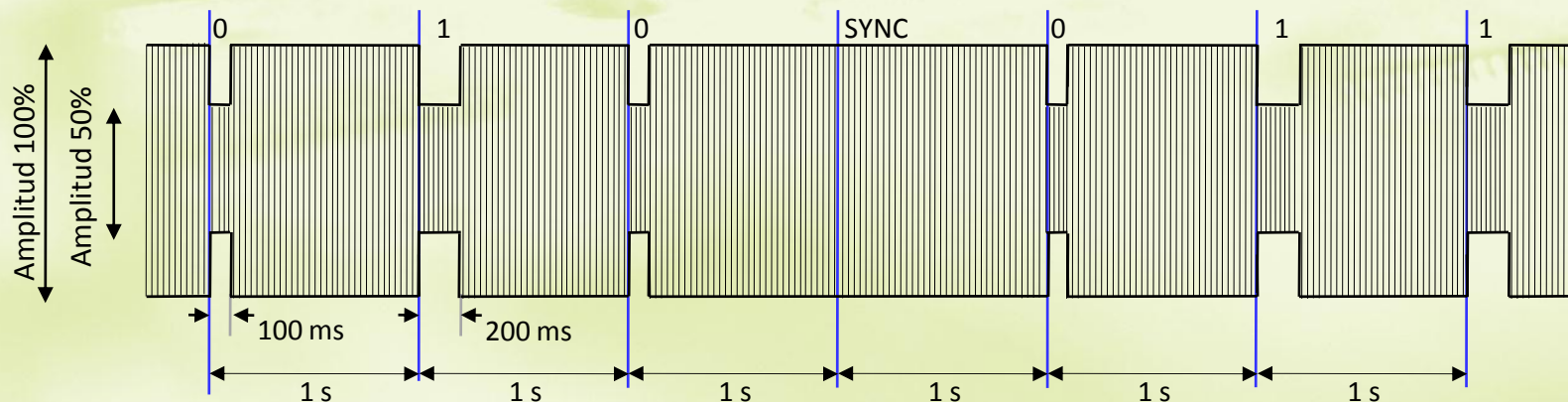
- Modulada a 1 KHz y grabada en un archivo MP3, cadencia: 1 bit por segundo
- Transmite la hora desde las 19:30 hasta las 19:39 en BCD
- Formato de una trama:
decenas hora (**3 bits**), unids. hora (**4 bits**), dec. minuto (**3 bits**), unids. minuto (**4 bits**), SYNC (**1bit**)

TOTAL : 15 bits/trama (15 segundos)

El '0' se codifica modulando al 50% la amplitud durante 100 ms.

El '1' se codifica modulando al 50% la amplitud durante 200 ms.

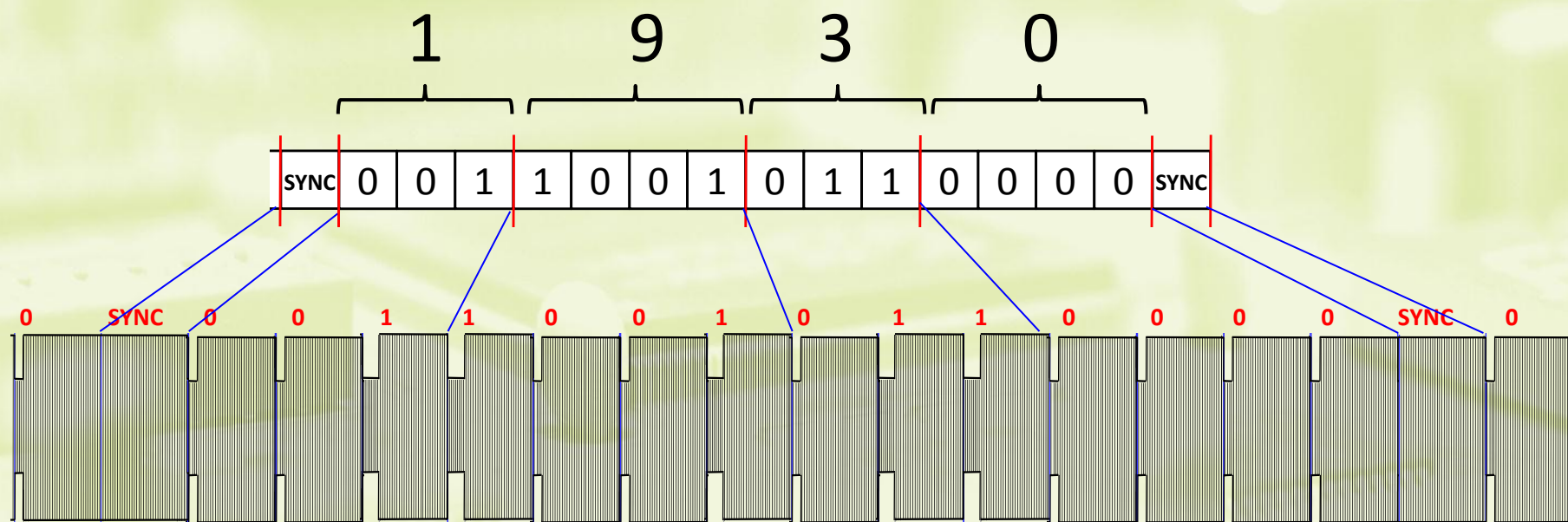
El SYNC indica fin de trama y se reconoce por no llevar modulación.





Circuitos Electrónicos (CELT)

Trama correspondiente a las 19:30 h



19:30	SYNC	19:31	SYNC	19:32	...	SYNC	19:39	SYNC
-------	------	-------	------	-------	-----	------	-------	------

Secuencia completa contenida en el fichero mp3



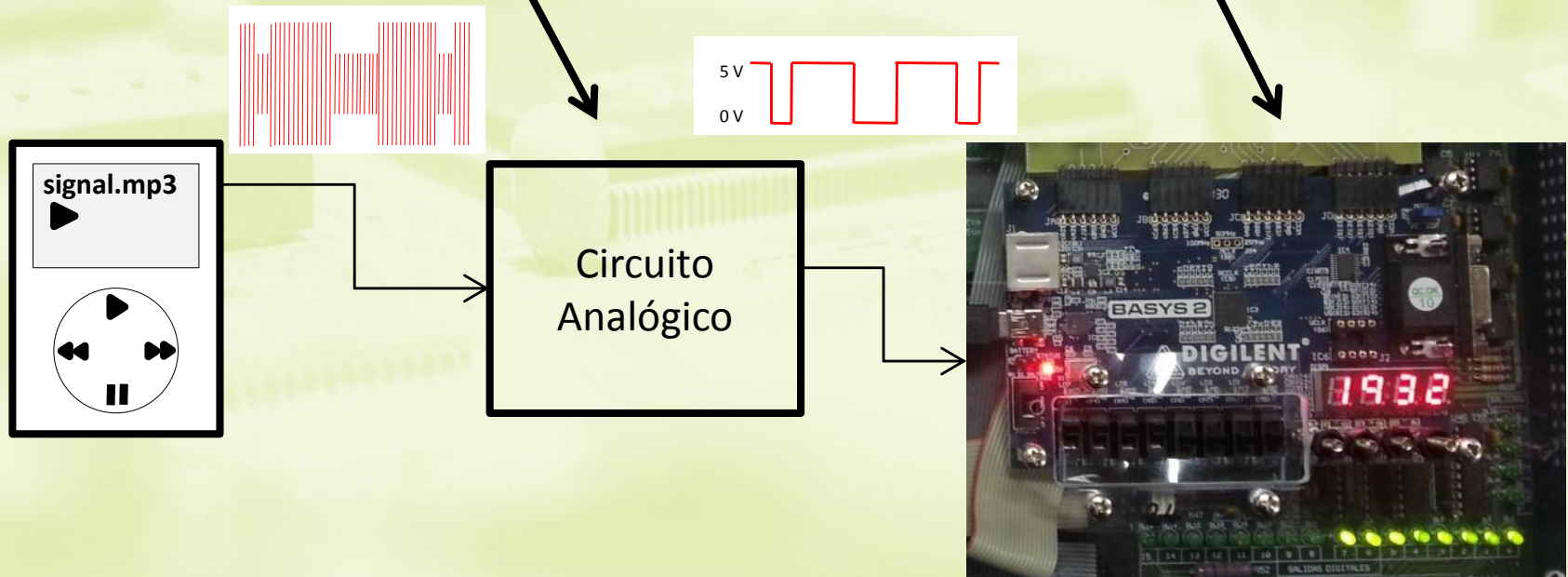
Circuitos Electrónicos (CELT)

Circuito que debe construirse:

1. Parte analógica para “demodular” la señal
(extraer la secuencia digital)

Componentes discretos sobre “protoboard”

2. Parte digital sintetizada en FPGA
(decodificación de los bits y presentación
en displays)

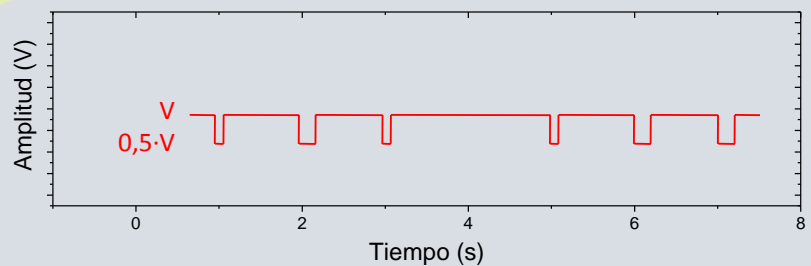


Hardware digital
sintetizado en FPGA

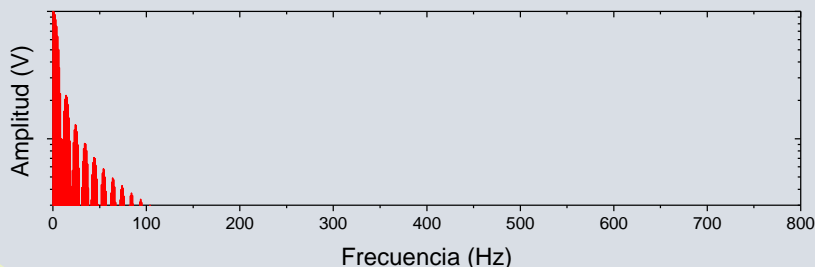


Circuitos Electrónicos (CELT)

Parte analógica:



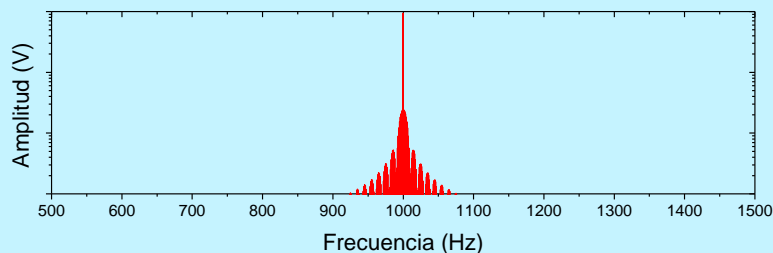
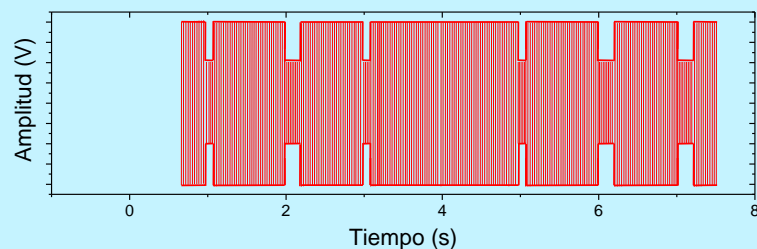
Señal de datos que debemos obtener



Espectro en frecuencia de dicha señal

Señal modulada en amplitud
sobre portadora de 1 KHz

Espectro centrado en 1 KHz



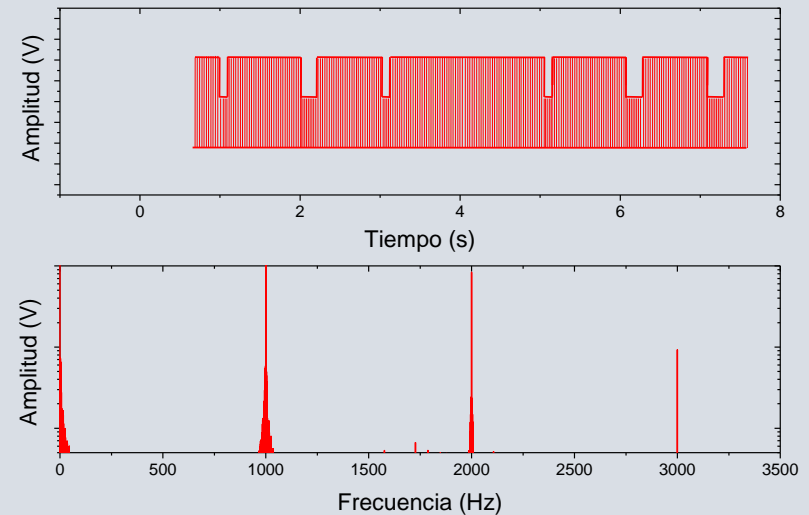


Circuitos Electrónicos (CELT)

Parte analógica:

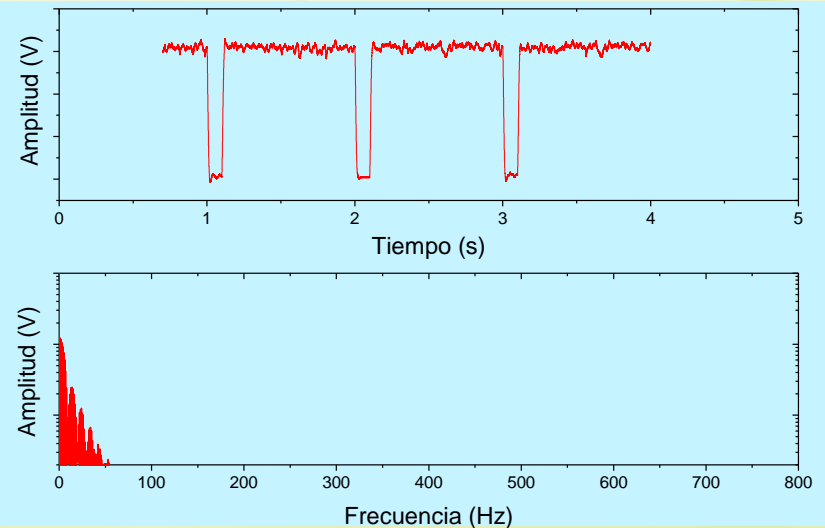
Etapa 1 : **Rectificación**
(eliminación de los semiciclos negativos)

Componentes en banda base
de la señal digital + portadora modulada +
armónicos de la misma



Etapa 2 : **Filtrado paso bajo**
(atenuación de las componentes indeseadas)

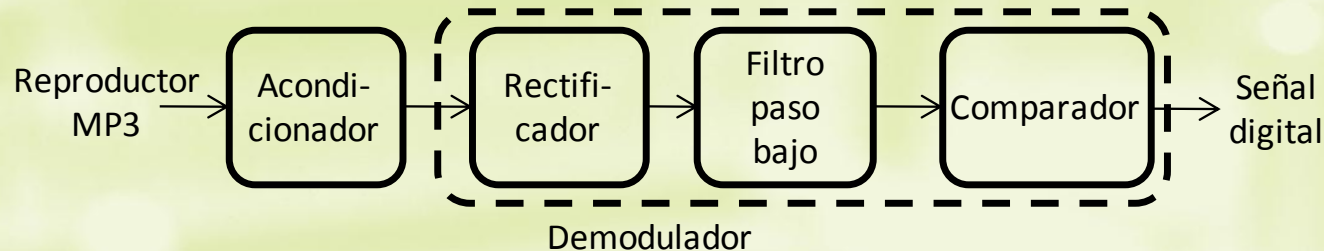
Señal casi idéntica a la deseada





Circuitos Electrónicos (CELT)

Parte analógica:



- El acondicionador permite acoplar cualquier tipo de dispositivo reproductor MP3.
- El comparador permite obtener una señal digital limpia entre 0 y 5 V con flancos definidos. Esta señal es apropiada para ser procesada por la FPGA.

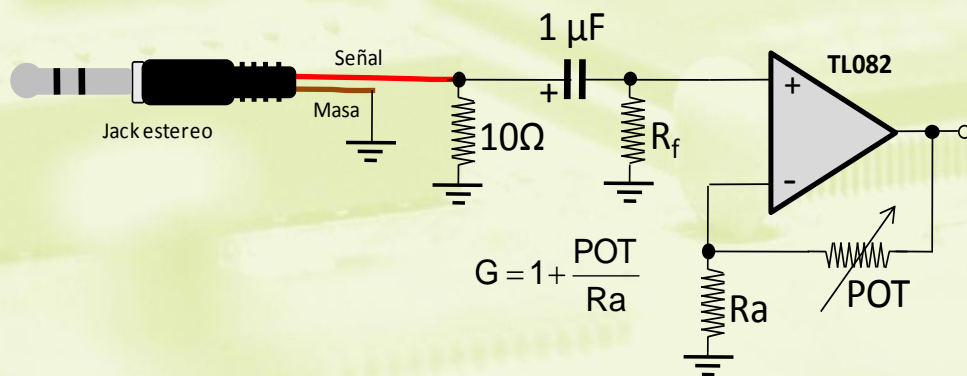


Circuitos Electrónicos (CELT)

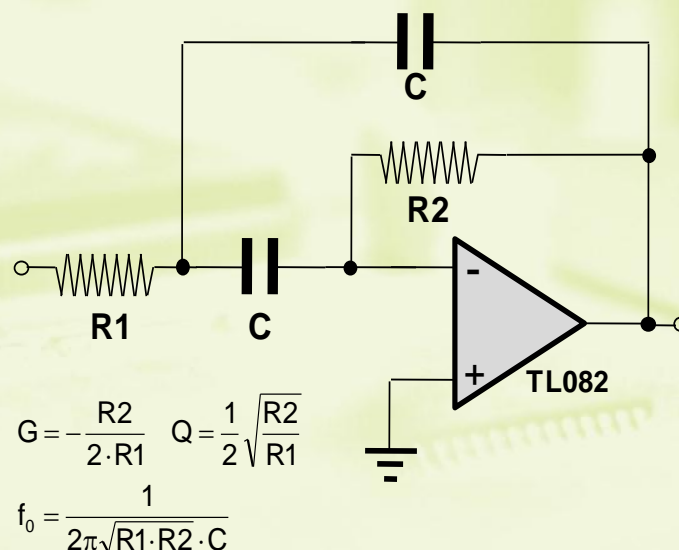


Acondicionador de señal

Filtro paso alto + amplificador



Filtro paso banda centrado en 1 kHz

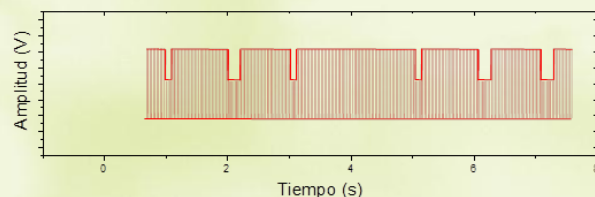
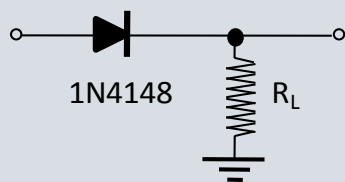




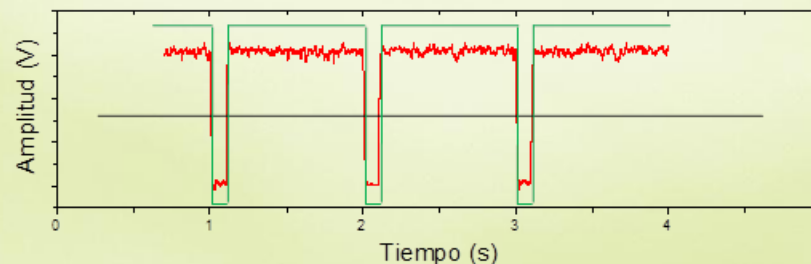
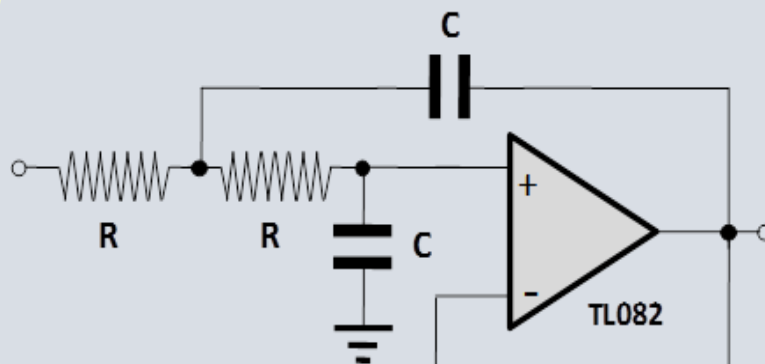
Circuitos Electrónicos (CELT)

Demodulador:

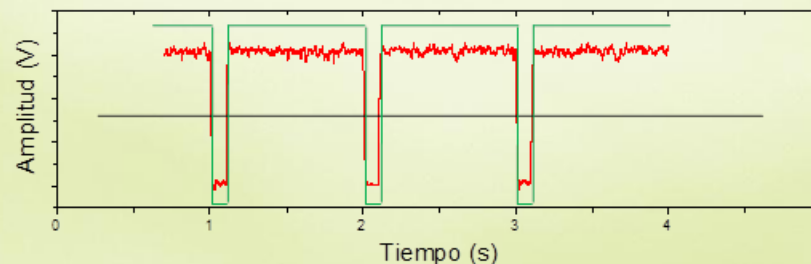
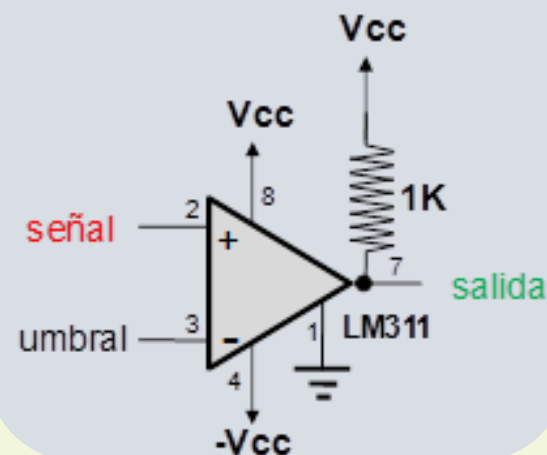
Rectificador



Filtro Paso Bajo Sallen-Key



Comparador



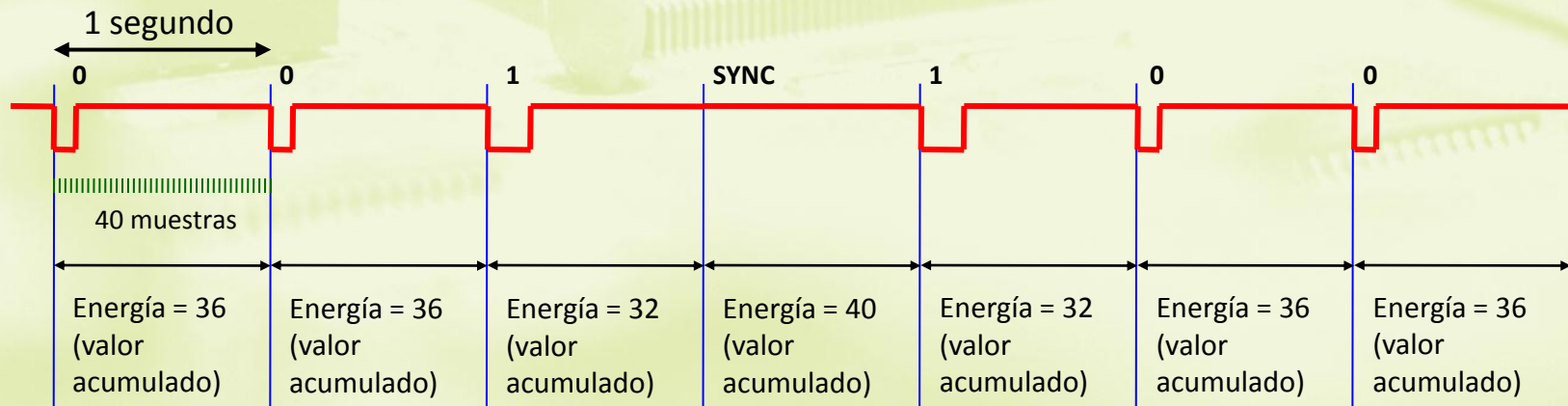


Circuitos Electrónicos (CELT)

Parte digital:

Ahora tenemos la secuencia digital de 1 bit/s. ¿Qué hacemos?

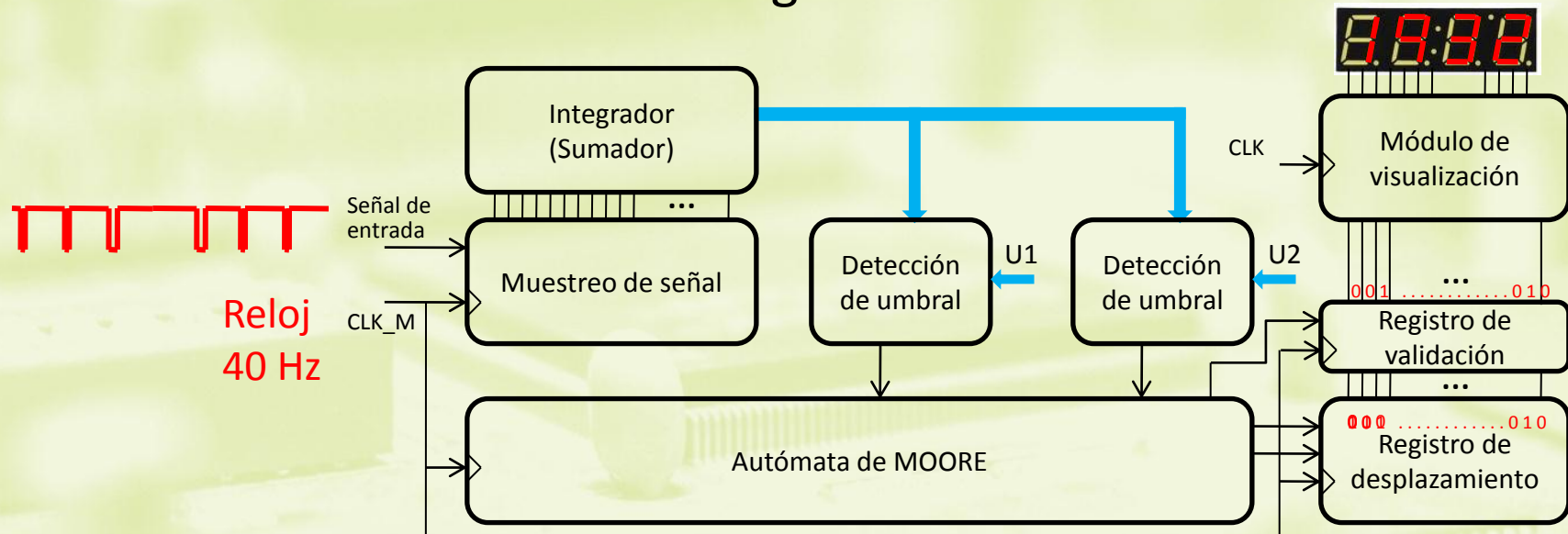
- En cada periodo de bit (1 s) debemos determinar si se transmite un '0', un '1' o un SYNC
- Calculamos la energía transmitida en cada periodo de bit
- Tomamos 40 muestras y las sumamos (integral simplificada)



Circuitos Electrónicos (CELT)

Parte digital:

Decodificación de la señal digital:



- El autómata toma una decisión en cada periodo de bit: '0', '1' o SYNC
- Si es '0' o '1' lo introduce en el registro de desplazamiento
- Si es SYNC activa el registro de validación capturando la trama completa

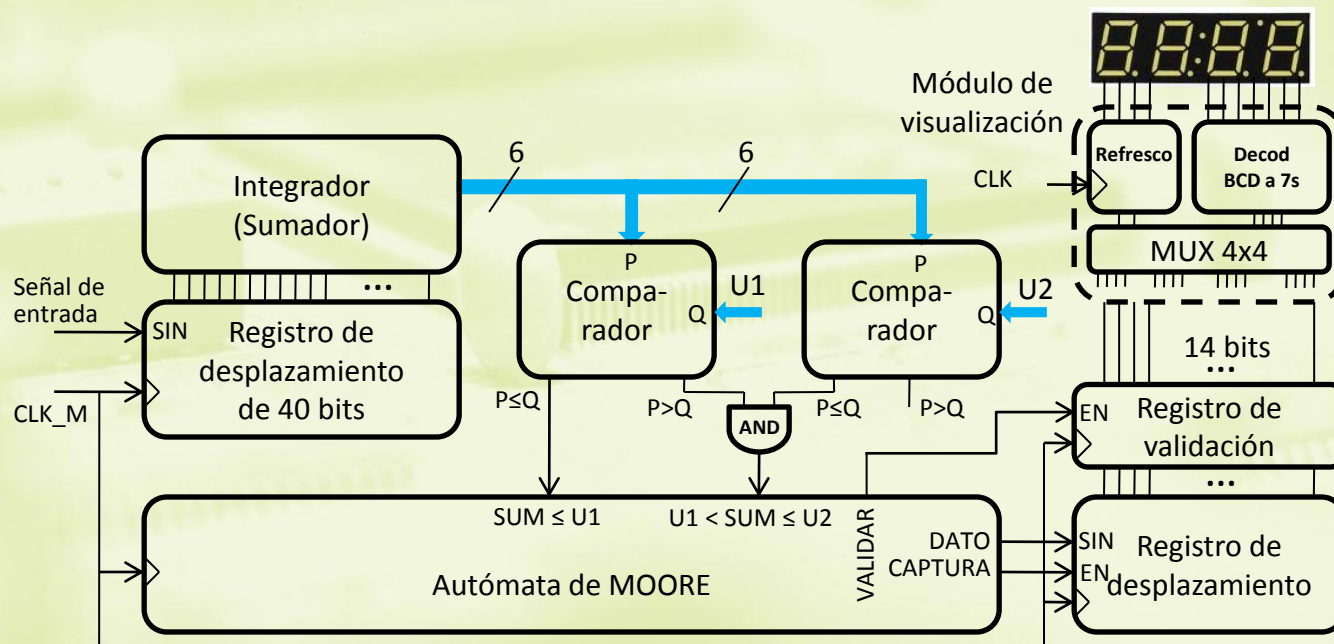


Circuitos Electrónicos (CELT)



Parte digital:

Decodificación de la señal digital
(circuito detallado):





Circuitos Electrónicos (CELT)

Desarrollo:

Semanas 1 a 4:

- Construcción del circuito analógico
- Familiarización con el entorno ISE
- Compilación y síntesis de los ejemplos

Semanas 5 a 10:

- Realización de la parte digital

Semanas 11-12:

- Mejoras



Circuitos Electrónicos (CELT)

Recomendaciones:

LEER con detalle el material publicado en la plataforma (especialmente el **enunciado** de la práctica y el **manual de referencia** de la Basys 2)

PARTE ANALÓGICA

- Realizar el trabajo de montaje de circuito fuera del laboratorio. Venir a las sesiones con el circuito (módulo en cuestión) ya diseñado y montado sobre la placa de inserción.
- Dedicar el tiempo en el labo para realizar las medidas y comprobar el funcionamiento de cada módulo.

PARTE DIGITAL

- Dedicar las primeras semanas a implementar los ejemplos dados con el manual de referencia de la Basys 2. No es suficiente con copiar/cargar los ficheros y ver que funciona: hay que **ENTENDER** lo que está pasando; modificar el ejemplo.
- Se puede trabajar también fuera del labo, si se ha instalado el entorno de desarrollo ISE WebPack, versión 14.7, a nivel de simulación.



Departamento de
**Ingeniería
Electrónica**

Universidad Politécnica de Madrid

Universidad Politécnica de Madrid



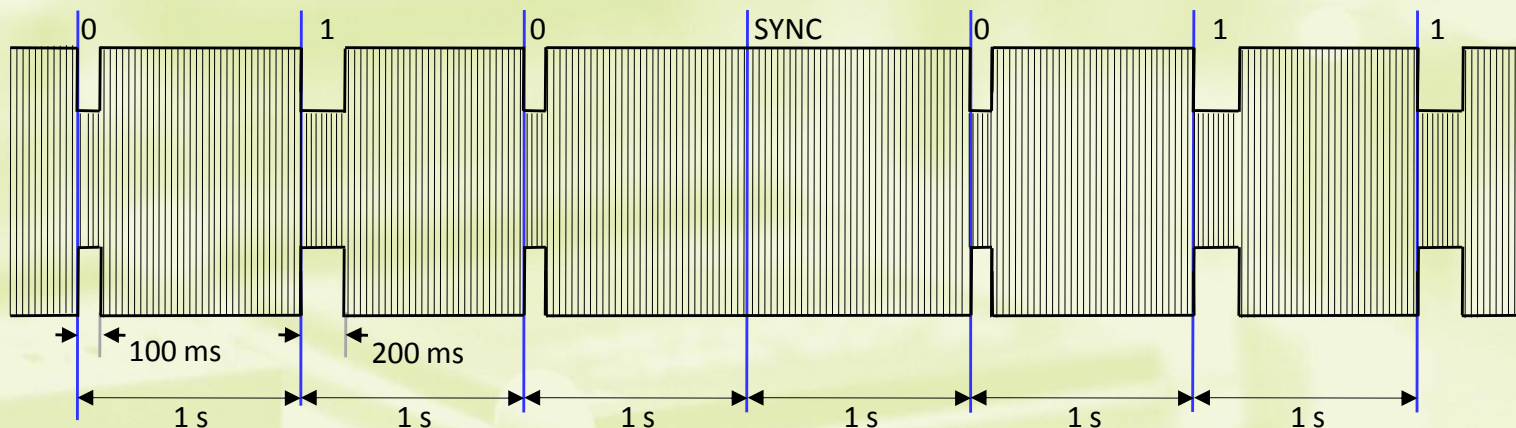
Circuitos Electrónicos (CELT)

¿ Preguntas ?

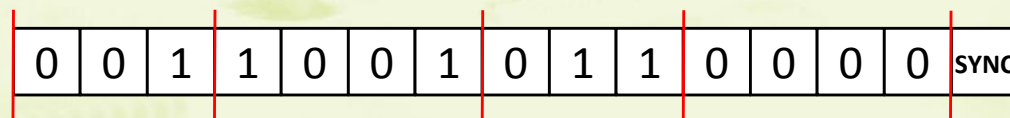


Circuitos Electrónicos (CELT)

La señal utilizada en nuestro proyecto



Forma de onda contenida en el fichero mp3



Trama correspondiente a la hora 19:30

19:30	SYNC	19:31	SYNC	19:32	...	SYNC	19:39	SYNC
-------	------	-------	------	-------	-----	------	-------	------

Secuencia completa contenida en el fichero mp3