

Objetivo

Conocer las características de la tarjeta FPGA de dispositivos lógicos programables que se dispone para este laboratorio. Conocer Quartus, el software que se usará para la operación, programación en lenguaje VHDL y simulación de la tarjeta FPGA.

Introducción

FPGA es el acrónimo de Field Programmable Gate Arrays y es una serie de dispositivos basados en semiconductores a base de matrices de bloques lógicos configurables o CLB, donde además se conectan a través de interconexiones programables.

Su principal característica y ventaja es que pueden ser reprogramados para un trabajo específico o cambiar sus requisitos después de haberse fabricado. El inventor de esta tecnología fue Xilinx, el cual ha evolucionado dicha tecnología hasta convertirla en un nuevo concepto a tener en cuenta en ciertos entornos de trabajo. La aceleración de los FPGA de alto rendimiento está ayudando a los procesadores mediante aceleraciones de carga y descarga de información, con lo que se aumenta el rendimiento del sistema.

Para efectos de este curso, para programar y simular el uso de la FPGA, utilizaremos Quartus que es una herramienta de software producida por Altera para el análisis y la síntesis de diseños realizados en VHDL, además permite al desarrollador compilar sus diseños, realizar análisis temporales, examinar diagramas RTL y configurar el dispositivo de destino con el programador.

Desarrollo

Como primer punto, realizamos el diagrama que se muestra a continuación, añadiendo 2 señales de entrada y 4 de salida.

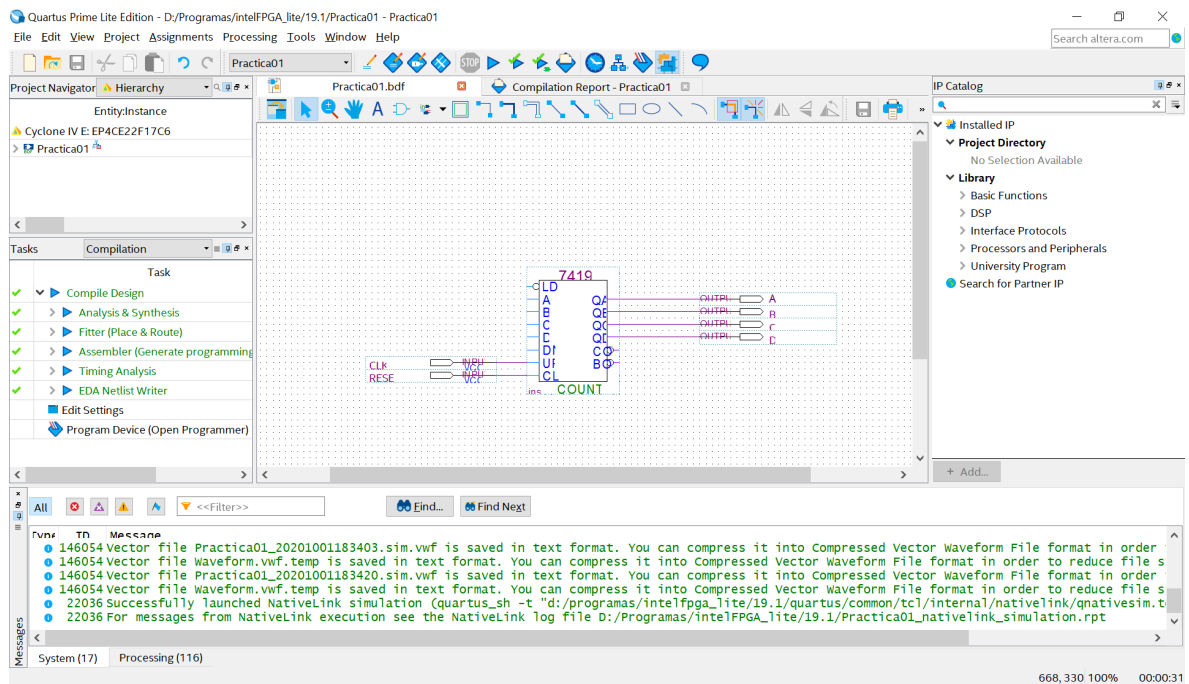


Figura 1.1 Estructura del circuito a probar dentro de Quartus

Ya realizado nuestro diseño con el circuito y sus respectivas entradas y salidas, lo compilamos, obteniendo así el funcionamiento de cada uno de los elementos lógicos, registros, etc. Tal y como se muestra a continuación:

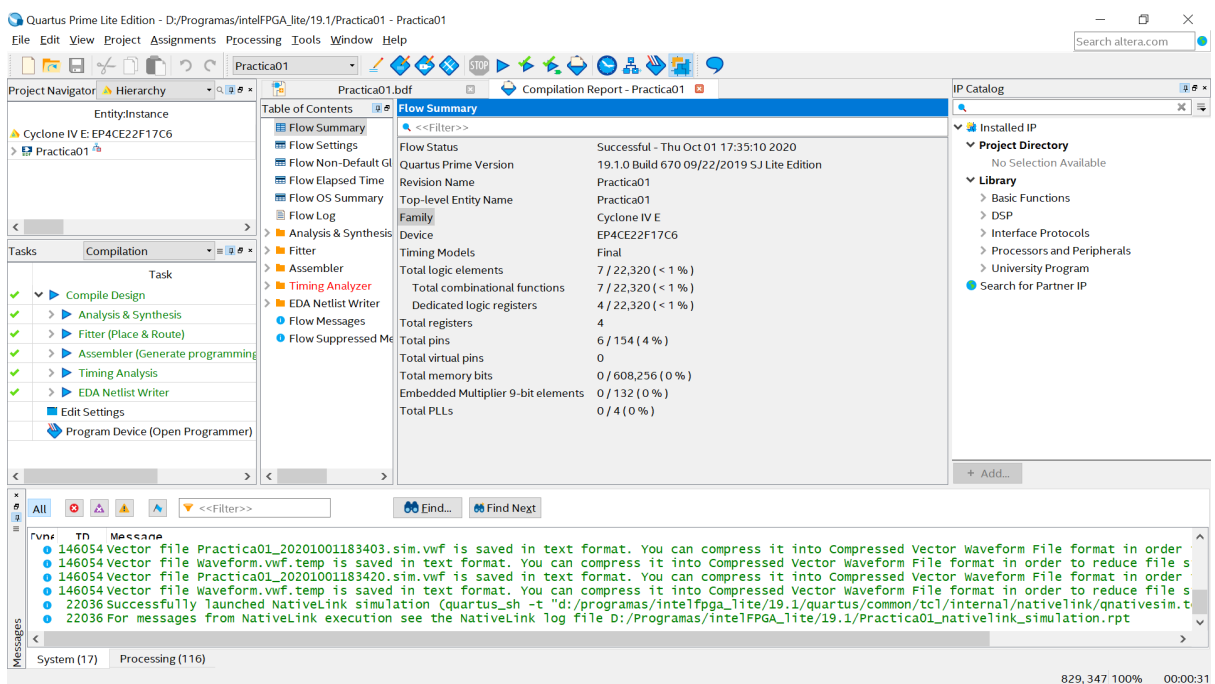


Figura 1.2 Información importante de nuestro dispositivo al compilar.

Posteriormente hicimos la simulación de nuestro diseño con el simulador externo ModelSim-Altera, otorgando valores al reloj y al reset, las cuales son nuestras entradas. Dando como resultado un valor a nuestras salidas dependiendo de la frecuencia de nuestro reloj.

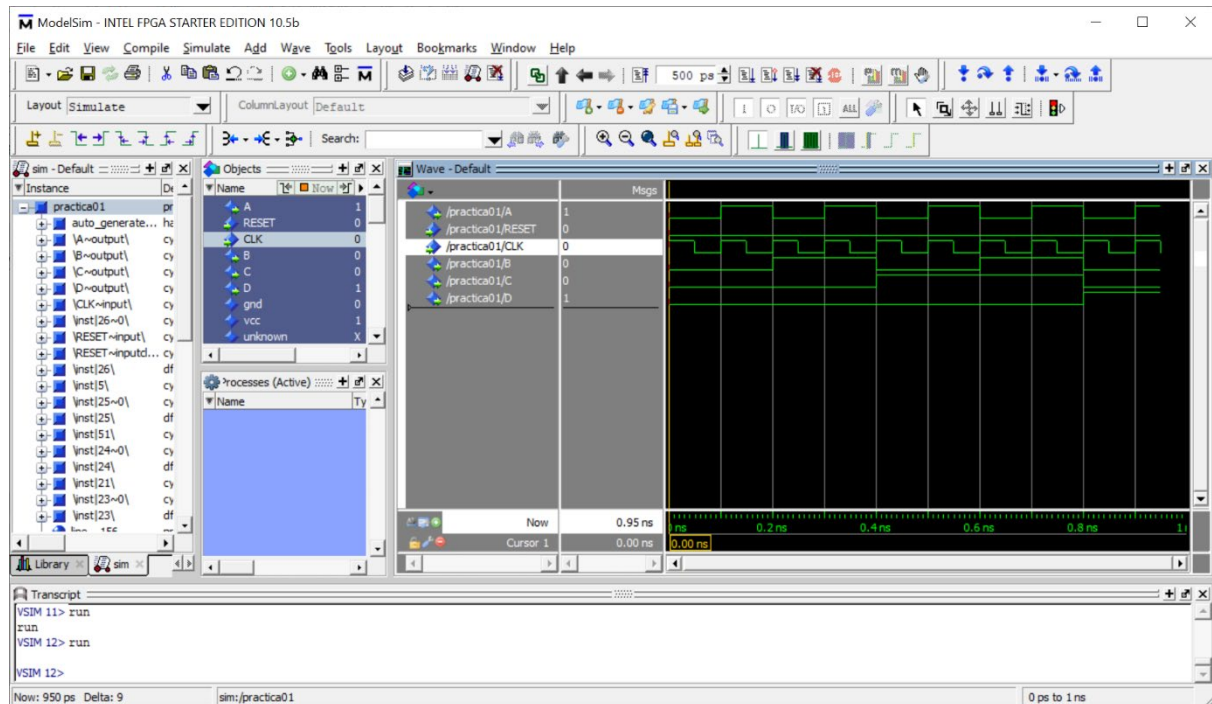


Figura 1.3 Simulación con ModelSim con un periodo de 10ns en CLK.

Jugando con los valores del reloj, bajando su frecuencia, obtuvimos el siguiente resultado:

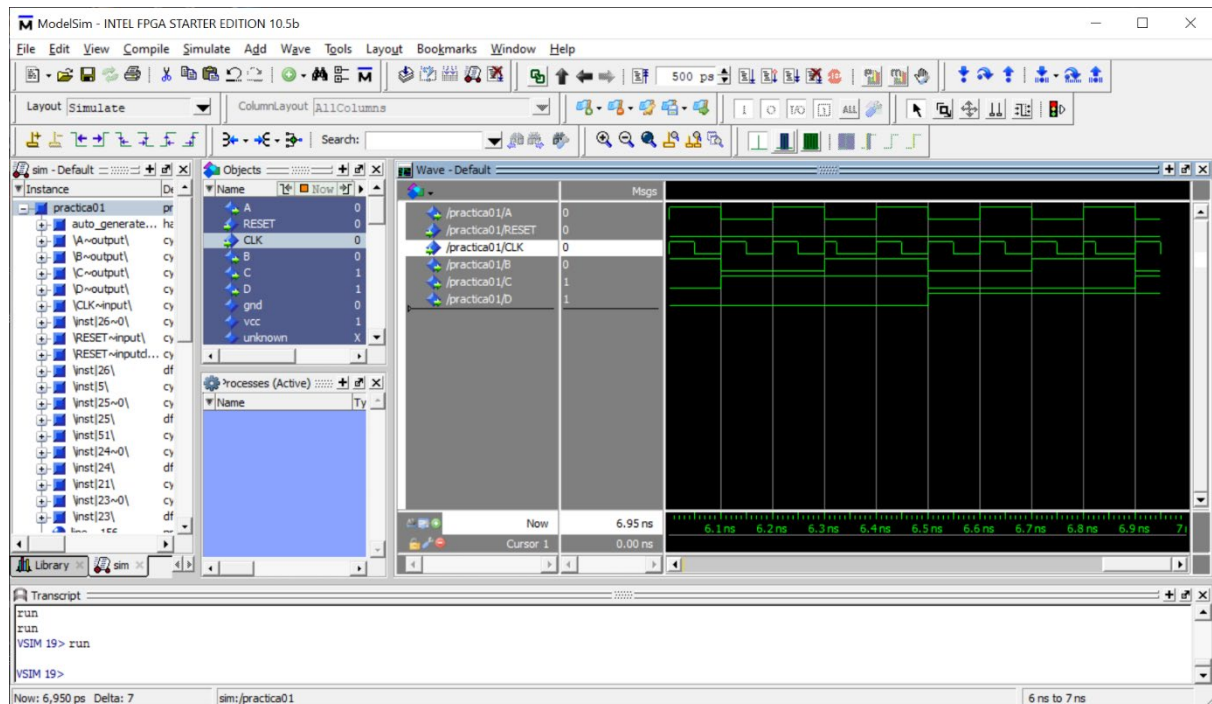


Figura 1.4 Simulación con ModelSim con un periodo de 25ns en CLK.

Y para acabar la simulación con ModelSim, cambiamos el valor de Reset a uno, dando como resultado que las salidas estuvieran apagadas, es decir en cero.

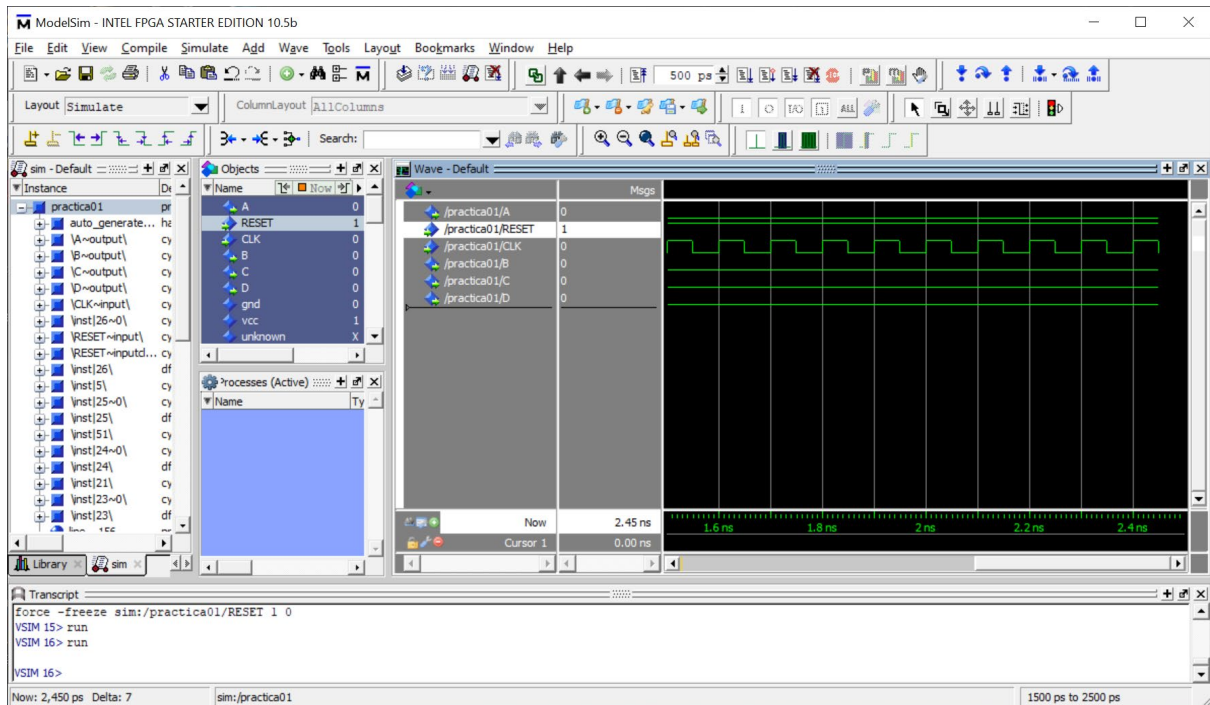


Figura 1.5 Simulación con ModelSim con la señal de RESET en alto.

Finalmente, repetimos el mismo procedimiento, pero ahora, utilizando el simulador interno Waveform Editor, obteniendo los siguientes resultados:

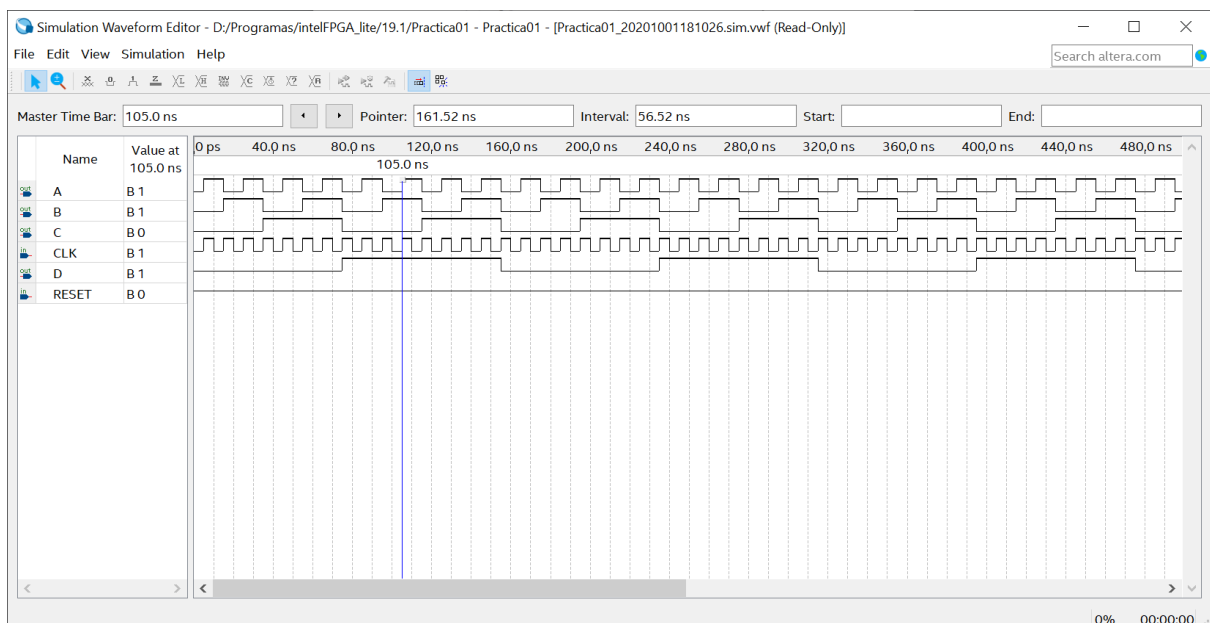


Figura 1.6 Simulación con Waveform con un periodo de 10ns en CLK.

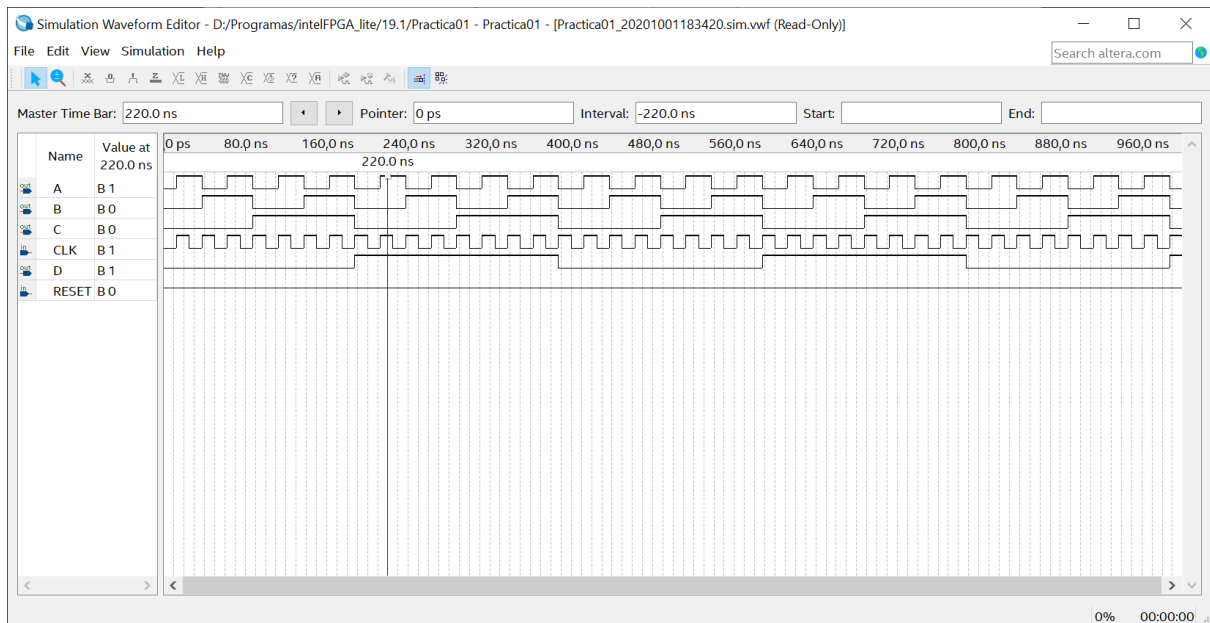


Figura 1.7 Simulación con Waveform con un periodo de 25ns en CLK.

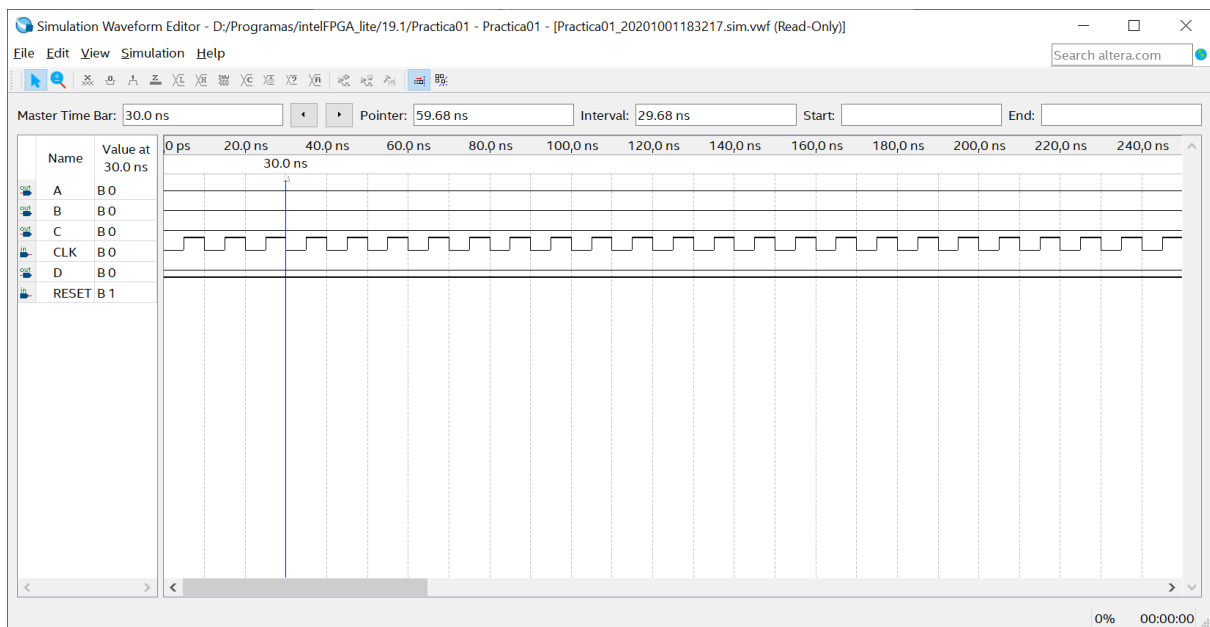


Figura 1.7 Simulación con Waveform con la señal RESET en alto.

Fuentes de Consulta:

- <https://hardzone.es/reportajes/que-es/fpga-caracteristicas-utilidad/>
- <https://www.intel.la/content/www/xl/es/software/programmable/quartus-prime/overview.html>