Test Plan del DUT

Andrés Rojas Barboza Proyecto 1

25 de septiembre de 2025

1. Introducción

Este documento describe el **test plan** para el dispositivo bajo prueba (DUT). Se incluyen las capacidades principales del diseño, los diagramas de módulos internos, interfaces de comunicación, así como el formato de los paquetes de comunicación.

2. Características (Features) del DUT

El DUT presenta las siguientes funcionalidades que deben ser verificadas:

2.1. Acceso a registros

- Lectura de registros.
- Escritura de registros.
- Accesos con diferentes tamaños (16, 32, 64 bits).
- Accesos con diferentes offsets.

2.2. Monitoreo de FIFOs

- Lectura del estado de los FIFOs.
- Detección de condiciones de overflow/underflow.

2.3. Alineación en la salida

• Verificación de alineación en accesos de salida (byte, word, dword).

2.4. Manejo de errores

- Errores por tamaño inválido.
- Errores por *offset* inválido.
- Respuesta del DUT ante accesos incorrectos.

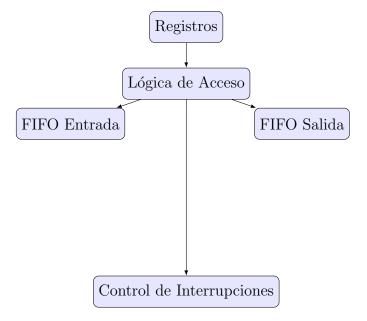
2.5. Interrupciones

- Configuración de interrupciones.
- Interrupciones generadas por errores.
- Verificación de accesos a registros de control.
- Contador de errores y mecanismo de reset.

3. Diagramas de módulos

En esta sección se incluirán los diagramas del DUT mostrando:

- Los módulos principales (Registros, FIFOs, Control de interrupciones, Lógica de acceso).
- Las interconexiones entre módulos.



4. Interfaces de comunicación

- Comunicación entre el DUT y el bus externo.
- Señales de entrada y salida relevantes.
- Manejo de paquetes de acceso.



5. Formato de los paquetes de comunicación

El formato general de los paquetes de comunicación se describe a continuación:

- Dirección: Campo que indica el registro o FIFO destino.
- Tamaño: Especifica el número de bits transferidos (16, 32, 64).
- Dato: Información transmitida en la operación de escritura/lectura.
- Flags de error: Bits que indican condiciones de error (tamaño, offset).
- Control: Bits de control e interrupciones asociadas.