PROYECTO 1 (25%)

EN PAREJAS

ENTREGA: MARTES 21 DE OCTUBRE DE 2025

REQUISITOS MÍNIMOS PARA REVISAR EL PROYECTO.

- •El proyecto debe compilar y correr.
- No debe haber plagio.
- Deben usar Github para coordinar el trabajo.
- •Cada pareja realizará una demostración del trabajo.

PROTOTIPO DEL DUT

```
module cfs aligner#(
parameter ALGN_DATA_WIDTH = 32,
parameter FIFO DEPTH
                           = 8,
localparam int unsigned APB ADDR WIDTH
                                           = 16,
localparam int unsigned APB_DATA_WIDTH
                                           = 32,
localparam int unsigned ALGN_OFFSET_WIDTH = ALGN_DATA_WIDTH <= 8 ? 1 : $clog2(ALGN_DATA_WIDTH/8),
                                           = $clog2(ALGN_DATA_WIDTH/8)+1
localparam int unsigned ALGN SIZE WIDTH
input wire clk,
input wire reset_n,
input wire[APB ADDR WIDTH-1:0]
                                   paddr,
input wire
                                   pwrite,
input wire
                                   psel,
input wire
                                   penable,
input wire[APB DATA WIDTH-1:0]
                                   pwdata,
output wire
                                   pready,
output reg[APB_DATA_WIDTH-1:0]
                                   prdata,
output reg
                                   pslverr.
input
                                   md rx valid,
input[ALGN_DATA_WIDTH-1:0]
                                   md_rx_data,
input[ALGN_OFFSET_WIDTH-1:0]
                                   md_rx_offset,
input[ALGN_SIZE_WIDTH-1:0]
                                   md_rx_size,
                                   md_rx_ready,
output reg
                                   md_rx_err,
output reg
output reg
                                   md tx valid,
output reg[ALGN_DATA_WIDTH-1:0]
                                   md_tx_data,
output reg[ALGN_OFFSET_WIDTH-1:0]
                                   md_tx_offset,
output reg[ALGN_SIZE_WIDTH-1:0]
                                   md_tx_size,
input
                                   md tx ready,
input
                                   md tx err,
                                   irq
output reg
```

ENTREGABLES:

- Test plan de todas las capacidades del diseño y diagramas mostrando los módulos, interfaces de comunicación entre módulos y formato de los paquetes de comunicación. (5%)
 Se revisará en 1 semana.
- Diagrama completo de la propuesta de diagrama del ambiente incluyendo todos los bloques y la deficinición de los paquetes de comunicación entre los bloques. (5%)
- Todas las unidades del ambiente de pruebas aleatorizadas controladas vistas en clase. Cada unidad debe correr en un proceso independiente. (10%)
- Código con comentarios. (10%)

El diseño de las pruebas debe incluir capacidad de aleatorización de: (40%)

- Número de transacciones x terminal.
- Largo de los paquetes (16, 32, 64).
- Tiempos de envío de mensajes.
- Mensajes con errores.
- Configuración de Registros.
- Reseteo de contador de errores.

ENTREGABLES:

- Identificación e implementación de casos de esquina. (10%)
- El ambiente de pruebas debe ser capaz de generar datos de: (20%)
 - a. Debe ser capaz de entregar un reporte de los paquetes enviados recibidos en formato csv. Se debe incluir tiempo de envío y estado de todos los contadores del sistema.