

Министерство образования и науки Российской Федерации
Калужский филиал
федерального государственного бюджетного образовательного
учреждения высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(КФ МГТУ им. Н.Э. Баумана)

Ю.Е. Гагарин
ЛАБОРАТОРНАЯ РАБОТА №5: ПОСТРОЕНИЕ СХЕМ И
ИССЛЕДОВАНИЕ РАБОТЫ АРИФМЕТИЧЕСКИХ
УСТРОЙСТВ

Методические указания по выполнению лабораторной работы
по курсу «Архитектура ЭВМ»

ОГЛАВЛЕНИЕ

ОГЛАВЛЕНИЕ	2
ВВЕДЕНИЕ	3
ЛАБОРАТОРНАЯ РАБОТА № 5	4
ПОСТРОЕНИЕ СХЕМ И ИССЛЕДОВАНИЕ РАБОТЫ АРИФМЕТИЧЕСКИХ УСТРОЙСТВ	4
ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ	5
МЕТОДИЧЕСКИЕ УКАЗАНИЯ	21
ВАРИАНТЫ ИНДИВИДУАЛЬНЫХ ЗАДАНИЙ	22
КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ	24
ФОРМА ОТЧЕТА ПО ЛАБОРАТОРНОЙ РАБОТЕ №5	25

ВВЕДЕНИЕ

Настоящие методические указания составлены в соответствии с программой проведения лабораторных работ по курсу «Архитектура ЭВМ» на кафедре «Программное обеспечение ЭВМ, информационные технологии и прикладная математика» факультета фундаментальных наук Калужского филиала МГТУ им. Н.Э. Баумана.

Методические указания, ориентированные на студентов 2-го курса направления подготовки 09.03.04 «Программная инженерия» и содержит цели и задачи лабораторных работ, основные теоретические сведения, дается описание порядка выполнения, приведены варианты задания для лабораторных работ и контрольные вопросы.

Выполнение лабораторных работ позволит студентам закрепить знания, умения и навыки, полученные при освоении дисциплины «Архитектура ЭВМ».

ЛАБОРАТОРНАЯ РАБОТА № 5
ПОСТРОЕНИЕ СХЕМ И ИССЛЕДОВАНИЕ РАБОТЫ
АРИФМЕТИЧЕСКИХ УСТРОЙСТВ

Цель задания

- 1) Изучение работы арифметических устройств различного вида и назначения.
- 2) Получение практических навыков построения и исследования работы арифметических устройств.

Постановка задачи

Для соответствующего варианта разработать и (или) исследовать принцип работы арифметического устройства.

ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Арифметические устройства

Двоичное сложение

К арифметическим устройствам относятся логические схемы, которые способны реализовывать сложение и вычитание. Сумматоры и вычитатели можно получить, соединяя друг с другом обычные логические элементы.

Рассмотрим сложение двух чисел (рис. 1)

$$\begin{array}{r} 0101 \\ + 0111 \\ \hline 0110 \end{array}$$

Рис. 1. Правила двоичного сложения

Первые три результата очевидны. Поскольку они соответствуют сложению десятичных чисел. В последнем суммировании $(1+1)$, при сложении десятичных чисел результат будет 2. В двоичной системе 2 записывается как 10. Из рис. 1 видно, что происходит перенос 1 в соседний, старший двоичный разряд.

Рассмотрим пример на сложение двоичных чисел (рис 2)

$$\begin{array}{r} 1111 \\ + 1111 \\ \hline 1110 \end{array}$$

Рис. 2. Пример двоичного сложения

$$\begin{array}{r} 1 \\ + 1 \\ + 1 \\ \hline 1 \text{ перенос } 1 \end{array}$$

Рис. 3. Правила двоичного сложения

Пример решается просто, пока не доходим до разряда двоек, где нужно найти двоичную сумму $1+1+1$. В десятичной системе счисления эта сумма равна 3, что соответствует двоичному числу 11. При этом следует заметить, что сумма $1+1+1$ может возникать в любом разряде, исключая разряд единиц. Таким образом, к рис. 1

нужно добавить еще одну комбинацию (рис. 3), которая справедлива для всех разрядов двоичных чисел (двоек, четверок, восьмерок и т. д.), за исключением разряда единиц.

Полусумматоры

Рассмотрим таблицу истинности для двоичных чисел (табл. 1). входные столбцы таблицы заполнены значениями слагаемых. В качестве выходных используется столбец для суммы и столбец для переноса.

Таблица 1. Таблица истинности полусумматора

Входы		Выходы	
Двоичные числа-слагаемые		Сумма	Перенос C_0
В	А		
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Для построения схемы полусумматора, определим из табл. 1 булево выражение, которым можно описать состояние выходов Σ и C_0 : $C_0 = A * B$, т. е. для обеспечения требуемого логического уровня на выходе входные сигналы нужно подать на входы логического элемента *И*;

$\Sigma = \bar{A} * B + A * \bar{B}$, для реализации такой логической функции можно использовать два логических элемента *И* и один логический элемент *ИЛИ*. Кроме этого, такая логическая функция может быть реализована логическим элементом *исключающее ИЛИ*. Состояние этого выхода запишем в более простой булевой форме: $\Sigma = A \oplus B$.

Построим логическую схему полусумматора, который состоит из двух логических элементов: 2-входового логического элемента *И* и 2-входового логического элемента *исключающее ИЛИ* (рис. 4). Полусумматор имеет два входа (A, B) и два выхода (Σ, C_0).

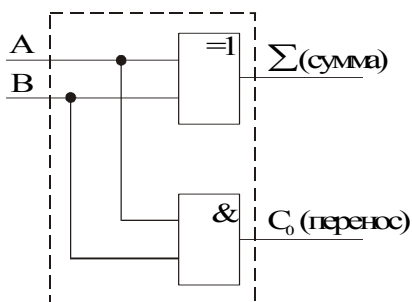


Рис. 4. Логическая схема полусумматора

Полусумматор осуществляет сложение только в разряде единиц. Для двоичного сложения в разрядах двоек, четверок, восьмерок и т. д. Необходимо пользоваться полным сумматором.

Полный сумматор

Рассмотрим таблицу истинности, в которой представлены все возможные комбинации двоичный одноразрядных слагаемых A и B и сигнала переноса C_{in} (табл. 2).

Таблица 2. Таблица истинности сумматора

Входы			Выходы	
Перенос $A + B$			Сумма	Перенос
C_{in}	B	A		C_0
0	0	0	0	0
0	0	1	1	0
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Таблица 2 – таблица истинности для *полного сумматора*. Полные сумматоры используются для сложения во всех двоичных разрядах, кроме разряда единиц. Полные сумматоры имеют три входа: A , B и дополнительный вход переноса.

Один из способов построения логической структуры полного сумматора показан на рис. 5. В данном способе используется два полусумматора и логический элемент *ИЛИ*. Соответствующие булево

выражение для этой логической структуры имеют вид $\Sigma = A \oplus B + C_{in}$, $C_0 = A * B + C_{in} * (A \oplus B)$.

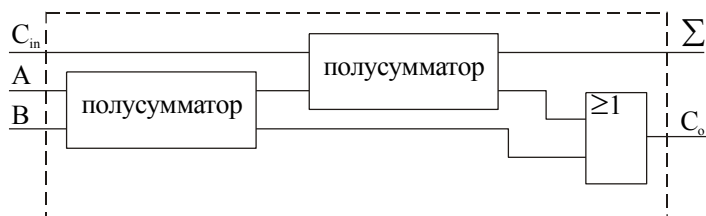


Рис. 5. Структурная схема полного сумматора

Используя схему полусумматора (рис. 4), структурную схему, изображенную на рис. 5 можно развернуть (рис. 6).

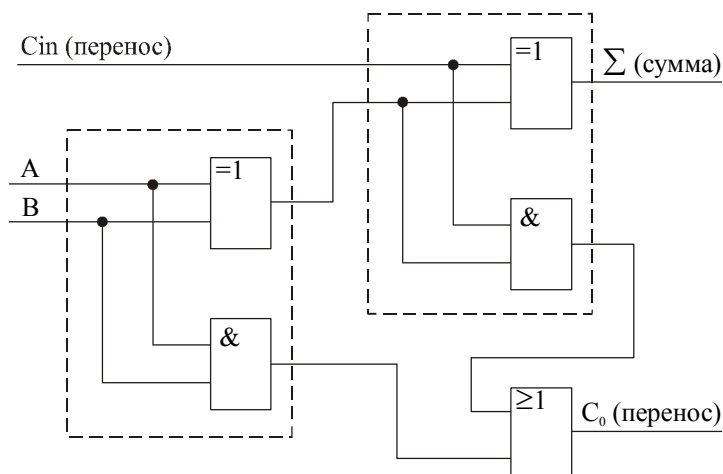


Рис. 6. Логическая схема полного сумматора

Полусумматоры, сумматоры обычно используются вместе. Так, для решения примера, показанного на (рис. 3), нужно иметь один полусумматор (для сложения в разделе единиц) и два полных сумматора (для сложения в разрядах двоек и четверок). Для сложения много разрядных двоичных чисел требуется довольно много полусумматоров и полных сумматоров. Микропроцессорные арифметико-логические устройства (АЛУ) используются для сложения 8-разрядных, 16- или 32-разрядных двоичных чисел в микропроцессорных системах, и в их состав входит большое количество схем, аналогичных полусумматорам и сумматорам.

Параллельный сумматор

Определенным образом, соединяя полусумматоры и полные сумматоры, друг с другом, получают устройства, одновременно выполняющие сложение нескольких двоичных разрядов. На рис. 7 показана схема 3-разрядного сумматора. Слагаемые обозначены $A_2A_1A_0$ и $B_2B_1B_0$.

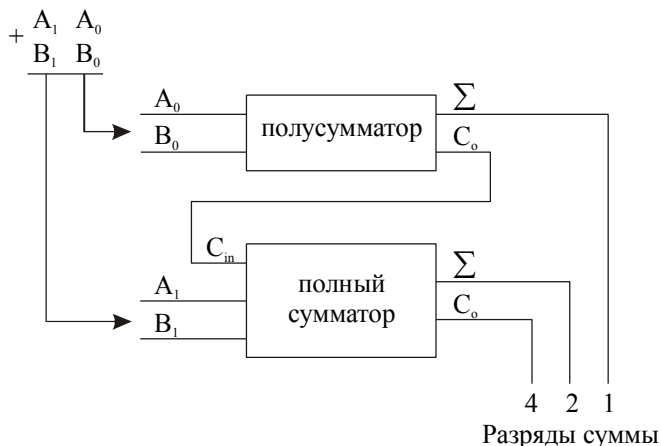


Рис. 7. Структура 3-разрядного сумматора

Сигналы, соответствующие значениям разряда единиц в слагаемых, поступают на входы полусумматора. Входными сигналами для полного сумматора разряда двоек является сигнал переноса с выхода полусумматора на вход C_{in} и значения A_1, B_1 разряда двоек в слагаемых. Сумматор четверок складывает A_2, B_2 и сигнал переноса с выхода сумматора двоек. Полученный результат отображается на выходах полусумматора и двух полных сумматоров. В результате сложения двух полных сумматоров. В результате сложения двух 3-разрядных двоичных чисел может получиться 4-разрядное число, поэтому на индикаторе суммы имеется дополнительный разряд восьмерок. Этот разряд связан с выходом C_0 сумматора четверок.

3-разрядный сумматор, изображенный на (рис. 7) является *параллельным сумматором*. В данной схеме информационных биты всех разрядов поступают на входы одновременно. Результат сложения появится на выходе практически мгновенно. Параллельный сумматор относится к классу комбинационных логических схем. Для фиксации

данных на входах и выходах сумматоров обычно используется различные дополнительные регистры.

Двоичное вычитание

Рассмотрим вычитание двоичных чисел (рис. 8).



Рис. 8. Правила двоичного вычитания

На основании этих правил вычитания двоичных чисел, составим таблицу истинности (табл. 3).

Таблица 3. Таблица истинности для полувычитателя

Входы		Выходы	
$A - B$		Разность	Заем
A	B	D_i	B_0
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Из табл. 3 видно, что если B больше A , то нужно занять 1 в соседнем старшем разряде. Сигнал заема указан в столбце B_0 .

С помощью табл. 3 можно найти логические функции, реализуемые полувычитанием. Для выхода D_i получим: $D_i = A \oplus B$. Для выхода $B_0 = \bar{A} * B$. На основании этих функций построим логическую схему полувычитателя (рис.9).

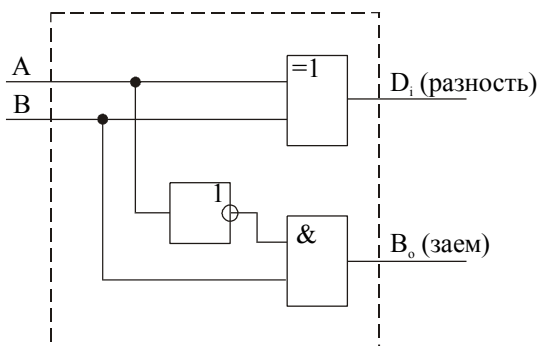


Рис. 9. Логическая схема полувывчителя

При вычитании многоразрядных двоичных чисел нужно принимать во внимание заем 1 в более старших разрядах.

Рассмотрим пример на вычитание двоичных чисел (рис. 10).

$$\begin{array}{r}
 \begin{array}{r}
 \overset{1}{\text{100101}} \\
 - \text{1010} \\
 \hline
 \text{11011}
 \end{array}
 \quad
 \begin{array}{r}
 \overset{3}{\text{3}} \\
 - \text{1} \\
 \hline
 \text{2}
 \end{array}
 \end{array}$$

Рис. 10. Пример на двоичное вычитание

Составим таблицу истинности, которая содержит все возможные комбинации при вычитании двоичных чисел (табл. 4).

Таблица 4. Таблица истинности для полного вычитателя

Входы			Выходы	
$A - B - B_{in}$			Разность	Заем
A	B	B_{in}	D_i	B_0
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Например, строка 5 (табл. 4) описывает ситуацию, возникающую при вычитании в разрядах единиц для вышерассмотренного примера (рис. 10).

Вычитанию в разряде двоек соответствует строка 3, в разряде четверок – строка 6, в разряде восьмерок – строка 3, в разряде с весом 16 – строка 2 и в разряде с весом 32 – строка 6 (табл. 4).

Полный вычитатель, по аналогии с полным сумматором, можно собрать из двух полувычитателей и логического элемента *ИЛИ* (рис. 11).

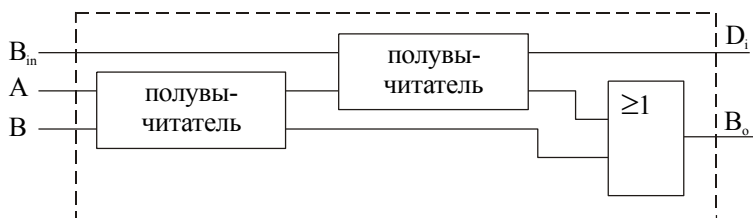


Рис. 11. Структурная схема полного вычитателя

Полный сумматор имеет три входа (A, B, B_{in}) и два выхода (D_i, B_o). Используя схему полувычитателя (рис. 9) можно построить развернутую логическую схему полного вычитателя, которая работает в соответствии с табл. 4 (рис. 12).

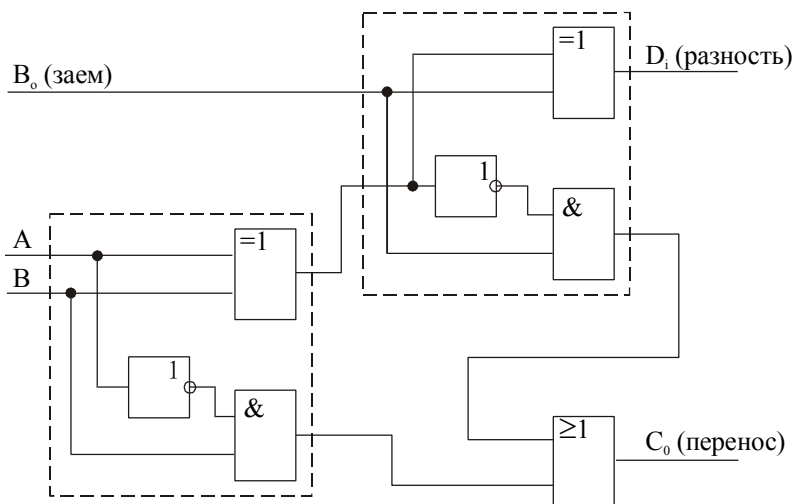


Рис. 12. Логическая схема полного вычитателя

Параллельный вычитатель

Чтобы построить параллельный вычитатель, нужно соединить друг с другом полувычитатели, по аналогии с построением параллельного сумматора (рис. 7). Рассмотрим схему 3-разрядного параллельного вычитателя, который обеспечивает вычитание двоичного числа $B_2B_1B_0$ из двоичного числа $A_2A_1A_0$ (рис. 13).

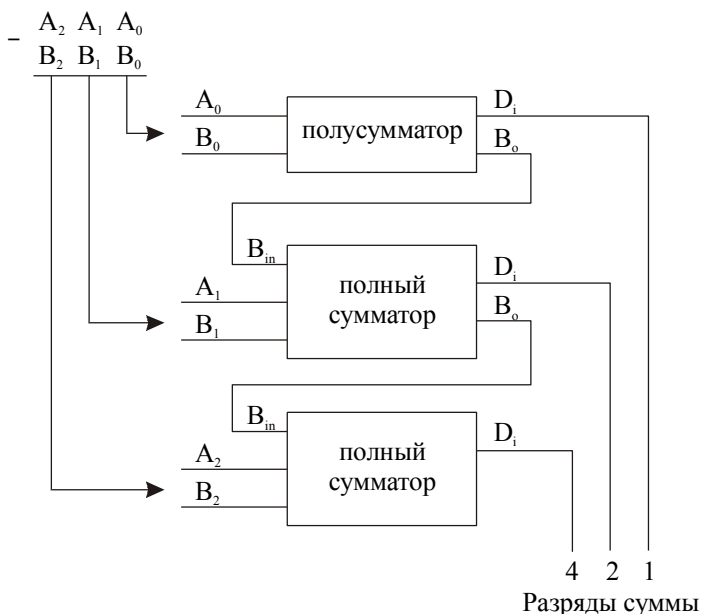


Рис. 13. Структурная схема 3-разрядного параллельного вычитателя

Из рис. 13 видно, что выход B_0 полувычитателя связан с вычитанием разряда двоек. В данной схеме выходы заема B_o каждого вычитателя связаны со входами B_{in} заема вычитателя старшего разряда.

Использование сумматоров для вычитания

В этом разделе рассмотрим возможность использования сумматоров для вычитания двоичных чисел. Решим пример на вычитание двоичного числа 0110 из числа 1010 . Вычитание произведем по следующей схеме: сначала запишем вычитаемое в форме поразрядного дополнения до 1, а затем сложим с уменьшаемым.

Дополнение до 1 означает замену 1 на 0 и 0 на 1 во всех разрядах вычитаемого. В результате сложения получим промежуточный результат. Далее осуществляем циклический перенос старшего разряда в разряд единиц и складываем с полученным остатком промежуточной суммы. В результате получается разность исходных двоичных чисел. Эта схема вычисления проиллюстрирована на (рис. 14).

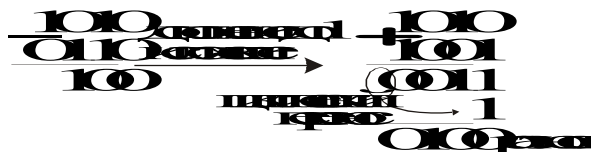


Рис. 14. Пример вычитания двоичных чисел

В результате решения предложенного примера получим двоичное число 100.

Рассмотренный способ вычитания используется в сумматорах для вычитания. Рассмотрим схему 3-разрядного параллельного вычитателя, который построен на трех полных сумматорах и трех инверторах (рис. 15).

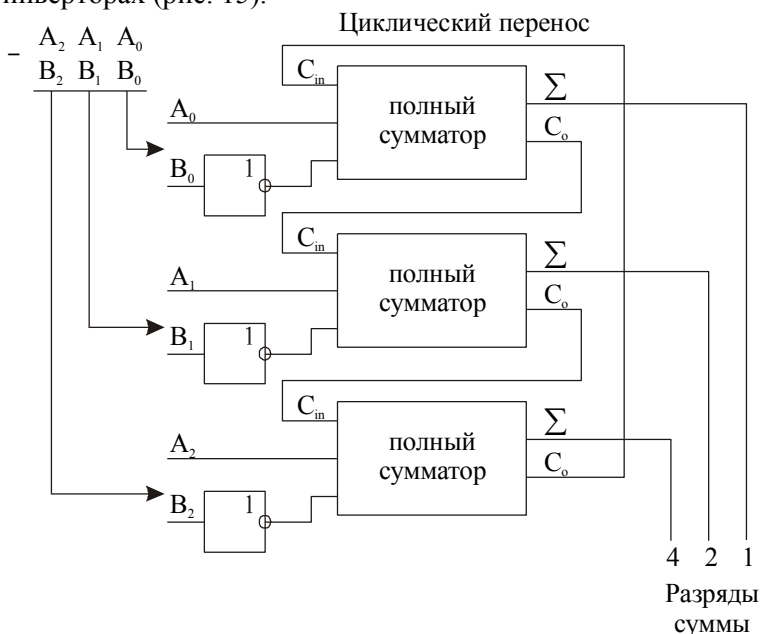


Рис. 15. Структурная схема вычитателя с использованием полных сумматоров

Инверторы обеспечивают преобразования двоичного числа $B_2B_1B_0$ в форму дополнения до 1. Сумматоры складывают двоичные числа $A_2A_1A_0$ и $\overline{B_2B_1B_0}$. Циклический перенос осуществляется с выхода C_0 сумматора старшего разряда на вход C_{in} сумматора единиц. Разность двоичных чисел отображается на выходном индикаторе.

Рассмотрим схему, которая позволяет производить операции и сложения и вычитания двоичных чисел (рис. 16).

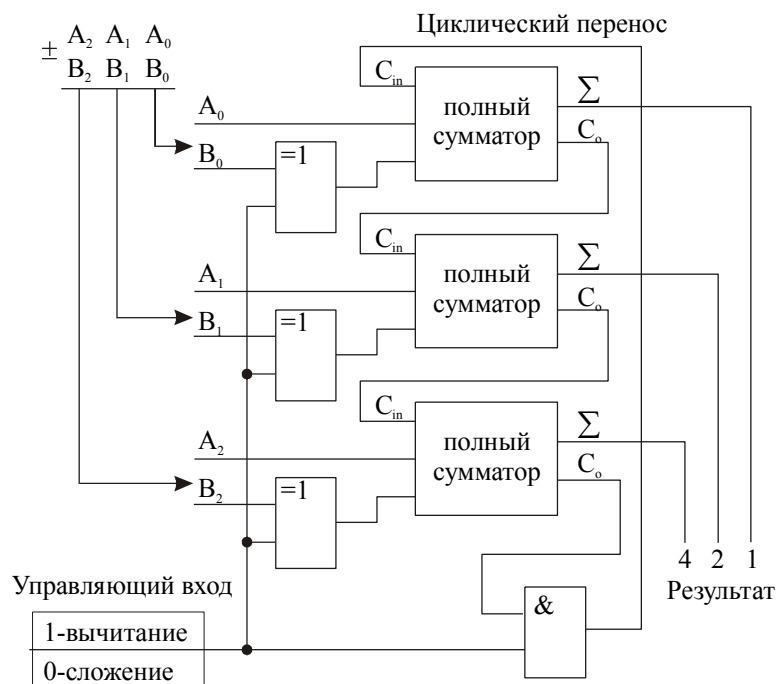


Рис. 16. Структурная схема 3-разрядного сумматора вычитателя

В схеме используются 3 логических элемента исключающее ИЛИ. При подаче логического 0 на вход элемента исключающее ИЛИ информационные биты каждого разряда двоичного числа $B_2B_1B_0$ проходят через этот элемент без инверсии и происходит сложение двух чисел: $A_2A_1A_0$ и $B_2B_1B_0$. Логический 0, кроме этого блокирует цепь циклического переноса, т. к. 0 поступает на один из входов

элемента $И$ (рис. 16). В данном случае схема работает как 3-разрядный двоичный сумматор.

Для того, чтобы схема работала как 3-разрядный вычитатель нужно на управляющий вход подать логическую 1. В этом случае элементы исключающее ИЛИ работают как инверторы и на входах сумматоров получим $\overline{B_2}, \overline{B_1}, \overline{B_0}$. Кроме этого, логическая 1 открывает логический элемент $И$, в результате чего, сигнал с выхода C_0 последнего сумматора поступает по цепи циклического переноса на вход C_{in} сумматора единиц. На выходном индикаторе отобразится разность двух двоичных чисел.

Сложение и вычитание чисел, представленных в дополнительном коде

До сих пор сложение и вычитание производилось над положительными числами. Однако микропроцессоры должны обрабатывать не только положительные, но и отрицательные числа. Используя дополнительный код числа, можно задать как знак числа, так и его абсолютную величину.

Рассмотрим 4 – разрядный дополнительный код. Старший разряд отводится под знак числа: 0 – соответствует положительному числу, 1 – отрицательному. Три разряда отводятся абсолютной величине числа. В табл. 5 приведен 4 – разрядный дополнительный код чисел от +7 до –8.

Таблица 5. Представление двоичных чисел со знаком.

Десятичное число со знаком	4-разрядный дополнительный код
+7	0111
+6	0110
+5	0101
+4	0100
+3	0011
+2	0010
+1	0001
0	0000
-1	1111
-2	1110
-3	1101
-4	1100
-5	1011
-6	1010
-7	1001
-8	1000

Из табл. 5 видно, что дополнительный код положительных чисел совпадает с обычным представлением двоичного числа. Для получения дополнительного кода отрицательного числа нужно сначала сформировать дополнение этого числа до 1, а затем прибавить 1. На рис. 17 показана процедура получения дополнительного кода отрицательного числа.

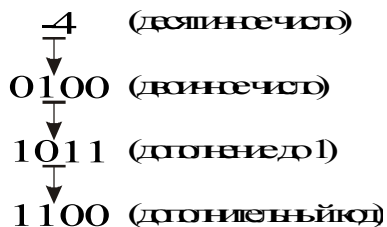


Рис. 17. Пример преобразования числа со знаком в дополнительный код

Эта процедура состоит из трех шагов:

1) десятичное число преобразуется к его двоичному эквиваленту соответствующего положительного числа;

2) находится дополнение полученного двоичного числа до 1, путем замены всех единиц на нули и всех нулей на единицы;

3) к полученному дополнению до 1 прибавляется 1. В результате сложения получаем дополнительный код числа.

Процедура перехода от дополнительного кода к двоичному числу, по которому затем определяется десятичное число, показано на рис. 18. Обратное преобразование выполняется следующим образом:

1) находим дополнение до 1 для исходного дополнительного кода, путем замены всех единиц на нули и всех нулей на единицы;

2) к полученному дополнению до 1 прибавляется 1 путем двоичного сложения. В результате получаем искомое двоичное число, но поскольку в старшем разряде дополнительного кода стоит 1, соответствующее десятичное число является отрицательным.

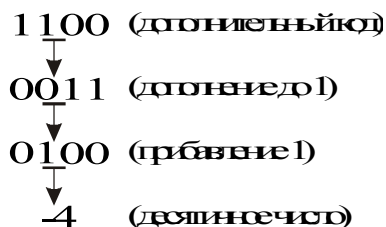


Рис. 18. Пример преобразования дополнительного кода в двоичное число

Рассмотрим примеры на сложение и вычитание чисел, представленных в дополнительном коде (рис. 19).

$$\begin{array}{r}
 + 5 \\
 \hline
 + 1 \\
 \hline
 6
 \end{array}
 \quad
 \begin{array}{r}
 + 0101 \\
 \hline
 + 0001 \\
 \hline
 0110
 \end{array}
 \quad
 \begin{array}{r}
 + -2 \\
 \hline
 + -3 \\
 \hline
 -5
 \end{array}
 \quad
 \begin{array}{r}
 + 1110 \\
 \hline
 + 1101 \\
 \hline
 11011
 \end{array}$$

└─> отбрасывается

$$\begin{array}{r}
 + 1 \\
 \hline
 + -3 \\
 \hline
 -2
 \end{array}
 \quad
 \begin{array}{r}
 + 0001 \\
 \hline
 + 1101 \\
 \hline
 1110
 \end{array}
 \quad
 \begin{array}{r}
 - 7 \\
 \hline
 - 3 \\
 \hline
 4
 \end{array}
 \quad
 \begin{array}{r}
 + 0111 \\
 \hline
 + 1101 \\
 \hline
 10100
 \end{array}$$

└─> отбрасывается

$$\begin{array}{r}
 - 8 \\
 \hline
 - 3 \\
 \hline
 -5
 \end{array}
 \quad
 \begin{array}{r}
 + 1000 \\
 \hline
 + 0011 \\
 \hline
 1011
 \end{array}
 \quad
 \begin{array}{r}
 - 3 \\
 \hline
 - 3 \\
 \hline
 6
 \end{array}
 \quad
 \begin{array}{r}
 + 0011 \\
 \hline
 + 0011 \\
 \hline
 0110
 \end{array}$$

Рис. 19. Примеры сложения и вычитания чисел в дополнительном коде

Из рис. 19 можно сделать выводы, что сложение чисел, представленных в дополнительном коде, осуществляется обычным способом, за исключением случая, когда в результате получается 5 – разрядная комбинация. В этом случае самый старший разряд отбрасывается и остается дополнительный код суммы.

Сложение и вычитание чисел, представленных в дополнительном коде, можно осуществить с использованием сумматоров.

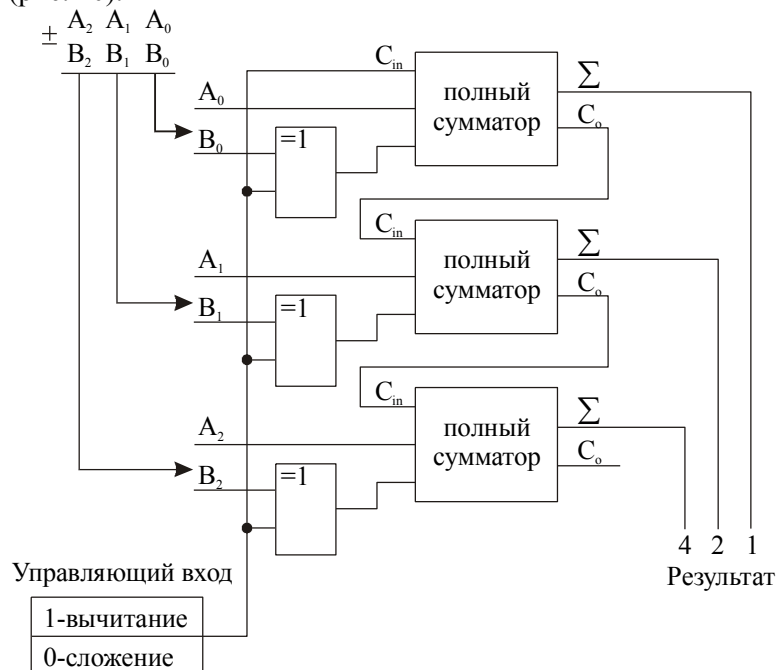


Рис. 20. Структурная схема 3-разрядного сумматора – вычитателя чисел в дополнительном коде

Для сложения и вычитания двух чисел, представленных в 3-разрядном дополнительном коде, используется три полных

сумматора. Для задания режима работы устройства на входе B каждого сумматора введем элемент исключающее *ИЛИ*. При подаче логического 0 устройство складывает двоичные комбинации $A_2A_1A_0$ и $B_2B_1B_0$. На выходе отображается дополнительный код суммы. При этом уровень логического 0 поступает на вход C_{in} полного сумматора разряда единиц, т. е. этот сумматор работает как обычный двоичный сумматор.

Для выполнения операции вычитания чисел, представленных в дополнительном коде, на управляющем входе задания режима устанавливается уровень логической 1 . В этом случае элементы исключающее *ИЛИ* инвертируют информационные сигналы, поступающие на входы B . На входе C_{in} полного сумматора разряда единиц устанавливается высокий уровень сигнала. Инвертирование информационных сигналов элементами исключающее *ИЛИ* с прибавлением 1 на входе C_{in} сумматора единиц соответствует дополнению до 1 дополнительного кода вычитаемого и последующему сложению с 1 младшего разряда. Это эквивалентно дополнению до 2 дополнительного кода вычитаемого ($B_2B_1B_0$). В результате этих действий на выходе отображается дополнительный код разности.

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

- 1) При исследовании работы арифметического устройства для задания исходных значений использовать генератор слова. Одновременно входные данные должны быть отображены на индикаторах и логическом анализаторе.
- 2) Результаты вычислений должны отображаться на индикаторах. Для получения выходных временных диаграмм использовать логический анализатор.

ВАРИАНТЫ ИНДИВИДУАЛЬНЫХ ЗАДАНИЙ

№	Разработать схему
1	4-х разрядный параллельный сумматор – вычитатель на логических элементах
2	3-х разрядный параллельный сумматор на логических элементах
3	3-х разрядный параллельный вычитатель на логических элементах
4	3-х разрядный параллельный вычитатель на полных сумматорах
5	3-х разрядный параллельный сумматор для чисел в дополнительном коде на логических элементах
6	3-х разрядный параллельный вычитатель для чисел в дополнительном коде на логических элементах
7	3-х разрядный параллельный сумматор – вычитатель для чисел в дополнительном коде на логических элементах
8	3-х разрядный параллельный сумматор – вычитатель на логических элементах
9	4-х разрядный параллельный сумматор на полусумматорах
10	4-х разрядный параллельный вычитатель на полусумматорах
11	4-х разрядный параллельный сумматор для чисел в дополнительном коде на полусумматорах
12	4-х разрядный параллельный вычитатель для чисел в дополнительном коде на полусумматорах
13	4-х разрядный параллельный сумматор - вычитатель для чисел в дополнительном коде на полусумматорах

14	5 - разрядный параллельный сумматор – вычитатель на полных сумматорах
15	5 - разрядный параллельный сумматор на полных сумматорах
16	5 - разрядный параллельный вычитатель на полных сумматорах
17	3-х разрядный параллельный вычитатель на логических элементах
18	5 - разрядный параллельный сумматор для чисел в дополнительном коде на полных сумматорах
19	5 - разрядный параллельный вычитатель для чисел в дополнительном коде на полных сумматорах
20	5 - разрядный параллельный сумматор - вычитатель для чисел в дополнительном коде на полных сумматорах

КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАНИЯ

1. Какими булевыми выражениями описываются состояния выходов полусумматора?
2. Приведите булевы выражения для выходов полного сумматора.
3. Для каких целей используется вход переноса в полном сумматоре?
4. Изобразите схему параллельного 4 – разрядного сумматора.
5. Выполните операцию вычитания двоичных чисел и сделайте проверку для соответствующих десятичных чисел: $110 - 011$; $1010 - 0101$; $1110 - 1001$; $10101 - 01011$; $11011 - 10011$.
6. Запишите булевы выражения для выходов полувычитателя.
7. Сколько двоичных логических элементов содержит схема полного вычитателя?
8. Для каких целей в схеме полного вычитателя введен вход заема?
9. Приведите схему 5 – разрядного параллельного вычитателя.
10. Выполните операцию вычитания двоичных чисел, используя дополнения до 1, и сделайте проверку для соответствующих десятичных чисел: $111 - 011$; $101 - 010$; $1011 - 0111$; $1000 - 0101$; $11000 - 01100$; $11100 - 10010$.
11. Изобразите схему 4 – разрядного вычитателя, построенного на базе полных сумматоров.
12. Для каких целей числа представляются в дополнительном коде?
13. Запишите дополнительный код числа -8 .
14. Изложите основные шаги процедуры перевода десятичного числа в дополнительный код.
15. Как осуществляется обратное преобразование из дополнительного кода в десятичное число?
16. Изобразите схему 4 – разрядного вычитателя для чисел, представленных в дополнительном коде.
17. Изобразите схему 4 – разрядного сумматора для чисел, представленных в дополнительном коде.

ФОРМА ОТЧЕТА ПО ЛАБОРАТОРНОЙ РАБОТЕ №5

Номер варианта студенту выдается преподавателем. Отчет на защиту предоставляется в печатном виде.

Структура отчета (на отдельном листе(-ах)):

- Титульный лист.
- Цели и задачи работы.
- Формулировка задания (вариант).
- Схема построенного арифметического устройства.
- Числовые примеры: исходные данные и полученные значения.
- Выводы.