

Создание проекта в ACTIVE-HDL

В настоящее время проектирования радиоэлектронных устройств невозможно без использования современных средств автоматизированного проектирования. Сейчас любая солидная САПР электроники включает в себя VHDL-симулятор. Видные авторитеты в области САПР и программирования сходятся на том, что современным языком описания разнообразных устройств и систем является VHDL. А для его изучения и изучения основ работы с современными САПР лучше всего подходит VHDL-симулятор Active HDL фирмы Aldec. Кроме того, что по важности не самое последнее, этот симулятор допускает комментарии, сообщения и идентификаторы на русском языке. Его бесплатную версию для обучения можно получить на сайте **www.aldec.com**

Для моделирования в симуляторе Active HDL сначала нужно создать проект – каталог с файлами VHDL, имеющий название проекта. Это облегчает встроенный помощник. После компиляции в проекте создается библиотека проекта, которая имеет название проекта и содержит все скомпилированные объекты проекта. После запуска программы на моделирование сначала выполняется связывание объектов проекта и назначение начальных значений переменным и сигналам. Затем запускается собственно симуляция (моделирование).

Запуск системы Active-HDL производится с помощью ярлыка на рабочем столе Windows. После заставки появляется окно **Getting Started** приведенное на рис. 1. В окне выбираете имя проекта, с которым вы работаете и нажимаете кнопку **ОК**. Для создания нового проекта помечаете опцию **Create new workspace**. Затем нажимаете кнопку **ОК**.

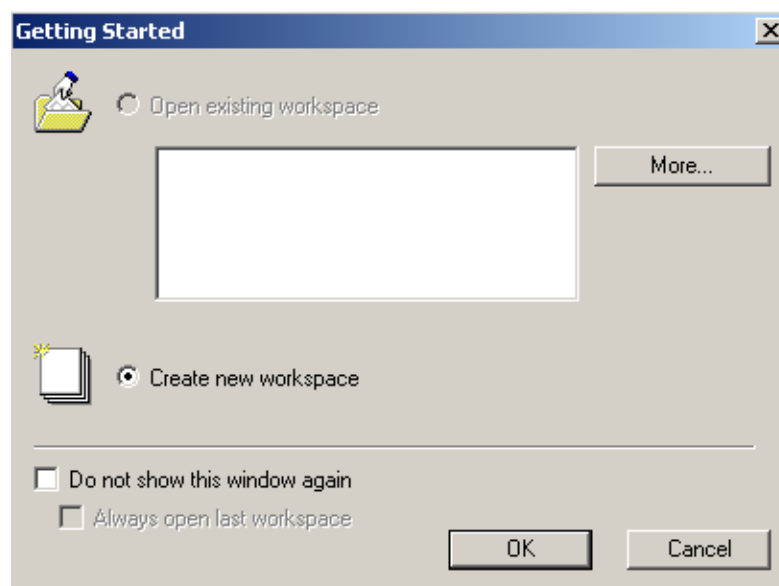


Рисунок 1. Окно Getting Started.

При создании нового проекта открывается окно **New Workspace** (рис. 2), в котором вы вводите имя нового проекта и указываете место расположения (папку, в примере папка **c:\my_designs**), имя проекта **start**. Обязательно пометьте опцию создания нового проекта, иначе в дальнейшем вам придется самим создавать файлы и определять другие параметры проекта. Далее будем рассматривать создание модели инвертора с входом X и выходом Y.

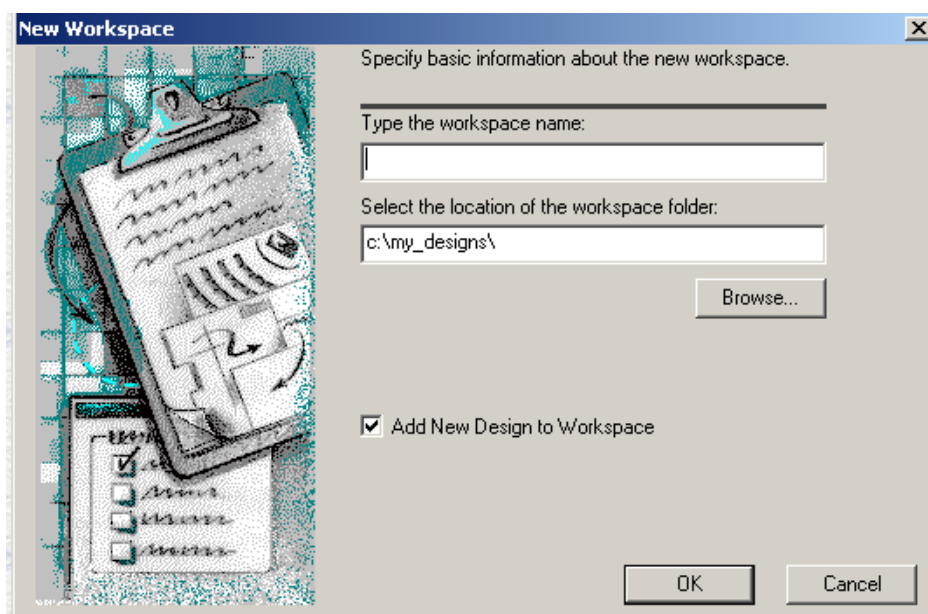


Рисунок 2. Окно New Workspace

После нажатия **OK** Active-HDL предлагает окно **New Design Wizard**, в котором нужно ввести характеристику создаваемого файла. Рекомендуется выбрать опцию **Create an ampty design with Desing Flow**, которая вносит в заголовок файла всю стандартную информацию, и нажать клавишу **Далее**. В следующем окне вам предлагается ввести имя файла проекта (рис 3). Затем нажать далее и готово. Проект будет создан.

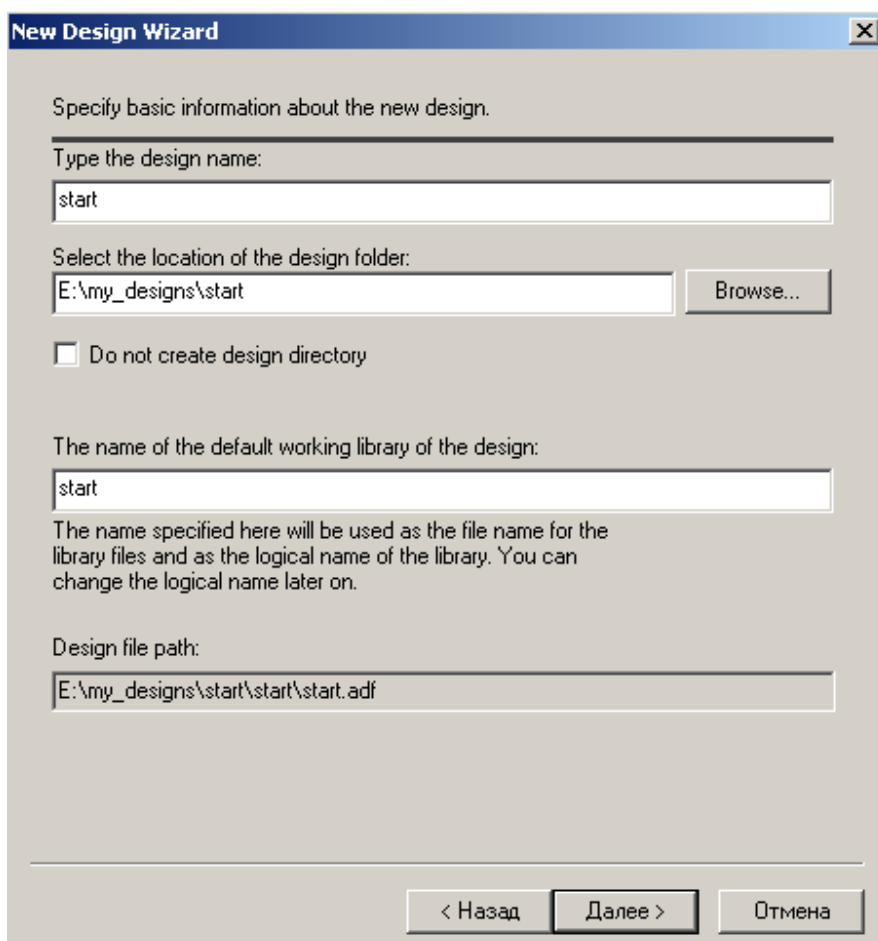


Рисунок 3. Окно New Design Wizard.

Откроется окно **Aktive-HDL** для выбора режима работы, приведенное на рис. 4. В окне условно показаны варианты работы пакета при создании проекта. Может быть введен текст на **VHDL** или **Verilog (HDE)**, граф переходов автомата (**FSM**) или схема (**BDE**). Выберем вариант **HDE**. Откроется окно выбора режима работы редактора, приведенное на рис. 5. Выберем **VHDL** и нажмем **OK** – начинается создание нового файла и открывается окно.

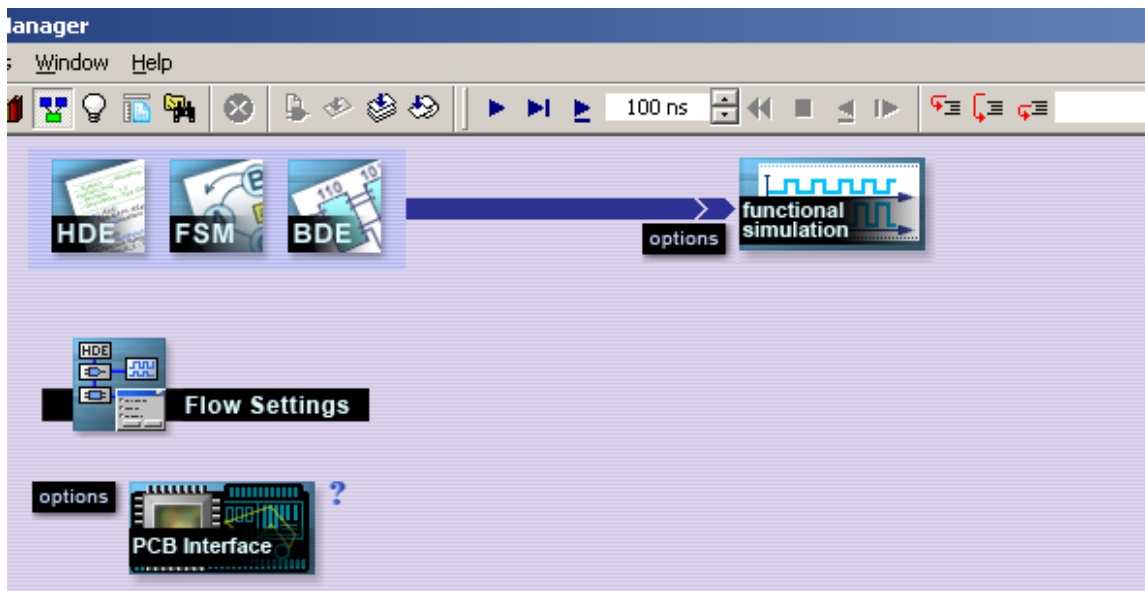


Рисунок 4. Окно выбора режима работы design flow.

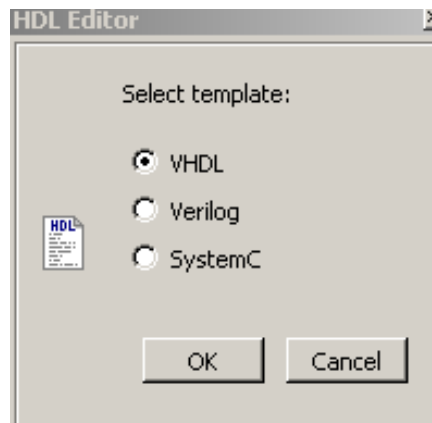


Рисунок 5. Окно выбора режима работы редактора.

В окне New Source File Wizard нажимаете клавишу **Далее**, подтверждая готовность к созданию проекта. В следующем окне вводите имена исходного файла, элемента и его архитектуры (рис. 6). Обычно все эти имена одинаковы. В примере они названы **start**.

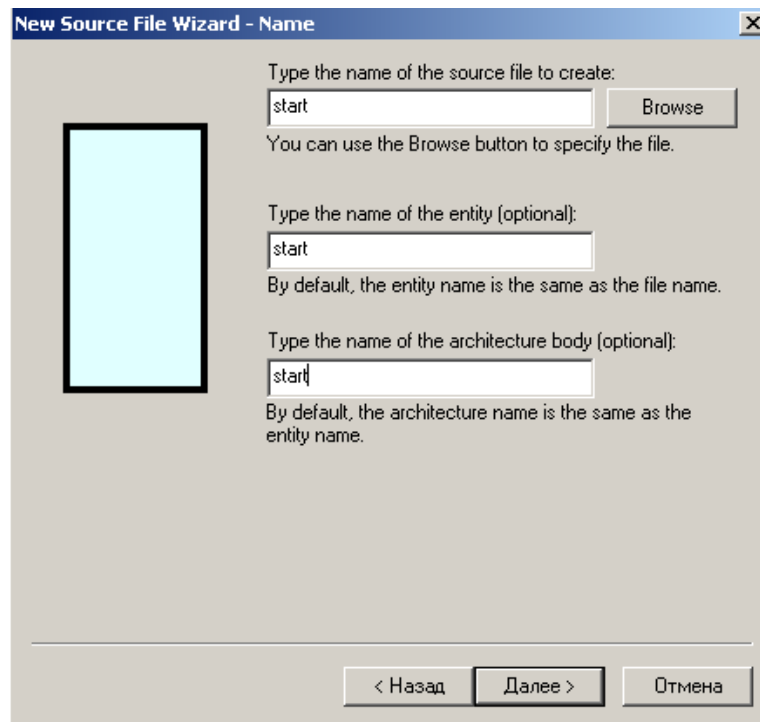


Рисунок 6. Окно ввода имени нового файла New Source File Wizard – Name.

После нажатия клавиши **Далее** открывается окно для ввода портов проекта (рис. 7).

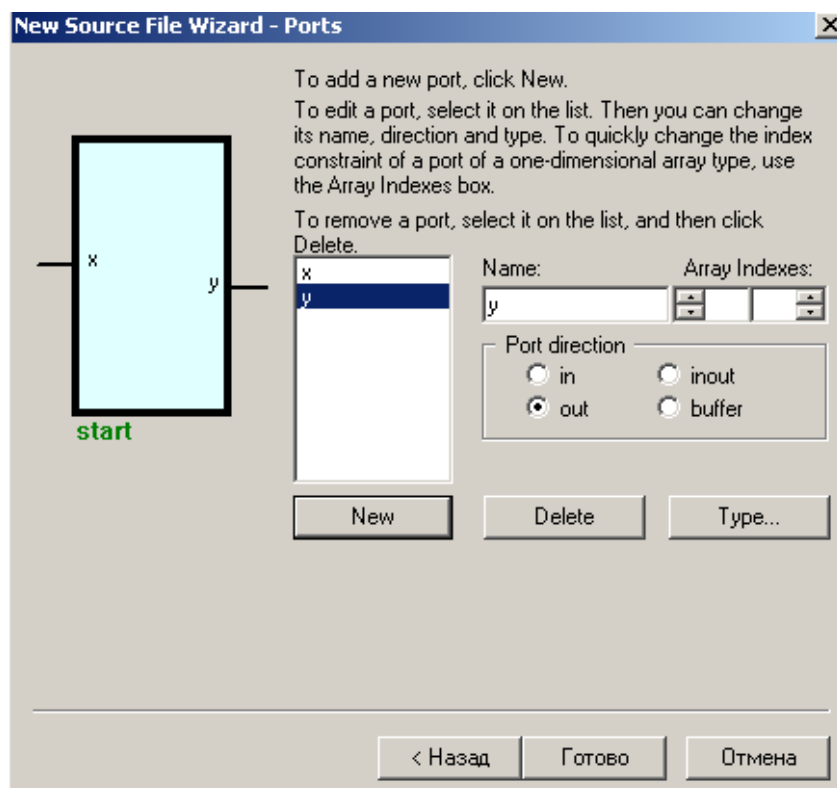


Рисунок 7. Окно ввода портов проекта New Source File Wizard – Ports.

Для ввода каждого порта нажимаете кнопку **New**, задаете тип порта (**in** – вход, **out** – выход, **inout** – двунаправленный порт и **buffer** – порт с третьим состоянием). Затем вводите имя порта. После ввода очередного порта снова нажимаете **New** и т.д., пока не введете все порты. После ввода очередного имени становится доступной кнопка ввода типа порта. В нашем случае это логический тип. На рисунке введен входной порт x и выходной y . Возможно задание портов групповой связи (шин). Для этого в окнах **Array Index** нужно указать диапазон номеров элементов шины, напри-мер 0 и 3 определяет четырехразрядную шину. Если она названа x , то отдельные разряды будут иметь имена $x[0]$, $x[1]$, $x[2]$, $x[3]$. После задания всех портов нажимаете клавишу **Готово**. В результате будет создана заготовка файла `start.vhd`. Выполнив двойной щелчок левой кнопкой мыши по имени файла в окне Design Browser, вы увидите приведенный ниже текст – заготовку файла.

```

-----
--
--
-- Title      : start
-- Design     : start
-- Author     : User
-- Company    : 12
--
-----
--
--
-- File       : E:\my_designs\start\start\src\start.vhd
-- Generated  : Thu Apr 13 10:45:11 2017
-- From       : interface description file
-- By        : Itf2Vhdl ver. 1.22
--
-----
--
--
-- Description :
--
-----
--

--{{ Section below this comment is automatically maintained
--   and may be overwritten
--{entity {start} architecture {start}}

library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity start is
    port(
        x : in STD_LOGIC;
        y : out STD_LOGIC
    );
end start;

--}} End of automatically maintained section

architecture start of start is
begin

    -- enter your statements here --

end start;

```

Опишем элемент «инвертор». В описании вход x , выход y . Функция сумматора имеет вид.

$$f\ y = x$$

Реализуем эту функцию в разделе архитектура. Полный текст модели (исключена часть комментариев) приведен ниже. Описание функций очевидно и не требует пояснений. Обратите внимание на символ присваивания \leq .

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity start is
  port(
    x : in STD_LOGIC;
    y : out STD_LOGIC
  );
end start;

architecture start of start is
begin
  y <= not x;
end start;
```

После ввода текста файла нужно выполнить его компиляцию. Компиляция текущего активного файла выполняется кнопкой **Compile**. Если в проекте несколько VHDL-файлов и необходимо компилировать все, то нажимаете кнопку **Compile All**.

Следующим шагом работы с проектом является его моделирование. Предварительно создаем окно (и файл) **Waveform** кнопкой . После создания окна формируем подмножество переменных для наблюдения в процессе моделирования. Для этого в окне проекта **Design Browser** активизируем окно

Structure (кнопки окон проекта в нижней части окна **Design Browser**). Перетаскиваем мышью в колонку Name окна **Waveform** имена переменных, которые необходимо наблюдать (формируем состав протокола моделирования). На рис. 8 приведен фрагмент окна моделирования. В число наблюдаемых включены вход X и выход Y элемента. Затем необходимо присвоить переменным значения. Это можно сделать в окне **Stimulators**,

которое открывается кнопкой . Вид окна для рассматриваемого примера приведен на рис. 9.

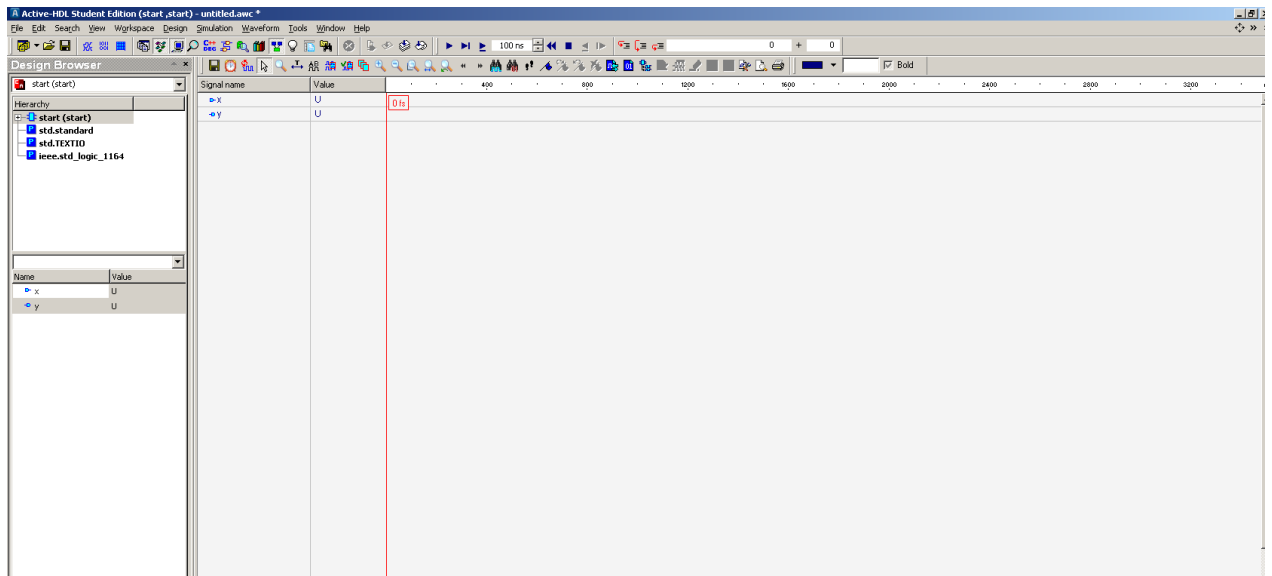


Рисунок 8. Окно Design Browser.

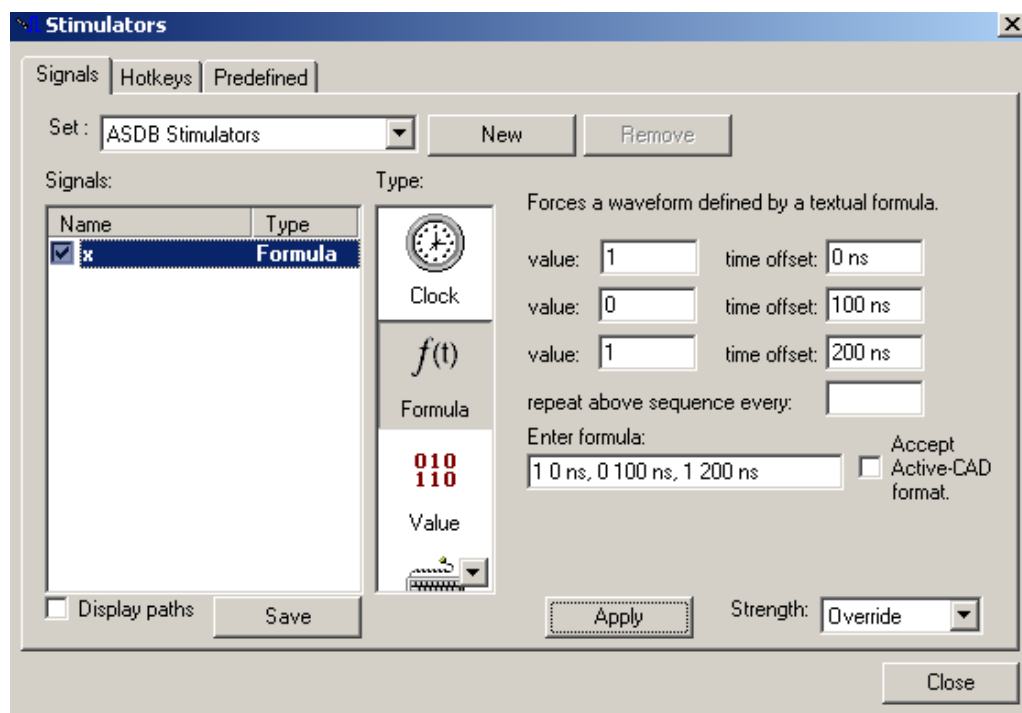


Рисунок 9. Окно формирования (стимуляции) значений переменных. при моделировании Stimulators

Можно задавать значения непосредственно в поле Enter formula. Через запятую вводятся пары: значение сигнала и, через пробел, момент времени. Ввод заканчивается заданием периода повторения формулы. Обязательно указание размерности времени. После задания значений переменных следует

здать общее время моделирования в соответствующем окне панели, например 210нс , и нажать кнопку Run.

Результат моделирования приведен на рис. 10. Показана часть панелей инструментов. Как можно судить по результату, инвертор на уровне функций описан правильно.

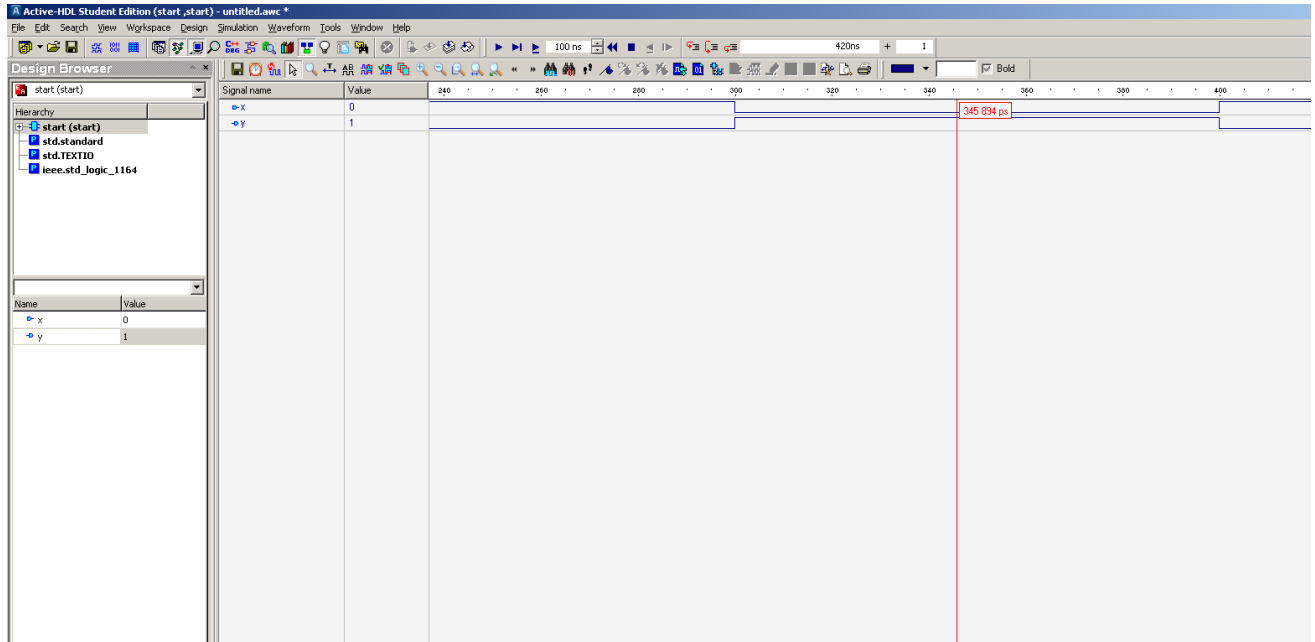


Рисунок 10. Результат моделирования.

Варианты для самостоятельной работы:

- 1 Создать блок И-НЕ и протестировать его функционирование.
- 2 Создать блок И и протестировать его функционирование.
- 3 Создать блок ИЛИ и протестировать его функционирование.
- 4 Создать блок ИЛИ-НЕ и протестировать его функционирование.