Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

**КУРСОВАЯ РАБОТА**

Исследование арифметических устройств вычислительной техники

по дисциплине «Основы вычислительной техники»

Выполнил

студент гр. 13531/1

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Иванов И.И.

(подпись)

Руководитель

доцент, к.т.н.

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_.

(подпись)

«\_\_\_» \_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2018 г.

Санкт-Петербург   
2019

Санкт-Петербургский государственный политехнический университет

**ЗАДАНИЕ**

**НА ВЫПолнение курсовой работы**

студенту группы \_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

(номер группы) (ФИО)

***1. Тема проекта (работы):*** Исследование арифметических устройств вычислительной техники

***2. Срок сдачи законченной работы***      17 мая

***3. Исходные данные к работе***: руководство по выполнению курсовой работы, номер варианта:   NNN

***4. Содержание пояснительной записки***: введение, реализация и исследование работы полного одноразрядного комбинационного двоичного сумматора, исследование суммирования двоичных чисел в формате с фиксированной запятой в прямом коде, исследование суммирования двоичных чисел в формате с фиксированной запятой в обратном коде, исследование суммирования двоичных чисел в формате с фиксированной запятой в дополнительном коде, исследование суммирования двоичных чисел в формате с плавающей запятой, заключение, список использованных источников.

***Дата получения задания***: «  ХХ  ».   февраля    2019 г.

Руководитель \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_\_

(подпись)

Задание принял к исполнению \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Иванов И.И.

(подпись)

\_\_\_\_\_\_\_\_\_\_\_\_

(дата)

**РЕФЕРАТ**

Иванов И.И. Исследование арифметических устройств вычислительной техники: Курсовая работа по дисциплине «Основы вычислительной техники». – СПб.: СПбПУ, 2019. – xx c., рис. – x, табл. – x, библиогр. –6 назв.

ЭВМ, ПРЕДСТАВЛЕНИЕ ЧИСЕЛ, ФИКСИРОВАННАЯ ЗАПЯТАЯ, ПЛАВАЮЩАЯ ЗАПЯТАЯ, ПРЯМОЙ КОД, ДОПОЛНИТЕЛЬНЫЙ КОД, ОБРАТНЫЙ КОД, СЛОЖЕНИЕ ЧИСЕЛ

С использованием инструментальных средств САПР Quartus Prime проведен анализ арифметических и логических принципов работы сумматоров.

Разработаны планы тестирования для типовых реализаций сумматоров: сумматора модулей чисел, сумматоров в обратных и дополнительных кодах, сумматора в формате с плавающей запятой. Проведен анализ суммирования двоичных чисел в соответствии с разработанными планами тестирования.

**СОДЕРЖАНИЕ**

[Введение 5](#_Toc513209597)

[1. Исследование работы одноразрядного двоичного сумматора 7](#_Toc513209598)

[2. Исследование сумматора модулей чисел 8](#_Toc513209599)

[3. Исследование сумматора чисел в дополнительных кодах 9](#_Toc513209600)

[4. Исследование сумматора чисел в обратных кодах 10](#_Toc513209601)

[5. Исследование сумматора чисел в формате с плавающей запятой 11](#_Toc513209602)

[Заключение 12](#_Toc513209603)

[Список использованных источников 13](#_Toc513209604)

Введение

**Цели работы:** Получение навыков работы с различными машинными форматами и кодами представления двоичных чисел; получение навыков по тестированию и отладке сумматоров.

**Задачи работы**

* Исследовать реализацию сумматора на логических элементах.
* Исследовать работу двоичных сумматоров чисел в формате с фиксированной запятой, выполняющих сложение в прямых, обратных и дополнительных кодах, реализованных с помощью библиотечного модуля.
* Исследовать работу 32-х разрядного сумматора чисел в формате с плавающей запятой, реализованного с помощью библиотечного модуля.

**Основные термины и определения**

* + Записать определения основных понятий по теме «Представление чисел в ЭВМ. Сложение чисел в ЭВМ», включая следующие: двоичный сумматор, алгебраическое сложение, арифметическое сложение.
  + Дополнительно: привести перевод основных терминов на английский язык.
  + Коды отображения чисел: прямой, обратный, дополнительный. Способы получения обратного и дополнительного кодов числа. Представление нуля.
  + Представление числа в формате с фиксированной запятой. Переполнение разрядной сетки.
  + Представление числа в формате с плавающей запятой. Стандарт IEEE 754. Особые ситуации при сложении чисел в формате с плавающей запятой.

**Программа исследования для сумматора чисел в формате с фиксированной запятой**

1. Используя шаблон плана тестирования, выбрать и записать в таблицу двоичные значения операндов в столбцы A\_i и B\_i, а также бит входного переноса cin\_i. Выбранные значения должны соответствовать заданным тестовым случаям (например, суммирование двух положительных чисел без переполнения).

2. Полностью заполнить столбцы входных воздействий, записав десятичное представление для выбранных значений A\_i и B\_i с учетом их знаков и кодов.

3. Реализовать тест в форме временной диаграммы в среде Quartus Prime, задавая входные воздействия во времени в том же порядке, что и в плане тестирования. Провести функциональное моделирование работы устройства.

4. Записать в таблицу двоичные значения Y\_o, а также cout\_o и ovf\_o (при наличии), полученные в результате моделирования.

5. Дополнить результаты, записав для Y\_oдесятичные значения, равные полученным при моделировании двоичным.

6. Убедиться, что полученные результаты тестирования совпадают с ожидаемыми.

В том случае, если результаты моделирования не совпадают с ожидаемыми, определить и устранить причину несоответствия.

1. Исследование работы одноразрядного двоичного сумматора

Постановка задачи, исходные данные к решаемой задаче (вариант), ход решения с результатами (получаемые логические выражения, снимки экрана с разработанной схемой и результатами моделирования) с необходимыми пояснениями, анализ соответствия полученных результатов ожидаемым, ответы на контрольные вопросы.

2. Исследование сумматора модулей чисел

Постановка задачи, исходные данные к решаемой задаче (вариант), описание объекта исследования, ход решения с результатами (таблицы и снимки экрана из Quartus Prime) с необходимыми пояснениями, анализ соответствия полученных результатов ожидаемым, ответы на контрольные вопросы.

3. Исследование сумматора чисел в дополнительных кодах

Постановка задачи, исходные данные к решаемой задаче (вариант), описание объекта исследования, ход решения с результатами (таблицы и снимки экрана из Quartus Prime) с необходимыми пояснениями, анализ соответствия полученных результатов ожидаемым, ответы на контрольные вопросы.

4. Исследование сумматора чисел в обратных кодах

Постановка задачи, исходные данные к решаемой задаче (вариант), описание объекта исследования, ход решения с результатами (таблицы и снимки экрана из Quartus Prime) с необходимыми пояснениями, анализ соответствия полученных результатов ожидаемым, ответы на контрольные вопросы.

5. Исследование сумматора чисел в формате с плавающей запятой

Постановка задачи, исходные данные к решаемой задаче (вариант), описание объекта исследования, пояснение по изменению программы исследования, ход решения с результатами (таблицы и снимки экрана из Quartus Prime) с необходимыми пояснениями, пояснение по переводу десятичного числа в формат IEEE 754 одинарной точности и обратно, анализ соответствия полученных результатов ожидаемым, ответы на контрольные вопросы.

Заключение

Краткая характеристика выполненных разработок и исследований (что и как сделано, с какими параметрами, какие получены результаты).

Описание и объяснение закономерностей, которые были выявлены в ходе исследования.

Описание проблем, возникших в ходе работы (по существу задания), и выбранные способы их решения.

Список использованных источников

1. ГОСТ 7.32-2001. Система стандартов по информации, библиотечному и издательскому делу. Отчет о научно-исследовательской работе. Структура и правила оформления

2. Зыков А.Г., Поляков В.И. Арифметические основы ЭВМ. – Санкт-Петербург: СПб: Университет ИТМО, 2016. – 140 с.

3. Камкин А.C., Чупилко М.M. Тестирование модулей арифметики с плавающей точкой микропроцессоров на соответствие стандарту IEEE 754. [Труды Института системного программирования РАН, 2008.](http://hardware.ispras.ru/files/publications/2008-fpu-testing.pdf)

4. Hennessy, Patterson: Computer Architecture: A Quantitative Approach, 5th Edition. – Morgan Kaufmann. 2011. – Appendix J: Computer Arithmetic by David Goldberg.

5. Goldberg D. What every computer scientist should know about floating-point arithmetic // ACM Computing Surveys. 1991. – Т. 23. – № 1– С. 5–48.

6. Floating-Point IP Cores User Guide. ALTFP\_ADD\_SUB IP Core [Электронный ресурс] // Intel FPGA. URL: https://www.altera.com/content/dam/altera-www/global/en\_US/pdfs/literature/  
ug/ug\_altfp\_mfug.pdf (дата обращения: 04.05.2018).