

HyperTransport

HyperTransport (HT) - це двонаправлена послідовно/паралельна комп'ютерна шина з високою пропускною спроможністю і малими затримками. Робоча частота від 200 МГц до 3,2 ГГц. Ширина шини, від 2-х до 32 біт. 32-бітна шина в двонаправленому режимі здатна забезпечити пропускну спроможність до 51 600 Мбайтів / с.

HT - це асинхронний двонаправлений протокол обміну даними між пристроями. Технологію HT можуть підтримувати абсолютно будь-які пристрої: процесори, набори логіки, контролери і т.д. Між собою компоненти системи зв'язуються за принципом «точка-точка» (peer-to-peer), а це означає, що легко може бути встановлено з'єднання практично між будь-якими вузлами комп'ютера, причому без будь-яких додаткових мостів (теоретично, звичайно :)). Обмін інформацією відбувається пакетами зі швидкістю від 0.8 Гбіт / сек до 89.6 Гбіт / сек (51.2 Гбіт / сек в першій версії HT). Шина двонаправлена, тобто має два з'єднання: одне в прямому напрямку і одне - в зворотному. Передача даних йде за двома напрямками стробуючого імпульсу (тобто DDR). Результуюча швидкість залежить від ширини шини (2-32 біта в кожному напрямку) і її частоти (200-1400 МГц, в першій версії - 200-800).

Наприклад - в чіпі nForce3 від nVidia, HT використовується для з'єднання північного і південного мостів. Там застосовується 8-бітове з'єднання на тактовій частоті 200 МГц. При цьому ефективна частота шини 400 МГц, а пропускна здатність 800 Мбайт / с.

Розрахуємо швидкість передачі даних для зазначеного в прикладі варіанту сполучення:

- Широта смуги в одному напрямку дорівнює 8 біт, тобто 1 байт;
- Частота шини - 200 МГц;
- $200 \text{ МГц} * 2$ (так як DDR) = 400 МГц ефективних;
- Швидкість передачі в одному напрямку - $400 \text{ МГц} * 1 \text{ байт} = 400 \text{ МБ} / \text{с}$;
- Швидкість передачі в двох напрямках (сумарна пропускна здатність) - $2 * 400 \text{ МБ} / \text{с} = 800 \text{ МБ} / \text{с}$

Оскільки HT покликана замінити існуючі шини і мости, які використовуються в сучасних матплатах, на системних платах, побудованих за технологією HT, може не бути звичного чіпсета, що складається з північного моста, призначеного для високошвидкісних вузлів, і південного моста, використовуваного для низькоскоростної периферії. HyperTransport дозволяє гнучко налаштовувати систему під конкретні цілі та завдання (це великий плюс технології). За допомогою HT-модулів можна послідовно включати в шину HyperTransport інші високопродуктивні шини і порти. Наприклад, для сервера легко замінити графічний тунель тунелем шини PCI-x, а для графічної станції - включити обидва тунелі.

Апаратна реалізація

Оскільки технологія HyperTransport покликана стандартизувати і уніфікувати порядок обміну даними між усіма вузлами комп'ютера, її реалізація зачіпає всі рівні передачі даних: фізичний (розводка контактів у чіпсетів), рівень з'єднання (порядок ініціалізації і конфігурації пристроїв), рівень протоколу (команди протоколу і правила управління потоком даних), рівень транзакцій (опис керуючих сигналів) і рівень сесій (загальні команди).

Розглянемо перший, фізичний рівень. Тут в HyperTransport визначені параметри ліній даних, ліній управління і ліній тактового сигналу. Крім того, стандартизовані контролери та електричні сигнали. Всі фізичні пристрої, які задіяні в технології, підрозділяються на кілька типів:

- cave (печера)
- tunnel (тунель)
- bridge (міст).

Пристрої типу «**печера**» представляють собою крайній (замикаючий) пристрій в ланцюжку; «**тунель**» - призначений для транзиту інформації між пристроями; «**міст**» - основний пристрій, який підключається до контролера шини (host) і забезпечує з'єднання з підключеними до нього пристроями.

В мінімальній можливій реалізації шина HT може бути всього лише 2-бітною. При цьому потрібно 24 лінії проводів (8 - для даних, 4 - для тактових сигналів, 4 - для ліній управління, 2 - сигнальних, 4 - заземлення, 1 - живлення, 1 - ресет). А в конфігурації з 32 бітною шиною доведеться використовувати 197 ліній провідників.

Довжина шини HT може досягати 61 сантиметра (24 дюйма) при пропускній здатності до 800 Мбіт/с. При цьому рівень сигналу становить 1,2 В, а диференціальний опір 100 Ом. Спосіб передачі даних, на якому фізично ґрунтується HyperTransport, називається LVDS (Low Voltage Differential Signaling - низьковольтні диференціальні сигнали). Тактова частота з'єднань може бути від 200 до 1400 МГц в залежності від вимог.

Дані на шині HT

В технології HT використовується пакетна передача даних. При цьому пакет завжди кратний 32 бітам, а максимальна довжина пакету дорівнює 64 байтам (включаючи адреси, команди і дані). Оскільки шина у двох напрямках, кожне з'єднання складається з субз'єднання «*передача*» (Tx) і субз'єднання «*отримання*» (Rx). При цьому обидва працюють асинхронно. Кожне з'єднання може бути шириною 2, 4, 8, 16, 32 або 64 розряди в кожному напрямку.

А тепер припустимо, що у нас є процесор, якому потрібно високошвидкісне з'єднання, - ми використовуємо два 32-розрядних з'єднання з частотою в 800 МГц, таким чином отримуючи швидкість 6.4 ГБ/с на прийом і передачу (сумарна пропускна здатність такої шини буде 12.8 ГБ/с). Якщо ж нам не потрібна така швидкість, можна використовувати чотирирозрядну шину з частотою 200 МГц. Така шина забезпечить до 100 МБ/с на прийом і стільки ж передачу. Тобто специфікація передбачає можливість вибору частоти і шини при розробці пристрою. При цьому пристрої з різною шириною шини можуть підключатися до однієї шини HyperTransport і вільно зв'язуватися між собою. Так, пристрій з шиною в 32 розряду можна пов'язати з 8-розрядним пристроєм, при цьому пропускна здатність буде обумовлена меншою розрядністю шини.

Для тих пристроїв, які вимогливі до пропускної спроможності шини, в HT реалізована технологія віртуальних каналів - StreamThru. Ця технологія гарантує, що швидкісні пристрої отримують швидкий доступ до оперативної пам'яті по зарезервованому каналу.

Версії HyperTransport

версія	рік	Максимальна частота	Максимальна ширина	Пікова пропускна здатність (в обидва напрямки)
1.0	2001	800 МГц	32 біт	12.8 Гбайт / с
1.1	2002	800 МГц	32 біт	12.8 Гбайт / с
2.0	2004	1.4 ГГц	32 біт	22.4 Гбайт / с
3.0	2006	2.6 ГГц	32 біт	41.6 Гбайт / с
3.1	2008	3.2 ГГц	32 біт	51.2 Гбайт / с

Infinity Fabric (IF) - це продовження розвитку HyperTransport, анонсоване AMD в 2016 році для об'єднання своїх графічних процесорів і ЦП і відома як архітектура нескінченності. AMD заявила, що Infinity Fabric буде масштабуватися з **30 ГБ/с** до **512 ГБ/с** і буде використовуватися в процесорах на базі Zen і графічних процесорах Vega. У процесорах Zen передачі даних «SDF» працюють на тій же частоті, що і тактова частота пам'яті DRAM. Це рішення було прийнято для усунення затримки, викликаній різними тактовими частотами. В результаті використання більш швидкого модуля ОЗУ, це прискорює роботу всієї шини. Канали мають ширину 32 біта, як і в HT, але за цикл виконується 8 передач (128-бітові в пакеті) в порівнянні з початковими 2 бітами. Для підвищення енергоефективності внесені зміни в електричну схему. У процесорах Zen 2 і Zen 3 шина IF знаходиться на окремій тактовій частоті, або в

співвідношенні 1:1 або 2:1 до тактової частоти DRAM, що викликано через ранні проблеми Zen з високошвидкісною DDR DRAM, і впливає на швидкість IF, а отже і на систему та стабільність.

HT vs PCI Express

Головна відмінність технологій в їх початковому призначення: PCI Express - це нова швидкісна периферійна шина, і нічого більше. Вона призначена для роботи з картами розширення, в той час як HyperTransport - це принципово нова технологія зв'язку та обміну даними між усіма вузлами комп'ютера. Звичайно, цими вузлами можуть бути і карти розширення.

Довжина пакета і керуючі буфери в HT рівні 64 байтам, а у PCI Express розмір пакета може досягати 1 кБ, розмір запиту - до 4 кБ, а розмір буфера 16 байт. Оскільки PCI Express спочатку створювалася для високопродуктивних серверів, вона має велику собівартість, але при цьому досягається більш висока швидкість, ніж у HyperTransport.

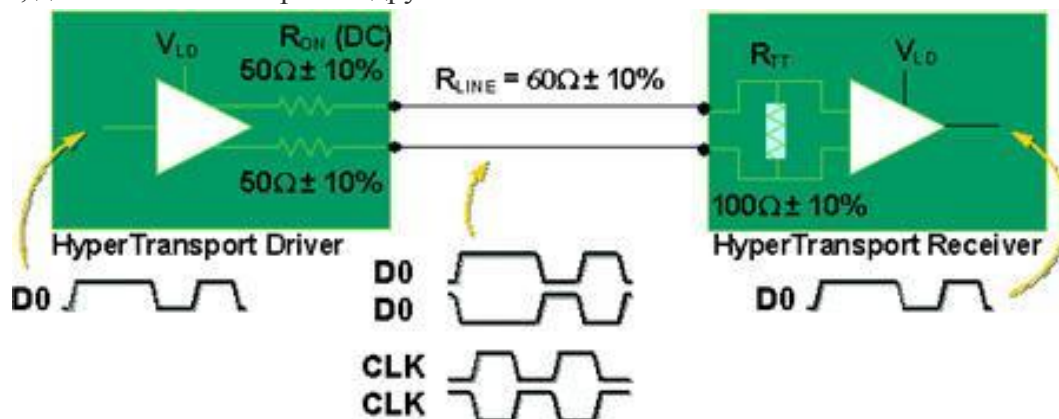
На апаратному рівні PCI Express не сумісна ні з PCI, ні з AGP, її використання вимагає нових версій BIOS і нових драйверів, в той час як HT повністю сумісний з поточною **програмною** моделлю PCI. HyperTransport може бути адаптований і до PCI Express. Тобто PCI Express пристрої можуть бути підключені через HyperTransport.

Практична реалізація HyperTransport

Класичний чіпсет материнської плати складається з двох мікросхем (північний і південний мости): одна включає шину процесора, контролер пам'яті, AGP і шину південного моста, друга містить різноманітні контролери введення / виведення і контролер шини PCI. У системах Intel використовується саме така, класична система. Процесори (або процесор в настільних системах) пов'язані з пам'яттю через контролер пам'яті, інтегрований в північний міст. В технології HyperTransport всі пристрої підключені до єдиного host-контролера. Причому треба відзначити те, що AMD стала інтегрувати контролер пам'яті в свої процесори, а значить, він був винесений із чіпсета в процесор, що значно прискорило роботу з оперативною пам'яттю. Таким чином, кожен процесор отримав можливість мати власну пам'ять.

Крім того, AMD вирішила позбутися обмежень, що накладаються схемою з північним і південним мостами. Контролер пам'яті, а також частина функцій AGP (GART) тепер реалізовані в процесорі. Там же знаходиться контролер HyperTransport. Для AGP, контролерів вводу / виводу, контролера PCI було створено три окремих мікросхеми: AGP tunnel, PCI-x I/O Bus Tunnel і контролер введення / виводу (I/O Hub). Такий поділ дозволяє проектувати систему під конкретні завдання. Для роботи необхідний тільки останній контролер (без AGP і PCI-x можна обійтися), а наприклад в серверних системах навряд чи знадобиться відеокарта. Так до прикладу, nVidia в своєму чіпсеті nForce3 об'єднала всі контролери в одну мікросхему.

Фізичний інтерфейс шини HyperTransport відрізняється простою реалізацією і має такі відмінні риси: - використовуються низьковольтні, диференціальні сигнали (для передачі використовуються дві лінії, за якими синхронно передається прямий і інверсний сигнал); - диференційний імпеданс дорівнює 60 Ом, для зменшення вартості друкованих плат



Модель фізичної реалізації НТ

Тут реалізоване асинхронне тактування (один сигнал використовується для будь-якої групи з 8 біт і будь-якого напрямку). Так за один такт передається два біта даних (для тактового сигналу 1000 МГц, пропускна здатність шини - 2,0 Гбіт / с).

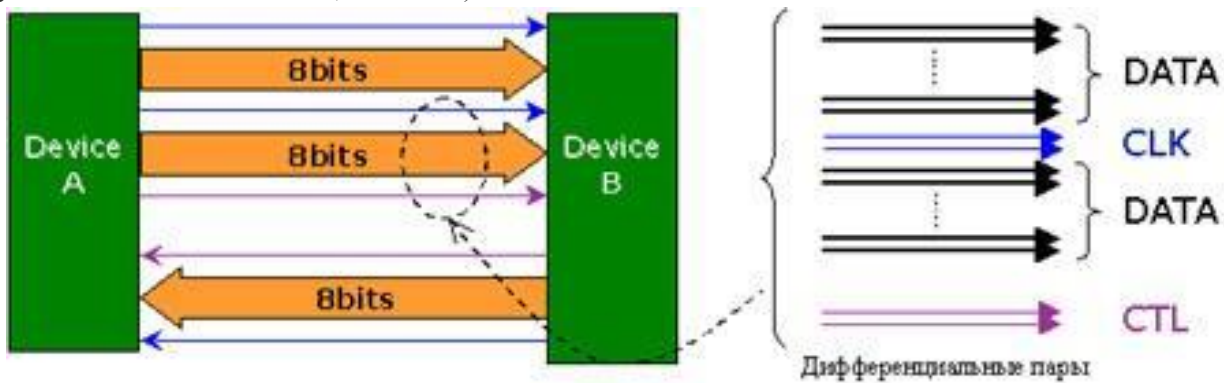


рис. інформаційні зв'язки при взаємодії двох пристроїв

Власне керуюча лінія ідентифікує командні пакети. Для реалізації передачі даних системного управління існують додаткові сигнали Power OK (PWROK) і Reset LDT (RESET_L) для ініціалізації і скидання шини. Для мобільних систем можуть використовуватися сигнали LDTStop_L і DevReq_L знижують енергоспоживання шиною НТ.