



## Звіт

З лабораторної роботи № 1

*З дисципліни «Моделювання комп'ютерних систем»*

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.

Ознайомлення зі стендом Elbert V2 - Spartan 3A FPGA»

Виконав: ст. гр. КІ-202

Лозинський А. Я.

Прийняв:

Козак Н. Б.

Львів – 2023

**Мета:** ознайомлення з середовищем розробки Xilinx ISE та побудова дешифратора 3-7.

### Виконання завдання

Згідно завдання було розроблено схему дешифратора 3 в 7, використовуючи компоненти з бібліотеки, у новому, доданому до проекту Schematic файлу.

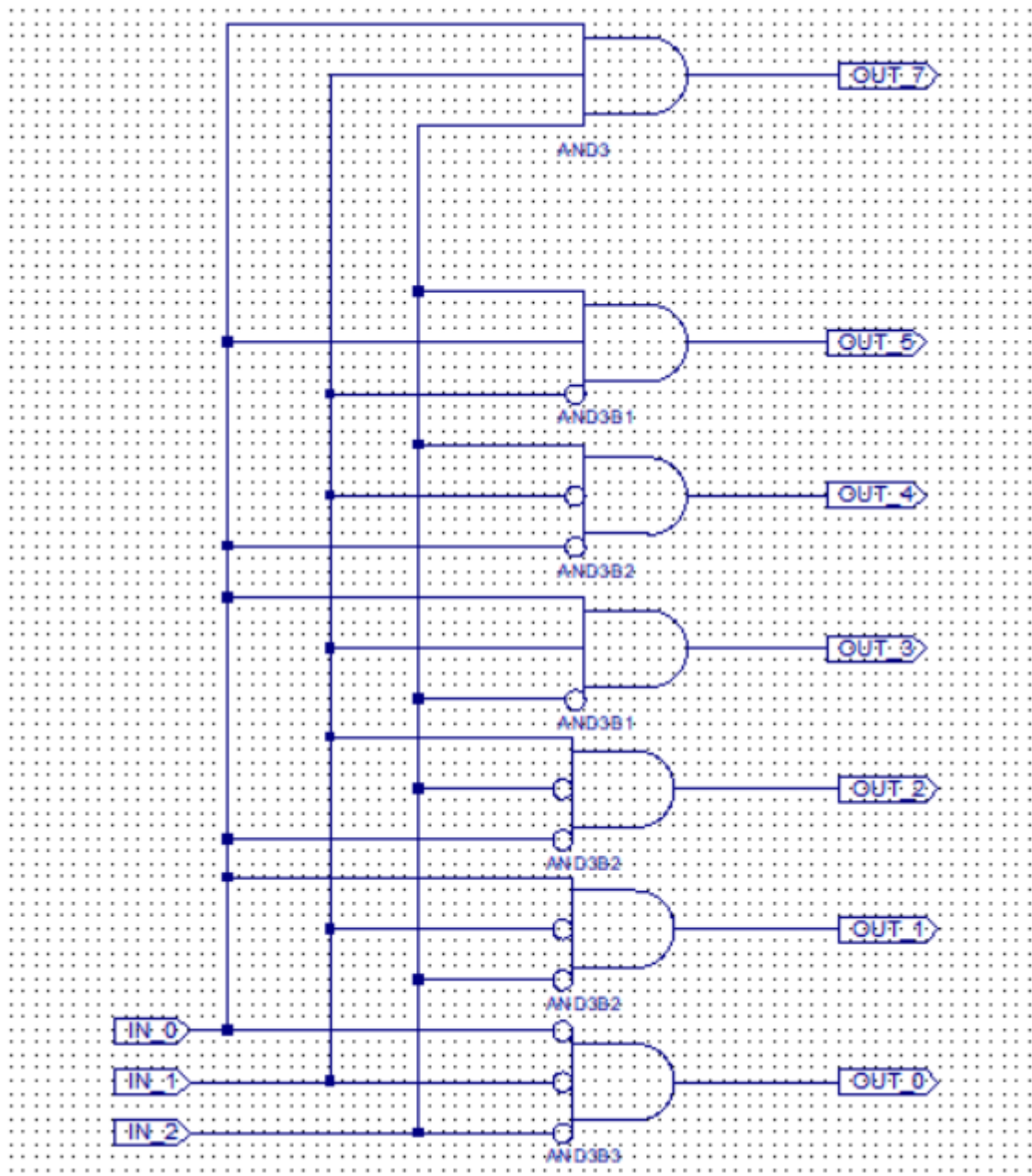


Рис.1. Схема дешифратора 3 в 7

Згодом було додану до проекту User Constraint файл, в якому було додано змінений вміст файлу elbertv2.ucf.

```

1 |
2 | *****
3 | #
4 | # UCF for ElbertV2 Development Board
5 | *****
6 | CONFIG VCCAUX = "3.3" ;
7 |
8 | # Clock 12 MHz
9 | #NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
10 | *****
11 | # LED
12 | *****
13 | NET "OUT_0" LOC = P46 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
14 | NET "OUT_1" LOC = P47 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
15 | NET "OUT_2" LOC = P48 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
16 | NET "OUT_3" LOC = P49 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
17 | NET "OUT_4" LOC = P50 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
18 | NET "OUT_5" LOC = P51 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
19 | NET "OUT_7" LOC = P55 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
20 |
21 | *****
22 | # DP Switches
23 | *****
24 | NET "IN_0" LOC = P70 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
25 | NET "IN_1" LOC = P69 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
26 | NET "IN_2" LOC = P68 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
27 |

```

Рис.2. User Constraint файл

За допомогою симулятора ISim у режимі Simulation було перевірено роботу схеми.

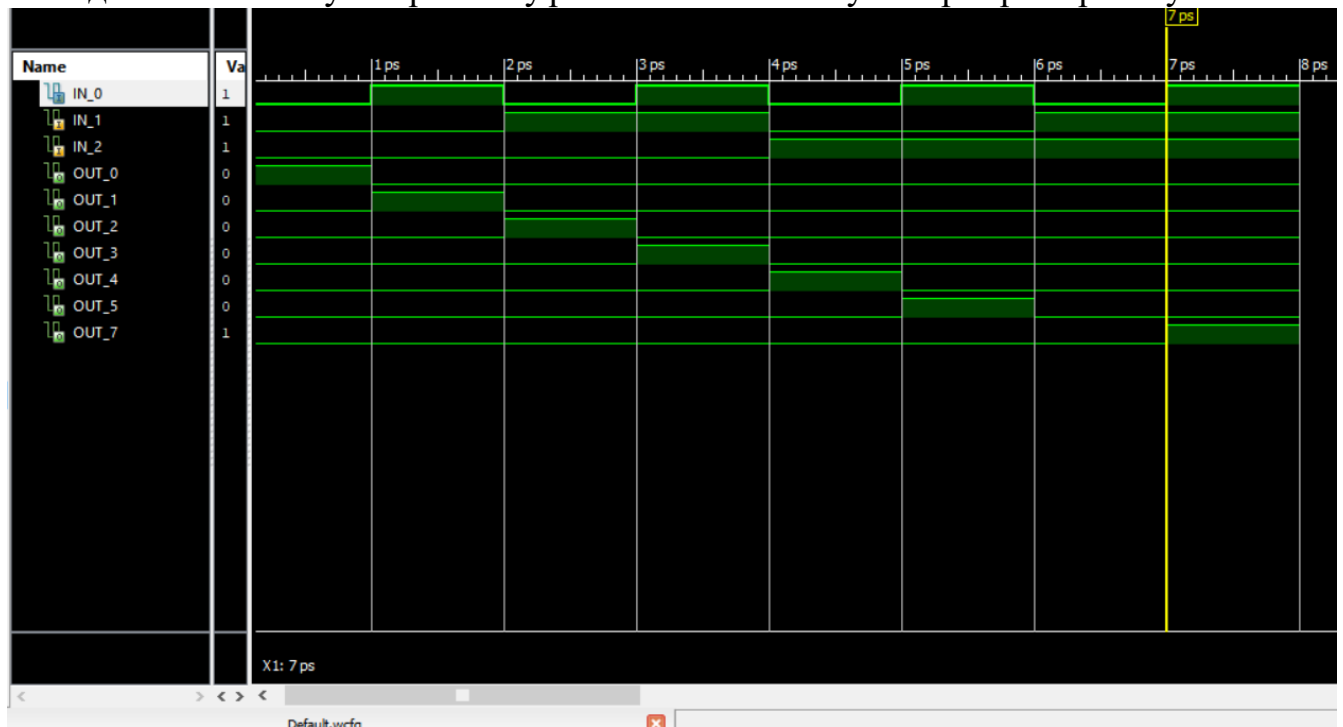


Рис.3. Перший запуск симуляції

Згодом було створено конфігураційний файл і були послідовно запуснені процеси, щоб переконатися що всі процеси успішно виконалися. Також ми згенерували ВІТ файл.

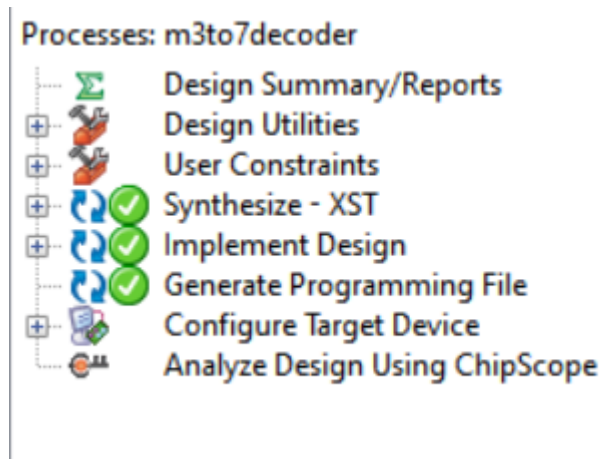


Рис.4. Виконання процесів

Знайдемо необхідний порт у диспетчері завдань.

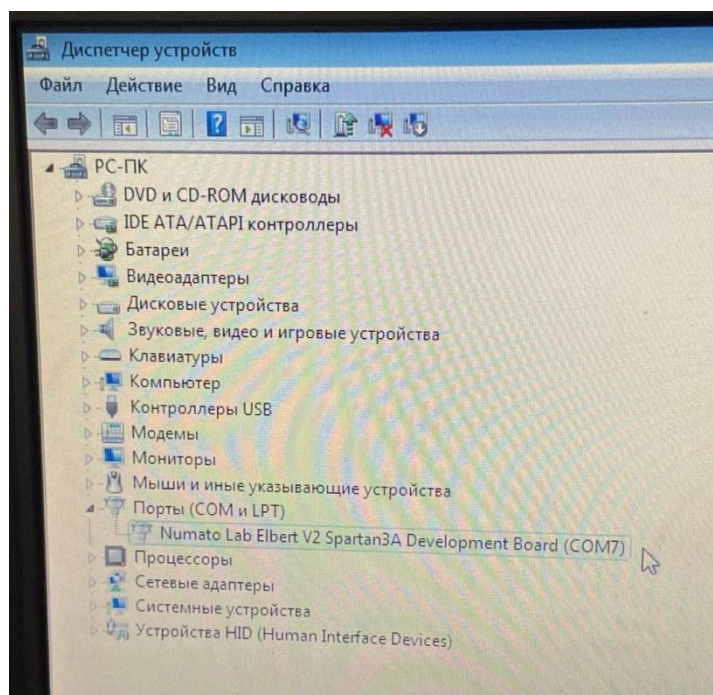


Рис.5. Диспетчер завдань

Запрограмуємо лабораторний стенд отриманим ВІТ файлом.

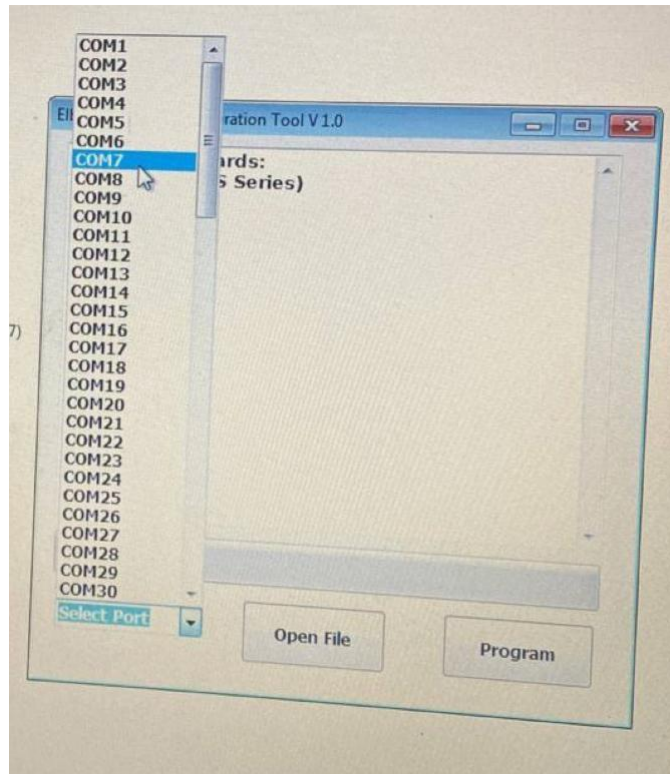


Рис.6. ElbertV2Config.exe

Дочекаємося виконання процесу.

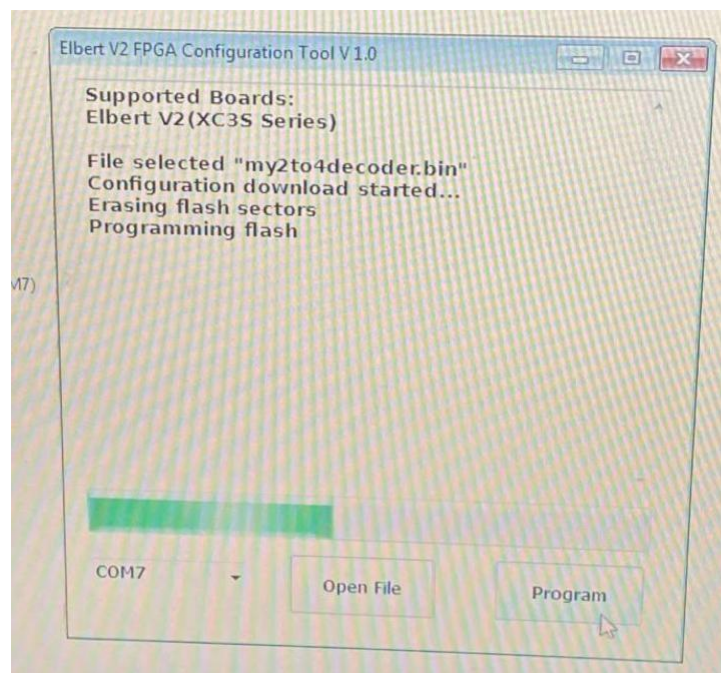


Рис.7. Виконання процесу

Перевіримо роботу проєкту.



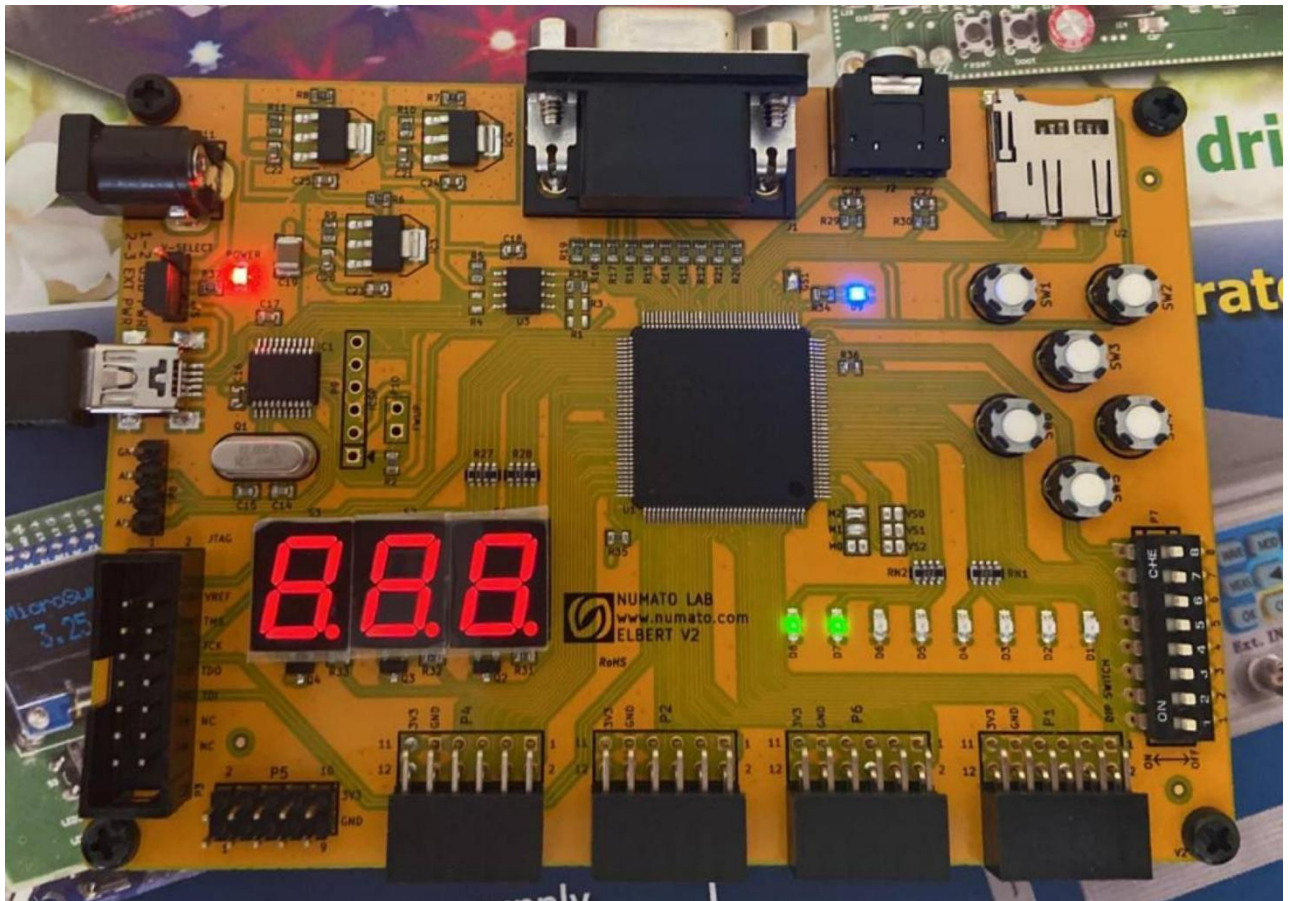


Рис.8. Робота проекту на стенді

**Висновок:** у цій лабораторній роботі побудував дешифратор 3 в 7 і ознайомився з середовищем Xilinx ISE.